

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94142009

※申請日期：94.11.30

※IPC 分類：H01L 21/335, 21/30, 21/78

一、發明名稱：(中文/英文)

半導體裝置之製造方法

METHOD OF PRODUCING SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文)(簽章) 井植敏雅 / IUE, TOSHIMASA

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通 2 丁目 5 番 5 號

5-5, Keihan-Hondori 2-chome, Moriguchi-shi, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共 5 人)

姓名：(中文/英文)

1. 藤島達也 / FUJISHIMA, TASTUYA

2. 福田幹夫 / FUKUDA, MIKIO

3. 塚田雄二 / TSUKADA, YUJI

4. 緒方敬士 / OGATA, KEIJI

5. 飯田伊豆雄 / IIDA, IZUO

國籍：(中文/英文) 1. 至 5. 日本國 / JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本國 2005 年 1 月 12 日 特願 2005-005590（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關半導體裝置之製造方法，特別是關於將電容器與 MOS 電晶體設置在同一半導體基板上之半導體裝置的製造方法。

【先前技術】

從以前便已知具有 MOS 電晶體與電容器的半導體裝置。另一方面，隨著近年來半導體裝置的高積體化，主動區的絕緣係廣泛利用代替局部氧化法(LOCOS)的淺溝槽絕緣法(shallow trench isolation, 以下稱為 STI 法)。此 STI 法為藉由高密度電漿化學氣相沈積(high density plasma CVD, HDPCVD)，在半導體基板中的淺溝槽填充二氧化矽等絕緣材料，而將這些材料作為場絕緣膜者。

以下一面參照圖示，一面說明利用習知 STI 法之設置電容器與高耐壓 MOS 電晶體於同一半導體基板上的半導體裝置之製造方法。第 8 圖、第 9 圖及第 10 圖為表示習知例之設置電容器與高耐壓 MOS 電晶體於同一半導體基板上的半導體裝置之製造方法的剖面圖，為表示電容器形成區域 R4 者。

首先，如第 8 圖(a)所示，形成在 P 型矽基板 200 形成有溝槽絕緣膜 50 的 STI 結構。接著在 P 型矽基板 200 的表面，與各溝槽絕緣膜 50 鄰接形成例如 5 至 10 nm 之膜厚的虛設氧化膜 51 (例如熱氧化膜或由 CVD 法(chemical vapor deposition, 化學氣相沈積)而成的 TEOS 膜)。

接著，將 N 型雜質，例如砷離子，離子植入電容器形成區域 R4，藉此在 P 型矽基板 200 的表面形成電容器的下部電極層 52 (N⁺層)。接著蝕刻去除虛設氧化膜 51，如第 8 圖 (b) 所示，以覆蓋 P 型矽基板 200 的表面及溝槽絕緣膜 50 的方式，形成 20 nm 之膜厚的 SiO₂ 膜 53。此 SiO₂ 膜 53 為作為未圖示之高耐壓 MOS 電晶體的閘極絕緣膜。

由於 SiO₂ 膜 53 作為電容器絕緣膜會過厚，因此如第 9 圖 (a) 所示，蝕刻去除 SiO₂ 膜 53，之後如第 9 圖 (b) 所示，藉由熱氧化形成例如 7 nm 之膜厚的電容器絕緣膜 54。

接著，如第 10 圖所示，在電容器絕緣膜 54 上形成由多晶矽層構成的上部電極層 55。藉此形成由下部電極層 52、電容器絕緣膜 54 及上部電極層 55 所構成的電容器。

[專利文獻 1] 日本專利特開 2002-26261 號公報

【發明內容】

(發明所欲解決之課題)

在習知之半導體裝置之製造方法中，如第 9 圖 (a) 所示，SiO₂ 膜 53 過度蝕刻時會大幅挖掘溝槽絕緣膜 50 的邊緣。此係由於當進行前述離子植入時，有雜質離子植入溝槽絕緣膜 50 所致，而且與沒有植入雜質離子的狀態相比，其蝕刻率會變高所致。

再者，因為 P 型矽基板 200 的表面在進行前述離子植入時會植入雜質離子，所以在電容器絕緣膜 54 形成時會造成加速氧化。因此，如第 9 圖 (b) 所示，在下部電極層 52 端部的角部 60 中，電容器絕緣膜 54 的膜厚會變薄。

因此，之後如第 10 圖所示，即使形成上部電極層 55，而形成電容器，如上所述，由於會有電容器絕緣膜 54 的膜厚較薄的部分以及膜厚不固定，所以會發生電場集中，容易造成此部分之電容器絕緣膜 54 的絕緣破壞，而會有電容器壽命短的問題。

(用以解決課題之手段)

本發明為鑑於上述課題而研創者，其主要特徵如下。亦即本發明之半導體裝置之製造方法係在半導體基板的表面將電容器與至少一個 MOS 電晶體設置於同一半導體基板上之半導體裝置之製造方法，其特徵為具有：形成與前述半導體基板之電容器形成區域及 MOS 電晶體形成區域鄰接的元件分離絕緣膜之步驟；將雜質離子植入前述電容器形成區域，而形成下部電極層之步驟；在前述半導體基板上的全面形成第 1 絕緣膜之步驟；在覆蓋與前述電容器形成區域鄰接的前述元件分離絕緣膜邊緣之前述第 1 絕緣膜的一部分上及前述 MOS 電晶體形成區域的前述第 1 絕緣膜上，形成光阻層之步驟；以前述光阻層作為遮罩，蝕刻前述第 1 絕緣膜之步驟；至少在前述電容器形成區域形成第 2 絕緣膜，使前述第 1 絕緣膜與前述第 2 絕緣膜作為電容器絕緣膜之步驟；及在形成於前述 MOS 電晶體形成區域之前述第 1 絕緣膜上形成閘極電極，且在前述電容器絕緣膜上形成上部電極層之步驟。根據上述製造方法，電容器絕緣膜的邊緣不會因蝕刻而被削去，可形成均勻且膜品質優異的電容器絕緣膜。再者，使電容器絕緣膜的兩端

以高耐壓的較厚絕緣膜形成，且使該兩端之外的部分以較薄絕緣膜形成時，可以較厚的絕緣膜的部分來確保耐壓。

再者，本發明之半導體裝置之製造方法係在半導體基板的表面將電容器與至少一個 MOS 電晶體設置於同一半導體基板上之半導體裝置之製造方法，其特徵為具有：形成與前述半導體基板之電容器形成區域及 MOS 電晶體形成區域鄰接的元件分離絕緣膜之步驟；將與前述電容器形成區域鄰接的元件分離絕緣膜邊緣覆蓋，形成在前述電容器形成區域具有開口部的光阻層之步驟；以前述光阻層作為遮罩，將雜質離子植入前述開口部，而形成下部電極層之步驟；在前述半導體基板上之全面形成第 1 絕緣膜之步驟；將形成在前述電容器形成區域之前述第 1 絕緣膜蝕刻之步驟；至少在前述電容器形成區域形成第 2 絕緣膜，且使前述第 2 絕緣膜作為電容器絕緣膜之步驟；及在形成於前述 MOS 電晶體形成區域之前述第 1 絕緣膜上形成閘極電極，且在前述電容器絕緣膜上形成上部電極層之步驟。

(發明之效果)

根據本發明之半導體裝置之製造方法，與電容器鄰接的溝槽絕緣膜邊緣不會因蝕刻而被削去，結果可形成均勻且膜品質優異的電容器絕緣膜，因此不會發生電場集中，而可防止電容器的絕緣破壞。

【實施方式】

接著，一面參照圖示，一面說明本發明第 1 實施形態的半導體裝置之製造方法。

如第 1 圖(a)所示，在 P 型矽基板 1 的表面藉由熱氧化形成 SiO_2 膜 2 (二氧化矽膜)。接著在 SiO_2 膜 2 上，藉由 CVD 法形成具有約 50 nm 之膜厚的多晶矽膜 3(Poly Silicon film)、具有 120 nm 之膜厚的 Si_3N_4 膜 4(氮化矽膜)。進一步在 Si_3N_4 膜 4 上，形成具有複數個開口部 5h 的光阻層 5。

接著，如第 1 圖(b)所示，以具有複數個開口部 5h 的光阻層 5 作為遮罩(mask)，將露出於開口部 5h 的 Si_3N_4 膜 4、多晶矽膜 3、 SiO_2 膜 2 依序進行蝕刻，進一步蝕刻 P 型矽基板 1 的表面，而形成溝槽 6a、6b、6c、6d、6e。溝槽 6 的深度係以 1 μm 為較佳。

接著，如第 1 圖(c)所示，例如藉由 HDPCVD 法，包含溝槽 6a、6b、6c、6d、6e 內，而全面沈積 SiO_2 膜 7 (HDPCVD 膜)。然後，如第 1 圖(d)所示，使用 CMP 法(Chemical Mechanical Polishing Method, 化學機械研磨法)研磨 SiO_2 膜 7 的表面。此時， Si_3N_4 膜 4 的作用是作為 CMP 終點檢測膜，在藉由光學性手法檢測出已露出 Si_3N_4 膜 4 的時間點，使 CMP 停止。藉此方式，形成分別選擇性嵌埋在溝槽 6a、6b、6c、6d、6e 的溝槽絕緣膜 7a、7b、7c、7d、7e 來作為元件分離絕緣膜。

之後，如第 2 圖(a)所示，使用熱磷酸等藥品將 Si_3N_4 膜 4 去除，藉由乾式蝕刻去除多晶矽膜 3，再者視需要將 SiO_2 膜 2 蝕刻去除。藉此形成適於微細化的 STI 結構來作為元件分離結構。在此，於第 2 圖(a)中，R1 為高耐壓 MOS 電晶體形成區域、R2 為中耐壓 MOS 電晶體形成區域、R3

為低耐壓 MOS 電晶體形成區域、R4 為電容器形成區域。這些 R1、R2、R3、R4 之各區域係藉由相鄰接的溝槽絕緣膜 7a、7b、7c、7d、7e 而彼此絕緣。

接著，如第 2 圖(b)所示，在形成有溝槽絕緣膜 7a、7b、7c、7d、7e 之 P 型矽基板 1 的表面，在與各溝槽絕緣膜 7a、7b、7c、7d、7e 相鄰接的 R1、R2、R3、R4 之各區域，形成例如 5 至 10 nm 之膜厚的虛設氧化膜 8 (例如熱氧化膜或由 CVD 法而成的 TEOS 膜)。

然後，如第 2 圖(b)所示，在電容器形成區域 R4 以外之區域 R1、R2、R3 的虛設氧化膜 8 上，藉由曝光及顯影處理而選擇性地形成光阻層 9，以此光阻層 9 作為遮罩，將 N 型雜質，例如砷離子，在加速電壓為 70 KeV，植入量為 $2 \times 10^{14} / \text{cm}^2$ 的植入條件下，離子植入電容器形成區域 R4，藉此形成電容器的下部電極層 10 (N^+ 層)。在此，虛設氧化膜 8 係具有緩和由於離子植入導致矽基板 1 破壞的任務。

接著，在去除光阻層 9 之後，將虛設氧化膜 8 蝕刻去除，使 P 型矽基板 1 的表面露出。之後，如第 2 圖(c)所示，以覆蓋 R1、R2、R3、R4 之各區域的 P 型矽基板 1 的表面及溝槽絕緣膜 7a、7b、7c、7d、7e 的方式，形成例如 20 nm 之膜厚的 SiO_2 膜 11 (例如熱氧化膜或由 CVD 法而成的 TEOS 膜或 HTO 膜)。

接著，如第 2 圖(d)所示，在高耐壓 MOS 電晶體形成區域 R1 的 SiO_2 膜 11a 上以及覆蓋電容器形成區域 R4 的

溝槽絕緣膜 7a、7b 之邊緣的 SiO_2 膜 11a 的一部分上，藉由曝光及顯影處理，選擇性地形成光阻層 12。然後以此光阻層 12 作為遮罩，藉由蝕刻來去除 SiO_2 膜 11。

由於與電容器形成區域 R4 鄰接的溝槽絕緣膜 7a、7b 的邊緣有光阻層 12 作為遮罩，所以不會被蝕刻。因此，防止如習知例之溝槽絕緣膜 7a、7b 的邊緣過度挖掘的不良狀況。

在此，殘留在高耐壓 MOS 電晶體形成區域 R1 的 SiO_2 膜 11a 係成為高耐壓 MOS 電晶體的閘極絕緣膜 11a (膜厚 $T1=20$ nm)。其中，實際上係加上後述的 SiO_2 膜 11b 及 SiO_2 膜 11c 而成為高耐壓用的閘極絕緣膜(11a+11b+11c)。

接著，如第 3 圖(a)所示，去除光阻層 12 之後，將 P 型矽基板 1 熱氧化，在電容器形成區域 R4、中耐壓 MOS 電晶體形成區域 R2 及低耐壓 MOS 電晶體形成區域 R3，形成比高耐壓 MOS 電晶體之閘極絕緣膜 11a 更薄，例如 7 nm 的 SiO_2 膜 11b。在此，以覆蓋電容器形成區域 R4 之溝槽絕緣膜 7a 及 7b 之邊緣的方式所形成之 SiO_2 膜 11a (膜厚 $T1=20$ nm)與 SiO_2 膜 11b (膜厚 $T2=7$ nm)整體成為電容器絕緣膜 13。

其中，實際上係重疊後述的 SiO_2 膜 11c 而成為電容器用絕緣膜(11a+11c, 11b+11c)。再者，形成在中耐壓 MOS 電晶體形成區域 R2 的 SiO_2 膜 11b 係直接成為中耐壓 MOS 電晶體的閘極絕緣膜 11b (膜厚 $T2=7$ nm)。其中，實際上係重疊後述的 SiO_2 膜 11c 而成為中耐壓用的閘極絕緣膜

(11b+11c)。

接著，如第 3 圖(b)所示，在電容器形成區域 R4、高耐壓 MOS 電晶體形成區域 R1 及中耐壓 MOS 電晶體形成區域 R2 上被覆光阻層 14，將低耐壓 MOS 電晶體形成區域 R3 的 SiO₂ 膜 11b 蝕刻去除，而使 P 型矽基板 1 露出。

接著，如第 3 圖(c)所示，在去除光阻層 14 之後，將矽基板 1 熱氧化，在低耐壓 MOS 電晶體形成區域 R3，形成比中耐壓 MOS 電晶體之閘極絕緣膜 11b 更薄，例如 3 nm 的 SiO₂ 膜 11c。該 SiO₂ 膜係成為低耐壓 MOS 電晶體的閘極絕緣膜 11c (膜厚 3 nm)。

接著，如第 3 圖(d)所示，在矽基板 1 全面形成大約 200 nm 的多晶矽膜 15。接著以形成在該多晶矽膜 15 上之未圖示的光阻層作為遮罩，如第 4 圖(a)所示，在高耐壓 MOS 電晶體的閘極絕緣膜 11a 上形成閘極電極 16a，在中耐壓 MOS 電晶體的閘極絕緣膜 11b 上形成閘極電極 16b，在低耐壓 MOS 電晶體的閘極絕緣膜 11c 上形成閘極電極 16c，在電容器絕緣膜 13 上形成上部電極層 17。

接著，以在高耐壓 MOS 電晶體之離子植入層形成區域上具有開口部之未圖示的光阻層作為遮罩，將 N 型雜質，例如磷離子，在加速電壓為 30 KeV，植入量為 $3 \times 10^{12} / \text{cm}^2$ 的植入條件下離子植入。藉此在高耐壓 MOS 電晶體形成區域 R1 之高耐壓 MOS 電晶體的源極／汲極區域形成離子植入層 18 (N⁻層)(如第 4 圖(b))。接著，藉由 CVD 法所形成之 TEOS 膜等使氧化膜沈積後，將該氧化膜蝕刻，

而在閘極電極 16a 之側壁部形成未圖示之側壁絕緣膜。

接著，如第 4 圖(c)所示，以在 R1、R2、R3 之各區域的 MOS 電晶體之離子植入層形成區域上具有開口部之未圖示的光阻層作為遮罩，將 N 型雜質，例如砷離子，在加速電壓為 60 KeV，植入量為 $2 \times 10^{15} / \text{cm}^2$ 的植入條件下進行離子植入。藉此在 R1、R2、R3 各區域之 MOS 電晶體的源極／汲極區域形成離子植入層 19 (N^+ 層)。

藉此在電容器形成區域 R4 形成電容器，在高耐壓 MOS 電晶體形成區域 R1 形成高耐壓 MOS 電晶體，在中耐壓 MOS 電晶體形成區域 R2 形成中耐壓 MOS 電晶體，在低耐壓 MOS 電晶體形成區域 R3 形成低耐壓 MOS 電晶體。

以上根據第 1 實施形態，由於與電容器形成區域 R4 鄰接的溝槽絕緣膜 7a、7b 邊緣有光阻層 12 作為遮罩，所以在 SiO_2 膜 11 蝕刻時，不會像習知例般過度挖掘溝槽絕緣膜 7a、7b 的邊緣。於是，其結果形成膜品質優異的電容器絕緣膜 13，使電場集中不會發生，而可防止電容器的絕緣破壞。

接著，一面參照圖示，一面說明本發明第 2 實施形態的半導體裝置之製造方法。

如第 5 圖(a)所示，藉由與上述第 1 實施形態的半導體裝置之製造方法相同的步驟，形成在 P 型矽基板 100 形成有溝槽絕緣膜 20a、20b、20c、20d、20e 的 STI 結構。

接著，如第 5 圖(b)所示，在 P 型矽基板 100 的表面，在與各溝槽絕緣膜 20a、20b、20c、20d、20e 鄰接的 R1、

R2、R3、R4 之各區域，形成例如 5 至 10 nm 之膜厚的虛設氧化膜 21 (例如熱氧化膜或由 CVD 法而成的 TEOS 膜)。

然後，以覆蓋與電容器形成區域 R4 鄰接的溝槽絕緣膜 20a、20b 邊緣的方式，在虛設氧化膜 21 上及溝槽絕緣膜 20a、20b、20c、20d、20e 上，藉由曝光及顯影處理，選擇性地形成光阻層 23，而在電容器形成區域形成開口部 22。

接著，以該光阻層 23 作為遮罩，將 N 型雜質，例如砷離子，在加速電壓為 70 KeV，植入量為 $2 \times 10^{14} / \text{cm}^2$ 的植入條件下，離子植入開口部 22，而形成電容器的下部電極層 24 (N^+ 層)。在此，由於以光阻層 23 覆蓋與電容器形成區域 R4 鄰接的溝槽絕緣膜 20a、20b，因此雜質離子並未植入溝槽絕緣膜 20a、20b。再者，虛設氧化膜 21 係具有緩和由於離子植入導致矽基板 100 破壞的任務。

接著，去除光阻層 23，之後將虛設氧化膜 21 蝕刻去除，使 P 型矽基板 100 的表面露出。然後，如第 5 圖(c)所示，以覆蓋 P 型矽基板 100 的表面及溝槽絕緣膜 20a、20b、20c、20d、20e 的方式形成例如 20 nm 之膜厚的 SiO_2 膜 25 (例如熱氧化膜或由 CVD 法而成的 TEOS 膜或是 HTO 膜)。

接著，如第 5 圖(d)所示，在高耐壓 MOS 電晶體形成區域 R1 的 SiO_2 膜 25 上，藉由曝光及顯影處理，選擇性地形成光阻層 26。然後以此光阻層 26 作為遮罩，藉由蝕刻去除 SiO_2 膜 25。在此，殘留在高耐壓 MOS 電晶體形成區

域 R1 的 SiO_2 膜 25 係成為高耐壓 MOS 電晶體的閘極絕緣膜 25a (膜厚 $T1=20$ nm)。再者，實際上加上後述的 SiO_2 膜 25b 及 SiO_2 膜 25c 而成為高耐壓用的閘極絕緣膜 (25a+25b+25c)。

在此，由於對於與電容器形成區域 R4 鄰接的溝槽絕緣膜 20a、20b，如上所述，並未植入由前述離子植入而產生的雜質，因此其蝕刻率較低，即使受到蝕刻，溝槽絕緣膜 20a、20b 的邊緣也不會被大幅挖掘。

接著，如第 6 圖(a)所示，去除光阻層 26 之後，將 P 型矽基板 100 熱氧化，而在電容器形成區域 R4、中耐壓 MOS 電晶體形成區域 R2 及低耐壓 MOS 電晶體形成區域 R3，形成比高耐壓 MOS 電晶體之閘極絕緣膜 25a 更薄，例如 7 nm 的 SiO_2 膜 25b。在此，形成在電容器形成區域 R4 的 SiO_2 膜 25b 係直接成為電容器絕緣膜 27 (膜厚 $T2=7$ nm)。

其中，實際上係重疊後述的 SiO_2 膜 25c 而成為電容器用絕緣膜 (27+25c)。再者，形成於中耐壓 MOS 電晶體形成區域 R2 的 SiO_2 膜 25b 係直接成為中耐壓 MOS 電晶體的閘極絕緣膜 25b (膜厚 $T2=7$ nm)。其中，實際上係重疊後述的 SiO_2 膜 25c 而成為中耐壓用的閘極絕緣膜 (25b+25c)。

接著，如第 6 圖(b)所示，以光阻層 28 覆蓋高耐壓 MOS 電晶體形成區域 R1、中耐壓 MOS 電晶體形成區域 R2、電容器形成區域 R4 上，將低耐壓 MOS 電晶體形成區域 R3 的 SiO_2 膜 25b 蝕刻去除，而使 P 型矽基板 100 露出。

接著，如第 6 圖(c)所示，去除光阻層 28 之後，將 P 型矽基板 100 熱氧化，在低耐壓 MOS 電晶體形成區域 R3，形成比中耐壓 MOS 電晶體之閘極絕緣膜 25b 更薄，例如 3 nm 的 SiO₂ 膜 25c。此係成為低耐壓 MOS 電晶體的閘極絕緣膜 25c (膜厚 3 nm)。

接著，如第 6 (d)圖所示，在 P 型矽基板 100 全面形成大約 200nm 的多晶矽膜 29。接著以形成在該多晶矽膜 29 上之未圖示的光阻層作為遮罩，如第 7 圖(a)所示，在高耐壓 MOS 電晶體的閘極絕緣膜 25a 上形成閘極電極 30a，在中耐壓 MOS 電晶體的閘極絕緣膜 25b 上形成閘極電極 30b，在低耐壓 MOS 電晶體的閘極絕緣膜 25c 上形成閘極電極 30c，在電容器絕緣膜 27 上形成上部電極層 31。

接著，如第 7 圖(b)所示，以在高耐壓 MOS 電晶體之離子植入層形成區域上具有開口部之未圖示的光阻層作為遮罩，將 N 型雜質，例如磷離子，在加速電壓為 30 KeV，植入量為 $3 \times 10^{12} / \text{cm}^2$ 的植入條件下進行離子植入。藉此在高耐壓 MOS 電晶體形成區域 R1 之高耐壓 MOS 電晶體的源極／汲極區域形成離子植入層 32 (N⁻層)。接著，藉由由 CVD 法形成之 TEOS 膜等使氧化膜沈積後，蝕刻該氧化膜，而於閘極電極 30a 之側壁部形成未圖示之側壁絕緣膜。

接著，如第 7 圖(c)所示，以在 R1、R2、R3 之各區域的 MOS 電晶體之離子植入層形成區域上具有開口部之未圖示的光阻層作為遮罩，將 N 型雜質，例如砷離子，在加速電壓為 60 KeV，植入量為 $2 \times 10^{15} / \text{cm}^2$ 的植入條件下進

行離子植入。藉此在 R1、R2、R3 各區域之 MOS 電晶體的源極／汲極區域形成離子植入層 33 (N⁺層)。

藉此在電容器形成區域 R4 形成電容器，在高耐壓 MOS 電晶體形成區域 R1 形成高耐壓 MOS 電晶體，在中耐壓 MOS 電晶體形成區域 R2 形成中耐壓 MOS 電晶體，在低耐壓 MOS 電晶體形成區域 R3 形成低耐壓 MOS 電晶體。再者，根據此第 2 實施形態，因為下部電極層 24 係以光阻層 23 作為遮罩，藉由離子植入而形成，所以其面積變得比第 1 實施形態的下部電極層 10 更小，使得電容器的電容值也得以變小。因此必須考慮此部分來進行設計。

以上根據第 2 實施形態，由於是以光阻層 23 作為遮罩，對於與電容器鄰接的溝槽絕緣膜 20a、20b 並未植入雜質離子，所以在 SiO₂ 膜 25 蝕刻時，溝槽絕緣膜 20a、20b 的邊緣並不會被過度挖掘。於是，其結果形成膜品質優異的電容器絕緣膜 27，使電場集中不會發生，而可防止電容器的絕緣破壞。

再者，於本發明之第 1 及第 2 實施形態中，雖然介紹適用本發明於由 P 型矽基板構成的半導體裝置之製造方法的例子，但是也可適用本發明於由 N 型矽基板構成的半導體裝置之製造方法。此情況下之用以形成下部電極層 24 的離子植入，例如可以將硼離子在加速電壓為 15 KeV，植入量為 $2 \times 10^{14} / \text{cm}^2$ 的植入條件下進行。

再者，於本發明之第 1 及第 2 實施形態中，雖然藉由熱氧化形成各電晶體的閘極絕緣膜及電容器絕緣膜，但是

並不限定於此，也可用 CVD (化學氣相沈積)、PVD (物理氣相沈積)等方法形成。

進一步而言，於本發明之第 1 及第 2 實施形態中，雖然只說明了高耐壓 MOS 電晶體的 LDD (Lightly Doped Drain)構造之源極／汲極區域的例子，然而低耐壓或中耐壓 MOS 電晶體也可以同樣採用 LDD 構造。

再者，於本發明之第 1 及第 2 實施形態中，雖然對於在同一半導體基板上設置電容器及閘極絕緣膜之膜厚不同的 3 種 MOS 電晶體之半導體裝置的製造方法進行說明，但是並不限定於此，亦可將本發明適用於在同一半導體基板上設置電容器與至少一個 MOS 電晶體之半導體裝置的製造方法。

【圖式簡單說明】

第 1 圖(a)至(d)為說明本發明第 1 實施形態的半導體裝置之製造方法的剖面圖。

第 2 圖(a)至(d)為說明本發明第 1 實施形態的半導體裝置之製造方法的剖面圖。

第 3 圖(a)至(d)為說明本發明第 1 實施形態的半導體裝置之製造方法的剖面圖。

第 4 圖(a)至(c)為說明本發明第 1 實施形態的半導體裝置之製造方法的剖面圖。

第 5 圖(a)至(d)為說明本發明第 2 實施形態的半導體裝置之製造方法的剖面圖。

第 6 圖(a)至(d)為說明本發明第 2 實施形態的半導體裝

置之製造方法的剖面圖。

第 7 圖 (a) 至 (c) 為說明本發明第 2 實施形態的半導體裝置之製造方法的剖面圖。

第 8 圖 (a) 及 (b) 為說明習知實施形態的半導體裝置之製造方法的剖面圖。

第 9 圖 (a) 及 (b) 為說明習知實施形態的半導體裝置之製造方法的剖面圖。

第 10 圖為說明習知實施形態的半導體裝置之製造方法的剖面圖。

【主要元件符號說明】

1、100、200 P 型矽基板

2、11、25、53 SiO_2 膜

3、15、29 多晶矽膜 4 Si_3N_4 膜

5、9、12、14、23、26、28 光阻層

5h、22 開口部 6a、6b、6c、6d、6e 溝槽

7a、7b、7c、7d、7e、20a、20b、20c、20d、20e、50 溝槽絕緣膜

8、31、51 虛設氧化膜

10、24、52 下部電極層

11a、25a 高耐壓 MOS 電晶體的閘極絕緣膜

11b、25b 中耐壓 MOS 電晶體的閘極絕緣膜

11c、25c 低耐壓 MOS 電晶體的閘極絕緣膜

13、27、54 電容器絕緣膜

16a、16b、16c、17、30a、30b、30c 閘極電極

I294149

18、32 離子植入層 (N^-)

19、33 離子植入層 (N^+)

31、55 上部電極層 60 角部

R1 高耐壓 MOS 電晶體形成區域

R2 中耐壓 MOS 電晶體形成區域

R3 低耐壓 MOS 電晶體形成區域

R4 電容器形成區域

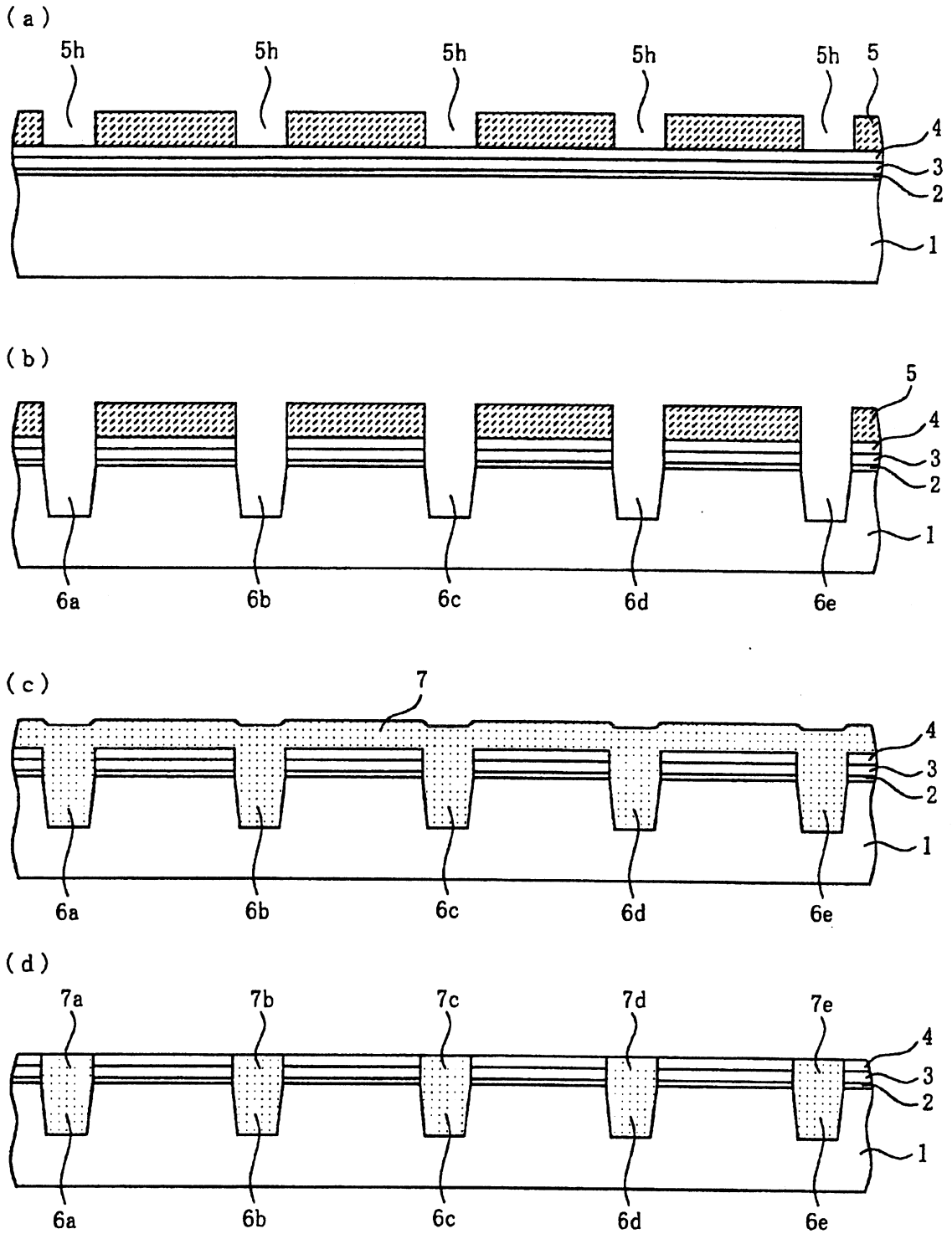
五、中文發明摘要：

本發明係關於將電容器與 MOS 電晶體設置於同一半導體基板上的半導體裝置，用以防止電容器的絕緣破壞。

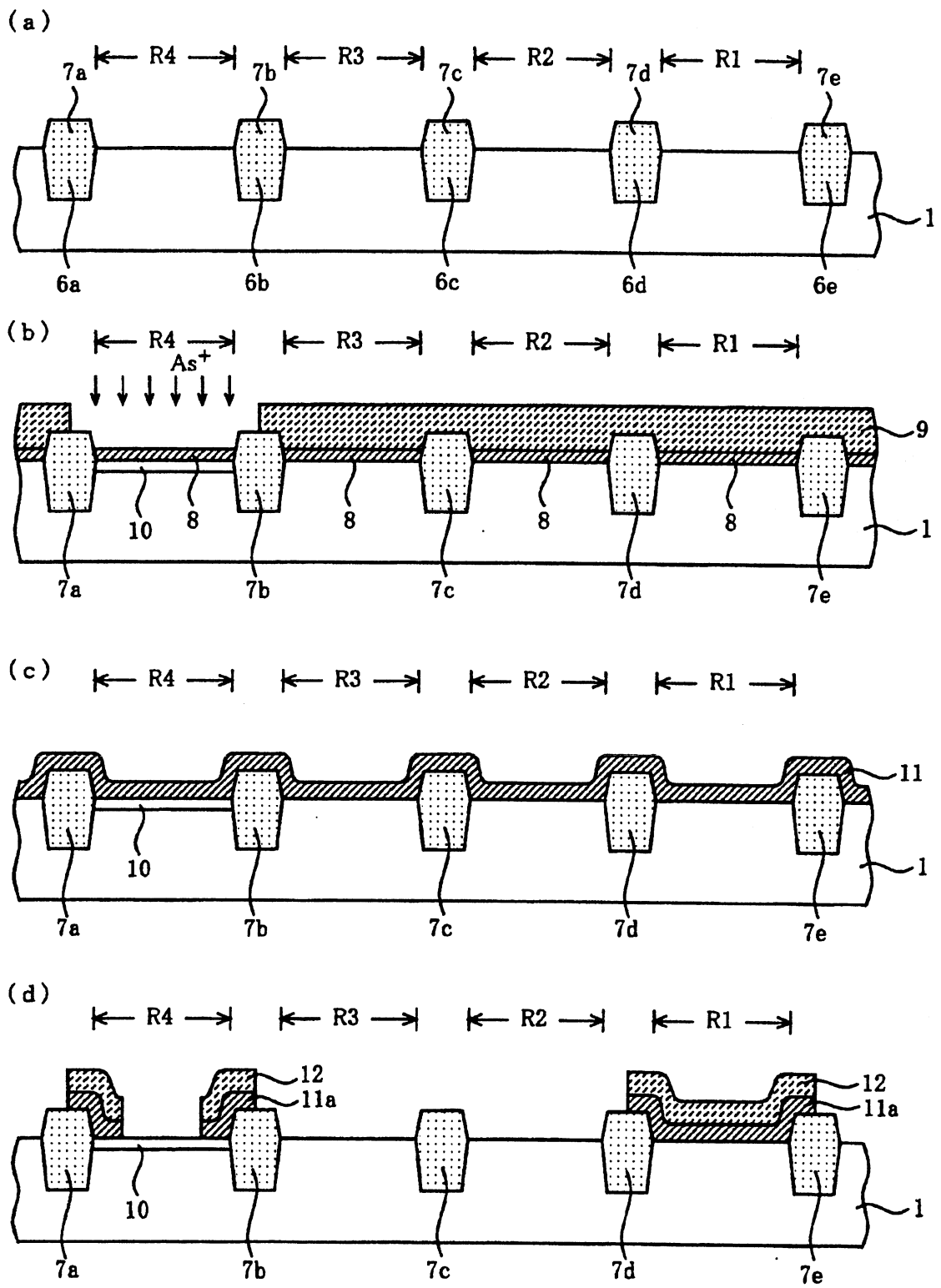
本發明之半導體裝置之製造方法係在 P 型半導體基板 1 上之全面形成作為高耐壓 MOS 電晶體之閘極絕緣膜的 SiO₂ 膜 11。在覆蓋與高耐壓 MOS 電晶體形成區域 R1 及電容器形成區域 R4 鄰接的溝槽絕緣膜 7a、7b 邊緣之 SiO₂ 膜 11a 的一部分上，選擇性地形成光阻層(photoresist)12，將此光阻層 12 作為遮罩，藉由蝕刻去除 SiO₂ 膜 11。進行此蝕刻時，由於光阻層 12 成為遮罩，因此與電容器鄰接的溝槽絕緣膜 7a、7b 邊緣不會被過度挖掘。進行此蝕刻時留下的 SiO₂ 膜 11a 與之後形成的 SiO₂ 膜係作為電容器絕緣膜。

六、英文發明摘要：

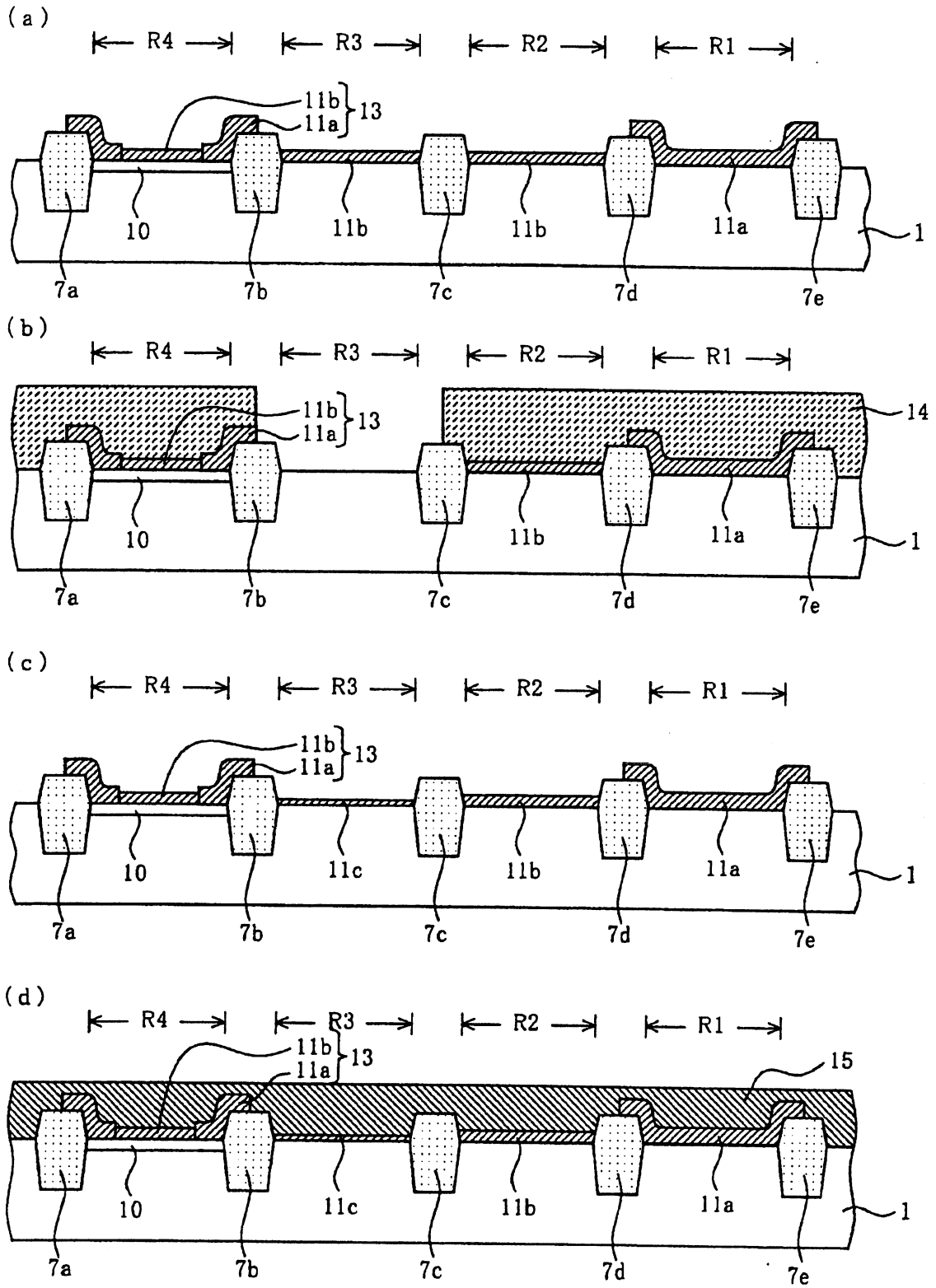
Provided is a method of producing semiconductor device, the semiconductor device being with a capacitor and a MOS transistor mounted on the same semiconductor substrate, capable of preventing the destruction of capacitor isolation. P-type semiconductor substrate 1 is formed over all with a SiO₂ film to be used as a gate isolation film of high voltage resistant MOS transistor. A part of SiO₂ film 11a, which covers the edge of trench isolation film 7a, 7b adjacent to the forming area R1 of high voltage resistant MOS transistor and the forming area R4 of capacitor, is selectively formed with a photoresist layer 12, the SiO₂ film is to be removed by etching using the photoresist layer 12 as a mask. When etching, since photo resist layer 12 is used as mask, the edge of trench isolation film 7a, 7b adjacent to the capacitor will not be over scooped out. The SiO₂ film remained through the etching and the SiO₂ film formed after etching can be used as a capacitor isolation film.



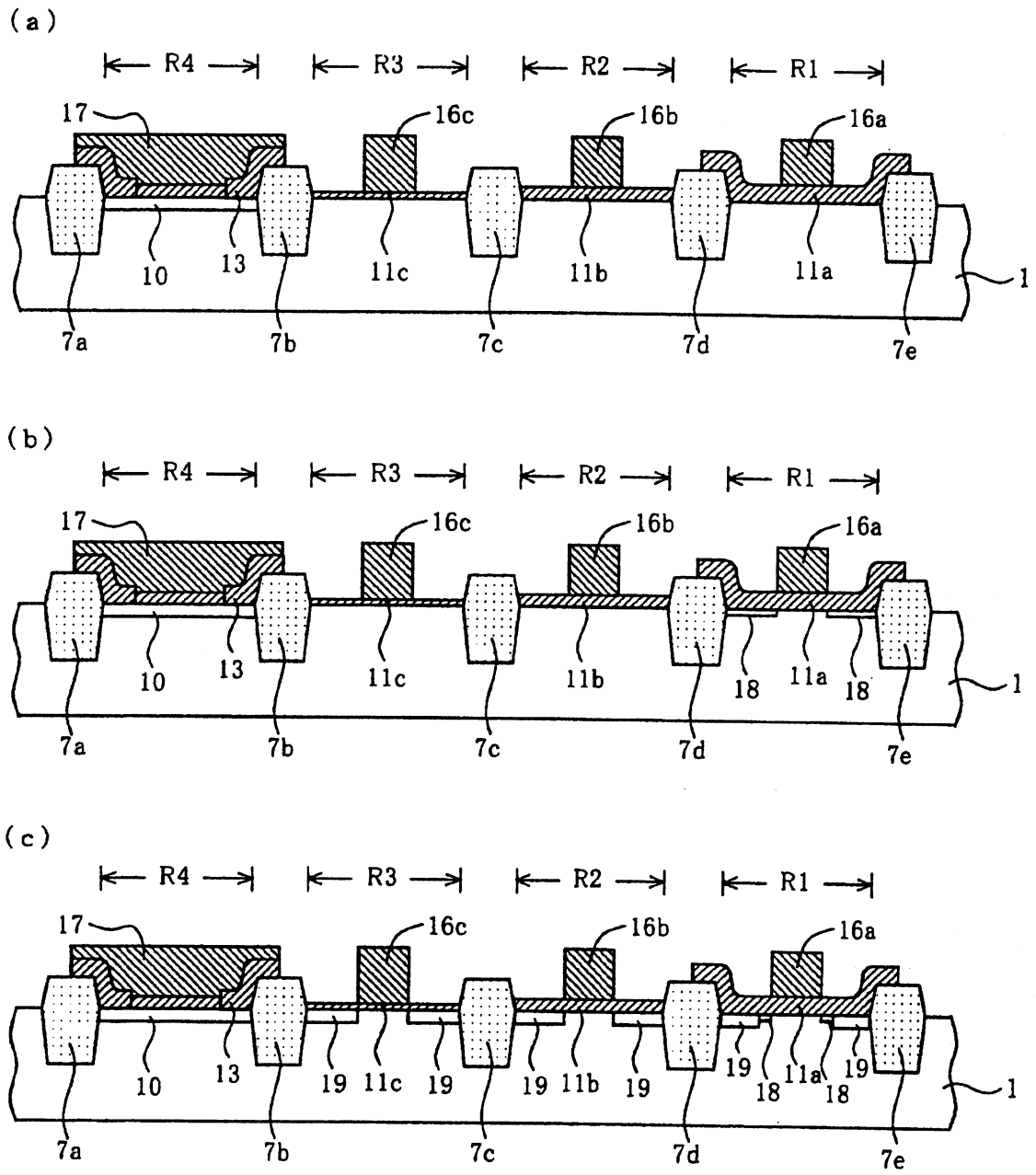
第1圖



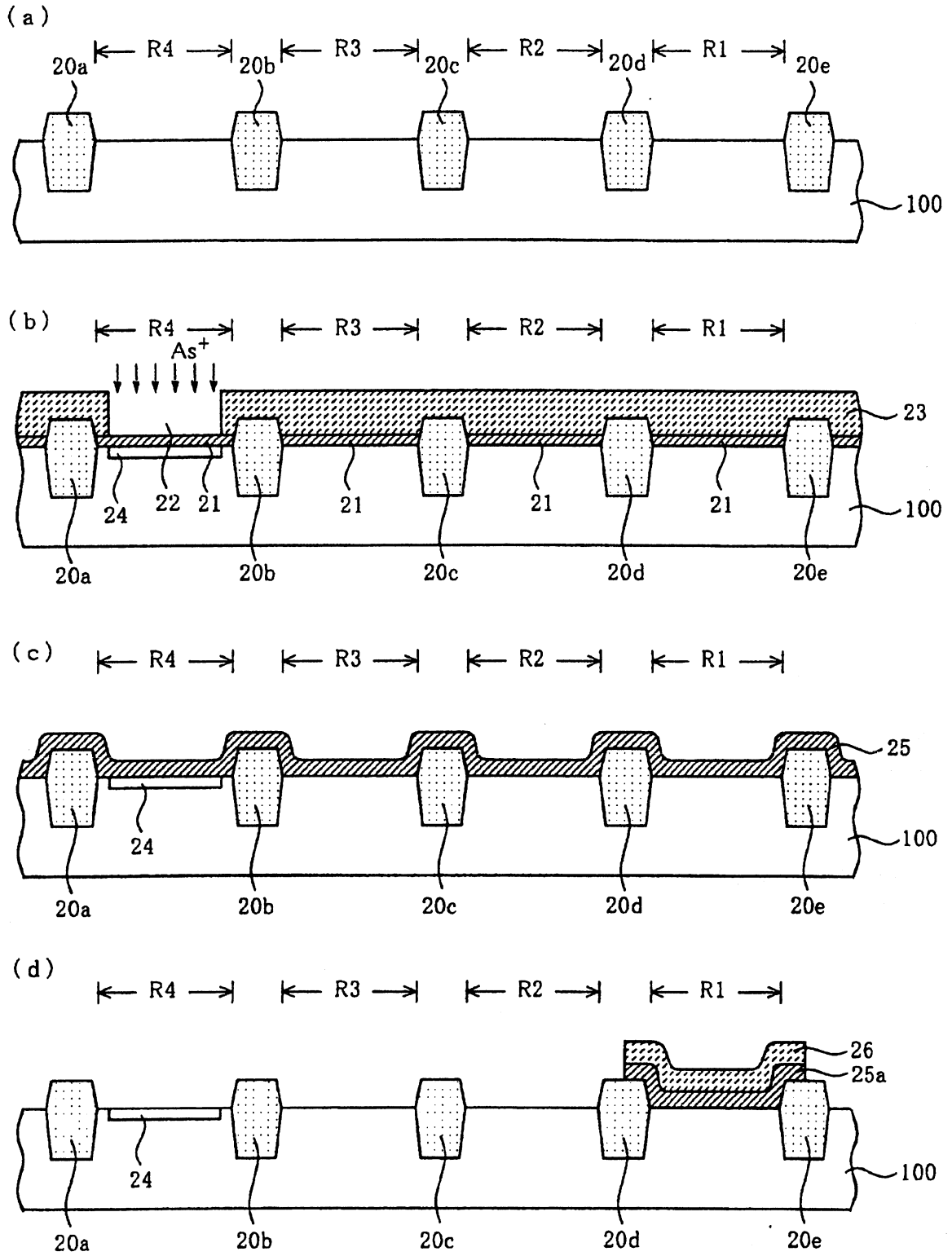
第2圖



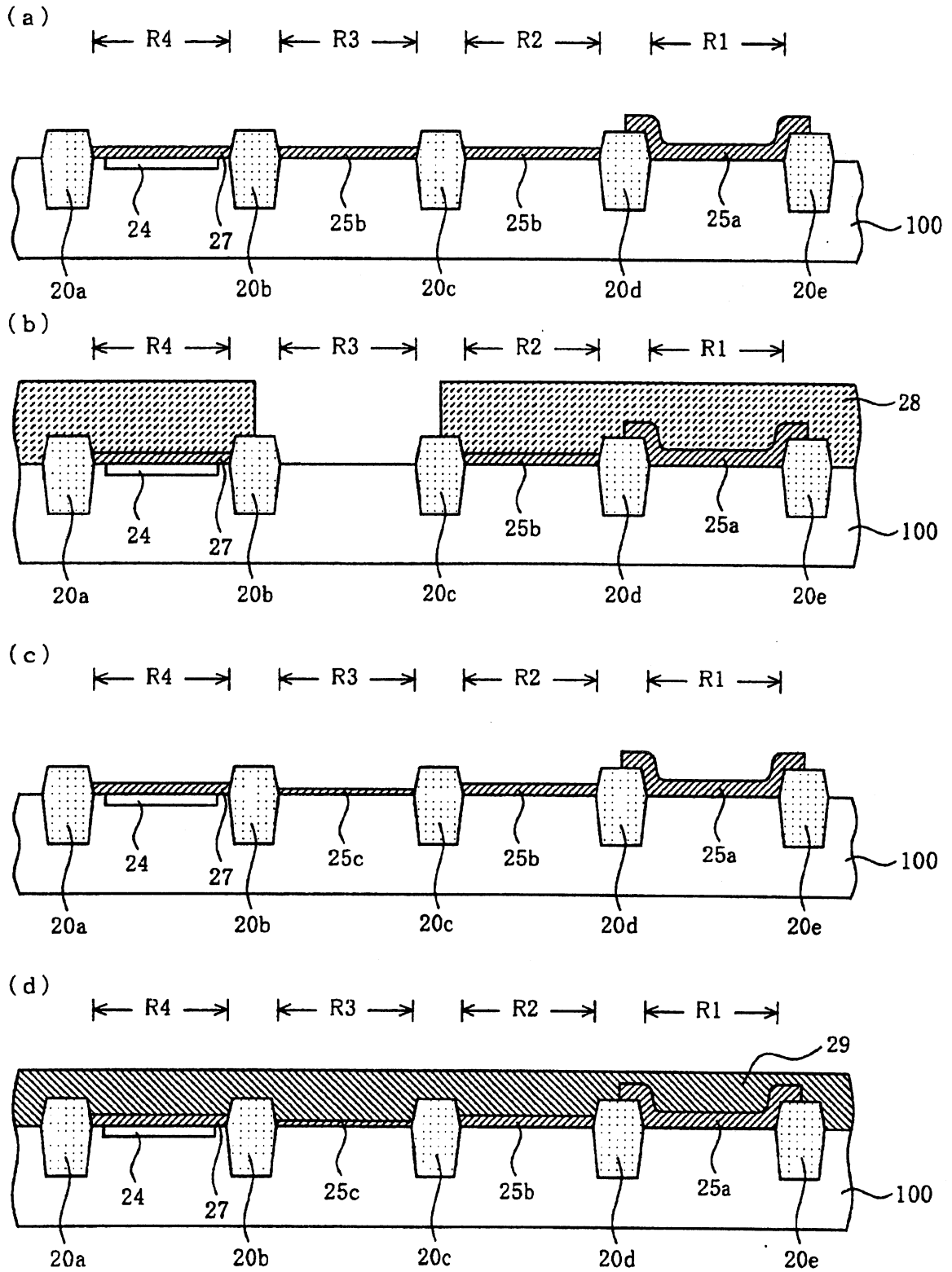
第3圖



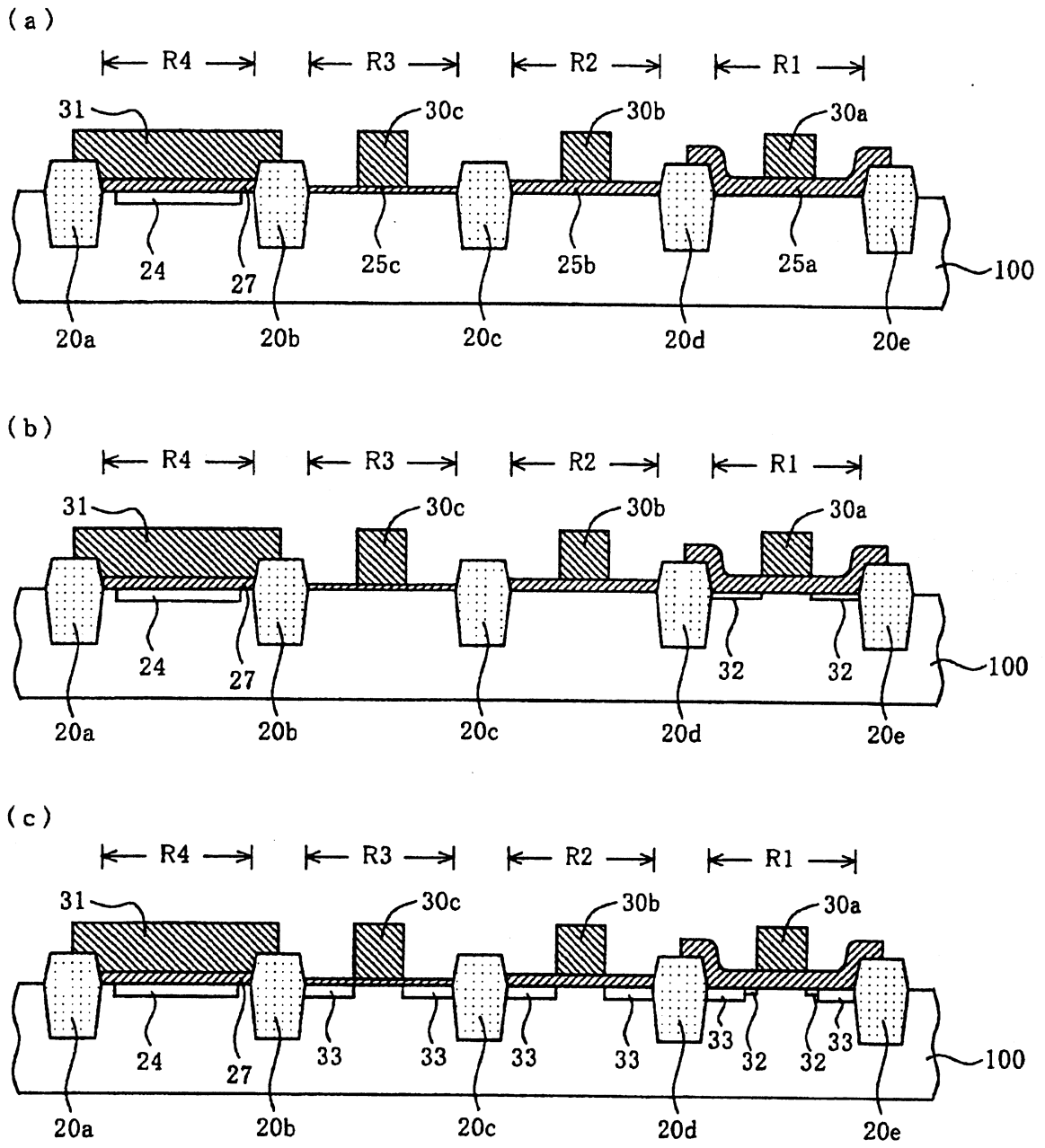
第4圖



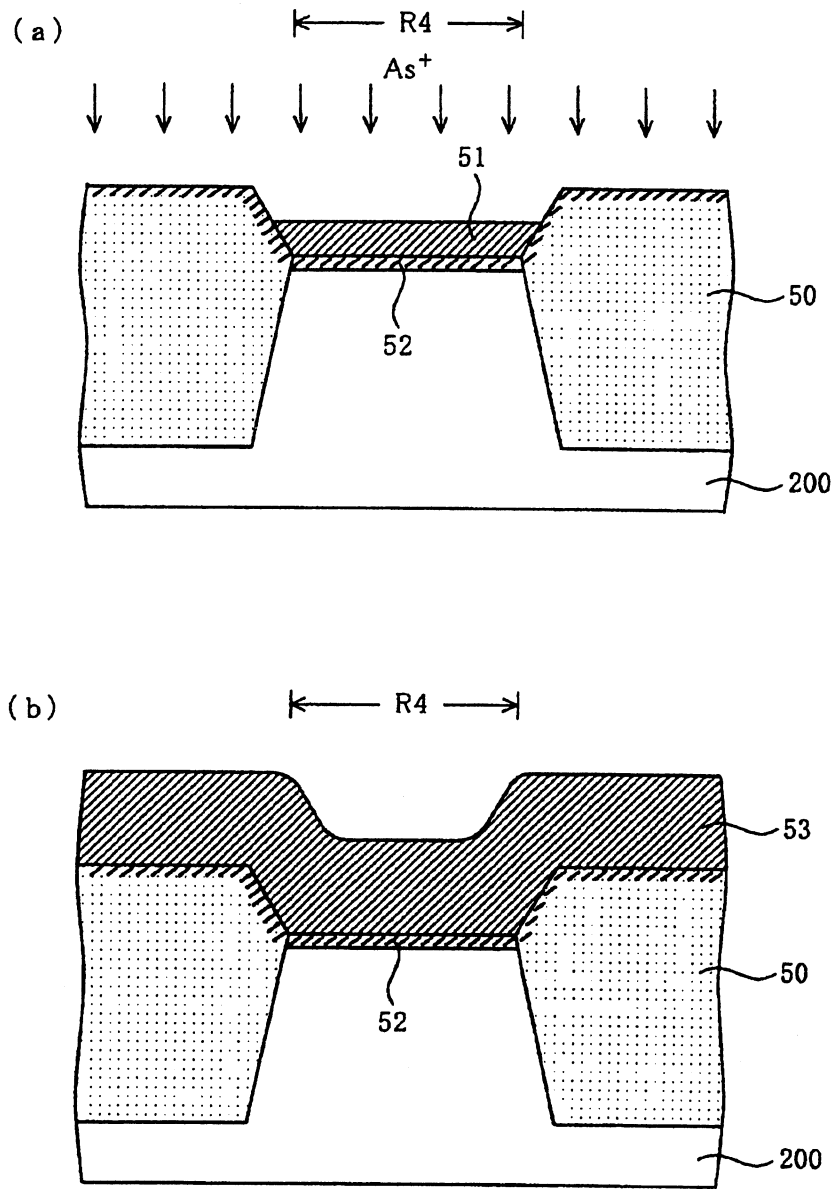
第5圖



第6圖

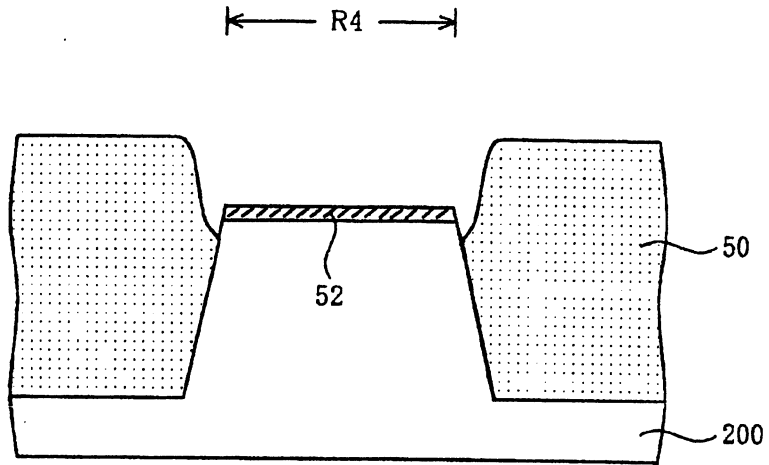


第7圖

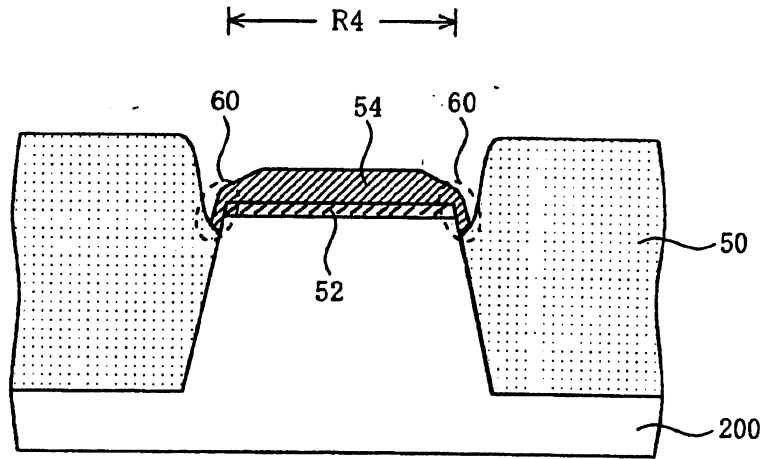


第8圖

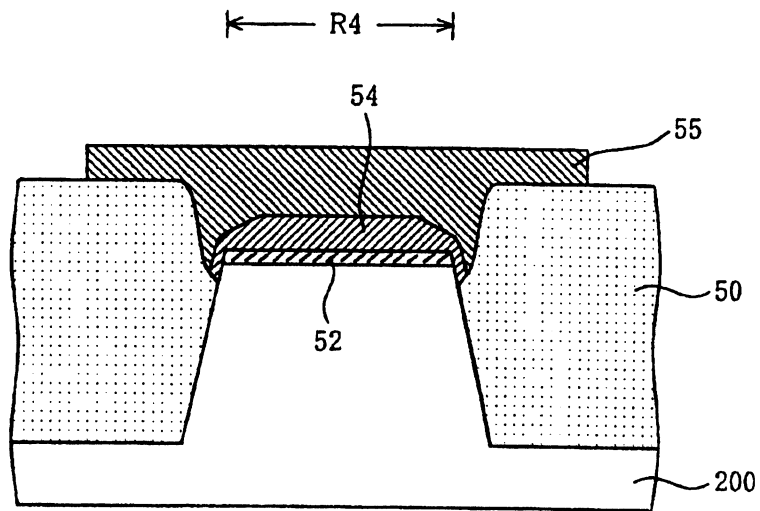
(a)



(b)



第9圖



第10圖

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

6a、6b、6c、6d、6e 溝槽

7a、7b、7c、7d、7e 溝槽絕緣膜

8 虛設氧化膜 9、12 光阻層

10 下部電極層 11 SiO₂膜

11a 高耐壓 MOS 電晶體的閘極絕緣膜

R1 高耐壓 MOS 電晶體形成區域

R2 中耐壓 MOS 電晶體形成區域

R3 低耐壓 MOS 電晶體形成區域

R4 電容器形成區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

十、申請專利範圍：

1. 一種半導體裝置之製造方法，係在半導體基板的表面將電容器與至少一個 MOS 電晶體設置於同一半導體基板上之半導體裝置之製造方法，其特徵為具有：

形成與前述半導體基板之電容器形成區域及 MOS 電晶體形成區域鄰接的元件分離絕緣膜之步驟；

將雜質離子植入前述電容器形成區域，而形成下部電極層之步驟；

在前述半導體基板上的全面形成第 1 絕緣膜之步驟；

在覆蓋與前述電容器形成區域鄰接的前述元件分離絕緣膜邊緣之前述第 1 絕緣膜的一部分上及前述 MOS 電晶體形成區域的前述第 1 絕緣膜上，形成光阻層之步驟；

以前述光阻層作為遮罩，蝕刻前述第 1 絕緣膜之步驟；

至少在前述電容器形成區域形成第 2 絕緣膜，使前述第 1 絕緣膜與前述第 2 絕緣膜作為電容器絕緣膜之步驟；及

在形成於前述 MOS 電晶體形成區域之前述第 1 絕緣膜上形成閘極電極，且在前述電容器絕緣膜上形成上部電極層之步驟。

2. 一種半導體裝置之製造方法，係在半導體基板的表面將電容器與至少一個 MOS 電晶體設置於同一半導體基板

上之半導體裝置之製造方法，其特徵為具有：

形成與前述半導體基板之電容器形成區域及 MOS 電晶體形成區域鄰接的元件分離絕緣膜之步驟；

將與前述電容器形成區域鄰接的元件分離絕緣膜邊緣覆蓋，形成在前述電容器形成區域具有開口部的光阻層之步驟；

以前述光阻層作為遮罩，將雜質離子植入前述開口部，而形成下部電極層之步驟；

在前述半導體基板上的全面形成第 1 絕緣膜之步驟；

將形成在前述電容器形成區域之前述第 1 絕緣膜蝕刻之步驟；

至少在前述電容器形成區域形成第 2 絕緣膜，以前述第 2 絕緣膜作為電容器絕緣膜之步驟；及

在形成於前述 MOS 電晶體形成區域之前述第 1 絕緣膜上形成閘極電極，在前述電容器絕緣膜上形成上部電極層之步驟。

3. 如申請專利範圍第 1 或 2 項之半導體裝置之製造方法，其中，設前述第 1 絕緣膜的膜厚為 $T1$ ，前述第 2 絕緣膜的膜厚為 $T2$ 時，係滿足 $T1 > T2$ 的關係。
4. 如申請專利範圍第 1 或 2 項之半導體裝置之製造方法，其中，前述元件分離絕緣膜係溝槽絕緣膜。
5. 如申請專利範圍第 3 項之半導體裝置之製造方法，其中，前述元件分離絕緣膜係溝槽絕緣膜。

6. 一種半導體裝置之製造方法，係在半導體基板的表面將電容器及分別具備具有第 1 膜厚之閘極絕緣膜、具有第 2 膜厚之閘極絕緣膜、具有第 3 膜厚之閘極絕緣膜的第 1、第 2 及第 3 MOS 電晶體設置於同一半導體基板上之半導體裝置之製造方法，其特徵為具有：

與前述半導體基板的電容器形成區域、第 1、第 2 及第 3 MOS 電晶體形成區域之各區域鄰接而形成元件分離絕緣膜之步驟；

將雜質離子植入前述電容器形成區域，而形成下部電極層之步驟；

在前述半導體基板上之全面形成第 1 絕緣膜之步驟；

在將與前述電容器形成區域鄰接的前述元件分離絕緣膜邊緣予以覆蓋之前述第 1 絕緣膜的一部分上及前述第 1 MOS 電晶體形成區域的前述第 1 絕緣膜上，形成光阻層之步驟；

以前述光阻層作為遮罩，將形成在前述電容器形成區域、前述第 2 及第 3 MOS 電晶體形成區域之前述第 1 絕緣膜蝕刻之步驟；

在前述半導體基板上之全面形成第 2 絕緣膜之步驟；

將形成在前述第 3 MOS 電晶體形成區域之前述第 2 絕緣膜蝕刻之步驟；

至少在前述第 3 MOS 電晶體形成區域形成第 3 絕

緣膜之步驟；及

以形成於前述第 1 區域之前述第 1 絕緣膜作為第 1 MOS 電晶體的閘極絕緣膜，以形成於前述第 2 區域之前述第 2 絕緣膜作為第 2 MOS 電晶體的閘極絕緣膜，以形成於前述第 3 MOS 電晶體形成區域之前述第 3 絕緣膜作為第 3 MOS 電晶體的閘極絕緣膜，以形成於前述電容器區域之前述第 2 絕緣膜作為電容器絕緣膜，而在前述第 1 MOS 電晶體的閘極絕緣膜上形成第 1 閘極電極，在前述第 2 MOS 電晶體的閘極絕緣膜上形成第 2 閘極電極，在前述第 3 MOS 電晶體的閘極絕緣膜上形成第 3 閘極電極，在前述電容器絕緣膜上形成上部電極層之步驟。

7. 一種半導體裝置之製造方法，係在半導體基板的表面將電容器及分別具備具有第 1 膜厚之閘極絕緣膜、具有第 2 膜厚之閘極絕緣膜、具有第 3 膜厚之閘極絕緣膜的第 1、第 2 及第 3 MOS 電晶體設置於同一半導體基板上之半導體裝置之製造方法，其特徵為具有：

形成與前述半導體基板之電容器形成區域、第 1、第 2 及第 3 MOS 電晶體形成區域鄰接的元件分離絕緣膜之步驟；

將與前述電容器形成區域鄰接的元件分離絕緣膜邊緣覆蓋，而在前述電容器形成區域形成開口部之步驟；

以前述光阻層作為遮罩，將雜質離子植入前述開口部，而形成下部電極層之步驟；

在前述半導體基板上之全面形成第 1 絕緣膜之步驟；

將形成在前述電容器形成區域、前述第 2 及第 3 區域之前述第 1 絕緣膜蝕刻之步驟；

在前述半導體基板上之全面形成第 2 絕緣膜之步驟；

將形成在前述第 3 區域之前述第 2 絕緣膜蝕刻之步驟；

至少在前述第 3 MOS 電晶體形成區域形成第 3 絕緣膜之步驟；及

以形成在前述第 1 區域之前述第 1 絕緣膜作為第 1 MOS 電晶體的閘極絕緣膜，以形成在前述第 2 區域之前述第 2 絕緣膜作為第 2 MOS 電晶體的閘極絕緣膜，以形成在前述第 3 區域之前述第 3 絕緣膜作為第 3 MOS 電晶體的閘極絕緣膜，以形成在前述電容器形成區域之前述第 2 絕緣膜作為電容器絕緣膜，在前述第 1 MOS 電晶體的閘極絕緣膜上形成第 1 閘極電極，在前述第 2 MOS 電晶體的閘極絕緣膜上形成第 2 閘極電極，在前述第 3 MOS 電晶體的閘極絕緣膜上形成第 3 閘極電極，在前述電容器絕緣膜上形成上部電極層之步驟。

8. 如申請專利範圍第 6 或 7 項之半導體裝置之製造方法，其中，設前述第 1 絕緣膜的膜厚為 $T1$ ，前述第 2 絕緣膜的膜厚為 $T2$ ，前述第 3 絕緣膜的膜厚為 $T3$ 時，係滿足 $T1 > T2 > T3$ 的關係。

9. 如申請專利範圍第 6 或 7 項之半導體裝置之製造方法，其中，前述元件分離絕緣膜係溝槽絕緣膜。
10. 如申請專利範圍第 8 項之半導體裝置之製造方法，其中，前述元件分離絕緣膜係溝槽絕緣膜。