

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6274962号
(P6274962)

(45) 発行日 平成30年2月7日(2018.2.7)

(24) 登録日 平成30年1月19日(2018.1.19)

(51) Int.Cl. F 1
G 0 6 T 1 5 / 0 0 (2 0 1 1 . 0 1) G 0 6 T 1 5 / 0 0 5 0 1

請求項の数 14 (全 13 頁)

(21) 出願番号	特願2014-91918 (P2014-91918)	(73) 特許権者	308033283
(22) 出願日	平成26年4月25日 (2014.4.25)		株式会社スクウェア・エニックス
(65) 公開番号	特開2015-210672 (P2015-210672A)		東京都新宿区新宿六丁目27番30号
(43) 公開日	平成27年11月24日 (2015.11.24)	(74) 代理人	100076428
審査請求日	平成28年12月26日 (2016.12.26)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 情報処理装置、制御方法、プログラム及び記録媒体

(57) 【特許請求の範囲】

【請求項1】

3次元シーンを所定の視点について描画した矩形画像を生成する情報処理装置であって

、
 前記視点と前記矩形画像の各画素に描画される前記3次元シーン内の所定の点とで規定される直線上に存在するフラグメント数を取得する取得手段と、

前記矩形画像に対応するスクリーン座標系における2次元領域を複数の領域に分割する分割手段と、

前記複数の領域の夫々を演算の一単位として、所定の演算を行う演算手段と、を有し、
 前記分割手段は、分割後の各領域に含まれる前記フラグメント数の総和の差が最小となるような1以上の分割線で前記2次元領域を前記複数の領域に分割する情報処理装置。

10

【請求項2】

3次元シーンを所定の視点について描画した矩形画像を生成する情報処理装置であって

、
 前記視点と前記矩形画像の各画素に描画される前記3次元シーン内の所定の点とで規定される直線上に存在するフラグメント数を取得する取得手段と、

前記矩形画像に対応するスクリーン座標系における2次元領域を複数の領域に分割する分割手段と、

前記複数の領域の夫々を演算の一単位として、所定の演算を行う演算手段と、を有し、
 前記分割手段は、分割後の各領域に含まれる前記フラグメント数の総和の差が所定の値

20

以下となるような 1 以上の分割線で前記 2 次元領域を前記複数の領域に分割する情報処理装置。

【請求項 3】

前記分割手段は、水平軸及び垂直軸の少なくともいずれかの軸に直交する直線を前記分割線として、前記 2 次元領域を前記複数の領域に分割する請求項 1 または 2 に記載の情報処理装置。

【請求項 4】

前記分割手段は、各領域に含まれる前記フラグメント数の総和が、予め定められたフラグメント数以下となるまで前記 2 次元領域を分割する請求項 1 乃至 3 のいずれか 1 項に記載の情報処理装置。

10

【請求項 5】

前記予め定められたフラグメント数は、前記所定の演算に使用する記憶領域の容量に応じて定められる請求項 4 に記載の情報処理装置。

【請求項 6】

前記分割線は直線であり、

前記分割手段は、1 つの領域を分割する前記分割線の方向を、分割後の複数の領域のいずれかの領域の形状が正方形に近くなる方向に決定する請求項 1 乃至 5 のいずれか 1 項に記載の情報処理装置。

【請求項 7】

前記取得手段は、前記矩形画像の対応する画素について取得した前記フラグメント数を各画素が有する 2 次元画像に基づいて範囲総和テーブルを生成する生成手段を有し、

20

前記分割手段は、前記生成手段により生成された前記範囲総和テーブルに基づいて前記分割後の各領域に含まれる前記フラグメント数の総和を算出する請求項 1 乃至 6 のいずれか 1 項に記載の情報処理装置。

【請求項 8】

前記生成手段は、前記 2 次元画像の分解能を低下させて得られた画像に基づいて前記範囲総和テーブルを生成する請求項 7 に記載の情報処理装置。

【請求項 9】

前記生成手段は、前記所定の演算において並行して処理される画素数に基づいて前記 2 次元画像の分解能を低下させる請求項 8 に記載の情報処理装置。

30

【請求項 10】

前記分割手段により分割された前記複数の領域のそれぞれを選択して前記矩形画像の対応する領域を描画する描画手段をさらに有する請求項 1 乃至 9 のいずれか 1 項に記載の情報処理装置。

【請求項 11】

3 次元シーンを所定の視点について描画した矩形画像を生成する情報処理装置の制御方法であって、

前記視点と前記矩形画像の各画素に描画される前記 3 次元シーン内の所定の点とで規定される直線上に存在するフラグメント数を取得する取得工程と、

前記矩形画像に対応するスクリーン座標系における 2 次元領域を複数の領域に分割する分割工程と、

40

前記複数の領域の夫々を演算の一単位として、所定の演算を行う演算工程と、を有し、前記分割工程において、分割後の各領域に含まれる前記フラグメント数の総和の差が最小となるような 1 以上の分割線で前記 2 次元領域が前記複数の領域に分割される情報処理装置の制御方法。

【請求項 12】

3 次元シーンを所定の視点について描画した矩形画像を生成する情報処理装置の制御方法であって、

前記視点と前記矩形画像の各画素に描画される前記 3 次元シーン内の所定の点とで規定される直線上に存在するフラグメント数を取得する取得工程と、

50

前記矩形画像に対応するスクリーン座標系における２次元領域を複数の領域に分割する分割工程と、

前記複数の領域の夫々を演算の一単位として、所定の演算を行う演算工程と、を有し、前記分割工程において、分割後の各領域に含まれる前記フラグメント数の総和の差が所定の値以下となるような１以上の分割線で前記２次元領域が前記複数の領域に分割される情報処理装置の制御方法。

【請求項 1 3】

１以上のコンピュータを、請求項 1 乃至 1 0 のいずれか 1 項に記載の情報処理装置の各手段として機能させるためのプログラム。

【請求項 1 4】

請求項 1 3 に記載のプログラムを記録したコンピュータが読み取り可能な記録媒体。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、情報処理装置、制御方法、プログラム及び記録媒体に関し、特に 3 D シーンの描画技術に関する。

【背景技術】

【0 0 0 2】

3 D グラフィックスは、ゲームや映画に限らず、様々な分野において視覚化表現方法として用いられている。このような 3 D グラフィックスの分野では、近年、より写実的な描写、あるいは上質な描画表現に近づけるために様々な手法が提案されている。

【0 0 0 3】

3 D グラフィックスの写実性を向上させるための手法の 1 つに、間接照明等、光源から放出された光が複数回反射や散乱を考慮した照明を反映させる大域照明 (Global Illumination) 手法がある。該手法では、1 つの描画オブジェクトについて、定義された照明 (光源) によって直接生じた陰影を描画するだけでなく、該光源が他の描画オブジェクトで反射することで現れる間接照明も考慮して陰影を描画することで、よりリアリティ味のある描画表現を提供することができる。

【0 0 0 4】

大域照明に係る影響を解析する手法には様々なものがあるが、近年では並行演算能力に優れた GPU を用いて解析を行う手法が提案されている。レイバンドルトレーシング手法では、解析対象の 3 D シーンに対してサンプリング方向を選択して平行な光線 (レイ) の集合 (光線束) を定義し、各光線上の深度方向に並んだ描画オブジェクト間の反射を解析し、入射放射輝度を求める。このとき、光線上には複数の描画オブジェクトが存在することもあるため、1 つの光線について複数のフラグメントが存在し、連続するフラグメントで規定される複数の区間における相互反射を解析することもある。非特許文献 1 には、このような 1 つの光線上に存在するフラグメントで規定される区間を考慮するために、リンクトリストを用いて光線上の各区間を関連付けている。

【0 0 0 5】

ところで、非特許文献 1 のようなリンクトリストは、O I T (Order-Independent Transparency) にも用いることができる。O I T とは、半透明表示を描画順序に依らずに、即ち半透明表示で描画される最奥のオブジェクトから視点方向に順番に描画を行わずとも半透明表示を実現できる 3 D グラフィックスの描画手法である。この場合、視点について描画する 2 次元画像の各画素について、視点から各画素の方向に延びる直線上に存在するフラグメントをリンクトリストとして構成することができる。

【0 0 0 6】

しかしながら、このようにリンクトリストを用いる場合、描画される画像や解析対象のマップの 1 つの画素には複数のフラグメントが含まれることになるため、総画素数以上の情報を有することになる。即ち、フラグメント数の総和が大きい場合、処理に使用する有限のメモリ領域内に処理対象の情報の全体を収めることができな (メモリ溢れ) 可能性

10

20

30

40

50

がある。これに対し非特許文献2には、描画する2次元画像の領域を均一なサイズを有する格子状のタイルに分割し、分割したタイルごとに描画処理を行う手法(タイリング)が開示されている。また非特許文献3には、領域内のフラグメント数を予測し、メモリ溢れが生じないようにタイルサイズを適応的に変更してタイリングを行う手法が開示されている。

【先行技術文献】

【非特許文献】

【0007】

【非特許文献1】徳吉雄介、外2名著、「光線束を用いた高速大域照明ベイキング(Fast Global Illumination Baking via Ray-Bundles)」、シーグラフ・アジア2011テクニカル・スケッチ(SIGGRAPH Asia 2011 Technical Sketches)、2011年

10

【非特許文献2】ニコラス・ティビロズ(Nicolas Thibieroz)著、「画素毎のリンクトリストを用いるOIT(Order-Independent Transparency using Per-Pixel Linked Lists)」、GPU Pro 2、エー・ケー・ピーターズ(A K Peters)、2011年3月11日、第7章の2、p.409 - 431

【非特許文献3】徳吉雄介、外3名著、「メモリ使用予測を伴う適応的レイバンドルトレーシング: 広大なシーンの効率的なグローバルイルミネーション(Adaptive Ray-bundle Tracing with Memory Usage Prediction: Efficient Global Illumination in Large Scenes)」、コンピュータグラフィックスフォーラム2013(Computer Graphics Forum 2013)、2013年

20

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、非特許文献3に記載されるタイリングの手法では、GPUとの親和性や解析処理における参照用としての利便性を考慮して、タイリングの対象となるマップは、四分木(Quadtree)ベースでタイル分割を行うか否かの判断が行われていた。即ち、あるサイズのタイルについて分割すると判断した場合、該タイルは水平方向に2分割、垂直方向に2分割した4つのタイルに分割される構成となっているため、各方向に2のべき乗数の画素を有する正方形の画像に制約されるものであった。つまり、任意のアスペクト比の矩形領域を処理することを想定した手法ではなかった。

30

【0009】

本発明の少なくとも1つの実施形態は、上述の問題点に鑑みてなされたものであり、任意のアスペクト比の矩形領域について、フラグメント数を考慮した好適なタイリングを行う情報処理装置、制御方法、プログラム及び記録媒体を提供することを目的とする。

【課題を解決するための手段】

【0010】

前述の目的を達成するために、本発明の少なくとも1つの実施形態に係る情報処理装置は、3次元シーンを所定の視点について描画した矩形画像を生成する情報処理装置であって、視点と矩形画像の各画素に描画される3次元シーン内の所定の点とで規定される直線上に存在するフラグメント数を取得する取得手段と、矩形画像に対応するスクリーン座標系における2次元領域を複数の領域に分割する分割手段と、複数の領域の夫々を演算の1単位として、所定の演算を行う演算手段と、を有し、分割手段は、分割後の各領域に含まれるフラグメント数の総和の差が最小となるような1以上の分割線で2次元領域を複数の領域に分割する。

40

【0011】

また前述の目的を達成するために、本発明の少なくとも1つの実施形態に係る情報処理装置は、3次元シーンを所定の視点について描画した矩形画像を生成する情報処理装置であって、視点と矩形画像の各画素に描画される3次元シーン内の所定の点とで規定される直線上に存在するフラグメント数を取得する取得手段と、矩形画像に対応するスクリーン座標系における2次元領域を複数の領域に分割する分割手段と、複数の領域の夫々を演算

50

の一単位として、所定の演算を行う演算手段と、を有し、分割手段は、分割後の各領域に含まれるフラグメント数の総和の差が所定の値以下となるような1以上の分割線で2次元領域を複数の領域に分割する。

【発明の効果】

【0012】

このような構成により本発明の少なくとも1つの実施形態によれば、任意のアスペクト比の矩形領域について、フラグメント数を考慮した最適なタイリングを行うことが可能となる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施形態に係るPC100の機能構成を示したブロック図

【図2】本発明の実施形態で用いるkd木によるタイル分割を説明するための図

【図3】本発明の実施形態1に係るPC100で実行される描画処理を例示したフローチャート

【図4】本発明の実施形態の描画処理で構築する範囲総和テーブルを説明するための図

【図5】本発明の実施形態に係るPC100で実行されるタイリング処理を例示したフローチャート

【図6】本発明の実施形態2に係るPC100で実行される描画処理を例示したフローチャート

【発明を実施するための形態】

【0014】

[実施形態1]

以下、本発明の例示的な実施形態について、図面を参照して詳細に説明する。なお、以下に説明する一実施形態は、情報処理装置の一例としての、対象シーンを所定の視点について描画した矩形画像を生成可能なPCに、本発明を適用した例を説明する。しかし、本発明は、対象シーンを所定の視点について描画した矩形画像を生成することが可能な任意の機器に適用可能である。

【0015】

《PC100の構成》

図1は、本発明の実施形態に係るPC100の機能構成を示すブロック図である。

【0016】

制御部101は、例えばCPU等のPC100が有する各ブロックの動作を制御する。具体的には制御部101は、記憶媒体102に記憶された各ブロックの動作プログラムを読み出し、メモリ103に展開して実行することにより各ブロックの動作を制御する。

【0017】

記憶媒体102は、不揮発性メモリやHDD等の記憶装置である。記憶媒体102は、PC100が有する各ブロックの動作プログラムだけでなく、各ブロックの動作において必要となるパラメータ等を記憶する。また記憶媒体102は、後述の描画処理での生成対象となる3次元シーン(対象シーン)に配置される描画オブジェクトの各種データを記憶する。またメモリ103は、RAM等の揮発性メモリである。メモリ103は、各ブロックの動作プログラムの展開領域としてだけでなく、各ブロックの動作において出力された中間データ等を記憶する。

【0018】

描画部104は、例えばGPU等の描画装置である。描画部104は、例えば描画用メモリ105に展開された描画オブジェクトのデータを、所定のパラメータに基づいて並進や回転等の処理を行い、設定された視点の情報(位置、方向、画角、上方向等)に従って対象シーンを描画し、画像を生成する。生成される画像は、設定されたアスペクト比、あるいは設定された画素数を有する矩形形状であり、画素数は2のべき乗に制約される必要はない。

【0019】

10

20

30

40

50

《k d木によるタイル分割》

次に、このような構成を有する本実施形態のPC100において行われる、設定された視点について描画される対象シーンのスクリーン座標系における2次元領域をタイリングする処理の原理について説明する。

【0020】

本実施形態のタイリング処理では、従来用いられていた四分木ではなく、k d木を用いて分割用の直線を定義する位置を決定しながら探索を行う。四分木が図2(a)に示されるように1つの要素を4つの要素に均等分割しながら探索を行っていくものであるのに対し、k d木は図2(b)に示されるように1つの要素を2つの要素に分割しながら探索を行っていく。このとき、k d木は分割後の各要素の大きさを等しく分割する必要はなく、

10

【0021】

本実施形態のタイル分割では、対象シーンのスクリーン座標系における2次元領域を分割する直線を、該直線により分割された2つの領域(タイル)に含まれるフラグメント数の差が最小となるように条件設定し、順次定義していくものとする。即ち、分割対象のタイルについて、予め定めた軸に垂直な直線で分割した際に、分割後の2つのタイルに含まれるフラグメント数になるべく均等になるように直線を定義しながらタイル分割を行っていく。

【0022】

タイル分割は、全てのタイルが、描画用メモリ105の描画処理用の記憶領域に格納できるフラグメント数以下となるまで行われる。即ち、タイル内の各画素と視点とで定義される直線上に存在するフラグメント数の総和が全タイルで理想的には略均一数となり、かつ各タイルに係るデータ量が描画用メモリ105に格納可能な量に収まるまでタイル分割が行われることになる。

20

【0023】

《描画処理》

以下、k d木による二分探索を利用したタイリング処理を含む本実施形態のPC100で実行される描画処理について、図3のフローチャートを用いて具体的な処理を説明する。該フローチャートに対応する処理は、制御部101が、例えば記憶媒体102に記憶されている対応する処理プログラムを読み出し、メモリ103に展開して実行することにより実現することができる。なお、本描画処理は、例えば対象シーンを描画する視点情報が決定され、矩形画像の生成命令がなされた際に開始されるものとして説明する。また以下の説明では、対象シーン及びシーン配置された描画オブジェクトの少なくともいずれかを、OITによる半透明処理を伴って矩形画像を生成するものとして説明する。

30

【0024】

S301で、制御部101は、決定された視点情報に基づいて、対応する投影に係るフラグメント数マップを描画部104に生成させる。フラグメント数マップは、本描画処理により生成される矩形画像の各画素に描画される対象シーン内の所定の点と視点とで規定される直線上に存在するフラグメント数をカウントすることにより得られる、矩形画像と同一の画素数を有する2次元マップである。フラグメント数マップの各画素は、視点からの

40

【0025】

S302で、描画部104は、生成したフラグメント数マップから範囲総和テーブル(SAT: Summed Area Table)を構築し、例えばメモリ103に格納する。

【0026】

範囲総和テーブル(SAT)

ここで範囲総和テーブルについて、その生成方法及び本実施形態の描画処理における利用態様について説明する。

【0027】

50

範囲総和テーブルは、Hensleyらの「Fast Summed-Area Table Generation and its Applications」(EUROGRAPHICS 2005)等が開示される、2次元画像の任意の矩形内の画素値の総和を効率的に算出するための2次元情報である。例えば図4(a)に示されるようなフラグメント数マップについての範囲総和テーブルの生成は次のように行われる。まず、フラグメント数マップの各画素の画素値を、該画素の画素値と該画素よりも水平座標の小さい画素の画素値とを総和した値に変換した図4(b)のようなマップを生成する。そして該マップの各画素の画素値を、該画素の画素値と該画素よりも垂直座標の小さい画素の画素値とを総和した値にさらに変換することで、図4(c)のような範囲総和テーブルを生成することができる。即ち、範囲総和テーブルの座標(x, y)に格納される画素値I(x, y)は、変換元であるフラグメント数マップの該座標の画素値i(x, y)を用いて

10

$$I(x, y) = \sum_{\substack{x' \leq x \\ y' \leq y}} i(x', y') \\ = i(x, y) + I(x-1, y) + I(x, y-1) - I(x-1, y-1)$$

として算出することができる。

【0028】

このようにして生成された範囲総和テーブルを使用することで、図4(a)において範囲401に含まれるフラグメント数の総和値 S_{401} を求めることができる。具体的には総和値は、図4(c)に示される範囲総和テーブルの座標402、403、404、及び405に対応する位置の値を使用して

20

$$S_{401} = \sum_{\substack{x_{402} < x \leq x_{403} \\ y_{402} < y \leq y_{404}}} i(x, y) = I_{402} - I_{403} - I_{404} + I_{405}$$

として算出することができる。つまり、図4の例では範囲401内のフラグメント数の総和値は、

$$S_{401} = 28 + 2 + 0 + 17 + 9 + 2 + 14 + 21 + 43 + 21 + 11 + 0 + 18 + 13 + 19 + 5 \\ = 16 - 82 - 69 + 358 \\ = 223$$

30

として得ることができる。

【0029】

本実施形態では、フラグメント数マップについて範囲総和テーブルを生成しておくことで、タイリングを行う際に分割後に各タイルに含まれるフラグメント数を4つの値の参照及びそれらの加減算により算出することができるため、演算量を低減することができる。

【0030】

なお、本実施形態では演算量の低減を目的として範囲総和テーブルを用いてタイル分割を行うものとして説明するが、本発明の実施はこれに限られるものではない。即ち、分割後のタイルに含まれるフラグメント数の算出方法は、範囲総和テーブルを用いずにフラグメント数マップを参照して直接算出するものであってもよいし、その他の手法が用いられてもよいことは容易に理解されよう。

40

【0031】

S303で、制御部101は、範囲総和テーブルを参照してタイリング処理を行う。なお、本実施形態ではタイリング処理は制御部101が行うものとして説明するが、描画部104が行ってもよい。

【0032】

タイリング処理

以下、本ステップのタイリング処理について、図5のフローチャートを用いて詳細を説明する。本タイリング処理は、生成する矩形画像に対応するスクリーン座標系における2次元領域全体を未処理の初期タイルとして設定し、該タイルの情報を未確定タイルリスト

50

に追加した上で開始されるものとして説明する。

【 0 0 3 3 】

S 5 0 1 で、制御部 1 0 1 は、未確定タイルリストに未処理のタイルが存在するか否かを判断する。制御部 1 0 1 は、未確定タイルリストに未処理のタイルが存在すると判断した場合は処理を S 5 0 2 に移し、存在しないと判断した場合は本タイリング処理を完了する。

【 0 0 3 4 】

S 5 0 2 で、制御部 1 0 1 は、未確定タイルリストに含まれる未処理のタイル（選択タイル）の 1 つを選択する。本ステップで選択される未処理のタイルは、処理の開始時は初期タイルが選択される。また、制御部 1 0 1 は選択タイルの情報を未確定タイルリストから削除する。

10

【 0 0 3 5 】

S 5 0 3 で、制御部 1 0 1 は、選択タイルに含まれるフラグメント数が描画用メモリ 1 0 5 の予め定められた領域に格納可能なフラグメント数（限界フラグメント数）を上回るか否かを判断する。制御部 1 0 1 は、範囲総和テーブルを使用して、選択タイルに含まれるフラグメント数の総和を算出する。なお、選択タイルが水平座標及び垂直座標のいずれかが 0 である画素を含む場合は、範囲総和テーブルに含まれない範囲外の値を 0 として計算することで総和数は得ることができる。制御部 1 0 1 は、選択タイルに含まれるフラグメント数が限界フラグメント数を上回ると判断した場合は処理を S 5 0 5 に移す。また制御部 1 0 1 は、選択タイルに含まれるフラグメント数が限界フラグメント数を上回らない

20

【 0 0 3 6 】

S 5 0 5 で、制御部 1 0 1 は、選択タイルのアスペクト比に基づいて選択タイルを分割する方向（分割方向）を決定し、該方向に直交する方向に選択タイルを 2 つのタイルに分割する直線（分割線）を定義する位置を決定する。分割方向の決定は、選択タイルの長手方向に決定される。即ち、分割後のタイルが正方形状に近くなるように分割方向は決定されるものであり、制御部 1 0 1 は選択タイルの水平方向及び垂直方向の画素数を比較して分割方向の決定を行う。例えば選択タイルが水平画素数 7 2 0、垂直画素数 5 4 0 である場合、制御部 1 0 1 は水平方向に分割方向を決定する。なお、選択タイルが正方形状であ

30

【 0 0 3 7 】

また分割線を定義する位置（選択タイルの分割方向の座標）は、例えば選択タイルの長手方向の最小座標と最大座標とを初期値として二分法により決定すればよい。この場合、制御部 1 0 1 は最小座標と最大座標の midpoint に分割線を仮定義し、該分割線でタイルが分割された場合に分割後のタイルの各々に含まれるフラグメント数を範囲総和テーブルにより算出する。そしてフラグメント数の大小関係に応じて最小座標及び最大座標のいずれかを更新しながら、分割後のタイル間のフラグメント数の差が最小となる座標を特定し、該座標を分割線を定義する位置として決定する。即ち、本ステップの処理により、選択タイルに対して、分割後の各タイルに含まれるフラグメント数の差が最小となるような分割線の位置を決定できる。

40

【 0 0 3 8 】

S 5 0 6 で、制御部 1 0 1 は、決定された位置に分割線を定義し、該直線で選択タイルを異なる 2 つのタイルに分割する。そして得られた 2 つのタイルを未処理タイルとして未確定タイルリストに追加し処理を S 5 0 1 に戻す。

【 0 0 3 9 】

このように全てのタイルに含まれるフラグメント数が限界フラグメント数以下となるまでタイリング処理の各ステップを再帰的に行うことで、制御部 1 0 1 は、生成する矩形画像に対応するスクリーン座標系における 2 次元領域に、描画する処理単位のタイルを設定することができる。

50

【 0 0 4 0 】

S 3 0 4 で、描画部 1 0 4 は制御部 1 0 1 の制御の下、描画処理を行って矩形画像を生成する。描画処理は、タイリング処理により確定タイルリストに定義されたタイルを順に選択し、該タイルについてのリンクリストを生成してピクセルごとにソート処理を行った後、シェーディング処理を行い、矩形画像の対応する画素を描画して出力することにより行われる。

【 0 0 4 1 】

このようにすることで、本実施形態の P C 1 0 0 では、所定の視点について対象シーンを矩形画像に描画する場合であっても、フラグメント数に基づいて好適にタイリングすることができる。

10

【 0 0 4 2 】

なお、本実施形態ではタイリング処理における分割線を決定するための処理を、分割後の各領域に含まれるフラグメント数の差が最小となるように行うものとして説明したが、本発明の実施はこれに限られるものではない。即ち、タイルの長手方向の画素数が大きい場合には、二分法の収束解が得られるまでに処理に時間を要する可能性があるため、例えば分割後の各領域に含まれるフラグメント数の差が所定の値以下となる分割線で分割するものとしてもよい。

【 0 0 4 3 】

また本実施形態では処理の効率性を考慮し、k d 木を用いて水平軸あるいは垂直軸に直交する分割線を定義するものとして説明したが、本発明の実施はこれに限られるものではない。演算量は多くなるが、例えば B S P 木を用いることで水平方向及び垂直方向に限らず分割線を定義してもよい。

20

【 0 0 4 4 】

また本実施形態では k d 木を用いるため、再帰的にタイルを二分分割することによりタイリング処理を行うものとして説明したが、本発明の実施はこれに限られるものではない。k d 木では、分割後に定義されるタイルは 2 つに限られるが、例えばタイルに含まれるフラグメント数が限定フラグメント数の 3 倍に近いとみなされる数であれば、分割線を 2 本定義して 3 つのタイルに分割する等、1 つのタイルは 2 以上のタイルに分割されるように構成してもよい。

【 0 0 4 5 】

また本実施形態では、対象タイルの 2 つの異なる辺上の点を通る直線を分割線として 1 回のタイル分割を行うものとして説明したが、本発明の実施はこれに限られるものではない。分割線は直線に限らず、例えば途中で所定の角度に屈折するような折れ曲がり直線で規定されるものであってもよいし、曲線として規定されるものであってもよい。

30

【 0 0 4 6 】

以上説明したように、本実施形態の情報処理装置によれば、任意のアスペクト比の矩形領域について、フラグメント数を考慮した好適なタイリングを行うことができる。本実施形態の情報処理装置は、3 次元シーンを所定の視点について描画する矩形画像の各画素と視点とで規定される直線上に存在するフラグメント数を取得し、矩形画像に対応するスクリーン座標系における 2 次元領域を、所定の演算を行う処理単位である複数の領域に分割する。情報処理装置は、分割後の各領域に含まれるフラグメント数の総和の差が最小となるような 1 以上の直線で、2 次元領域を異なる領域に分割する。

40

【 0 0 4 7 】

[実施形態 2]

上述した実施形態 1 では、タイリング処理により定義される各タイルの画素数は分割線を定義する位置に応じて決定されるため、様々な画素数を有するタイルが定義される可能性があった。一方で、描画処理において行われるソート処理は、予め定められた数の画素（例えば 16×16 ）について並行して実行することが可能であるため、タイル内の画素数は該予め定められた数の倍数となっていることが好ましい。即ち、任意に決定された画素数のタイルでは、同時並行処理数未満の画素を対象としてソート処理を行う可能性があ

50

る。本実施形態では、描画処理における描画部 104 の並行処理能力を考慮して、描画処理が効率化される画素数となるようにタイリング処理を行う方法について説明する。

【0048】

《描画処理》

以下、本実施形態の PC100 において実行される描画処理について、図 6 のフローチャートを参照して詳細を説明する。なお、本実施形態の PC100 の構成は実施形態 1 と同様であるものとする。また本実施形態の描画処理において実施形態 1 の描画処理と同様の処理を行うステップについては、同一の参照番号を付して説明を省略する。

【0049】

S301 において生成する矩形画像と同画素数のフラグメント数マップを生成した後、描画部 104 は S601 で、フラグメント数マップを低解像度化する。該低解像度化は、例えば上述したように描画処理におけるソート処理の同時並行処理数を考慮して行われる。例えばソート処理を 16×16 画素について並行して実行可能に描画部 104 が構成される場合、 7680×4320 画素のフラグメント数マップは 16×16 画素の画素値の総和を変換後の画素値とするように処理され、 480×270 画素の低解像度フラグメント数マップに変換される。即ち、低解像度フラグメント数マップの 1 画素が矩形画像の 16×16 画素に対応しているため、低解像度フラグメント数マップを基準に分割を行えばタイルごとのソート処理を効率的に実行することができる。

10

【0050】

S602 で、描画部 104 は、生成した低解像度フラグメント数マップに基づいて範囲総和テーブルを構築してメモリ 103 に格納する。そして S603 で、制御部 101 は、低解像度フラグメント数マップについて構築された範囲総和テーブルを参照してタイリング処理を行う。

20

【0051】

S604 で、制御部 101 は、低解像度フラグメント数マップについて定義されたタイルに基づいて、矩形画像の対応画素を特定し、矩形画像の解像度でのタイルを定義する。

【0052】

このようにすることで、描画処理が効率的に実行できるようにタイリング処理を行うことができる。またフラグメント数マップを低解像度化することにより、範囲総和テーブルの生成に係る演算量を低減することができる。

30

【0053】

なお、本実施形態ではフラグメント数マップを生成した後に低解像度フラグメント数マップに変換する 2 パスの処理について説明したが、フラグメント数マップの生成を最初から低解像度となるように行ってもよい。即ち、矩形画像の各画素と視点とで規定される直線上のフラグメント数はカウントするが、低解像度フラグメント数マップの生成において対応する画素群のフラグメント数の総和を画素値とするように 1 パスで処理を行ってもよい。

【0054】

[その他の実施形態]

本発明は上記実施の形態に制限されるものではなく、本発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。また本発明に係る情報処理装置は、1 以上のコンピュータを情報処理装置として機能させるプログラムによっても実現可能である。該プログラムは、コンピュータが読み取り可能な記録媒体に記録されることにより、あるいは電気通信回線を通じて、提供/配布することができる。

40

【符号の説明】

【0055】

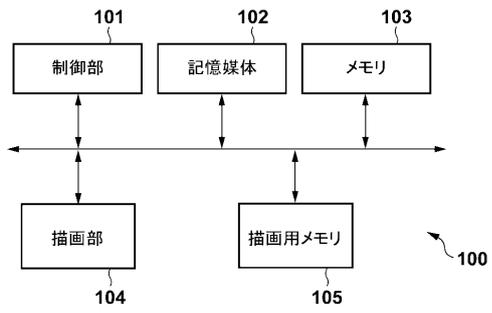
- 100 : PC
- 101 : 制御部
- 102 : 記憶媒体
- 103 : メモリ

50

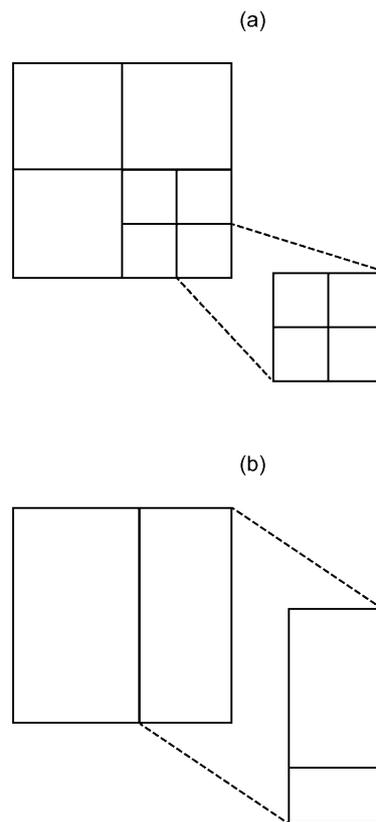
104 : 描画部

105 : 描画用メモリ

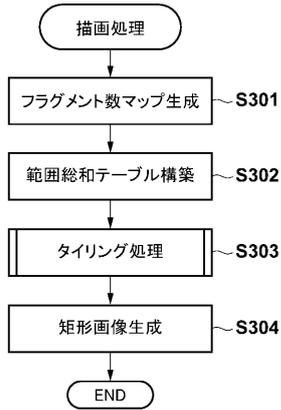
【図1】



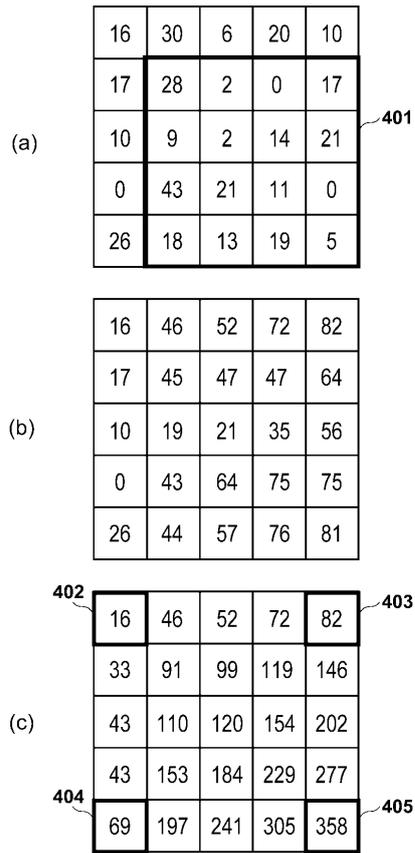
【図2】



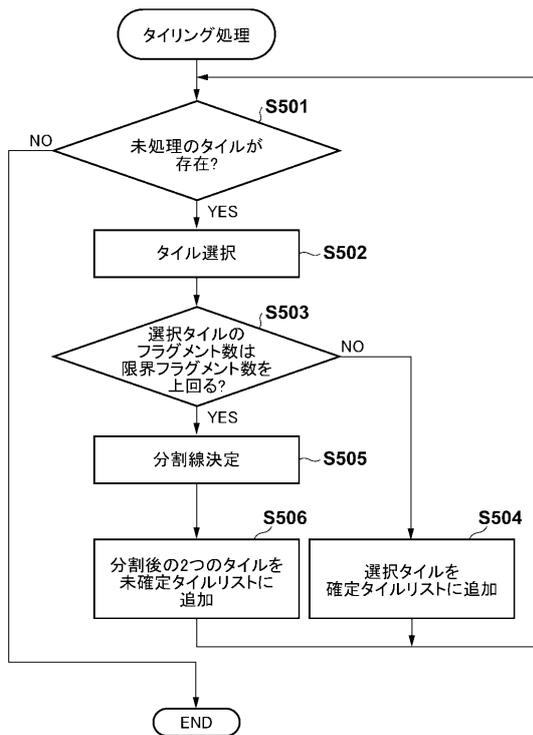
【図3】



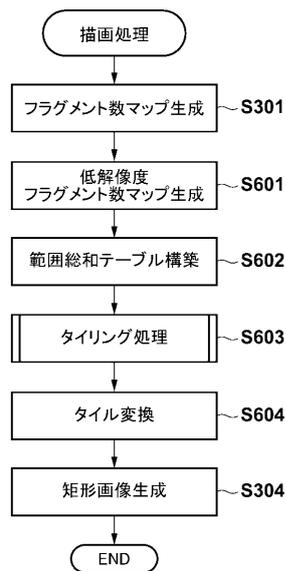
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 徳吉 雄介

東京都新宿区新宿 6 丁目 2 7 番 3 0 号 株式会社スクウェア・エニックス内

審査官 千葉 久博

(56)参考文献 特開 2 0 1 2 - 1 6 8 9 5 1 (J P , A)

特開 2 0 0 8 - 1 2 3 4 9 7 (J P , A)

特開平 6 - 2 2 3 2 0 1 (J P , A)

米国特許第 8 2 5 3 7 3 0 (U S , B 1)

国際公開第 2 0 1 3 / 0 8 1 7 8 8 (W O , A 1)

(58)調査した分野(Int.Cl. , DB名)

G 0 6 T 1 5 / 0 0 - 1 5 / 8 7