

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/76

(45) 공고일자 1999년06월 15일

(11) 등록번호 10-0195208

(24) 등록일자 1999년02월 11일

(21) 출원번호 10-1996-0011290

(65) 공개번호 특1997-0072297

(22) 출원일자 1996년04월 15일

(43) 공개일자 1997년11월07일

(73) 특허권자 삼성전자주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416

(72) 발명자 박문한  
경기도 안양시 동안구 관양동 1587-5 공작단지 성일아파트 202동 908호  
신유균  
서울특별시 강남구 도곡동 진달래아파트 7동 1005호

(74) 대리인 권석흥, 노민식, 이영필

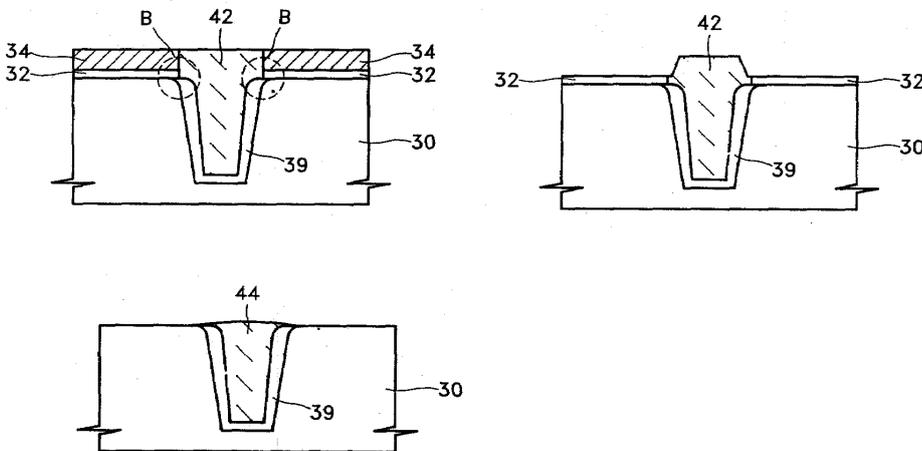
심사관 : 김용정

(54) 반도체 장치의 소자분리막 형성 방법

요약

반도체 장치의 소자분리막 형성 방법에 대해 기재되어 있다. 이는, 반도체기판 상에 형성된 식각패턴을 이용하여 트렌치를 형성하는 단계, 트렌치 내부를 절연물질층으로 채우는 단계, 트렌치가 절연물질층으로 채워져 있는 결과물 기판 전면을 산화 분위기에 노출시킴으로써 트렌치 내벽과 절연물질층 사이에 보충산화막을 형성하는 단계 및 식각 패턴을 제거하는 단계를 포함하는 것을 특징으로 한다. 따라서, 본 발명에 의하면, 트렌치의 가장자리부의 프로파일을 개선할 수 있고, 트렌치 가장자리부가 노출되는 것을 방지할 수 있다.

대표도



명세서

[발명의 명칭]

반도체 장치의 소자분리막 형성 방법

[도면의 간단한 설명]

제1a도 내지 제1f도는 종래 방법에 의한 소자분리막 형성 방법을 공정순서별로 설명하기 위해 도시한 단면도들이다.

제2a도 내지 제2f도는 본 발명에 의한 소자분리막 형성 방법을 공정순서별로 설명하기 위해 도시한 단면도들이다.

[발명의 상세한 설명]

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 특히 소자 분리 특성 및 소자의 전기적 특성을 향상시킬 수 있는 반도체 장치의 소자분리막 형성 방법에 관한 것이다.

반도체 장치에 있어서, 소자간의 절연을 이룰 수 있는 방법으로, 크게, 선택적 산화법(Local Oxidation of Silicon: 이하 LOCOS라 칭함)과 트렌치 소자분리법(Shallow Trench Isolation: 이하 STI라 칭함)이 있다. 현재까지는 공정이 간단하다는 이점으로 인하여 LOCOS법이 주로 사용되어 왔다. 그러나 이를 256M DRAM급 이상의 고집적화되는 소자에 적용할 때는, 버즈 비크(Bird's beak)에 의해 발생하는 펀치 스루우(punch through) 및 게이트 산화막의 박막화(gate oxide thinning) 현상 등의 문제가 심각해지기 때문에 그 적용의 한계점이 있다.

따라서, 반도체기판에 트렌치를 형성한 후, 그 내부를 산화물 등의 절연 물질로 채움으로써 소자간의 절연을 이루는 STI법이 많이 연구되고 있다. STI법은 소자 분리 영역의 유효 폭을 LOCOS법 보다 넓게 할 수 있다는 이점이 있다.

제1a도 내지 제1f도는 종래 방법에 의한 소자분리막 형성 방법을 공정 순서별로 설명하기 위해 도시한 단면도들이다.

반도체기판(10) 상에 패드산화막과 실리콘 질화막을 차례대로 적층한 후, 비활성영역의 반도체기판이 노출되도록 이들을 패터닝함으로써 패드산화막 패턴(12)과 실리콘 질화막 패턴(14)을 형성한다(제1a도). 이어서, 실리콘 질화막 패턴(14)을 식각마스크로하여 반도체기판을 3,000Å~5,000Å의 깊이로 식각함으로써 트렌치(16)를 형성한 후, 산화 공정을 행하여 트렌치(16)의 내벽에 1,000Å미만 두께의 산화막(18)을 형성한다(제1b도). 계속해서, 트렌치(16)를 완전히 매울하도록 절연물질층(20)을 형성하고(제1c도), 실리콘 질화막 패턴(14)의 표면이 노출될 때까지 절연물질층을 식각함으로써 소자분리막(22)을 형성한다(제1d도). 이 후, 실리콘 질화막 패턴을 제거하고(제1e도), 패드산화막 패턴을 제거한다(제1f도).

제1e도의 A영역 및 제1f도의 B영역은 각각 실리콘 질화막 패턴 및 패드산화막 패턴을 제거한 후의 소자 분리 가장자리부를 나타낸다.

A영역을 보면, 실리콘 질화막 패턴 제거 후의 소자분리막(23)은 제거 전의 소자분리막(제1d도의 도면 부호 22)보다 화살표로 표시한 두께(t)만큼 그 가장자리부가 깎여진 상태라는 것을 알 수 있고, B영역을 보면, 패드산화막 패턴 제거 후의 소자분리막(24)은 제거 전의 소자분리막(제1e도의 도면 부호 23)보다 그 가장자리부가 더 깎여진 상태라는 것을 알 수 있다. 이는, 실리콘 질화막 패턴 및 패드산화막 패턴이 제거될 때, 소자분리막의 가장자리부도 일정 두께 식각되기 때문이다. 이때, 소자분리막의 가장자리부가 과도하게 식각되면 활성영역의 가장자리부(즉, 트렌치의 가장자리부)(제1f도의 도면 부호 C)가 노출되는 경우가 발생한다.

따라서, 상술한 종래의 소자분리막 형성 방법에 의하면, ①트렌치의 가장자리부가 급경사(steep slop)를 이루고, ②실리콘 질화막 패턴 및/ 또는 패드산화막 제거 공정 시, 소자분리막의 가장자리부가 과도하게 식각되어 트렌치의 가장자리부를 노출시킨다는 문제점이 발생한다.

이하, 급경사를 이루는 트렌치의 가장자리부가 노출될 경우 발생하는 문제점들을 나열한다.

첫째, 험프(hump)현상이 발생한다.

험프 현상은, 소자 분리 영역 근처에 트랜지스터를 형성할 경우, 통상의 문턱 전압을 갖는 정상적인 트랜지스터와 활성영역의 가장자리부에 기생하게 되는 상대적으로 낮은 문턱 전압을 갖는 기생 트랜지스터로 인하여, 트랜지스터의 턴-온(turn-on) 동작이 두 번 반복되는 것을 말한다.

이러한 험프 현상은 소자의 전기적 특성과 신뢰도를 저하시키는 원인 중의 하나이다.

둘째, 역의 좁은 폭 효과(inverse narrow width effect)가 발생한다.

역의 좁은 폭 효과는, STI법으로 소자분리막을 형성한 소자에서 주로 발생하는 것으로, 급경사를 이루는 트렌치의 가장자리부에서 발생하는 강한 전계에 의하여 게이트 전극의 폭이 작아질수록 문턱전압 또한 작아지는 현상을 말한다.

이러한 역의 좁은 폭 효과는 반도체기판에 형성된 트랜지스터의 문턱전압이 전체적으로 일정하지 않게 되어 회로 동작을 완전하게 조절할 수 없게 되는 문제점을 발생시킨다.

셋째, 게이트 산화막의 박막화 현상이 발생한다.

게이트 산화막의 박막화 현상은 트렌치의 가장자리부가 노출되어 있는 반도체기판 상에 게이트 산화막을 형성할 경우, 트렌치의 가장자리부에 형성되는 게이트 산화막이 다른 부분에 형성되는 게이트 산화막보다 얇게 되는 현상으로, 이는 트랜지스터의 절연 파괴를 쉽게 발생시킨다.

본 발명의 목적은 트렌치 가장자리부의 프로파일을 개선할 수 있고, 트렌치 가장자리부가 노출되는 것을 방지할 수 있는 반도체 장치의 소자분리막 형성 방법을 제공하는데 있다.

상기 목적을 달성하기 위한, 본 발명에 의한 반도체 장치의 소자분리막 형성 방법은,

반도체기판 상에 형성된 식각패턴을 이용하여 트렌치를 형성하는 제1단계;

상기 트렌치 내부를 절연물질층으로 채우는 제2단계;

상기 트렌치가 절연물질층으로 채워져 있는 결과물 기판 전면을 산화 분위기에 노출시킴으로써 상기 트렌치 내벽과 절연물질층 사이에 보충산화막을 형성하는 제3단계; 및

상기 식각패턴을 제거하는 제4단계를 포함하는 것을 특징으로 한다.

상기 제1단계는, 반도체기판 상에 패드산화막 및 식각방지층을 차례대로 적층하는 공정, 비활성영역의 반도체기판이 노출되도록 반도체기판 상에 적층되어 있는 물질층들을 패터닝하여 상기 식각패턴을 형성하는

공정 및 상기 식각패턴을 식각마스크로하여 반도체기판을 식각함으로써 상기 트렌치를 형성하는 공정으로 진행한다. 이때, 상기 패드산화막은 상기 반도체기판을 산화하는 것에 의해 형성하고, 상기 식각방지층은, 소정의 식각 공정에 대해, 상기 반도체기판을 구성하는 물질에 대한 식각선택비가 큰 물질인 실리콘 질화막으로 형성하는 것이 바람직하다.

또한, 상기 식각방지층 상에 산화막을 더 적층하는 단계를 추가할 수 있다.

상기 제2단계는, 트렌치가 형성되어 있는 결과물 기판 전면에 상기 트렌치를 완전히 매몰하도록 절연물질층을 형성하는 공정 및 상기 식각패턴의 표면이 노출될 때까지 상기 절연물질층을 식각하는 공정으로 진행한다. 이때, 상기 절연물질층을 식각하는 공정은 화학-물질적 폴리싱 공정으로 진행하는 것이 바람직하다.

또한, 상기 제1단계 후, 상기 트렌치의 내벽을 산화하여 완충/프로파일 조절막을 형성하는 단계를 추가할 수 있다. 이때, 상기 완충/프로파일 조절막은, 소정의 식각 공정에 대해, 상기 절연물질층을 구성하는 물질의 식각율보다 작은 식각율을 갖는 물질, 바람직하게는, 완충 산화 식각액(B. O. E)을 사용한 식각 공정에 대해, 상기 절연물질층을 구성하는 물질의 식각율보다 400 Å/min~700 Å/min정도 작은 식각율을 갖는 물질로 구성되도록 형성한다.

상기 완충/프로파일 조절막은 열 산화 공정으로 형성하고, 상기 절연물질층은 화학기상증착법으로 증착된 산화막으로 형성하는 것이 바람직하다.

상기 보충산화막은 상기 제3단계의 산화 공정에 의해 반도체기판 및 절연물질층에 스트레스 및/또는 결함이 발생하지 않을 정도의 조건, 바람직하게는, 950°C~1,100°C 정도의 온도, 100 Å~500 Å 정도의 두께로 형성한다. 또한, 상기 보충산화막은 상기 트렌치의 측벽에서보다 가장자리부에서 더 두껍게 형성되는 것이 바람직하다.

따라서, 본 발명에 의한 소자분리막 형성 방법에 의하면, 트렌치의 가장자리부의 프로파일을 개선할 수 있고, 트렌치 가장자리부가 노출되는 것을 방지할 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 더욱 자세하게 설명하고자 한다.

제2a도 내지 제2f도는 본 발명에 의한 소자분리막 형성 방법을 공정 순서별로 설명하기 위해 도시한 단면도들이다.

먼저, 제2a도는 패드산화막 패턴(32) 및 식각방지층 패턴(34)을 형성하는 단계를 도시한 것으로서, 이는 반도체기판(30)상에 패드산화막(이후의 공정에 의해 패드산화막 패턴(32)이 됨)과 식각방지층(이후의 공정에 의해 식각방지층(34)이 됨)을 차례대로 적층하는 제1 공정 및 상기 패드산화막 및 식각방지층을 패터닝함으로써 비활성영역(A)의 반도체기판을 노출시키는 모양의 패드산화막 패턴(32) 및 식각방지층 패턴(34)을 형성하는 제2공정으로 진행된다.

상기 패드산화막은, 예컨대 반도체기판(30)의 표면을 산화하는 공정으로, 예컨대 300 Å 정도의 두께로 형성하고, 상기 식각방지층은, 소정의 식각 공정에 대해, 상기 반도체기판(30)을 구성하는 물질에 대한 식각선택비가 큰 물질, 예컨대 실리콘 질화막을, 예컨대 1,000 Å~4,000 Å 정도의 두께로 도포하여 형성한다.

이때, 제1 공정 시, 상기 식각방지층 상에, 예컨대 산화막(도시되지 않음)과 같은, 소정의 식각에 대해, 상기 반도체기판(30)을 구성하는 물질에 대한 식각선택비가 큰 물질을 더 적층하여 트렌치 형성을 위한 식각 공정 시 식각 마스크로 사용할 수도 있다.

제2b도는 트렌치(36) 및 완충/프로파일 조절막(38)을 형성하는 단계를 도시한 것으로서, 이는 상기 식각방지층 패턴(34)을 식각마스크로하여 반도체기판(30)을 이방성 식각함으로써 트렌치(36)를 형성하는 제1 공정 및 상기 트렌치(36)가 형성되어 있는 결과물 기판을 산화 분위기에 노출시킴으로써 트렌치(36)의 내벽에 완충/프로파일 조절막(38)을 형성하는 제2공정으로 진행된다.

상기 트렌치(36)은, 예컨대 3,000 Å~5,000 Å 정도의 깊이로 형성한다.

상기 완충/프로파일 조절막(38)은 트렌치(36) 측면으로 주입되는 불순물 이온들에 의해 반도체기판의 표면이 손상되는 것을 방지하기 위한 목적(완충막으로서의 역할) 및/또는 급경사를 갖는 트렌치(36) 가장자리부의 프로파일을 조절하는 목적(프로파일 조절막으로서의 역할)으로 형성한다.

상기 완충/프로파일 조절막(38)은, 소정의 식각 공정에 대해, 절연물질층(이후의 공정에 의해 트렌치(36)에 채워질 물질층)을 구성하는 물질의 식각율보다 작은 식각율을 갖는 물질로 구성되도록 형성한다.

본 발명에서는, 상기 완충/프로파일 조절막(38)을 열 산화 공정으로 성장시킨 산화막으로 형성한다. 또한, 상기 완충/프로파일 조절막(38)은 1,000 Å 이하, 예컨대, 500 Å~1,000 Å의 두께로 형성한다.

제2c도는 절연물질층(40)을 형성하는 단계를 도시한 것으로서, 이는 트렌치(36)가 형성되어 있는 결과물 기판 전면에 상기 트렌치(36)를 완전히 채우도록 절연물질을 도포하는 공정으로 진행한다.

상기 절연물질층(40)은, 예컨대 화학기상증착법으로 증착된 산화막(이하, CVD산화막이라 칭함)으로 형성한다.

열 산화막으로 된 상기 완충/프로파일 조절막(38)은, 완충 산화 식각액(이하, B. O. E라 칭함)을 사용한 식각 공정에 대해, CVD산화막으로 된 상기 절연물질층(20)의 식각율보다 400 Å/min~700 Å/min정도 작은 식각율, 예컨대 1,100 Å/min을 갖는다. 따라서, B. O. E를 사용한 식각 공정으로 식각방지층 패턴(14) 및 패드산화막 패턴(12)을 제거하는 공정 시(제2e도 및 제2f도), 상기 식각에 대해 절연물질층이 제거되는 속도보다 완충/프로파일 조절막(38)이 제거되는 속도가 작기 때문에 트렌치(36) 가장자리부가 노출될 확률을 줄일 수 있다.

제2d도는 보충산화막(39)을 형성하는 단계를 도시한 것으로서, 이는 식각방지층 패턴(14)이 노출될 때까

지 상기 절연물질층(제2c도의 도면부호 40)을 식각하여 트렌치(36) 내에만 상기 절연물질층을 남김으로써 매몰 절연층(42)을 형성하는 제1 공정 및 상기 매몰 절연층(42)이 형성되어 있는 결과물 기판을 산화 분위기에 노출시킴으로써 상기 트렌치(36) 내벽과 매몰 절연층(42) 사이에 보충산화막(39)을 형성하는 제2 공정으로 진행한다.

상기 제1공정은 화학-물리적 폴리싱(Chemical-Mechanical Polishing) 방식으로 진행한다. 이때, 상기 절연물질층 뿐만 아니라 식각방지층 패턴(14)도 소정 두께로 식각된다.

상기 보충산화막(39)은 반도체기판(30) 및 매몰 절연층(42)에 스트레스에 의한 결함이 발생하지 않을 정도의 조건으로 형성한다. 본 발명에서는, 스트레스가 상대적으로 큰 실리콘 질화막(식각방지층 패턴(14))과 CVD산화막(매몰 절연층(42))이 형성되어 있는 상태에서 상기 보충산화막을 형성해야 하므로 산화막의 점성-탄성 성질(visco-elastic behavior)을 보이는 950℃~1,100℃ 정도의 온도, 특히 950℃에서 산화 공정을 진행한다.

또한, 상기 보충산화막(39)은 반도체기판(30)의 형태(Critical Dimension)를 변화시키지 않는 범위의 두께, 즉 보충산화막을 형성하기 위한 산화 공정에 의해 반도체기판(30)의 표면 손실이 발생하지 않는 범위의 두께로 형성한다. 본 발명에서는 100Å~500Å 정도의 두께, 특히 500Å으로 형성한다.

상기 보충산화막(39)은, 제2d도에 도시된 바와 같이, 트렌치(36)의 측벽부에서보다 가장자리부에서 더 두껍게 형성되는데, 이는, 매몰 절연층(42)을 통과한 산화제가 표면으로부터 가깝게 위치하고 있는 트렌치 가장자리부부터 먼저 산화시키기 때문이다. 이에 의해 트렌치 가장자리부(B로 표시)의 프로파일은 급경사를 이루던 종래(제1a도 내지 제1f도 참조)와는 달리 완만한 경사를 가지게 된다.

상기 보충산화막(39)을 형성하는 과정 및 상기 보충산화막(39)에 의해 발생하는 효과를 나열해보면 아래와 같다.

첫째, 매몰절연층(42) 표면의 산화밀도(densification)가 상기 보충산화막 형성 과정에 의해 높아져 이후에 진행되는 식각방지층 패턴 제거 및/또는 패드산화막 패턴 제거를 위한 습식식각에 대한 저항력을 강화하므로 매몰 절연층(42)의 식각량을 종래 보다 줄일 수 있다. 따라서, 트렌치 가장자리부가 노출될 확률을 종래보다 줄일 수 있다.

둘째, 트렌치(36)의 측벽부에서보다 가장자리부(B로 표시)에서 더 두껍게 형성되므로 트렌치 가장자리부를 제2c도에 도시된 것 보다 더욱 완만하게 할 수 있다. 따라서, 트렌치 가장자리부에서의 전계 집중을 방지할 수 있다.

상기 보충산화막(39) 형성 조건 및 형성 두께를 상기한 바와 같이 수치적으로 제한하였으나, 상기 보충산화막(39)으로 인해 매몰절연층(42) 및/또는 반도체기판(30)에 결함이 발생하지 않을 정도의 조건 및 두께 이기만 하면 본 발명의 효과는 충분히 달성될 수 있다. 따라서, 상기한 수치적 조건에 의해 본 발명의 권리범위가 한정되지는 않는다는 것을 본 발명이 속한 기술분야에서 통상의 지식을 가진자는 분명히 알 수 있다.

제2e도는 식각방지층 패턴(제2d도 도면 부호 34)을 제거한 후의 단면도이다.

상기 제2d도에서 설명한 바와 같이, 보충산화막 형성 공정에 의해 매몰 절연층(42) 표면의 산화밀도가 높아져 있기 때문에, 식각방지층 패턴 제거공정에 의해 보충산화막의 측벽이 제거되는 정도는 종래보다 작다.

제1e도를 참조하면, 실리콘 질화막 패턴(14) 제거 시, 산화막(18)의 일 표면이 노출될 정도로 소자분리막(22)의 측벽도 식각되어 있다는 것을 알 수 있으나, 제2e도를 참조하면, 식각방지층 패턴(34) 제거후에도, 보충산화막(39)은 전혀 노출되어 있지 않다는 것을 알 수 있다.

제2f도는 패드산화막 패턴(제2d도의 도면 부호 32)을 제거한 후의 소자분리막(44)을 도시한 단면도이다.

패드산화막 패턴 제거 시, 매몰 절연층(제2e도의 도면 부호 42)의 표면 일부도 식각되어 최종적인 소자분리막(44) 형상을 갖는다. 이때, 매몰 절연층의 식각정도가 많아 트렌치 가장자리부가 노출될 염려가 있으나, 보충산화막(39)에 의해 방지된다. 이는, ①보충산화막(39)이 트렌치 가장자리부에서 두껍게 형성되어 있고, ②보충산화막(39)은, 소정의 식각공정에 대해, 상기 매몰 절연층을 구성하는 물질의 식각율보다 작은 식각율을 갖는 물질로 형성되어 있어 식각량이 많지 않기 때문이다.

따라서, 본 발명에 의하면, 식각방지층 패턴 및 패드산화막 제거 공정 전에 트렌치 표면에 보충산화막을 형성함으로써 트렌치의 가장자리부의 프로파일을 개선할 수 있을 뿐만 아니라 트렌치 가장자리부가 노출되는 것을 방지할 수도 있다. 이에 의해, 험프 현상, 역 좁은 폭 효과 및 게이트 산화막의 박막화 현상 등을 방지할 수 있어 소자의 전기적 특성 및 소자분리 특성을 향상시킬 수 있다.

본 발명에서는 완충/프로파일 조절막(제2b도의 도면부호 38)을 형성한 후 보충산화막(39)을 형성하는 것을 설명하였으나, 완충/프로파일 조절막을 형성하지 않은 상태에서 보충산화막(39)을 형성하더라도 본 발명의 목적을 달성할 수 있음은 물론이다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

## (57) 청구의 범위

### 청구항 1

반도체기판 상에 형성된 식각패턴을 이용하여 트렌치를 형성하는 제1단계; 상기 트렌치 내부를 절연물질층으로 채우는 제2단계; 상기 트렌치가 절연물질층으로 채워져 있는 결과물 기판 전면을 산화 분위기에 노출시킴으로써 상기 트렌치 내벽과 절연물질층 사이에 보충산화막을 형성하는 제3단계; 및 상기 식각패

턴을 제거하는 제4단계를 포함하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 2

제1항에 있어서, 상기 제1단계는, 반도체기판 상에 패드산화막 및 식각방지층을 차례대로 적층하는 공정, 비활성영역의 반도체기판이 노출되도록 반도체기판 상에 적층되어 있는 물질층들을 패터닝하여 상기 식각 패턴을 형성하는 공정 및 상기 식각패턴을 식각마크로하여 반도체기판을 식각함으로써 상기 트렌치를 형성하는 공정으로 진행되는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 3

제2항에 있어서, 상기 패드산화막은 상기 반도체기판을 산화하는 것에 의해 형성하고, 상기 식각방지층은, 소정의 식각 공정에 대해, 상기 반도체기판을 구성하는 물질에 대한 식각선택비가 큰 물질로 형성하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 4

제3항에 있어서, 상기 식각방지층은 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 5

제4항에 있어서, 상기 식각방지층 상에 산화막을 더 적층하는 단계를 추가하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 6

제1항에 있어서, 상기 제2단계는, 트렌치가 형성되어 있는 결과물 기판 전면에 상기 트렌치를 완전히 매몰하도록 절연물질층을 형성하는 공정 및 상기 식각패턴의 표면이 노출될 때까지 상기 절연물질층을 식각하는 공정으로 진행되는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 7

제6항에 있어서, 상기 절연물질층을 식각하는 공정은 화학-물질적 폴리싱 공정으로 진행되는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 8

제1항 및 제6항 중 어느 한 항에 있어서, 상기 제1단계 후, 상기 트렌치의 내벽을 산화하여 완충/프로파일 조절막을 형성하는 단계를 추가하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 9

제8항에 있어서, 상기 완충/프로파일 조절막은, 소정의 식각공정에 대해, 상기 절연물질층을 구성하는 물질의 식각율보다 작은 식각율을 갖는 물질로 구성되도록 형성하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 10

제9항에 있어서, 상기 완충/프로파일 조절막은, 완충 산화 식각액(B. O. E)을 사용한 식각 공정에 대해, 상기 절연물질층을 구성하는 물질의 식각율보다 400 Å/min~700 Å/min 정도 작은 식각율을 갖는 물질로 구성되도록 형성하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 11

제9항에 있어서, 상기 완충/프로파일 조절막은 열 산화 공정으로 형성하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 12

제6항에 있어서, 상기 절연물질층은 화학기상증착법으로 증착된 산화막으로 형성하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 13

제1항에 있어서, 상기 보충산화막은 상기 제3단계의 산화공정에 의해 반도체기판 및 절연물질층에 스트레스 및/또는 결함이 발생하지 않을 정도의 조건으로 형성하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 14

제13항에 있어서, 상기 보충산화막은 950℃~1,100℃ 정도의 온도에서 형성하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 15

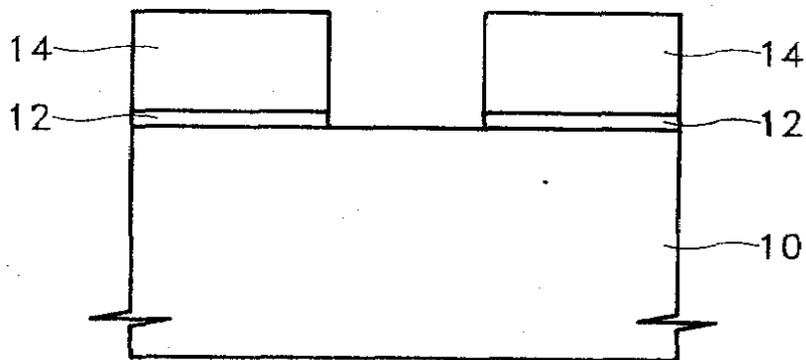
제13항 및 제14항 중 어느 한 항에 있어서, 상기 보충산화막은 100 Å~500 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

#### 청구항 16

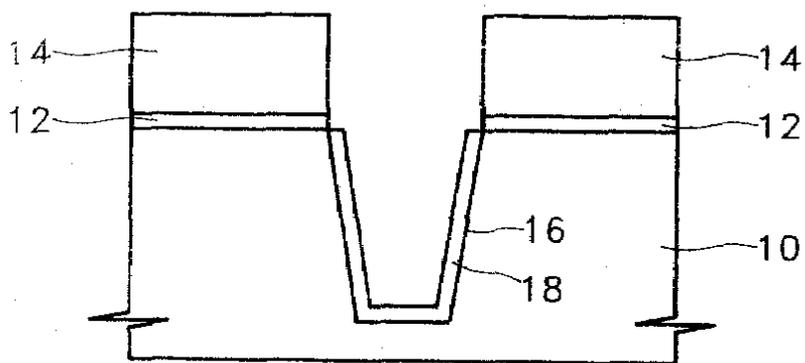
제1항 및 제13항 중 어느 한 항에 있어서, 상기 보충산화막은 상기 트렌치의 측벽에서보다 가장자리부에서 더 두껍게 형성되는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

도면

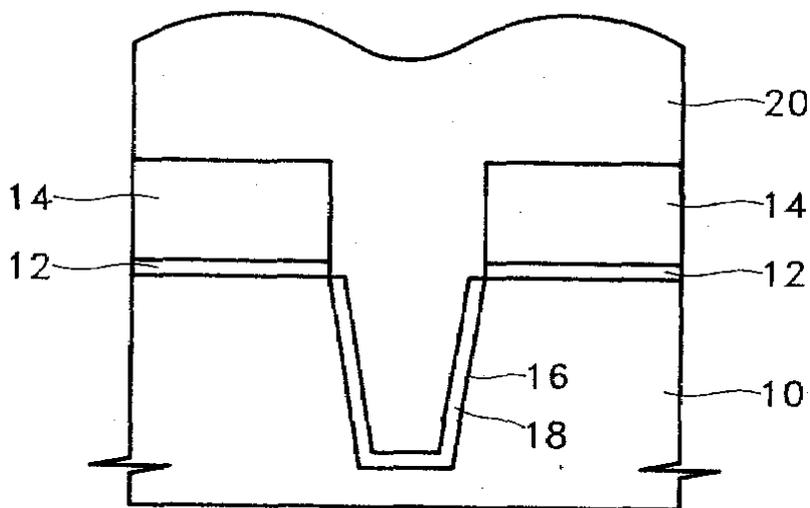
도면 1a



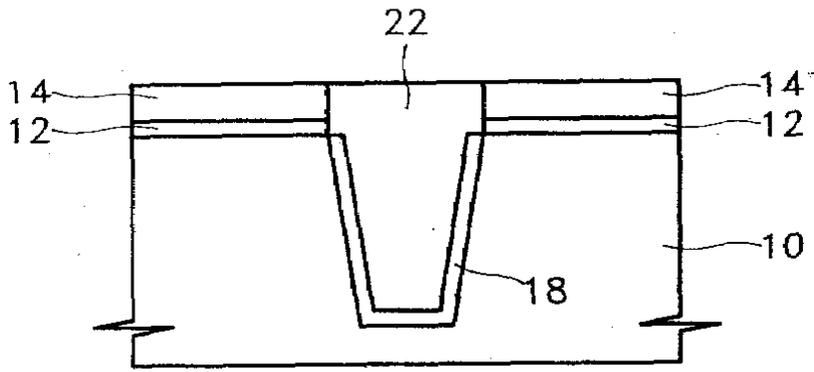
도면 1b



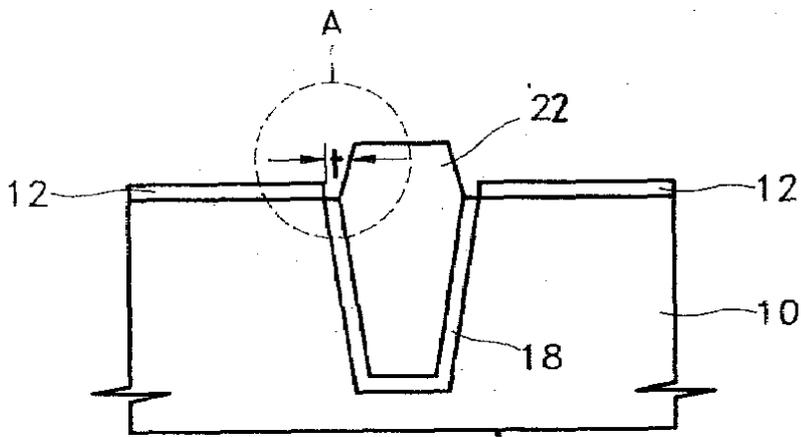
도면 1c



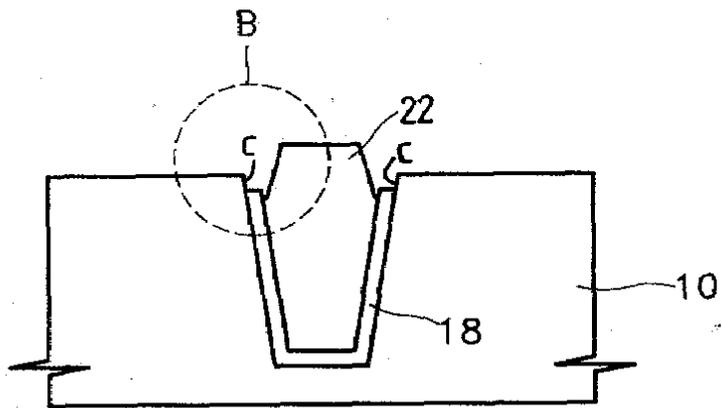
도면1d



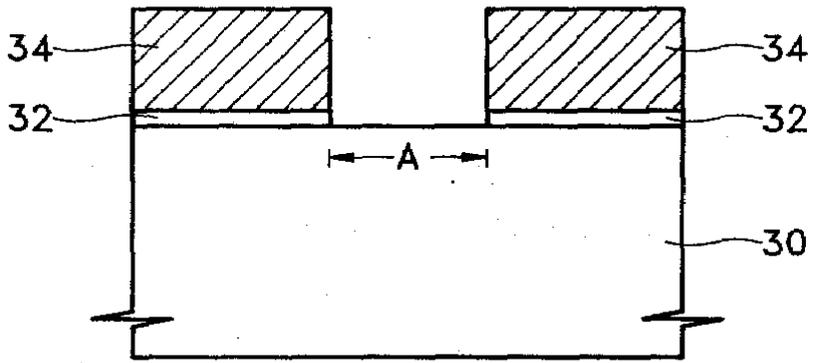
도면1e



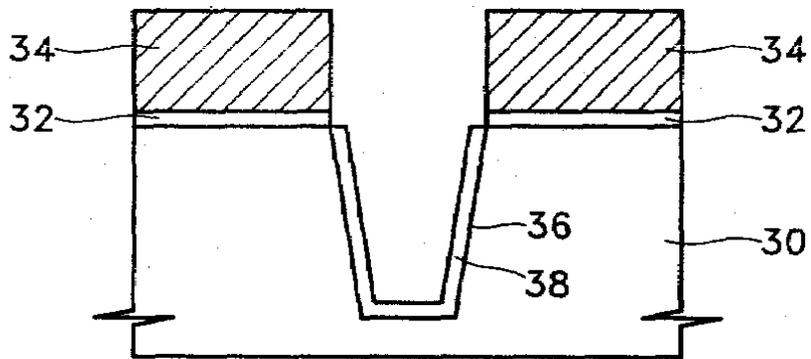
도면1f



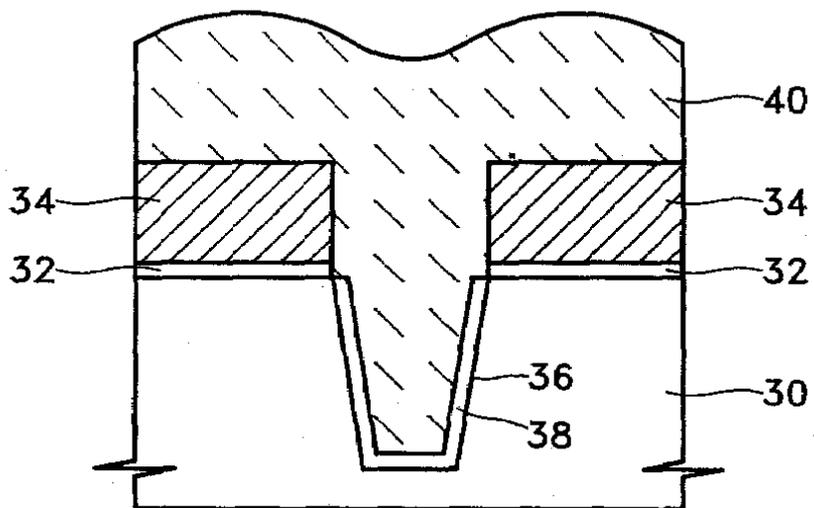
도면2a



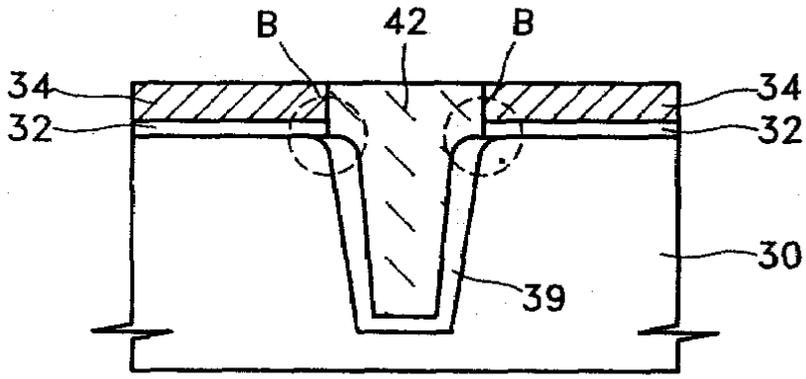
도면2b



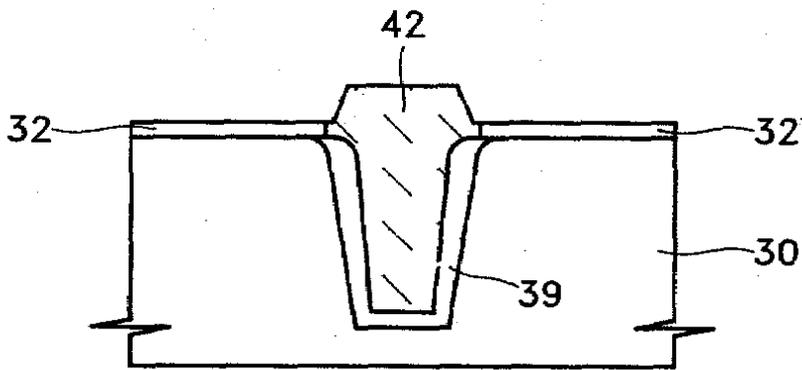
도면2c



도면2d



도면2e



도면2f

