

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5400262号  
(P5400262)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月1日(2013.11.1)

(51) Int.Cl. F I  
**G 1 1 C 11/4096 (2006.01)** G 1 1 C 11/34 3 5 4 H  
**G 1 1 C 11/407 (2006.01)** G 1 1 C 11/34 3 6 2 S

請求項の数 14 (全 43 頁)

(21) 出願番号	特願2005-378490 (P2005-378490)	(73) 特許権者	513192281
(22) 出願日	平成17年12月28日(2005.12.28)		ピーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2007-179681 (P2007-179681A)		PS4 Luxco S. a. r. l.
(43) 公開日	平成19年7月12日(2007.7.12)		ルクセンブルク大公国エルー 2 1 2 1、ル クセンブルク、ヴァル デ ボン マラデ ス 2 0 8
審査請求日	平成20年11月27日(2008.11.27)	(74) 代理人	100123788 弁理士 宮崎 昭夫
		(74) 代理人	100106138 弁理士 石橋 政幸
		(74) 代理人	100127454 弁理士 緒方 雅昭

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

メモリセルおよび前記メモリセルの記憶情報を増幅するセンスアンプを含んだメモリアレイと、下位の入出力線と、上位の入出力線と、サブアンプと、メインアンプと、タイミング制御回路とを有する半導体装置であって、

前記サブアンプは、第一の電流又は第二の電流を発生可能な可変電流源を具備することで駆動能力が制御され、前記メモリアレイから前記下位の入出力線に読み出された電圧信号を前記駆動能力に応じて増幅するものであり、

前記可変電流源は、第一のリード起動信号によって前記第一の電流を発生し、第二のリード起動信号によって前記第二の電流を発生するものであり、

前記サブアンプによって増幅された前記下位の入出力線の電圧信号は、前記上位の入出力線に読み出され、

前記メインアンプは、前記上位の入出力線に読み出された電圧信号を増幅するものであり、

前記タイミング制御回路は、

バースト読み出し動作のサイクル数を検知するバースト・サイクル・カウンタを有し、前記メモリアレイを活性化直後の 1 サイクル目のバースト読み出しサイクルにおいて、前記第一のリード起動信号を発生し、

前記 1 サイクル目のバースト読み出しサイクルに伴い前記記憶情報が前記センスアンプで増幅された状態から読み出しを行う 2 サイクル目以降のバースト読み出しサイクルにお

いて、前記第二のリード起動信号を発生し、

前記第一の電流は、前記第二の電流よりも大きいことを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記可変電流源は、前記第一の電流を発生する第一のトランジスタと、前記第二の電流を発生する第二のトランジスタとを有し、

前記第一のトランジスタのサイズは、前記第二のトランジスタのサイズよりも大きいことを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記可変電流源は、前記第一及び前記第二のリード起動信号によって異なるバイアス電圧が設定される第三のトランジスタを有し、

前記第一のリード起動信号によるバイアス電圧は、前記第二のリード起動信号によるバイアス電圧よりも大きいことを特徴とする半導体装置。

【請求項 4】

メモリセルおよび前記メモリセルの記憶情報を増幅するセンスアンプを含んだメモリアレイと、下位の入出力線と、上位の入出力線と、サブアンプと、メインアンプと、タイミング制御回路とを有する半導体装置であって、

前記サブアンプは、第一の電流又は第二の電流を発生可能な可変電流源を具備することで駆動能力が制御され、前記メモリアレイから前記下位の入出力線に読み出された電圧信号を前記駆動能力に応じて増幅するものであり、

前記可変電流源は、第一のリード起動信号によって前記第一の電流を発生し、第二のリード起動信号によって前記第二の電流を発生するものであり、

前記サブアンプによって増幅された前記下位の入出力線の電圧信号は、前記上位の入出力線に読み出され、

前記メインアンプは、第一のアンプとプリアンプを具備し、前記上位の入出力線に読み出された電圧信号を前記第一のアンプで増幅するか、又は前記プリアンプが活性化された場合は、前記プリアンプを介して前記第一のアンプで増幅するものであり、

前記タイミング制御回路は、前記第一及び前記第二のリード起動信号と、前記プリアンプを活性化するためのプリアンプ起動信号とを発生するものであり、

前記タイミング制御回路は、

バースト読み出し動作のサイクル数を検知するバースト・サイクル・カウンタを有し、

前記メモリアレイを活性化直後の 1 サイクル目のバースト読み出しサイクルにおいて、前記第一のリード起動信号を発生し、

前記 1 サイクル目のバースト読み出しサイクルに伴い前記記憶情報が前記センスアンプで増幅された状態から読み出しを行う 2 サイクル目以降のバースト読み出しサイクルにおいて、前記第二のリード起動信号を発生し、

前記 1 サイクル目のバースト読み出しサイクルにおいて、前記プリアンプ起動信号を活性化し、

前記 2 サイクル目以降のバースト読み出しサイクルにおいて、前記プリアンプ起動信号を非活性化し、

前記第一の電流は、前記第二の電流よりも大きいことを特徴とする半導体装置。

【請求項 5】

複数のメモリセルおよび前記複数のメモリセルの記憶情報を増幅する複数のセンスアンプを含んだメモリアレイと、下位の複数の入出力線と、上位の複数の入出力線と、複数のサブアンプと、複数のメインアンプと、タイミング制御回路とを有する半導体装置であって、

前記複数のサブアンプは、それぞれに第一の電流又は第二の電流を発生可能な可変電流源を具備することで個別に駆動能力が制御され、前記メモリアレイから前記下位の複数の入出力線に読み出された電圧信号を前記個別の駆動能力に応じて増幅するものであり、

10

20

30

40

50

前記複数の可変電流源のそれぞれは、第一のリード起動信号によって前記第一の電流を発生し、第二のリード起動信号によって前記第二の電流を発生するものであり、

前記複数のサブアンプによって増幅された前記下位の複数の入出力線の電圧信号は、それぞれ、前記上位の複数の入出力線に読み出され、

前記複数のメインアンプは、それぞれ、前記上位の複数の入出力線に読み出された電圧信号を増幅するものであり、

前記第一の電流は、前記第二の電流よりも大きく、

前記タイミング制御回路は、

バースト読み出し動作のサイクル数を検知するバースト・サイクル・カウンタを有し、

前記メモリアレイを活性化直後の1サイクル目のバースト読み出しサイクルにおいて、前記複数の可変電流源の一部に対して前記第一のリード起動信号を発生し、前記複数の可変電流源の他の一部に対して前記第二のリード起動信号を発生し、

前記1サイクル目のバースト読み出しサイクルに伴い前記記憶情報が前記複数のセンスアンプで増幅された状態から読み出しを行う2サイクル目以降のバースト読み出しサイクルにおいて、前記複数の可変電流源の全てに対して前記第二のリード起動信号を発生することを特徴とする半導体装置。

【請求項6】

請求項5記載の半導体装置において、

前記タイミング制御回路は、前記複数のメインアンプのそれぞれを第一のタイミングで活性化する第一のメインアンプ起動信号と、前記複数のメインアンプのそれぞれを前記第一のタイミングよりも遅い第二のタイミングで活性化する第二のメインアンプ起動信号とを発生し、

前記1サイクル目のバースト読み出しサイクルにおいて、

前記複数の可変電流源の一部に対応するサブアンプによって増幅された電圧信号は、前記第一のメインアンプ起動信号によって前記複数のメインアンプの一部で増幅され、

前記複数の可変電流源の他の一部に対応するサブアンプによって増幅された電圧信号は、前記第二のメインアンプ起動信号によって前記複数のメインアンプの他の一部で増幅されることを特徴とする半導体装置。

【請求項7】

複数のメモリセルと、

前記複数のメモリセルの一つに格納されている記憶情報を転送する第1信号線対と、第1トランジスタおよび第2トランジスタを含むスタティック型の差動増幅回路と、電流制御回路とを含んだメインアンプと、

前記第1信号線対に接続されるサブアンプと、

前記サブアンプに接続される第2信号線対とを備え、

前記第1信号線対の一方は、前記第1トランジスタのゲートに接続され、前記第1信号線対の他方は、前記第2トランジスタのゲートに接続され、

前記電流制御回路は、前記第1トランジスタおよび前記第2トランジスタのソースと第1電源の間の経路に設けられ、バースト読み出しサイクル内の第1サイクルで第1電流を生成し、前記バースト読み出しサイクル内で前記第1サイクルの後となる第2サイクルで前記第1電流よりも少ない第2電流を生成し、

前記複数のメモリセルの一つから読み出された記憶情報は、前記第2信号線対と前記サブアンプを介して前記第1信号線対に転送され、

前記サブアンプは、可変電流源を含み、

前記可変電流源は、前記第1サイクルで第3電流を生成し、前記第2サイクルで前記第3電流よりも少ない第4電流を生成することを特徴とする半導体装置。

【請求項8】

請求項7記載の半導体装置において、

前記サブアンプは、さらに、

前記第2信号線対の一方にゲートが接続される第5トランジスタと、

10

20

30

40

50

前記第 2 信号線対の他方にゲートが接続される第 6 トランジスタとを含み、  
前記可変電流源は、

前記第 5 トランジスタおよび前記第 6 トランジスタのソースと前記第 1 電源の間の経路をソース - ドレイン経路とする第 7 トランジスタと、

前記第 5 トランジスタおよび前記第 6 トランジスタのソースと前記第 1 電源の間の経路をソース - ドレイン経路とする第 8 トランジスタとを含むことを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

前記第 7 トランジスタの駆動能力は、前記第 8 トランジスタの駆動能力よりも大きく、

前記第 1 サイクルでは、前記第 7 トランジスタが活性化されると共に前記第 8 トランジスタが非活性化され、

前記第 2 サイクルでは、前記第 8 トランジスタが活性化されると共に前記第 7 トランジスタが非活性化されることを特徴とする半導体装置。

【請求項 10】

請求項 7 記載の半導体装置において、

前記電流制御回路は、前記第 1 トランジスタおよび前記第 2 トランジスタのソースと前記第 1 電源の間の経路をソース - ドレイン経路とする付加トランジスタを含み、

前記第 1 サイクルで前記付加トランジスタのゲートに印加される電圧は、前記第 2 サイクルで前記付加トランジスタのゲートに印加される電圧よりも大きいことを特徴とする半導体装置。

【請求項 11】

複数のメモリセルと、

前記複数のメモリセルの一つに格納されている記憶情報を転送する第 1 入出力線対と、

前記第 1 入出力線対の一方にゲートが接続される第 1 トランジスタと、前記第 1 入出力線対の他方にゲートが接続される第 2 トランジスタと、前記第 1 トランジスタおよび前記第 2 トランジスタのソースと第 1 電源の間の経路に設けられ、バースト読み出しサイクル内の第 1 サイクルで第 1 電流を生成し、前記バースト読み出しサイクル内で前記第 1 サイクルの後となる第 2 サイクルで前記第 1 電流よりも少ない第 2 電流を生成する可変電流源とを含んだサブアンプと、

前記サブアンプに接続される第 2 入出力線対と、

前記第 2 入出力線対に接続されるメインアンプとを有することを特徴とする半導体装置

【請求項 12】

請求項 11 記載の半導体装置において、

前記可変電流源は、

前記第 1 トランジスタおよび前記第 2 トランジスタのソースと前記第 1 電源の間の経路をソース - ドレイン経路とする第 3 トランジスタと、

前記第 1 トランジスタおよび前記第 2 トランジスタのソースと前記第 1 電源の間の経路をソース - ドレイン経路とする第 4 トランジスタとを有することを特徴とする半導体装置

【請求項 13】

請求項 12 記載の半導体装置において、

前記第 3 トランジスタの駆動能力は、前記第 4 トランジスタの駆動能力よりも大きく、

前記第 1 サイクルでは、前記第 3 トランジスタが活性化されると共に前記第 4 トランジスタが非活性化され、

前記第 2 サイクルでは、前記第 4 トランジスタが活性化されると共に前記第 3 トランジスタが非活性化されることを特徴とする半導体装置。

【請求項 14】

請求項 11 記載の半導体装置において、

前記サブアンプは、さらに、前記第 1 トランジスタおよび前記第 2 トランジスタのソー

スと前記可変電流源の間に接続された付加トランジスタを含み、

前記サブアンプは、前記付加トランジスタによって活性化されることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、記憶容量が大きく、かつ高速な読み出し動作が要求される半導体メモリを含んだ半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

CPUの高速化に伴い、半導体メモリの動作周波数向上の要求が年々高まっている。従来のシンクロナス・ダイナミック・ランダム・アクセス・メモリ(SDRAM)では、微細化によって集積度を上げることにより、高速化を実現してきた。現在主流のダブル・データ・レート シンクロナス・ダイナミック・ランダム・アクセス・メモリ(DDR SDRAM)では、複数のビットを予めメモリアレイから読み出ししておくプリフェッチ動作と、これら複数の情報をクロックの両エッジに同期して時系列に出力するインタフェース方式により、データ転送速度を向上させている。

【0003】

DDR SDRAMのプリフェッチ動作でメモリアレイから一度に読み出される情報量はデータ転送速度と関係があり、世代によって異なる。例えば、DDR SDRAMの第1世代(以下では、DDRと呼ぶ。)では、2ビットの記憶情報を一度に読み出す2ビット・プリフェッチ動作により、毎秒200メガビット~400メガビットのデータ転送速度を実現していた。また、第2世代(以下では、DDR-IIと呼ぶ。)では、4ビットの記憶情報を一度に読み出す4ビット・プリフェッチ動作により、毎秒400メガビット~800メガビットのデータ転送速度を実現しようとしている。さらに、第3世代(以下では、DDR-IIIと呼ぶ。)では、8ビットの記憶情報を一度に読み出す8ビット・プリフェッチ動作により、データ転送速度は毎秒800メガビット~1600メガビットに達する見込みである。このような世代間におけるプリフェッチ数の相違から、DDR SDRAMにおけるプリフェッチ方式を特に、『2Nビット プリフェッチ方式(Nは整数)』と呼ぶ。

【0004】

今後、微細化が進んでギガビット級の記憶容量を備えたDDR SDRAMが実現されるようになると、チップ面積が100平方ミリメートルを超える見通しであるため、メモリアレイおよび入出力バス(チップ内部)の動作速度を一定に保つことが困難になり、アクセス時間が増加する恐れがある。例えば、低電圧化と微細化により、メモリセルトランジスタやセンスアンプを構成するMOSトランジスタのデバイス特性ばらつきが増加するために、メモリアレイの動作マージンが劣化する可能性がある。また、読み出し信号量の増大による動作マージンの拡大に有効な多分割ビット線および多分割ワード線を用いたメモリアレイ構成は、センスアンプやワード・ドライバなどの直接周辺回路の増加を招くことから、その分割数に限度があるので、劇的な効果を得ることが難しい。さらに、メモリアレイから読み出した情報を出力バッファまで転送する経路では、その配線長が増加するので、RC遅延の増加によるチップ内部動作速度が低下する可能性がある。

【0005】

入出力バスの動作速度に関連して、例えば特許文献1では、メモリアレイから読み出した情報を入出力回路まで転送する時間の短縮に関する手法が示されている。具体的には、上記経路内に含まれるメインアンプ~出力バッファ間に着目し、プリフェッチした2Nビットの情報のうち、最初に出力する情報を高速メインアンプと低インピーダンスのグローバル入出力線(GIO)を用いて読み出す。また、後続の情報は、通常のメインアンプで読み出す。このような構成と動作により、消費電力を抑制しながらアクセス時間を短縮している。

10

20

30

40

50

【特許文献1】特開2002-25265号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本願発明者等は、本願に先立ち、ギガビット級DDR SDRAMの動作速度を検討した。特に、チップ内部の動作時間を検討したところ、下記二つの問題を見出した。

【0007】

第一の問題は、記憶情報の読み出しに要する時間がRC遅延(ここで、Rは配線抵抗、Cは負荷容量を示す。)により増加すると予想される点にある。図2は、DDR SDRAMの読み出し動作における動作タイミング・ダイアグラムの例を示す図である。ここでは、アクティブ・コマンドACTVの入力からリードRDまたはライト・コマンド入力までの待ち時間tRCD(Active to Read/Write delay)が8サイクル、リード・コマンドRD入力からデータ出力までに要する時間CL(/CAS latency)が7サイクルの場合に目標となる、チップ内部動作時間の内訳が示されている。ロウ系回路の動作においては、行選択動作を7サイクル以内に終えてワード線(WL)を起動し、12サイクル以内に記憶情報をセンスアンプに読み出す例が示されている。カラム系回路の動作においては、予め入力されたリード・コマンドRDにより列選択動作が行われ、センスアンプへの読み出し動作完了直後にカラム選択信号(YS)を起動することによって記憶情報をデータ端子(DQ)へ転送し、16サイクル目にクロックCLKおよびCLKBのエッジに同期して記憶情報が読み出される例が示されている。同図に示したYS起動タイミング・マージンは、誤読み出しを回避するために設けられている。

10

20

【0008】

しかし、ギガビット級DDR SDRAMのチップ面積からRC遅延を考慮すると、図3に示すように行選択動作時間が増加するので、ワード線起動タイミングが時間TRD0だけ遅れる恐れがある。また、メモリセルからセンスアンプへの読み出し時間に関しても、チップ面積抑制の観点からビット線の分割数が制限されて、ビット線のRC積が大きくなる恐れがある。さらに、メモリセルの記憶情報をビット線に読み出す際、センスアンプが正しく動作するようにビット線に数百mVの信号電圧を発生させなければならないが、セル選択トランジスタの特性ばらつき(例えば、しきい電圧のばらつき)を考慮すると、読み出し時間がさらに増加する恐れがある。このため、動作マージンを拡大しようとすると、センスアンプへの読み出し動作がTRD1だけ遅れて、ロウ系回路動作時間が目標を超過すると予測される。

30

【0009】

これらの影響は、カラム系回路動作にも影響を及ぼす。すなわち、YS起動タイミングがTD0(=TRD0+TRD1)だけ遅れるので、キャスレイテンシCLが目標の7サイクルを満たせず、例えば8サイクル必要となってしまう。また、チップ面積の増大によって、メモリアレイからデータ端子までの間の経路(所謂データ・バス)においてもRC遅延が増加するので、キャスレイテンシCLがさらに超過する恐れがある。このため、各回路ブロックの高速化によりチップ性能の劣化を回避することが望まれる。しかし、ロウ系回路の動作速度は、アドレス信号のデコーディングおよび不良ビットの救済判定を行うための論理段数と、メモリアレイの駆動時間およびチャージシェアによる記憶情報の読み出し時間で律則されるので、高速化は困難である。したがって、ロウ系回路動作の遅延を許容して、カラム系回路における動作時間の短縮を行うことが望まれる。

40

【0010】

第二の問題は、データ転送速度向上に呼応してプリフェッチ数が増加すると、カラム系回路動作の消費電力が増大する点にある。この電流増加は、DRAMの標準仕様で定められているバースト・リード・オペレーティング・カレント(Burst Read Operating Current)IDD4Rの増大に繋がるため、データバスにおける消費電流を抑制することが望まれる。

50

## 【0011】

そこで、本発明の目的は、このような問題等を鑑み、半導体メモリにおける動作マージンの拡大や消費電力の低減などを実現することにある。本発明の前記の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【課題を解決するための手段】

## 【0012】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

## 【0013】

本発明による半導体装置は、DRAMアレイを代表とするメモリアレイ、階層構造の入出力線、サブアンプ、タイミング制御回路を備えるものである。サブアンプは、メモリアレイ内のセンスアンプを介して下位の入出力線に読み出された微小電圧信号を増幅するものであり、例えばコンダクタンスの異なる複数の電流源を具備し、各電流源は複数のリード起動信号により独立に活性化される。メインアンプは、サブアンプを介して上位の入出力線に読み出された微小電圧信号を増幅するものである。タイミング制御回路は、バースト読み出し動作のサイクル数を検知して、サイクル数に応じたタイミングでカラム選択信号と複数のリード起動信号を発生する。バンク活性化直後のバースト読み出し動作サイクルにおいて、タイミング制御回路は、後続のサイクルより遅いタイミングでカラム選択信号と第一のリード起動信号を活性化する。第一のリード起動信号によって、コンダクタンスの大きな電流源が活性化されて、サブアンプの駆動能力が高く設定されるので、入出力線におけるデータ転送時間を短縮できる（高速モード）。このため、メモリアレイにおいて、読み出し動作マージンを拡大することが可能となり、高速かつ高信頼の読み出し動作を実現できる。さらに、後続のサイクルにおいて、タイミング制御回路が第二のリード起動信号を活性化することにより、コンダクタンスの小さな電流源が活性化されて、サブアンプの駆動能力が抑制されるので、入出力線におけるデータ転送の際の消費電流を抑制可能となる。したがって、低電力の読み出し動作を実現できる（低電力モード）。

## 【0014】

また、本発明による半導体装置は、メインアンプを備えるものである。メインアンプは、さらに、第一のアンプとプリアンプを備える。タイミング制御回路は、さらに、バースト読み出し動作のサイクル数を検知して、サイクル数に応じたタイミングでプリアンプ起動信号を発生する。バンク活性化直後の読み出し動作サイクルにおいて、タイミング制御回路は、プリアンプ起動信号を活性化する。プリアンプによって、第一のアンプに入力される信号電圧が増加するので、メインアンプ全体としての増幅時間すなわち入出力線におけるデータ転送時間を短縮できる（高速モード）。したがって、メモリアレイにおいて、読み出し動作マージンをさらに拡大することが可能となる。後続のサイクルにおいて、タイミング制御回路はプリアンプ起動信号を非活性状態とし、第一のアンプのみによって増幅を行う。したがって、プリアンプで消費される電流を削減できる（低電力モード）。

## 【0015】

さらに、本発明による半導体装置は、入出力線毎に選択的にリード起動信号およびプリアンプ起動信号を発生するものである。ここで、タイミング制御回路は、バースト動作制御信号群を受信して、複数のリード起動信号およびプリアンプ起動信号を発生する。バンク活性化直後の読み出し動作サイクルにおいて、バースト読み出しされる複数ビットの一部（例えば8ビット・プリフェッチ方式の場合の前半の4ビット）を転送する入出力線では、当該複数の第一のリード起動信号およびプリアンプ起動信号が活性化されて、データパスが高速モードの回路設定となる。一方、前述した複数ビットの残り（例えば後半の4ビット）を転送する入出力線では、当該複数のプリアンプ起動信号が非活性状態に保持され、また当該複数の第二のリード起動信号によってデータパスが活性化されることにより低電力モードの回路設定となる。このため、メモリアレイにおいて、読み出し動作マージンを拡大することが可能となると共に、入出力線におけるデータ転送の際の消費電流を抑制しながら、高速かつ高信頼の読み出し動作を実現できる。

10

20

30

40

50

## 【発明の効果】

## 【0016】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、半導体メモリにおける動作マージンの拡大や消費電力の低減が実現可能となる。

## 【発明を実施するための最良の形態】

## 【0017】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、実施の形態の各機能ブロックを構成する回路素子は、特に制限されないが、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。

10

## 【0018】

なお、実施の形態では、MISFET（Metal Insulator Semiconductor Field Effect Transistor）の一例としてMOS（Metal Oxide Semiconductor）トランジスタを用いる。図面において、Pチャネル型MOSトランジスタ（PMOSトランジスタ）にはゲートに矢印の記号を付すことで、Nチャネル型MOSトランジスタ（NMOSトランジスタ）と区別することとする。図面にはMOSトランジスタの基板電位の接続は特に明記していないが、MOSトランジスタが正常動作可能な範囲であれば、その接続方法は特に限定しない。

20

## 【0019】

## （実施の形態1）

まず、図4と図5に従い、動作タイミング・ダイアグラムから見た本実施の形態の特徴を説明する。本実施の形態の主な特徴は、二つある。第一の特徴は、カラム系回路のうち、メモリアレイからメインアンプまでの読み出し回路動作を高速化する点にある。すなわち、この部分の回路動作をロウ系回路動作における超過時間TD0だけ短縮する。図4は、前述した図3に対比させて、ロウ系回路動作（所謂ページ・オープン）直後のカラム系回路動作における最適な読み出し動作時間の詳細な内訳を示している。TD1Fは、カラム選択信号YSを起動してからメインアンプ起動信号MAEを活性化するまでに要する時間であり、特にこの時間を短縮することで超過時間TD0を吸収する。

30

## 【0020】

なお、TD2は、メインアンプ起動信号MAEを活性化してからレシーバアンプ起動信号RAEを活性化するまでに要する時間、TD3は、レシーバアンプ起動信号RAEを活性化してから読み出しデータがマルチプレクサMUXに入力されるまでに要する時間、TD4は、データ出力起動信号群DOESGを活性化してからデータ出力起動信号DOEを活性化するまでに要する時間、TD5は、データ出力起動信号DOEを活性化してからデータ端子DQにデータが出力されるまでの時間を示している。これらの信号の意味は、後述するDDR SDRAMの全体構成で説明する。

## 【0021】

第二の特徴は、バースト読み出しのサイクルに応じて、前述のメモリアレイからメインアンプまでの読み出し動作の制御および動作時間を切替える点にある。図5は、図4に対比させて、カラム系回路動作における読み出し動作時間の詳細な内訳を示している。ここで、バースト読み出しの1サイクル目とは、ページ・オープン直後のバースト読み出しを指す。したがって、ロウ系回路動作の完了を待つため、カラム選択信号YSが、列選択動作終了からロウ系回路動作の遅れ時間TD0だけ後に活性化させる。一方、バースト読み出しの2サイクル目（およびそれ以降）とは、ロウ系回路動作を伴わずに、既に記憶情報がセンスアンプに読み出されている状態からの読み出しを指す。したがって、バースト読み出しの2サイクル目以降は、ロウ系回路動作における遅延TD0の影響がない。そこで、カラム選択信号YSの起動タイミングを早めて、メモリアレイからメインアンプまでの読み出し動作時間TD1Nを拡大した回路動作が行われる。これらの特徴を実現する回路

40

50

構成について、以下に詳しく説明する。

【0022】

《DDR SDRAMの全体構成》

図1は、本発明による実施の形態1の半導体装置において、DDR SDRAMの要部構成例を示す回路ブロック図である。同図では、簡単のために選択する1ビットのメモリセルMCに注目して、読み出し動作および書き込み動作に関する要部回路ブロックが示されている。メモリセルアレイMCAは、セル選択トランジスタCTとキャパシタCAPで構成される公知のメモリセルがマトリクス上に配置された構造である。図1によるDRAMの特徴は、次の二つにある。第一の特徴は、メモリアレイと入出力回路との間で記憶情報が転送される入出力線が所謂階層構造をなす点にある。同図では、一例として、ローカル入出力線LIO、メイン入出力線MIO、グローバル入出力線GIOの3つの階層からなる構造の例が示されている。第二の特徴は、ローカル入出力線LIOとメイン入出力線MIOとの間の所謂クロスポイント領域回路XPに配置されたサブアンプの制御信号（同図では、リード起動信号群RSGやイコライズ起動信号群EQSG）や、カラム・アドレスで指定されたセンスアンプとローカル入出力線との接続を制御するカラム選択信号YSの活性化タイミングが、バースト読み出しサイクルに応じて異なる点にある。

10

【0023】

内部電源発生回路VGENは、電源端子から供給された電源電圧VDDや接地電圧VSSのような電圧を用いて、メモリセル内のキャパシタCAPに印加されるプレート電極電圧VPLやプリチャージ電圧VDD/2(=VDLR、基準電圧)、内部昇圧電圧VPP、周辺回路電圧VCL、内部降圧電圧VDL、基板印加電圧VBBのような各種内部電圧を発生する。相補クロックCLK、CLKBは、クロックバッファCLKBFを介して入力され、内部クロックICLKがチップ内部に供給される。内部クロックICLKは、さらにクロック発生回路CLKGENに入力されて、任意のパルス幅およびタイミングのクロックが各回路ブロックに供給される。同図では、参照クロックRCLKが制御論理回路CLGCおよびタイミング制御回路TMCTLに入力される例が示されている。なお、内部クロックのパルス幅やタイミングは、各回路ブロックで適宜調整することも可能である。

20

【0024】

ロウ・アドレス・ストロープ信号RASB、カラム・アドレス・ストロープ信号CASB、ライトイネーブル信号WEBおよびチップセレクト信号CSBの夫々は制御信号である。上記の制御信号は、相補クロックCLK、CLKBに同期して入力される。コマンドバッファCMDBFを介して入力された内部制御信号群ICMDは、前述の参照クロックRCLKと後述のロウ・アドレス信号またはカラム・アドレス信号と共に制御論理回路CLGCに入力されて、複数の制御信号が生成される。同図では簡単のために、複数のメモリバンクからなるDDR SDRAMにおいて、任意のメモリバンク内のメモリアレイについての読み出し動作に関する信号の例が示されている。

30

【0025】

リード信号BRDは、複数のメモリバンクに分割されたメモリアレイの一つから記憶情報を読み出す間、活性化状態となる信号である。リード・ライト起動信号RWEは、リード・コマンドまたはライト・コマンドの入力を受けて生成される信号である。プリチャージ起動信号PRBは、待機時におけるメモリアレイ内のビット線をVDD/2にプリチャージするための信号である。アレイ活性化信号AXは、アクティブ・コマンドの入力を受けて、後述のアレイ制御信号群ACSGを発生するための信号である。バースト動作制御信号群BTSGは、チップ起動時に初期設定されたバースト・シーケンスの値に応じた複数の制御信号である。例えば、タイミング制御回路TMCTLにおいて、後述のマルチプレクサMUXで読み出した記憶情報を時系列に出力する際の順番を制御する信号群DOESG(データ出力起動信号群)を発生するために使われる。

40

【0026】

リフレッシュ信号REFは、リフレッシュ・コマンドの入力を受けて発生される制御信

50

号である。リフレッシュ信号 R E F がリフレッシュ・カウンタ R C N T に入力されることにより、リフレッシュ・アドレス R A D D が生成され、後述の行デコーダ X D E C に入力される。リード・ライト信号 B R W は、複数のバンクに分割されたメモリアレイの一つにおいて記憶情報を読み出す、または書き込む間、活性化状態となる信号である。カラム選択起動信号 Y S E は、リード・コマンドおよびライト・コマンドの入力を受けて、カラム・アドレスで指定されたセンスアンプとローカル入出力線 L I O との間で情報の授受を行うタイミングを決定する信号である。

#### 【 0 0 2 7 】

ロウ・アドレス信号およびカラム・アドレス信号は、共通のアドレス端子 A D D から相補クロック C L K、C L K B に同期して、時系列に入力される。アドレスバッファ A D D B F を介して入力された内部アドレス信号 I A D D のうち、ロウ・アドレス信号の一部は行プリデコーダ X P D E C とロウ救済回路 X R D C とを介して行デコーダ X D E C に供給され、残りのロウ・アドレス信号は直接行デコーダ X D E C に供給される。行デコーダ X D E C は、ワード信号群 W S G からロウ・アドレス信号に対応する一本を活性化して、ワード・ドライバ列 W L D A 内の複数のワード・ドライバ W L D を選択する。この結果、所望のワード線 W L が活性化されて、メモリアレイのビット線 B L 上には微小な読み出し信号が発生し、センスアンプ S A により信号の増幅が行われる。なお、リフレッシュ動作においては、行デコーダ X D E C は前述のリフレッシュ・アドレス R A D D を受信して、ワード信号群 W S G の中の一本を順次活性化する。また、行デコーダ X D E C はワード信号群 W S G の他に、ロウ信号群 X S G をカラム救済回路 Y R D C およびアレイコントロール回路 A C C に出力して、後述する列デコーダ Y D E C やローカル入出力線 L I O のうち所望のサブアレイに属する回路ブロックのみを活性化する。

#### 【 0 0 2 8 】

カラム・アドレス信号の一部は列プリデコーダ Y P D E C とカラム救済回路 Y R D C とを介して列デコーダ Y D E C に供給される。同図では簡単のため、カラム救済回路 Y R D C の出力信号の例として、カラム信号群 Y S G 0、読み出し動作に係るカラム系リード起動信号 Y R S G、カラム系イコライズ起動信号 Y E Q、カラム系リード・ライト起動信号 Y R W、カラム系メインアンプ起動信号 Y M A が示されている。これらのカラム救済回路出力信号群は、前述の制御論理回路 C L G C の出力信号群と共にタイミング制御回路 T M C T L に入力されて論理演算が施され、さらにパルス幅と出力タイミングが調整されて、前述したようにセンスアンプに読み出された記憶情報を出力回路まで転送するカラム系回路を適切なタイミングで駆動するのに用いられる。

#### 【 0 0 2 9 】

メモリアレイのビット線 B L 上に発生した微小な読み出し信号は、ロウ系回路制御信号群 X C S G からアレイ制御回路 A C C を介して得られたアレイ制御信号群 A C S G が活性化されることによりセンスアンプ S A で増幅される。この後、後述のタイミング制御回路 T M C T L において、カラム信号群 Y S G 0 から発生したカラム信号群 Y S G を列デコーダ Y D E C でデコードすることにより、カラム選択信号 Y S が活性化される。この結果、センスアンプ S A からローカル入出力線 L I O に記憶情報が出力されて、さらにクロスポイント領域回路 X P およびメイン入出力線 M I O を通じてメインアンプ / ライト・ドライバ M A / W D に転送される。

#### 【 0 0 3 0 】

読み出し動作において、メインアンプ M A はメインアンプ制御信号群 M C S G により活性化されて、メイン入出力線 M I O 上に発生した微小信号を増幅して、読み出した記憶情報をグローバル入出力線 G I O に出力する。この読み出し信号は、さらにレシーバアンプ R A M P、マルチプレクサ M U X、出力バッファ O U T B F を介してデータ端子 D Q に転送される。レシーバアンプ R A M P はレシーバアンプ起動信号 R A E によって活性化されて、グローバル入出力線 G I O に発生された微小信号を増幅して、マルチプレクサ M U X に出力する。マルチプレクサ M U X は、メモリアレイから同時に読み出された複数の記憶情報を時系列に順番で出力バッファ O U T B F へ転送する所謂パラレル - シリアル変換回

10

20

30

40

50

路である。出力の順番は、前述のデータ出力起動信号群 D O E S G にて制御される。同図では、簡単のために 1 ビット分のカラム系回路ブロックおよび入出力線しか示されていない。しかし、実際の入出力線およびアンプ、ドライバは、2 N プリフェッチ動作を実現するために各々バス構造をなしている。

#### 【 0 0 3 1 】

出力バッファ O U T B F は、データ出力起動信号 D O E に同期して読み出した記憶情報をデータ端子 D Q に出力する。なお、クロスポイント領域回路 X P およびメインアンプ M A には、ローカル入出力線 L I O とメイン入出力線 M I O との接続やプリチャージを制御する回路が配置され、リード起動信号群 R S G やイコライズ起動信号群 E Q S G によって制御されるが、詳細な構成と動作については後述することにする。

10

#### 【 0 0 3 2 】

書き込み動作において、データ端子 D Q から入力された記憶情報は、データ入力起動信号 D I E に同期して入力バッファ I N B F に取り込まれ、デマルチプレクサ D E M U X 、グローバル・ライト・ドライバ G W D V 、グローバル入出力線 G I O を介してライト・ドライバ W D に転送される。デマルチプレクサ D E M U X は、時系列に連続して入力された記憶情報をシリアル・パラレル変換する回路である。入力された記憶情報と入出力線との対応は、前述の読み出し動作における出力の順番と一致するように、データ入力起動信号群 D I E S G にて制御される。グローバル・ライト・ドライバ G W D V はグローバル・ライト・ドライバ起動信号 G W D V E に同期して、入力された記憶情報をグローバル入出力線 G I O からライト・ドライバ W D へ転送する。さらに、この記憶情報は、ライドドライバ起動信号 W D V E に同期してメイン入出力線 M I O に出力されて、メモリアレイに転送される。

20

#### 【 0 0 3 3 】

図 6 は、図 1 の D D R S D R A M において、そのチップ全体のレイアウト構成例を示す平面図である。図 6 の D D R S D R A M チップ C H I P では、例えば、メモリセルアレイが 8 つのメモリバンク B A N K 0 ~ B A N K 7 に分割されている。各々のメモリバンクは、図 1 に示した行デコーダ X D E C 、列デコーダ Y D E C 、メインアンプ/ライト・ドライバ M A / W D と、メモリセルアレイ M C A 、ワード・ドライバ列 W L D A 、センスアンプアレイ S A A 、アレイ制御回路 A C C 、クロスポイント領域回路 X P とで構成される。アドレスバッファ A D D B F や内部電源発生回路 V G E N 、各種端子など図 1 に示した他の回路は、図 6 中の周辺回路領域 P E R I に適宜配置される。

30

#### 【 0 0 3 4 】

##### 《メモリバンクの構成》

図 7 は、図 6 におけるメモリバンクのレイアウト構成例を示す平面図である。図 1 に示したメモリセルアレイ M C A は、実際には、さらに小規模なサブアレイ S A R Y 0 0 ~ S A R Y 7 3 に分割配置されている。各サブアレイの周囲には、センスアンプ列 S A A 、サブワード・ドライバ列 S W D A 、クロスポイント領域回路 X P が配置される。また、メモリバンク B A N K の外周には、センスアンプ列 S A A と平行に列デコーダ Y D E C およびメインアンプ/ライト・ドライバ列 M A A / W D A が配置され、サブワード・ドライバ列 S W D A と平行に行デコーダ X D E C およびワード・ドライバ列 W L D A とアレイ制御回路 A C C が配置される。このように、メモリアレイの構成に応じて、ワード線も多分割して各々にサブワード・ドライバを配置し、多分割されたサブワード線に共通な上位ワード線をワード・ドライバで駆動するような階層構造とするのが広く知られている。

40

#### 【 0 0 3 5 】

図 8 は、図 7 のメモリバンクの回路構成例を示す要部ブロック図である。通常メモリバンク内には数十個（図 7 では 8 個）のメモリマットが含まれるが、図 8 では簡単のために 3 個のメモリマット M A T 0 ~ M A T 2 が示されている。また、センスアンプ列がメモリセルアレイに対して、交互配置されていない場合の構成が示されている。サブアレイ S A R Y 0 0 ~ S A R Y 0 3 はメモリマット M A T 0 、サブアレイ S A R Y 1 0 ~ S A R Y 1 3 はメモリマット M A T 1 、サブアレイ S A R Y 2 0 ~ S A R Y 2 3 はメモリマット M A

50

T 2 にそれぞれ属している。このメモリバンクは、一例として、バースト読み出し動作において、8つのデータ端子DQ0～DQ7のそれぞれから8ビットの記憶情報を連続して出力可能な8ビットプリフェッチ方式のDDR SDRAMを想定した構成である。

#### 【0036】

例えば、メモリマットMAT0に着目すると、センスアンプ列SAAから左右のクロスポイント領域回路XPに向かってローカル入出力線群LIO00およびLIO01が配置される。これらのローカル入出力線群LIO00, LIO01のそれぞれは、後述するように8対の相補ローカル入出力線を有している。メインアンプ群MABK0～MABK7は、それぞれ、異なるメモリマット間で同じ列に配置された複数のクロスポイント領域回路XPにメイン入出力線群MIO0～MIO7を介して接続される。ここで、メイン入出力線群MIO0～MIO7のそれぞれも、ローカル入出力線群に呼応して8対の相補メイン入出力線を有している。メインアンプ群MABK0～MABK7は、それぞれ、さらにグローバル入出力線群GIO0～GIO7を介してレシーバアンプ群RABK0～RABK7と接続される。レシーバアンプ群RABK0～RABK7とデータ端子DQ0～DQ7との間には、マルチプレクサMUX0～MUX7と出力バッファOUTBF0～OUTBF7とがそれぞれ配置される。

10

#### 【0037】

##### 《データパスの構成》

図9は、図8のメモリバンク構成において、データ端子DQ0に関するカラム系回路、すなわちデータパスの構成例を示す要部ブロック図である。同図では簡単のため、メモリマットはMAT0のみ示した。前述した通り、ローカル入出力線群LIO00は8対のローカル入出力線LIO0T/B～LIO7T/Bで構成される。また、メイン入出力線群MIO0は、8対のメイン入出力線MIO0T/B～MIO7T/Bで構成される。さらに、グローバル入出力線群GIO0は、8対のグローバル入出力線GIO0T/B～GIO7T/Bで構成される。クロスポイント領域回路XPには、読み出し動作で用いられる8つのサブアンプSAMP0～SAMP7が配置される。

20

#### 【0038】

さらに、SAMP0～SAMP7に対応して電流制御回路(可変電流源)IC0～IC7が設けられる。ここで、IC0～IC7は、対応するサブアンプSAMP0～SAMP7の起動回路であると共に、共通のリード起動信号RD1, RD2を用いてSAMP0～SAMP7の駆動能力を調整するための回路であることが特徴となっている。なお、クロスポイント領域回路XPには、通常、書き込み動作で用いられるライトスイッチが配置されるが、ここでは簡単のために省略した。また、同図では省略されているが、リード起動信号RD1, RD2は、図1に示したリード起動信号群RSGの構成要素であり、上下に隣接するメモリマットで共有される。

30

#### 【0039】

メインアンプ群MABK0は、メイン入出力線の本数に応じて、8つのメインアンプMAMP0～MAMP7を有し、メインアンプ起動信号MAE、伝達ゲート起動信号TGB、メイン入出力線イコライズ信号MIOEQBで制御される。レシーバアンプ群RABK0も同様に、8つのレシーバアンプRAMPO～RAMP7を有し、レシーバアンプ起動信号RAEで制御される。レシーバアンプRAMPO～RAMP7の出力端子とマルチプレクサMUX0の入力端子は、データ線D0～D7でそれぞれ接続される。

40

#### 【0040】

図10は、図9に示したローカル入出力線LIO0T, LIO0B、メイン入出力線MIO0T, MIO0B、グローバル入出力線GIO0T, GIO0Bを含むデータパスにおける詳細な回路構成例を示している。センスアンプ列SAAの構成要素であるセンスアンプSAは、プリチャージ回路PCC、クロスカップル型ラッチアンプCCL1、伝達ゲート対TGP、カラムスイッチCSWからなる公知の回路構成である。

#### 【0041】

プリチャージ回路PCCは、3つのNMOSトランジスタで構成され、待機時にビット

50

線イコライズ信号BLEQが昇圧電圧VPPに駆動されることにより活性化されて、ビット線対BLT, BLBを基準電圧VDLR(ここでは、例えばVDD/2)に駆動する。ここで、メモリセルアレイは折り返しビット線構造を仮定しており、選択メモリセルはビット線BLTに接続されているものとする。

【0042】

クロスカップル型ラッチアンプCCL1は、2つのPMOSトランジスタと2つのNMOSトランジスタとで構成される。待機時において、共通ソース線CSP, CSNはビット線対BLT, BLBと同じプリチャージ電圧(ここでは、例えばVDD/2)に駆動される。一方、読み出し動作において、選択されたメモリセルが記憶する情報に応じた信号がビット線BLTに発生すると、CCL1は、共通ソース線CSPが内部降圧電圧VDL

10

【0043】

カラムスイッチCSWは、ビット線対BLT, BLBとローカル入出力線LIOOT, LIOOBとの間に挿入された2つのNMOSトランジスタで構成される。ゲート電極に接続されたカラム選択信号YSは、カラムデコードで制御されている。カラムスイッチCSWは、カラム選択信号YSが内部昇圧電圧VPPに駆動されることにより活性化されて、クロスカップル型ラッチアンプCCL1で増幅された読み出し信号をローカル入出力線LIOOT, LIOOBに転送する。

【0044】

伝達ゲート対TGPは、クロスカップル型センスラッチとメモリセルアレイとの間に挿入された2つのNMOSトランジスタで構成される。読み出し動作において、シェアード信号SHRが昇圧電圧VPPに駆動されることにより活性化されて、ビット線対BLT, BLBとクロスカップル型ラッチアンプとを接続して、選択メモリセルから読み出した信号をクロスカップル型センスラッチに転送する。なお、センスアンプがメモリセルアレイの両側に交互配置される場合は、クロスカップル型センスラッチが隣接するメモリマットで共有されることが広く知られている。このような構成では、活性化された一方のメモリマットに含まれるビット線対をクロスカップル型センスラッチに接続し、他方の非選択メモリマットに含まれるビット線対を切り離すため、2つの伝達ゲート対を配置する。また、ビット線イコライズ信号BLEQ、共通ソース線CSP, CSNの電圧、シェアード信号SHRは、図7に示したアレイ制御回路ACCで生成される。

20

30

【0045】

サブアンプSAMP0は、第一のローカル入出力線プリチャージ回路LIOPCC1、第二のローカル入出力線プリチャージ回路LIOPCC2、読み出し回路RDCとで構成される。第一のローカル入出力線プリチャージ回路LIOPCC1は、非選択状態におけるローカル入出力線LIOOT, LIOOBを基準電圧VDLR(ここでは、例えばVDD/2)に駆動する回路である。その構成は、3つのNMOSトランジスタからなり、それぞれのトランジスタのゲート電極にビット線イコライズ信号BLEQが接続される。待機時に、この信号が昇圧電圧VPPに駆動されることによって活性化されて、ローカル入出力線LIOOT, LIOOBを基準電圧VDLRに駆動する。また、読み出し動作において、非選択メモリマットにおけるビット線イコライズ信号BLEQは昇圧電圧VPPに保持される。前述したカラム選択信号YSは複数のメモリマット間で共有されるので、非選択状態にあるメモリマットに含まれるカラムスイッチCSWも導通するが、当該ローカル入出力線は、ビット線対と同じ基準電圧VDLRに保持されるため、無駄な電力の消費を抑制することができる。

40

【0046】

第二のローカル入出力線プリチャージ回路LIOPCC2は、選択されたメモリマットに含まれるローカル入出力線LIOOT, LIOOBを内部降圧電圧VDLに駆動する回路である。その構成は3つのPMOSトランジスタからなり、それぞれのゲート電極にローカル入出力線イコライズ信号LIOEQBが接続される。同図では省略されているが、

50

ローカル入出力線イコライズ信号 L I O E Q は、図 1 に示したイコライズ起動信号群 E Q S G の構成要素であり、上下に隣接するメモリマツトで共有される。読み出し動作において、ローカル入出力線イコライズ信号 L I O E Q B が接地電圧 V S S に一時的に駆動されることにより、ローカル入出力線プリチャージ回路 L I O P C C 2 が活性化される。選択メモリマツトにおいては、共通ソース線 C S P からローカル入出力線 L I O 0 T , L I O 0 B へ内部降圧電圧 V D L が供給される。非選択メモリマツトにおいては、共通ソース線 C S P が基準電圧 V D L R に保持されているので、ローカル入出力線 L I O 0 T , L I O 0 B も基準電圧 V D L R に保持される。

**【 0 0 4 7 】**

読み出し回路 R D C は、ローカル入出力線 L I O 0 T , L I O 0 B に発生した読み出し信号をそれぞれ受信して、それらの信号に応じた電圧にメイン入出力線 M I O 0 T , M I O 0 B を駆動するための回路である。その回路構成は、3つの N M O S トランジスタ N 1 1 , N 1 2 , N 1 3 からなり、トランジスタ N 1 1 と N 1 2 とによる差動入力アンプとして機能する。第一のトランジスタ N 1 1 のゲート電極にローカル入出力線 L I O 0 T 、ドレイン電極にメイン入出力線 M I O 0 B がそれぞれ接続される。第二のトランジスタ N 1 2 のゲート電極にローカル入出力線 L I O 0 B 、ドレイン電極にメイン入出力線 M I O 0 T がそれぞれ接続される。第三のトランジスタ N 1 3 のゲート電極にビット線イコライズ信号 B L E Q B 、ドレイン電極に前述の 2 つのトランジスタ N 1 1 , N 1 2 のソース電極がそれぞれ接続される。ここで、ビット線イコライズ信号 B L E Q B は、前述のビット線イコライズ信号 B L E Q の反転信号である。したがって、選択メモリマツトにおいて、ビット線イコライズ信号 B L E Q B が内部降圧電圧 V D L に駆動されることにより、読み出し回路 R D C が活性化される。

**【 0 0 4 8 】**

電流制御回路 I C 0 は、例えば、2つの N M O S トランジスタ N 2 1 , N 2 2 で構成される。トランジスタ N 2 1 のゲート電極にリード起動信号 R D 1 、トランジスタ N 2 2 のゲート電極にリード起動信号 R D 2 をそれぞれ接続する。これら両トランジスタのソース電極を接地すると共に、ドレイン電極を読み出し回路におけるトランジスタ N 1 3 のソース電極にそれぞれ接続する。例えば、トランジスタ N 2 1 のゲート幅をトランジスタ N 2 2 よりも大きく形成して、選択的にリード起動信号 R D 1 , R D 2 を活性化することにより、サブアンプの駆動能力を適宜調整することが可能となっている。

**【 0 0 4 9 】**

メインアンプ M A M P 0 は、メイン入出力線プリチャージ回路 M I O P C C 1 、メイン入出力線伝達ゲート M I O T G 、クロスカップル型ラッチアンプ C C L 2 、センスノード・プリチャージ回路 M O P C C 、読み出し駆動回路 R D R V とで構成される。メイン入出力線プリチャージ回路 M I O P C C 1 は、メイン入出力線 M I O 0 T , M I O 0 B を内部降圧電圧 V D L に駆動するための回路である。その回路構成は、3つの P M O S トランジスタ P 1 1 , P 1 2 , P 1 3 からなる。各トランジスタのゲート電極にメイン入出力線イコライズ信号 M I O E Q B が接続される。同図では省略されているが、メイン入出力線イコライズ信号 M I O E Q B は、図 1 に示したイコライズ起動信号群 E Q S G の構成要素である。待機状態において、メイン入出力線イコライズ信号 M I O E Q B が接地電圧 V S S に駆動されることにより、各トランジスタが活性化されて、メイン入出力線 M I O 0 T , M I O 0 B が内部降圧電圧 V D L に駆動される。

**【 0 0 5 0 】**

メイン入出力線伝達ゲート M I O T G は、メイン入出力線 M I O 0 T , M I O 0 B とメインアンプ M A M P 0 内のセンスノード S N T , S N B との接続をそれぞれ制御するための回路である。その回路構成は、P M O S トランジスタ P 2 1 , P 2 2 からなる。各トランジスタのゲート電極に、伝達ゲート起動信号 T G B が接続される。待機状態において、伝達ゲート起動信号 T G B が接地電圧 V S S に駆動されることにより、メイン入出力線 M I O 0 T , M I O 0 B とメインアンプ M A M P 0 内のセンスノード S N T , S N B とが等電圧（ここでは、内部降圧電圧 V D L ）に保持される。

## 【 0 0 5 1 】

読み出し動作において、前述のサブアンプ SAMP0 から読み出された記憶情報に応じた信号がセンスノード SNT, SNB に発生すると、接地電圧 VSS となっていた伝達ゲート起動信号 TGB を内部降圧電圧 VDL に駆動することにより、各トランジスタをカットオフする。このような構成と動作により、読み出し動作におけるメインアンプ MAMP0 内のセンスノード SNT, SNB から配線長の長いメイン入出力線 MIO0T, MIO0B を切り離すことができ、後述のクロスカップル型ラッチアンプ CCL2 が駆動する負荷容量を軽減することが可能となる。すなわち、クロスカップル型ラッチアンプ CCL2 の増幅動作に要する時間を短縮することができる。

## 【 0 0 5 2 】

クロスカップル型ラッチアンプ CCL2 は、2つの PMOS トランジスタ P31, P32 と3つの NMOS トランジスタ N31, N32, N33 とで構成される。トランジスタ P31, P32, N31, N32 は、正帰還ループを形成する。トランジスタ N33 のゲート電極がメインアンプ起動信号 MAE、ドレイン電極がトランジスタ N31, N32 のソース電極にそれぞれ接続され、ソース電極が接地される。読み出し動作において、メインアンプ起動信号 MAE が内部降圧電圧 VDL に駆動されることにより、クロスカップル型ラッチアンプ CCL2 は起動し、センスノード SNT, SNB に発生した微小信号を増幅する。

## 【 0 0 5 3 】

センスノード・プリチャージ回路 MOPCC は、3つの PMOS トランジスタ P41, P42, P43 で構成される。各トランジスタのゲート電極には、メインアンプ起動信号 MAE が接続される。待機時に、メインアンプ起動信号 MAE が接地電圧 VSS に駆動されることにより、メインアンプ MAMP0 内のセンスノード SNT, SNB を内部降圧電圧 VDL に駆動する。

## 【 0 0 5 4 】

読み出し駆動回路 RDPV は、2つのインバータ回路 IV11, IV12 と2つの NMOS トランジスタ N41, N42 とで構成される。インバータ回路 IV11, IV12 の入力端子には、センスノード SNT, SNB がそれぞれ接続され、その出力端子はトランジスタ N41, N42 のゲート電極にそれぞれ接続される。トランジスタ N41, N42 のドレイン電極はグローバル入出力線 GIO0T, GIO0B にそれぞれ接続され、ソース電極はそれぞれ接地される。このような構成により、前述のクロスカップル型ラッチアンプ CCL2 で増幅された信号に応じて、例えば周辺回路電圧 VCL にプリチャージされたグローバル入出力線 GIO0T, GIO0B の一方を放電する。この回路動作には、起動信号が不要なので、グローバル入出力線を駆動する際のタイミング・マージンを設ける必要がない。したがって、この回路構成は、データパスの高速化に有効である。

## 【 0 0 5 5 】

## 《データパスの回路動作》

図 11 は、図 10 に示したデータパスの読み出し動作におけるタイミング・ダイアグラムの例を示している。図 11 のタイミング・ダイアグラムは、メモリバンクを活性化した直後に、バースト読み出しを 2 回 (2 サイクル) 以上続けて行うものと仮定している。また、説明と理解を容易にするため、同じカラム・アドレスで選択されたセンスアンプから続けて読み出すものと仮定する。図 11 による読み出し動作の特徴は、次に述べるように二つある。

## 【 0 0 5 6 】

第一の特徴は、バースト読み出しの 1 サイクル目、すなわちページ・オープン直後において、リード・コマンド R0 の受信からカラム選択信号 YS を活性化するまでの時間 tYS1 が、バースト読み出しの 2 サイクル目以降の時間 tYS2 と比べて、長くなるように設計されている点にある。第二の特徴は、バースト読み出しの 1 サイクル目は、リード起動信号 RD1、2 サイクル目以降はリード起動信号 RD2 をそれぞれ活性化することにより、サブアンプの駆動能力を調整する点にある。また、第一の特徴に応じて、リード・コ

10

20

30

40

50

マンドR0の受信からリード起動信号RD1を活性化するまでの時間 $t_{RD1}$ が、リード・コマンドR1の受信からリード起動信号RD2を活性化するまでの時間 $t_{RD2}$ よりも長くなるように設計されている点にある。

【0057】

まず、1サイクル目のバースト読み出し動作について説明する。図11では簡単のために省略されているが、DDR SDRAMがアクティベートコマンドを受信すると、選択メモリセルが属するメモリマット(例えばMAT0)のセンスアンプ列SAAにおいて、ビット線イコライズ信号BLEQが非活性状態にされて、ビット線プリチャージ回路(図10におけるPCC)のプリチャージ動作が停止する。また、活性化されたメモリマットのサブアンプにおけるローカル入出力線プリチャージ回路LIOPCC1のプリチャージ動作も停止する。続いて、メモリマット内のメインワード線と、このメインワード線に対応するサブワード線SWLが活性化され、このマット内の全てのサブアレイでセンスアンプに記憶情報が読み出される。

10

【0058】

次に、DDR SDRAMがリード・コマンドR0を受信すると、ローカル入出力線イコライズ信号LIOEQBが活性化されることにより、ローカル入出力線プリチャージ回路LIOPCC2が一時的に起動されて、参照電圧VDLRとなっていたローカル入出力線LIO0T~LIO7T、LIO0B~LIO7Bが内部降圧電圧VDLに駆動される。この後、センスアンプに読み出された記憶情報は、列デコーダYDECから出力されるカラム選択信号YSで選択され、ローカル入出力線LIO0T~LIO7T、LIO0B~LIO7Bに読み出される。

20

【0059】

また、メイン入出力線イコライズ信号MIOEQBが非活性状態とされて、メイン入出力線プリチャージ回路MIOPCC1のプリチャージ動作が停止する。この状態において、リード起動信号RD1が活性化されて、電流制御回路IC0~IC7内のトランジスタN21が導通することにより、ローカル入出力線LIO0T~LIO7T、LIO0B~LIO7Bに発生された信号がサブアンプSAMP0~SAMP7でそれぞれ高速に増幅され、記憶情報がメイン入出力線MIO0T~MIO7T、MIO0B~MIO7Bに読み出される。この時、伝達ゲート起動信号TGBが活性化されているので、メイン入出力線MIO0T~MIO7T、MIO0B~MIO7Bに読み出された記憶情報は、メインアンプMAMP0~MAMP7に転送される。最後に、メインアンプ起動信号MAEが活性化されることにより、クロスカップル型ラッチアンプCCL2が起動されて、メイン入出力線MIO0T~MIO7T、MIO0B~MIO7Bに発生した微小信号の増幅動作と、グローバル入出力線GIO0T~GIO7T、GIO0B~GIO7Bへの読み出し動作が行われる。

30

【0060】

続いて、DDR SDRAMがリード・コマンドR1を受信すると、2サイクル目のバースト読み出し動作が行われる。この読み出し動作では、1サイクル目と異なりリード起動信号RD2を活性化することにより、ローカル入出力線のデータを低消費電力で増幅し、メイン入出力線へ記憶情報を読み出す。以上と同じような動作が、3サイクル目以降のバースト読み出しでも行われる。

40

【0061】

さて、DDR SDRAMがプリチャージコマンドPRを受信すると、メインワード線およびサブワード線が接地電圧VSSに駆動され、ビット線イコライズ信号BLEQが昇圧電圧VPPに駆動される。この動作により、センスアンプ列SAA内の全ビット線プリチャージ回路PCCおよびローカル入出力線プリチャージ回路LIOPCC1が活性化され、選択メモリマット内の全ビット線とローカル入出力線とが参照電圧VDLRに駆動されて、待機状態に戻る。

【0062】

《タイミング制御回路》

50

図12は、図1に示したタイミング制御回路TMC TLの要部ブロック構成の例を示している。この回路の特徴は、バースト読み出し動作のサイクルに応じて、カラム信号群YSGやリード起動信号RD1およびRD2の出力タイミングやパルス幅を調整する点にある。図12では簡単のために、この点に関するバースト・サイクル・カウンタBCCNT、カラム選択制御回路YSC TL、カラム系読み出し信号制御回路YCTL1の3つの回路ブロックが示されている。バースト・サイクル・カウンタBCCNTは、プリチャージ起動信号PRBとリード・ライト起動信号RWEとを受信して、バースト・サイクル・フラグ信号FCYL, NCYLを出力する。カラム選択制御回路YSC TLは、カラム系リード起動信号YRS Gと前述のバースト・サイクル・フラグ信号FCYL, NCYLとを受信してカラム信号群YSGを出力する。カラム系読み出し信号制御回路YCTL1は、

10

【0063】

図13は、図12に示したタイミング制御回路TMC TLの詳細な回路構成の例を示している。バースト・サイクル・カウンタBCCNTは、DフリップフロップDFF1とインバータ回路IV1とで構成される。DフリップフロップDFF1の入力端子Dを接地して、出力端子Qからバースト・サイクル・フラグ信号FCYLを出力する。また、バースト・サイクル・フラグ信号FCYLをインバータ回路IV1で反転してバースト・サイクル・フラグ信号NCYLを発生する。Dフリップフロップのリセット端子RSTにプリチャージ起動信号PRB、反転クロック端子CKBにリード・ライト起動信号RWEをそれぞれ接続する。なお、バースト・サイクル・フラグ信号NCYLは、通常のDフリップフロップに備わっている出力端子Qと極性の異なる出力端子から出力しても良い。

20

【0064】

カラム選択制御回路YSC TLは、2つのインバータ回路IV21, IV22、2つのクロックド・インバータ回路CIV21, CIV22、3つのNAND回路ND21, ND22, ND23、2つの遅延回路DLY21, DLY22とで構成される。NAND回路ND21の一方の入力端子に前述のバースト・サイクル・フラグ信号FCYL、他方の入力端子にカラム系リード起動信号YRS Gをそれぞれ接続し、出力信号をインバータ回路IV21で反転した信号を遅延回路DLY21に入力する。この遅延回路DLY21の出力信号を直接、あるいは遅延回路DLY22からインバータ回路IV22を介してNAND回路ND22の二つの入力端子にそれぞれ入力する。NAND回路ND22の出力端子ノードをカラム信号YSG10とする。また、NAND回路ND23の一方の入力端子にはバースト・サイクル・フラグ信号NCYL、その他方の入力端子にはカラム系リード起動信号YRS Gをそれぞれ接続し、その出力端子ノードをカラム信号YSG20とする。カラム信号YSG10, YSG20をクロックド・インバータ回路CIV21, CIV22の入力端子にそれぞれ接続し、その出力端子をカラム信号群YSGの一つに接続する。バースト・サイクル・フラグ信号FCYLをクロックド・インバータ回路CIV21の非反転クロック端子と、クロックド・インバータ回路CIV22の反転クロック端子とにそれぞれ接続する。また、バースト・サイクル・フラグ信号NCYLをクロックド・イン

30

40

【0065】

カラム系読み出し信号制御回路YCTL1は、5つのインバータ回路IV31, IV32, IV33, IV34, IV35、4つのNAND回路ND31, ND32, ND33, ND34、2つの遅延回路DLY31, DLY32とで構成される。NAND回路ND31の一方の入力端子にカラム系リード・ライト起動信号YRW、他方の入力端子にリード信号BRDをそれぞれ接続し、その出力信号をインバータ回路IV31で反転した信号をNAND回路ND32, ND33の一方の入力端子にそれぞれ入力する。NAND回路ND32の他方の入力端子にはバースト・サイクル・フラグ信号FCYLを接続し、その

50

出力信号をインバータ回路 I V 3 2 で反転した信号を遅延回路 D L Y 3 1 に入力する。この遅延回路 D L Y 3 1 の出力信号を直接、あるいは遅延回路 D L Y 3 2 からインバータ回路 I V 3 3 を介して N A N D 回路 N D 3 3 の入力端子にそれぞれ接続する。N A N D 回路 N D 3 3 の出力端子ノードをリード起動信号 R D 1 0 とし、この信号をインバータ回路 I V 3 4 で反転した信号をリード起動信号 R D 1 とする。N A N D 回路 N D 3 4 の他方の入力端子にはバースト・サイクル・フラグ信号 N C Y L を接続し、その出力端子ノードをリード起動信号 R D 2 0 とする。また、この信号をインバータ回路 I V 3 5 で反転した信号をリード起動信号 R D 2 とする。

【 0 0 6 6 】

図 1 4 は、図 1 3 に示したタイミング制御回路 T M C T L のタイミングチャートの例を示している。同図では簡単のために、図 1 1 におけるカラム系回路の読み出し動作タイミング・ダイアグラムに対応させて、D D R S D R A M がリード・コマンドを受信してからの動作が示されている。待機時において、バースト・サイクル・フラグ信号 F C Y L , N C L Y は、周辺回路電圧 V C L 、接地電圧 V S S にそれぞれ保持されている。D D R S D R A M がリード・コマンド R 0 を受信すると、リード信号 B R D が活性化される。次に、カラム系リード起動信号 Y R S G にパルス信号が生成されると、ほぼ時間  $t_{DLY21}$  後に、ほぼパルス幅  $t_{DLY22}$  のカラム信号群 Y S G の少なくとも一つに、パルス信号が生成される。また、カラム系リード・カラム起動信号 Y R W が生成されると、ほぼ時間  $t_{DLY31}$  後に、パルス幅  $t_{DLY32}$  のリード起動信号 R D 1 が生成される。

【 0 0 6 7 】

ここで、 $t_{DLY21}$  ,  $t_{DLY22}$  ,  $t_{DLY31}$  ,  $t_{DLY32}$  は、遅延回路 D L Y 2 1 , D L Y 2 2 , D L Y 3 1 , D L Y 3 2 のそれぞれにおける遅延時間である。また、遅延時間  $t_{DLY22}$  ,  $t_{DLY32}$  は、入力信号 Y R S G , Y R W の活性化時間よりも短く設計されている。この後、リード・ライト起動信号 R W E が生成されることにより、その立下りエッジに同期して、周辺回路電圧 V C L となっているバースト・サイクル・フラグ信号 F C Y L が接地電圧 V S S に、接地電圧 V S S となっているバースト・サイクル・フラグ信号 N C Y L が周辺回路電圧 V C L にそれぞれ駆動される。

【 0 0 6 8 】

続いて、D D R S D R A M がリード・コマンド R 1 を受信すると、再びカラム系リード起動信号 Y R S G が生成されることにより、ほぼ時間  $t_{DLY21}$  後に、カラム信号群 Y S G の一つにパルス信号が発生される。また、再びカラム系リード・カラム起動信号 Y R W が生成されることにより、時間  $t_{DLY31}$  後に、リード起動信号 R D 2 にパルス信号が生成される。以降、リード・コマンドを受信するたびに、このリード・コマンド R 1 の場合と同様の動作が行われる。ここで、時間  $t_{DLY21}$  は、N A N D 回路 N D 2 3 とクロックド・インバータ回路 C I V 2 2 における遅延時間の合計にほぼ等しく、前述の遅延時間  $t_{DLY21}$  よりも短い。また、時間  $t_{DLY31}$  は、N A N D 回路 N D 3 4 とインバータ回路 I V 3 5 における遅延時間の合計にほぼ等しく、前述の遅延時間  $t_{DLY31}$  よりも短い。

【 0 0 6 9 】

さて、D D R S D R A M がプリチャージコマンド P R を受信すると、プリチャージ起動信号 P R B が生成されて、接地電圧 V S S となっているバースト・サイクル・フラグ信号 F C Y L が周辺回路電圧 V C L に、周辺回路電圧 V C L となっているバースト・サイクル・フラグ信号 N C Y L が接地電圧 V S S にそれぞれ駆動される。また、周辺回路電圧 V C L となっているリード信号 B R D が接地電圧 V S S に駆動されることにより、待機状態に戻る。

【 0 0 7 0 】

以上の構成と動作により、次の3つの効果が得られる。第一の効果は、バースト・サイクル・カウンタ B C C N T を用いてバースト・サイクル数を検知することにより、バースト・サイクル数に応じたタイミングとパルス幅を持った信号を、カラム信号群 Y S G 、リード起動信号 R D 1 および R D 2 のそれぞれに発生することが可能となる点にある。すなわち、新たな信号端子を追加することなく、内部動作を変更可能となるため、チップコス

10

20

30

40

50

トを抑制しつつ、従来メモリとの互換性が維持された、新たなアーキテクチャによるDDR SDRAMを実現することができる。

【0071】

第二の効果は、遅延回路DLY21を用いることにより、ページ・オープン直後の読み出し動作におけるカラム信号群YSGの発生タイミングを遅らせることが可能となる。また、遅延回路DLY22を用いることにより、カラム信号群YSGのパルス幅を短縮することが可能となる。この結果、ページ・オープン時のロウ系回路動作の遅延に応じて、カラム選択信号YSの発生すなわちセンスアンプとローカル入出力線との接続タイミングを、図11に示したように遅らせると共に、そのパルス幅を短縮して、後続のプリチャージ動作時間を拡大することができる。

10

【0072】

第三の効果は、遅延回路DLY31を用いることにより、ページ・オープン直後の読み出し動作におけるリード起動信号RD1の発生タイミングを遅らせることが可能となる。また、遅延回路DLY32を用いることにより、リード起動信号RD1のパルス幅を短縮することが可能となる。この結果、ページ・オープン時のロウ系回路動作およびカラム選択信号YSの起動タイミングの遅延に応じて、リード起動信号RD1すなわちサブアンプの活性化タイミングを、図11に示したように遅らせると共に、そのパルス幅を短縮して、後続のプリチャージ動作時間を拡大することができる。

【0073】

《DDR SDRAMの効果》

以上、本実施の形態1の半導体装置を用いることで、主に次の二つの効果が得られる。第一の効果は、ページ・オープン直後のバースト読み出し動作において、タイミング制御回路TMCTLおよび電流制御回路を用いてサブアンプの駆動能力を高めることにより、カラム系回路動作を高速化することが可能となる点にある。すなわち、チップ面積の増大によるRC遅延を許容することが可能となり、高速なギガビット級DDR SDRAMを実現することができる。

20

【0074】

第二の効果は、ページ・オープン直後のバースト読み出し動作において、タイミング制御回路TMCTLを用いてカラム選択信号とサブアンプの活性化タイミングを遅らせることにより、ロウ系回路動作の遅延を許容することが可能となる点にある。すなわち、チップ面積の増大によるRC遅延やメモリセル選択トランジスタの特性ばらつきを考慮して、ロウ系回路動作時間の遅延を許容することが可能となり、動作マージンの大きなギガビット級DDR SDRAMを実現することができる。一方、2サイクル目以降のバースト・サイクルにおいては、タイミング制御回路TMCTLおよび電流制御回路を用いてサブアンプの駆動能力を抑えることにより、消費電流を抑制することが可能となる。このため、高速化と低消費電力化を同時に満足する高性能なDDR SDRAMを実現することができる。

30

【0075】

なお、以上では、読み出し動作におけるカラム系回路に焦点を当てて構成と動作を説明して来た。しかし、ページ・オープン直後のバースト書き込み動作においてもロウ系回路動作の遅延に合わせて、同様に、カラム選択信号の活性化タイミングを遅らせることにより、正確な書き込み動作を実現できることは容易に理解できる。また、サブアンプの駆動能力の調整方法は種々の変形が可能である。例えば、図11のタイミング・ダイアグラムでは、図10に示した電流制御回路IC0における2つのトランジスタN21, N22のゲート幅が互いに異なるものとして説明した。しかし、両トランジスタのゲート幅を同じ寸法に設計することも可能である。

40

【0076】

この場合、図13に示したカラム系読み出し信号制御回路YCTL1において、NAND回路ND34の一方の入力端子に接続されたバースト・サイクル・フラグ信号NCYLを周辺回路電圧VCLに置き換えることにより、リード起動信号RD2をページ・オープ

50

ン直後の1サイクル目のバースト読み出し動作から活性化して、両トランジスタN21, N22を導通させる。そして、2サイクル目のバースト読み出し動作からは、一方のトランジスタN22のみを導通させる。このような構成と動作により、電流制御回路IC0の面積を削減することが可能となり、クロスポイント領域回路XPの面積を抑制することができる。

#### 【0077】

(実施の形態2)

本実施の形態2では、実施の形態1で説明した電流制御回路の別な構成例および動作例について説明する。

#### 【0078】

図15は、本発明による実施の形態2の半導体装置において、図10とは異なるカラム系回路の構成例を示す回路図である。図10と比べたときの、この構成の特徴は、図15の電流制御回路IC0Aが1つのNMOSTランジスタN23で構成される点にある。また、リード起動信号がRD12のみとなり、トランジスタN23のゲート電極に接続されると共に、活性化したリード起動信号RD12の電圧がバースト読み出しサイクルに応じて異なる点にある。

#### 【0079】

図16は、図15に示したカラム系回路の読み出し動作における動作タイミング・ダイアグラムを示している。この中で、リード起動信号RD12は、ページ・オープン直後の1サイクル目のバースト読み出し動作において、実施の形態1の図11で説明したリード起動信号RD1と同様に、後続サイクルの読み出し動作より遅いタイミングで第一のバイアス電圧VBFに駆動される。これに対して、2サイクル目以降においては、第一のバイアス電圧VBFよりも低い第二のバイアス電圧VBNに駆動される。ここで、第一のバイアス電圧VBFは、例えば昇圧電圧VPPや周辺回路電圧VCL、第二のバイアス電圧VBNは内部降圧電圧VDLに設定される。

#### 【0080】

図17は、図1に示したタイミング制御回路TMCTLの要部ブロック構成の別の例を示している。この回路構成の特徴は、図12に示した構成におけるカラム系読み出し信号制御回路YCTL1がYCTL2に置き換えられ、カラム系リード・ライト起動信号YRWと、リード信号BRD、バースト・サイクル・フラグ信号FCYL, NCYLとを受信してリード起動信号群RSGに含まれるリード起動信号RD12を出力する点にある。

#### 【0081】

図18は、図17のタイミング制御回路におけるカラム系読み出し信号制御回路YCTL2の詳細な回路構成の例を示している。この回路構成の特徴は、図13に示した構成におけるカラム系読み出し信号制御回路YCTL1と比べて、インバータ回路IV34, IV35がクロックド・インバータ回路CIV31, CIV32にそれぞれ置き換えられており、これらの出力端子を互いに接続したノードをリード起動信号RD12としている点にある。また、クロックド・インバータCIV31にバイアス電圧VBF(例えば周辺回路電圧VCL)、クロックド・インバータCIV32にバイアス電圧VBN(例えば内部降圧電圧VDL)を入力する点にある。

#### 【0082】

このような回路構成により、リード起動信号RD12の電圧振幅をバースト・サイクルに応じて調整することが可能となる。すなわち、ページ・オープン直後の1サイクル目のバースト読み出し動作において、リード起動信号RD12の電圧振幅を大きくすることにより、図15に示した電流制御回路IC0AにおけるトランジスタN23のコンダクタンスが上がるので、サブアンプの駆動能力を向上することができる。一方、後続サイクルにおいては、リード起動信号RD12の電圧振幅を小さくすることにより、トランジスタN23のコンダクタンスを下げ、サブアンプの駆動能力を抑制することができる。このように、一つのトランジスタN23でサブアンプの駆動能力を調整することができるので、本実施の形態はクロスポイント領域回路XPの面積抑制に好適である。

10

20

30

40

50

## 【 0 0 8 3 】

## ( 実施の形態 3 )

本実施の形態 3 では、実施の形態 1 および実施の形態 2 で説明した D D R S D R A M に用いられるメインアンプの別な構成と動作の例について説明する。図 1 9 は、本発明による実施の形態 3 の半導体装置において、図 1 0 等とは異なるカラム系回路の構成例を示す回路図である。図 1 9 のメインアンプ M A M P 0 A の特徴は、図 1 0 に示した回路構成からメイン入出力線伝達ゲート M I O T G を取り除くと共に、クロスカプル型ラッチアンプ C C L 2 をゲート入力型センスラッチ G I L に置き換えた点にある。

## 【 0 0 8 4 】

ゲート入力型センスラッチ G I L は、3 つの P M O S トランジスタ P 5 1 , P 5 2 , P 5 3 と 5 つの N M O S トランジスタ N 5 1 , N 5 2 , N 5 3 , N 5 4 , N 5 5 とで構成される。トランジスタ P 5 1 , P 5 2 , N 5 1 , N 5 2 は、正帰還ループを形成して、トランジスタ N 5 1 , N 5 2 のソースから入力される電流信号を増幅および保持する。トランジスタ N 5 1 , N 5 2 のソースには、トランジスタ N 5 4 , N 5 3 のドレインがそれぞれ接続される。トランジスタ N 5 3 , N 5 4 は差動入力対をなし、ゲート電極は、メイン入出力線 M I O 0 T , M I O 0 B にそれぞれ接続される。また、トランジスタ N 5 1 , N 5 2 のソース電極間にトランジスタ P 5 3 、トランジスタ N 5 3 , N 5 4 のソース電極と接地電極との間にトランジスタ N 5 5 をそれぞれ挿入する。さらに、トランジスタ P 5 3 , N 5 5 のゲート電極にメインアンプ起動信号 M A E を接続する。

## 【 0 0 8 5 】

このような回路構成により、トランジスタ N 5 5 は読み出し動作において、メインアンプ起動信号 M A E が内部降圧電圧 V D L に駆動されて導通することにより、ゲート入力型センスラッチ G I L が活性化される。すなわち、トランジスタ N 5 3 , N 5 4 がメイン入出力線 M I O 0 T , M I O 0 B に発生した読み出し信号を受信することにより、前述の正帰還ループ部において読み出し信号の増幅が行われる。トランジスタ P 5 3 は、待機状態において、メインアンプ起動信号 M A E が接地電圧 V S S に保持されることにより導通し、トランジスタ N 5 3 , N 5 4 のドレイン電極を短絡する。したがって、トランジスタ N 5 3 , N 5 4 のドレイン電極が等電圧となるので、読み出し誤動作の一因であるオフセット電圧を抑制することができる。

## 【 0 0 8 6 】

図 2 0 は、図 1 9 に示したゲート入力型センスラッチ回路 G I L を用いたカラム系回路における、読み出し動作のタイミング・ダイアグラムを示している。図 2 0 からわかるように、メインアンプからメイン入出力線伝達ゲート M I O T G を取り除いたことにより、伝達ゲート起動信号 T G B を駆動するためのタイミング・マージンが不要となるために、メインアンプ起動信号 M A E を活性化する時間を早めることが可能となる。すなわち、本実施の形態 3 によるメインアンプ M A M P 0 A を用いることでカラム系回路の動作時間を短縮することが可能となるので、実施の形態 1 および実施の形態 2 に示した駆動能力可変型サブアンプと組み合わせることにより、ロウ系回路の動作マージンをより拡大すると共に、高速かつ低電力の D D R S D R A M を実現することができる。

## 【 0 0 8 7 】

## ( 実施の形態 4 )

本実施の形態 4 では、D D R S D R A M に用いられるメインアンプのさらに別な構成と動作の例について説明する。図 2 1 は、本発明による実施の形態 4 の半導体装置において、図 9 とは異なるカラム系回路の構成例を示す要部ブロック図である。同図でも簡単のため、図 9 と同様にメモリマットは M A T 0 のみ示した。この回路ブロック構成の特徴は、図 9 に示した構成を比べて、図 9 のメインアンプ群 M A B K 0 が 8 つの新たなメインアンプ P M A M P 0 ~ P M A M P 7 で構成されるメインアンプ群 P M A B K 0 に置き換えられている点異なる。また、メインアンプ群 P M A B K 0 の制御信号として、メインアンプ起動信号 M A E 、伝達ゲート起動信号 T G B 、メイン入出力線イコライズ信号 M I O E Q B の他に、プリアンプ起動信号 P A E とメイン入出力線イコライズ信号 M I O E Q とが

新たに追加される点にも特徴がある。なお、クロスポイント領域回路 X P の詳細な回路構成は、実施の形態 1 および実施の形態 2 で述べた構成を適用できるが、以下の説明では、実施の形態 1 の構成を仮定している。

【 0 0 8 8 】

図 2 2 は、図 2 1 に示したメインアンプ P M A M P 0 を一例として、その詳細な回路構成例を示している。このメインアンプの構成上の特徴は、次の四つにある。第一の特徴は、メイン入出力線 M I O 0 T , M I O 0 B とゲート入力型センスラッチ G I L との間に、ゲート接地型プリアンプ P A M P を挿入している点にある。第二の特徴は、ゲート入力型センスラッチ G I L ( 第一のアンプ ) とゲート接地型プリアンプ P A M P の間に、さらにソースフォロア回路 S F を挿入している点にある。第三の特徴は、メイン入出力線 M I O 0 T , M I O 0 B とゲート入力型センスラッチ G I L におけるラッチ回路部との間に、メイン入出力線伝達ゲート M I O T G を挿入している点にある。第四の特徴は、メイン入出力線プリチャージ回路 M I O P C C 1 に並列に、新たなメイン入出力線プリチャージ回路 M I O P C C 2 を配置する点にある。

10

【 0 0 8 9 】

ゲート接地型プリアンプ P A M P は、二つの P M O S トランジスタ P 6 1 , P 6 2 と二つの N M O S トランジスタ N 6 1 , N 6 2 とで形成される。トランジスタ P 6 1 , P 6 2 は、ソース電極に内部降圧電圧 V D L がそれぞれ入力され、ゲート電極がそれぞれ接地された負荷回路である。また、トランジスタ N 6 1 , N 6 2 は、トランジスタ P 6 1 , P 6 2 で形成された負荷回路とメイン入出力線 M I O 0 T , M I O 0 B との間にそれぞれ挿入され、ゲート電極にプリアンプ起動信号 P A E が接続された伝達ゲートである。プリアンプ起動信号 P A E が内部降圧電圧 V D L に駆動されて導通することにより、負荷回路とメイン入出力線 M I O 0 T , M I O 0 B とが接続され、トランジスタ P 6 1 , P 6 2 のドレイン電極 ( 図中で S N T 1 1 , S N B 1 1 と表記された第一のセンスノード ) に電位差が生じる。この電位差は、メイン入出力線 M I O 0 T , M I O 0 B に発生した電位差よりも大きい。また、入力容量が軽減されるので、ゲート入力型センスラッチ G I L に入力される電圧信号が増加する。したがって、動作マージンの向上と、ゲート入力型センスラッチ G I L の増幅動作に要する時間の短縮が可能となる。

20

【 0 0 9 0 】

ソースフォロア回路 S F は、6 つの N M O S トランジスタ N 7 1 ~ N 7 6 で形成される。トランジスタ N 7 1 , N 7 2 のドレイン電極に内部降圧電圧 V D L をそれぞれ入力し、ゲート電極を前述のゲート接地型プリアンプ P A M P における第一のセンスノード S N T 1 1 , S N B 1 1 に、ソース電極 ( 図中で S N T 1 2 , S N B 1 2 と表記された第二のセンスノード ) をゲート入力型センスラッチ G I L において差動対をなすトランジスタ N 5 3 , N 5 4 にそれぞれ接続する。また、トランジスタ N 7 3 , N 7 4 のゲート電極にプリアンプ起動信号 P A E をそれぞれ接続し、ソース電極をそれぞれ接地する。さらに、トランジスタ N 7 5 , N 7 6 のゲート電極に基準電圧 V D L R を入力し、トランジスタ N 7 1 , N 7 2 と N 7 3 , N 7 4 との間に挿入する。

30

【 0 0 9 1 】

このような構成により、ゲート入力型センスラッチ回路 G I L の起動時に、その差動対トランジスタ N 5 3 , N 5 4 から入力端子 ( ここでは、第一のセンスノード S N T 1 1 , S N B 1 1 ) に発生するカップリングノイズを抑制することが可能である。また、ゲート入力型センスラッチ G I L のゲインが大きくなるようにソースフォロア回路 S F のトランジスタのゲート寸法を設計することにより、ゲート入力型センスラッチ回路 G I L の増幅動作時間の短縮が可能である。

40

【 0 0 9 2 】

メイン入出力線伝達ゲート M I O T G は、メイン入出力線 M I O 0 T , M I O 0 B とゲート入力型センスラッチ G I L のラッチ回路部の出力端子 ( 図中で S N B 2 , S N T 2 と表記された第三のセンスノード ) との間にそれぞれ接続された 2 つの P M O S トランジスタ P 8 1 , P 8 2 とで形成される。両トランジスタのゲート電極には、伝達ゲート起動信

50

号 T G B がそれぞれ接続される。

【 0 0 9 3 】

メイン入出力線プリチャージ回路 M I O P C C 2 は、3つの N M O S トランジスタで形成される。これらのトランジスタのゲート電極に接続されたメイン入出力線イコライズ信号 M I O E Q が活性化されることにより、メイン入出力線 M I O 0 T , M I O 0 B を基準電圧 V D L R に駆動する。

【 0 0 9 4 】

図 2 3 は、図 2 2 に示したデータパスの読み出し動作におけるタイミング・ダイアグラムの例を示している。図 1 1 に示したタイミング・ダイアグラムと比べると、この読み出し動作の特徴は、次に述べるように三つある。第一の特徴は、ページ・オープン直後の 1 サイクル目のバースト読み出し動作において、メイン入出力線イコライズ信号 M I O E Q を昇圧電圧 V P P に駆動してメイン入出力線プリチャージ回路 M I O P C C 2 を活性化することにより、メイン入出力線 M I O 0 T , M I O 0 B を基準電圧 V D L R にプリチャージしてからリード起動信号 R D 1 を活性化して、記憶情報をローカル入出力線 L I O 0 T , L I O 0 B からメイン入出力線 M I O 0 T , M I O 0 B に読み出す。ここで、プリチャージ動作は、後述するタイミング制御回路によって、メイン入出力線イコライズ信号 M I O E Q B が非活性状態となってからリード起動信号 R D 1 が活性化されるまでの短時間に行われる。

【 0 0 9 5 】

第二に、同じくページ・オープン直後の 1 サイクル目のバースト読み出し動作において、プリアンプ起動信号 P A E を活性化することにより、メイン入出力線 M I O 0 T , M I O 0 B に発生した信号を、ゲート接地型プリアンプ P A M P およびソースフォロア回路 S F を介してゲート入力型センスラッチ G I L に入力して、増幅する点にある。第三の特徴は、2 サイクル目以降のバースト読み出し動作において、ゲート接地型プリアンプ P A M P を停止させた状態で、メイン入出力線プリチャージ回路 M I O P C C 1 により内部降圧電圧 V D L にプリチャージした状態でメイン入出力線 M I O 0 T , M I O 0 B に発生した信号を、メイン入出力線伝達ゲート M I O T G を介してゲート入力型センスラッチ G I L のラッチ回路部に入力して増幅する点にある。

【 0 0 9 6 】

次に、これまで述べた回路構成および動作を実現するためのタイミング制御回路について説明する。図 2 4 は、図 1 に示したタイミング制御回路の要部ブロック構成のさらに別の例を示している。この回路構成の特徴は、図 1 2 に示した構成におけるカラム系読み出し信号制御回路 Y C T L 1 が Y C T L 3 に置き換えられ、図 1 2 では省略していたカラム系イコライズ起動信号 Y E Q を新たに受信して、リード起動信号群 R S G に含まれるリード起動信号 R D 1 , R D 2 、イコライズ信号群 E Q S G に含まれるローカル入出力線イコライズ信号 L I O E Q 、メイン入出力線イコライズ信号 M I O E Q , M I O E Q B をそれぞれ出力する点にある。同図ではさらに、図 1 2 において省略されていたメインアンプ制御回路 Y M A C T L 1 が示されている。この回路は、バースト・サイクル・フラグ信号 F C Y L , N C Y L 、カラム系メインアンプ起動信号 Y M A 、リード信号 B R D を受信して、メインアンプ制御信号群 M C S G に含まれるメインアンプ起動信号 M A E 、プリアンプ起動信号 P A E 、伝達ゲート起動信号 T G B をそれぞれ出力する点に特徴がある。

【 0 0 9 7 】

図 2 5 は、図 2 4 に示したタイミング制御回路 T M C T L の詳細な回路構成の例を示している。図 2 6 は、図 2 5 に示したタイミング制御回路 T M C T L のタイミングチャートの例を示している。カラム系読み出し信号制御回路 Y C T L 3 は、図 1 3 に示したカラム系読み出し信号制御回路 Y C T L 1 の回路構成に加えて、3つのインバータ回路 I V 4 1 , I V 5 1 , I V 5 2 、2つの N A N D 回路 N D 4 1 , N D 5 1 、3つの遅延回路 D L Y 4 1 , D L Y 5 0 , D L Y 5 1 とで構成される。ローカル入出力線イコライズ信号 L I O E Q B は、N A N D 回路 N D 4 1 、インバータ回路 I V 4 1 、遅延回路 D L Y 4 1 を用いて、カラム系イコライズ信号 Y E Q のパルス幅  $t_{Y E Q}$  を遅延回路 D L Y 4 1 の遅延時間

10

20

30

40

50

$t_{DLY41}$  にほぼ等しい値に短縮して生成した信号である。メイン入出力線イコライズ信号  $MIOEQB$  は、カラム系イコライズ信号  $YEQ$  を遅延回路  $DLY50$  で遅らせて生成した信号である。メイン入出力線イコライズ信号  $MIOEQ$  は、カラム系イコライズ信号  $YEQ$  を遅延回路  $DLY50$  で遅らせた後に、さらに  $NAND$  回路  $ND51$ 、インバータ回路  $IV51$ 、 $IV52$ 、遅延回路  $DLY51$  を用いて、遅延回路  $DLY51$  の遅延時間  $t_{DLY51}$  にほぼ等しいパルス幅に短縮した信号である。ここで、 $NAND$  回路  $ND51$  は3つの入力端子を有し、その一つの端子にバースト・サイクル・フラグ信号  $FCYL$  が接続される。また、インバータ回路  $IV52$  は、出力信号の電圧レベルを内部昇圧電圧  $VPP$  とするための、レベルシフト機能を有する。このような構成により、メイン入出力線イコライズ信号  $MIOEQ$  には、ページ・オープン直後の1サイクル目のバースト読み出し動作においてのみパルス信号が生成される。

10

## 【0098】

以上の構成において、遅延回路  $DLY41$ 、 $DLY50$ 、 $DLY51$  の遅延時間を適切に設計することにより、タイミング・マージンが拡大された安定な回路動作が可能となる。すなわち、ローカル入出力線イコライズ信号  $LIOEQB$  は、図23に示すように遅延回路  $DLY41$  により、カラム選択信号  $YS$  との間でタイミング・マージン  $t_{M41F}$ 、 $t_{M41N}$  を拡大することができる。また、遅延回路  $DLY50$ 、 $DLY51$  により、メイン入出力線イコライズ信号  $MIOEQ$  は、リード起動信号  $RD1$  との間でタイミング・マージン  $t_{MMR1}$  を拡大することができる。なお、カラム系イコライズ信号  $YEQ$  のパルス幅  $t_{YEQ}$  は、メイン入出力線イコライズ信号  $MIOEQB$  がリード起動信号  $RD2$  および伝達ゲート起動信号  $TGB$  との間でタイミング・マージン  $t_{MMRT}$  を拡大することができるように設計されているものとする。

20

## 【0099】

メインアンプ制御回路  $YMACTL1$  は、4つのインバータ回路  $IV60$ 、 $IV61$ 、 $IV62$ 、 $IV81$ 、3つの  $NAND$  回路  $ND60$ 、 $ND61$ 、 $ND81$ 、1つの  $NOR$  回路  $NR81$ 、4つの遅延回路  $DLY60$ 、 $DLY61$ 、 $DLY71$ 、 $DLY81$  とで構成される。まず、 $NAND$  回路  $ND60$  とインバータ回路  $IV60$  とを用いて、カラム系メインアンプ起動信号  $YMA$  とリード信号  $BRD$  との  $AND$  演算と施した結果を内部カラム系メインアンプ起動信号  $YMA0$  とする。メインアンプ起動信号  $MAE$  は、この内部カラム系メインアンプ起動信号  $YMA0$  を遅延回路  $DLY60$ 、 $DLY71$  で遅らせて発生した信号である。また、プリアンプ起動信号  $PAE$  は、内部カラム系メインアンプ起動信号  $YMA0$  を遅延回路  $DLY60$  で遅らせた後に、遅延回路  $DLY61$ 、インバータ回路  $IV61$ 、 $NAND$  回路  $ND61$  を用いて、カラム系メインアンプ起動信号  $YMA$  のパルス幅  $t_{YMA}$  を遅延回路  $DLY61$  の遅延時間  $t_{DLY61}$  にほぼ等しいパルス幅に短縮して、さらにインバータ回路  $IV62$  で反転して生成した信号である。ここで、 $NAND$  回路  $ND61$  は3つの入力端子を持っており、その一つにバースト・サイクル・フラグ信号  $FCYL$  が接続される。したがって、プリアンプ起動信号  $PAE$  には、ページ・オープン直後のバースト読み出しサイクルのみパルス信号が生成される。

30

## 【0100】

伝達ゲート起動信号  $TGB$  は、内部カラム系メインアンプ起動信号  $YMA0$  を直接、あるいは遅延回路  $DLY81$  を介して  $NOR$  回路  $NR81$  に接続することにより、カラム系メインアンプ起動信号  $YMA$  のパルス幅  $t_{YMA}$  を遅延回路  $DLY81$  の遅延時間  $t_{DLY81}$  程度上げた信号である。 $NOR$  回路  $NR81$  の出力信号をインバータ回路  $IV81$  で反転した信号とバースト・サイクル・フラグ信号  $NCYL$  とを  $NAND$  回路  $ND81$  に入力することにより、2サイクル目以降のバースト読み出し動作において、パルス信号が生成される。

40

## 【0101】

以上の構成において、遅延回路  $DLY60$ 、 $DLY61$ 、 $DLY71$ 、 $DLY81$  の遅延時間を適切に設計することにより、タイミング・マージンが拡大された安定な回路動作が可能となる。すなわち、遅延回路  $DLY60$  により、ページ・オープン直後の1サイク

50

ル目のバースト読み出し動作において、図 23 に示すようにリード起動信号 RD1 とプリアンプとの間で起動タイミング・マージン  $t_{MRP}$  を拡大し、メイン入出力線 MIO0T / B への記憶情報の読み出しを待ってプリアンプを活性化することが可能となる。また、遅延回路 DLY71 により、プリアンプ起動信号 PAE とメインアンプ MAE との間で起動タイミング・マージン  $t_{MPM}$  を拡大し、プリアンプの増幅動作が終わってからゲート入力型センスラッチ GIL の活性化を行うことが可能となる。また、遅延回路 DLY81 により、2 サイクル目以降のバースト読み出し動作において、メイン入出力線 MIO0T / B に数百 mV 以上の信号電圧を発生するために必要な伝達ゲート起動信号 TGB の活性時間を拡大することにより、第三のセンスノード SNT2, SNT3 に数百 mV 以上の信号電圧が発生してからメインアンプ起動信号 MAE を活性化すると共に、伝達ゲート起動信号 TGB とメイン入出力線イコライズ信号 MIOEQB およびメインアンプ起動信号 MAE との間に起動タイミング・マージン  $t_{MRT}$  および  $t_{MTM}$  を拡大することが可能となる。

#### 【0102】

以上の、データパスの構成と動作により、ページ・オープン直後の 1 サイクル目の動作時間を、さらに短縮することが可能となる。すなわち、本実施の形態 4 によるメインアンプ PMAMP を用いることで、カラム系回路の動作時間を短縮することが可能となるので、実施の形態 1 および実施の形態 2 に示した駆動能力可変型サブアンプと組み合わせることにより、ロウ系回路の動作マージンをより拡大することができる。また、2 サイクル目以降のバースト読み出し動作において、プリアンプを停止することにより、内部降圧電圧 VDL と接地電極との間でプリアンプからサブアンプを介して流れる直流電流が阻止できるので、消費電流の抑制が可能となる。これらの結果、動作マージンをより拡大した、高速、低電力の DDR SDRAM を実現することができる。

#### 【0103】

(実施の形態 5)

本実施の形態 5 では、DDR SDRAM に用いられるメインアンプのさらに別な構成と動作の例について説明する。図 27 は、本発明による実施の形態 5 の半導体装置において、図 9 等とは異なるカラム系回路の構成例を示す要部ブロック図である。同図でも簡単のため、図 9 等と同様にメモリマットは MAT0 のみ示した。この回路ブロック構成の特徴は、図 9 に示した構成を比べて、三つある。第一の特徴は、図 9 のメインアンプ群 MABK0 が 8 つの新たなメインアンプ SMAMP0 ~ SMAMP7 で構成されるメインアンプ群 SMABK0 に置き換えられている点にある。第二の特徴は、このメインアンプ SMAMP0 ~ SMAMP7 に電流制御回路 MIC0 ~ MIC7 がそれぞれ接続されている点にある。第三の特徴は、この電流制御回路 MIC0 ~ MIC7 の共通な制御信号として、メインアンプ起動信号 MAE1, MAE2 が接続されている点にある。

#### 【0104】

図 28 は、図 27 に示したメインアンプ SMAMP0 を一例として、その詳細な回路構成例を示している。ここでは、説明を簡単にするために、電流制御回路 MIC0 も一緒に示されている。このメインアンプの構成上の特徴は、次の二つにある。第一の特徴は、センスノード SNT, SNTB にスタティック型差動増幅回路 DAMP が接続されている点にある。第二の特徴は、スタティック型差動増幅回路 DAMP に電流制御回路 MIC0 が接続されている点にある。

#### 【0105】

スタティック型差動増幅回路 DAMP は、差動増幅回路を形成する二つの PMOS トランジスタ P91, P92 と二つの NMOS トランジスタ N91, N92、および差動増幅回路の出力ノードを待機時に内部降圧電圧 VDL にプリチャージする PMOS トランジスタ P93 とで構成される。このうち、NMOS トランジスタ N91, N92 のソース電極は、電流制御回路 MIC0 に接続される。

#### 【0106】

電流制御回路 MIC0 は、二つの NMOS トランジスタ N93, N94 で構成される。

トランジスタN93のゲート電極にはメインアンプ起動信号MAE1、トランジスタN94のゲート電極にはメインアンプ起動信号MAE2がそれぞれ接続される。図10に示した電流制御回路IC0で説明したように、例えばトランジスタN93のゲート幅は、トランジスタN94よりも大きく設計されており、これらの二つのトランジスタを選択的に活性化することにより、スタティック型差動増幅回路DAMPの駆動能力を制御する。すなわち、トランジスタN93が活性化された時は、大電流が印加されるので、差動増幅回路DAMPの動作時間を短縮することが可能となる。

#### 【0107】

読み出し駆動回路RDRV2は、差動増幅回路DAMPの出力を受信して、グローバル入出力線GIO0T、GIO0Bを駆動する回路である。二つのNMOSTランジスタN101、N102、二つのインバータ回路IV101、IV102、一つのNOR回路NR101とで構成される。NOR回路NR101は、一方の入力端子にメイン入出力線イコライズ信号MIOEQBをインバータ回路IV101で反転した信号が接続されており、待機時において、NOR回路NR101の出力信号をハイレベルとすることにより、トランジスタN101をハイ・インピーダンス状態に保持する。

10

#### 【0108】

図29は、図28に示したデータパスの読み出し動作におけるタイミング・ダイアグラムの例を示している。ここで、クロスポイント領域回路XPの構成は、実施の形態1および実施の形態2で述べた構成を適用できるが、以下の説明では、実施の形態1の構成を仮定している。この読み出し動作の特徴は、ページ・オープン直後の1サイクル目のバースト読み出し動作において、メインアンプ起動信号MAE1を活性化する点にある。また、2サイクル目以降のバースト読み出し動作において、メインアンプ起動信号MAE2を活性化する点にある。ここでは、メインアンプ起動信号MAE1、MAE2のパルス信号は、伝達ゲート起動信号TGBを反転したパルス信号と同じものと仮定している。

20

#### 【0109】

スタティック型差動増幅回路DAMPは、信号量を確保するためのタイミング・マージンが不要であるので、カラム系回路の動作時間を短縮するのに最適である。また、本実施の形態では、バースト読み出しの1サイクル目に、メインアンプ起動信号MAE1により駆動能力の高いトランジスタN93を活性化するので、スタティック型差動増幅回路DAMPの動作時間をさらに短縮可能である。したがって、カラム系回路動作の高速化と共に、ロウ系回路における動作マージンをより拡大することが可能となる。一方、バースト読み出しの2サイクル目以降は、メインアンプ起動信号MAE2により駆動能力の低いトランジスタN94を活性化するので、スタティック型差動増幅回路DAMPに流れる直流電流を抑制することが可能となる。したがって、カラム系回路の低電力化を実現することができる。

30

#### 【0110】

次に、これまで述べた回路構成および動作を実現するためのタイミング制御回路について説明する。図30は、図1に示したタイミング制御回路TMCTLの要部ブロック構成のさらに別の例を示している。この回路構成の特徴は、図24に示した構成におけるメインアンプ制御回路YMACTL1がYMACTL2に置き換えられ、メインアンプ制御回路YMACTL2は、メインアンプ起動信号MAE1、MAE2、伝達ゲート起動信号TGBをそれぞれ出力する点に特徴がある。

40

#### 【0111】

図31は、図30に示したタイミング制御回路TMCTLの詳細な回路構成の例を示している。ここでは、簡単のために、新たなメインアンプ制御回路YMACTL2のみが示されている。メインアンプ制御回路YMACTL2は、図25に示したメインアンプ制御回路YMACTL1内の伝達ゲート起動信号TGB発生のための回路を元に構成される。伝達ゲート起動信号TGBは、NOR回路NR81の出力端子から生成される。また、メインアンプ起動信号MAE2は、NAND回路ND82の出力信号を新たなインバータ回路IV121で反転した信号である。メインアンプ起動信号MAE1は、メインアンプ起

50

動信号 M A E 2 を発生する経路に含まれる遅延回路 D L Y 8 1、N O R 回路 N R 8 1、インバータ回路 I V 8 1 に対応する、遅延回路 D L Y 1 2 1、N O R 回路 N R 1 2 1、N A N D 回路 N D 1 2 1 とで構成される。N A N D 回路 N D 1 2 1 の一方の入力端子には、バースト・サイクル・フラグ信号 F C Y L が接続されることにより、ページ・オープン直後の 1 サイクル目のバースト読み出し動作でのみ、メインアンプ起動信号 M A E 1 にパルス信号が生成される。

#### 【 0 1 1 2 】

以上の構成と動作により、ページ・オープン直後の 1 サイクル目のカラム系回路動作時間を、さらに短縮することが可能となる。すなわち、本実施の形態 5 によるメインアンプ S M A M P 0 を用いることで、実施の形態 1 および実施の形態 2 に示した駆動能力可変型サブアンプと組み合わせ、電流制御回路 M I C 0 の駆動能力を引き上げることにより、カラム系回路の動作時間を短縮することが可能となるので、ロウ系回路の動作マージンをより拡大することができる。また、2 サイクル目以降のバースト読み出し動作において、電流制御回路 M I C 0 の駆動能力を引き下げることにより、差動増幅回路 D A M P に流れる直流電流が抑制されるので、カラム系回路動作における消費電流の抑制が可能となる。これらの結果、動作マージンをより拡大した、高速、低電力の D D R S D R A M を実現することができる。なお、電流制御回路 M I C 0 の構成は、図 2 8 に示した構成に限らず、種々の変形が可能である。例えば、実施の形態 1 および実施の形態 2 に述べた構成が可能である。例えば図 1 5 に示した電流制御回路 I C 0 のように、バースト・サイクルに応じてゲート電圧を調整する一つの N M O S トランジスタで構成することにより、メインアンプのレイアウト面積を抑制することが可能である。

#### 【 0 1 1 3 】

( 実施の形態 6 )

本実施の形態 6 では、D D R S D R A M に用いられるサブアンプおよびメインアンプの別な制御方法の例について説明する。図 3 2 は、本発明の実施の形態 6 の半導体装置において、カラム系回路におけるバースト読み出しの詳細な動作時間の内訳の例を示している。ここでは、サブアンプおよびメインアンプに、実施の形態 1 に記載のサブアンプおよび実施の形態 4 に記載のメインアンプが適用されているものと仮定している。実施の形態 1 ~ 実施の形態 4 では、ローカル入出力線からメインアンプまで、プリフェッチする 2 N ビットの情報を全て同じ制御で読み出していた。一方、本実施の形態の特徴は、次の二つにある。

#### 【 0 1 1 4 】

第一の特徴は、ページ・オープン直後の 1 サイクル目のバースト読み出しにおいて、N ビットを短時間 T D 1 F で読み出し、残りの N ビットを 2 サイクル目以降と同じ比較的長い時間 T D 1 N で読み出す点にある。すなわち、データ端子から時系列に読み出される順番を考慮して、始めに出力される N ビットが転送されるデータパス(ここでは、メイン入出力線 M I O 7 T / B ~ M I O 4 T / B の経路とする)を高速モードの回路設定として動作させる。具体的には、1 サイクル目のバースト読み出しにおいて、バースト読み出しの前半の N ビットを転送する入出力線では、サブアンプの駆動能力が高く設定され、さらにプリアンプを用いることにより、メインアンプの増幅時間が短縮される(高速モード)。

#### 【 0 1 1 5 】

一方、バースト読み出しの後半の N ビットを転送する入出力線(ここでは、メイン入出力線 M I O 3 T / B ~ M I O 0 T / B の経路とする)では、サブアンプの駆動能力が抑制され、プリアンプを停止したままでメインアンプを活性化することにより、消費電力が抑制される(低電力モード)。また、2 サイクル目以降のバースト読み出しにおいては、全ての入出力線の回路設定をこの低電力モードとする。2 サイクル目以降は、1 サイクル目よりもカラム選択信号 Y S の起動をロウ系回路動作の超過時間 T D 0 だけ早くできるため、低電力モードを用いても十分にタイミング・マージンを保てる。

#### 【 0 1 1 6 】

第二の特徴は、前述の第一の特徴を実現するために、リード起動信号、メインアンプ起

10

20

30

40

50

動信号およびレシーバアンプ起動信号を入出力線毎に異なる複数の信号とし、入出力線毎にサブアンプ、メインアンプおよびレシーバアンプを制御する点にある。この第二の特徴を強調するために、同図では、リード起動信号RD1[7:0]、RD2[7:0]、メインアンプ起動信号MAE[7:0]およびレシーバアンプの起動信号RAE[7:0]がバス表記で示されている。1サイクル目では、前半のNビットをリード起動信号RD1[3:0]で駆動し、後半のNビットをリード起動信号RD2[7:4]で駆動する。この際のRD1とRD2の発生タイミングは、ほぼ同一とする。ただし、後半のNビットは、RD2によりサブアンプの駆動能力が低く設定されているため、前半のNビットと比較して、メインアンプ起動信号[7:4]やレシーバアンプ起動信号[7:4]のタイミングを遅らせる。

10

## 【0117】

一方、2サイクル目では、前半のNビットおよび後半のNビット共にリード起動信号RD2で駆動する。この際の発生タイミングは、前半のNビットに対応するリード起動信号RD2[3:0]に比べて後半のNビットに対応するリード起動信号RD2[7:4]を遅らせることが可能である。また、これに応じてメインアンプ起動信号やレシーバアンプ起動信号も、前半のNビットより後半のNビットを遅らせることもできる。このように前半と後半で各種起動タイミングを変えることで、ノイズのピーク値を低減することが可能となる。

## 【0118】

図33は、本発明の実施の形態6の半導体装置において、図21のカラム系回路を変形した構成例を示す要部ブロック図である。図33の構成例は、図21の構成例における各種制御信号が入出力線毎に分離されたものとなっている。すなわち、メインアンプ起動信号MAE[7:0]やレシーバアンプ起動信号RAE[7:0]に応じて、リード起動信号RD1[7:0]、RD2[7:0]、メイン入出力線イコライズ信号MIOEQ[7:0]、プリアンプ起動信号PAE[7:0]、伝達ゲート起動信号TGB[7:0]もそれぞれ入出力線毎に異なる点に特徴がある。

20

## 【0119】

図34は、図1に示したタイミング制御回路TMCTLの要部ブロック構成の別の例を示している。この構成の特徴は、図24に示したメインアンプ制御回路YMACTL1がYMACTL4に、カラム系読み出し信号制御回路YCTL3がYCTL4にそれぞれ置き換えられている点にある。また、これらの制御回路は、図1に示したバースト動作制御信号群BTSGを新たに受信して、複数のリード起動信号RD1[7:0]、RD2[7:0]、メイン入出力線イコライズ信号MIOEQ[7:0]、プリアンプ起動信号PAE[7:0]、伝達ゲート起動信号TGB[7:0]、メインアンプ起動信号MAE[7:0]を発生する機能を有している点に特徴がある。なお、同図では説明の簡略化のために省略したが、レシーバアンプの起動信号RAE[7:0]も、バースト動作制御信号群BTSGを受けて生成されている。以上の構成により、データの出力順すなわちバースト・シーケンスに応じたデータバスの制御信号を生成することが可能となり、図32に示した時間配分のデータバス回路動作を実現することができる。したがって、ロウ系回路の動作マージンを拡大すると共に、ページ・オープン直後の1サイクル目のバースト読み出し動作において、データバスの消費電力が低減された、高速DDR SDRAMを実現することができる。

30

40

## 【0120】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、プリフェッチ数は8ビットに限定されず、それ以上(例えば、16ビットや32ビット)でも良い。一方、データの読み出し方法は、相補クロックCLK、CLKBに同期して1ビットずつ時系列に出力する方法に限らず、他の方法も可能である。例えば、データ端子の出力電圧を複数設け、複数のビットを同時に出力する多値インタフェイス方式のDRAMでも良い。これらの場合、よりデータ転送レ

50

ートの高いDRAMを実現することができる。

【0121】

また、メモリセルはDRAMセルに限らず、SRAMや相変化メモリ、強誘電体RAM（フェロエレクトリック・ランダム・アクセス・メモリ）、MRAM（マグネトレジステイブ・ランダム・アクセス・メモリ）、フラッシュ・メモリなどのメモリセルに適用することも可能である。例えば、相補の読み出し信号を発生するSRAMセルを除いた他のメモリセルは、誤読み出しを防ぐために、数百mVの信号電圧をビット線に出力することが重要である。本発明によれば、データパスの高速化、低電力化と共に、ロウ系回路における動作マージンの拡大が可能となるので、高信頼のメモリを実現することが可能である。

【0122】

さらに、単体メモリチップに限らず、オンチップメモリのインタフェースに本発明を適用することも可能である。オンチップメモリのインタフェースは一般にバス幅が広いので、ロウ系回路の動作マージンと共に、カラム系回路における高速化と低電力化の効果が期待できる。なお、実施の形態1～実施の形態6で述べたタイミング制御回路は、この限りではないことは、容易に推測できる。チップ・アーキテクチャや製品仕様に応じて、適宜タイミングとパルス幅の設定を行うことによって、本発明の意図するカラム系回路を実現することが可能となる。

【産業上の利用可能性】

【0123】

本発明の半導体装置は、高速で大容量のDDR SDRAMなどに適用して特に有益な技術であり、これに限らず、各種大容量メモリアレイに対しても、動作マージンを拡大し高信頼性を実現する技術として広く適用可能である。

【図面の簡単な説明】

【0124】

【図1】本発明による実施の形態1の半導体装置において、DDR SDRAMの要部構成例を示す回路ブロック図である。

【図2】理想的なDDR SDRAMの読み出し動作におけるタイミング・ダイアグラムの例を示す図である。

【図3】本発明の前提として検討したDDR SDRAMにおける読み出し動作タイミング・ダイアグラムの例を示す図である。

【図4】図3に基づき検討したカラム系回路のページ・オープン時の最適な読み出し動作時間の詳細な内訳の例を示す図である。

【図5】図1のDDR SDRAMにおけるカラム系回路の最適なバースト読み出しの詳細な動作時間内訳の例を示す図である。

【図6】図1のDDR SDRAMにおいて、そのチップ全体のレイアウト構成例を示す平面図である。

【図7】図6のメモリバンクにおける主要部のレイアウト構成例を示す平面図である。

【図8】図7のメモリバンクの回路構成例を示す要部ブロック図である。

【図9】図8のメモリバンク構成において、そのカラム系回路の構成例を示す要部ブロック図である。

【図10】図9におけるカラム系回路の詳細な構成例を示す回路図である。

【図11】図10におけるカラム系回路の読み出し動作におけるタイミング・ダイアグラムの例を示す図である。

【図12】図1におけるタイミング制御回路の要部ブロック構成の例を示す図である。

【図13】図12における要部ブロックの詳細な構成の例を示す図である。

【図14】図13におけるタイミング制御回路のタイミング・ダイアグラムの例を示す図である。

【図15】本発明による実施の形態2の半導体装置において、図10とは異なるカラム系回路の構成例を示す回路図である。

【図16】図15のカラム系回路における読み出し動作のタイミング・ダイアグラムの例

10

20

30

40

50

を示す図である。

【図 17】図 1 におけるタイミング制御回路の要部ブロック構成の別の例を示す図である。

【図 18】図 17 における要部ブロックの詳細な構成の例を示す図である。

【図 19】本発明による実施の形態 3 の半導体装置において、図 10 等とは異なるカラム系回路の構成例を示す回路図である。

【図 20】図 19 のカラム系回路の読み出し動作におけるタイミング・ダイアグラムの例を示す図である。

【図 21】本発明による実施の形態 4 の半導体装置において、図 9 とは異なるカラム系回路の構成例を示す要部ブロック図である。

【図 22】図 21 におけるカラム系回路の詳細な構成の例を示す回路図である。

【図 23】図 22 のカラム系回路の読み出し動作におけるタイミング・ダイアグラムの例を示す図である。

【図 24】図 1 におけるタイミング制御回路の要部ブロック構成の別の例を示す図である。

【図 25】図 24 における要部ブロックの詳細な構成の例を示す図である。

【図 26】図 25 におけるタイミング制御回路のタイミングチャートの例を示す図である。

【図 27】本発明による実施の形態 5 の半導体装置において、図 9 等とは異なるカラム系回路の構成例を示す要部ブロック図である。

【図 28】図 27 におけるカラム系回路の詳細な構成例を示す回路図である。

【図 29】図 28 のカラム系回路の読み出し動作におけるタイミング・ダイアグラムの例を示す図である。

【図 30】図 1 におけるタイミング制御回路の要部ブロック構成の別の例を示す図である。

【図 31】図 30 における要部ブロックの詳細な構成の例を示す図である。

【図 32】本発明の実施の形態 6 の半導体装置において、それに含まれるカラム系回路のバースト読み出しの詳細な動作時間内訳の別の例を示す図である。

【図 33】本発明の実施の形態 6 の半導体装置において、図 21 のカラム系回路を変形した構成例を示す要部ブロック図である。

【図 34】図 1 におけるタイミング制御回路の要部ブロック構成の別の例を示す図である。

#### 【符号の説明】

##### 【0125】

A C C アレイコントロール回路

A C S G アレイ制御信号群

A C T V アクティブ・コマンド

A D D アドレス端子

A D D B F アドレスバッファ

A X アレイ活性化信号

B A N K メモリバンク

B C C N T バースト・サイクル・カウンタ

B L , B L T , B L B ビット線

B L E Q ビット線イコライズ信号

B R D リード信号

B R W リード・ライト信号

B T S G バースト動作制御信号群

C A P キャパシタ

C A S B カラム・アドレス・ストロープ信号

C C L クロスカップル型ラッチアンプ

10

20

30

40

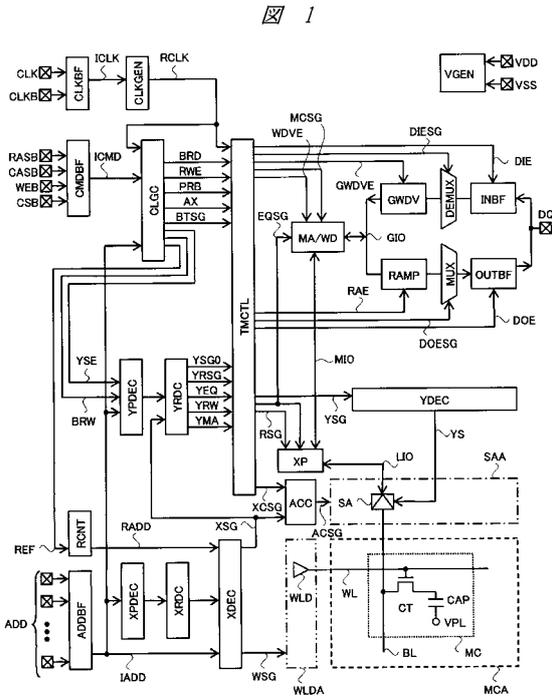
50

CHIP	DDR	SDRAMチップ	
CIV		クロックド・インバータ回路	
CLGC		制御論理回路	
CLK	CLKB	クロック	
CLKBF		クロックバッファ	
CLKGEN		クロック発生回路	
CMDBF		コマンドバッファ	
CSB		チップセレクト信号	
CSP	CSN	共通ソース線	
CSW		カラムスイッチ	10
CT		セル選択トランジスタ	
D		データ線	
DAMP		スタティック型差動増幅回路	
DEMUX		デマルチプレクサ	
DFD		Dフリップフロップ	
DIE		データ入力起動信号	
DIESG		データ入力起動信号群	
DLY		遅延回路	
DOE		データ出力起動信号	
DOESG		データ出力起動信号群	20
DQ		データ端子	
EQSG		イコライズ起動信号群	
FCYL	NCYL	バースト・サイクル・フラグ信号	
GIL		ゲート入力型センスラッチ	
GIO		グローバル入出力線	
GWDV		グローバル・ライト・ドライバ	
GWDVE		グローバル・ライト・ドライバ起動信号	
IADD		内部アドレス信号	
IC		電流制御回路	
ICLK		内部クロック	30
ICMD		内部制御信号群	
INBF		入力バッファ	
IV		インバータ回路	
LIO		ローカル入出力線	
LIOEQB		ローカル入出力線イコライズ信号	
LIOPC		ローカル入出力線プリチャージ回路	
MA		メインアンプ	
MABK		メインアンプ群	
MAE		メインアンプ起動信号	
MAMP		メインアンプ	40
MAT		メモリマット	
MC		メモリセル	
MCA		メモリセルアレイ	
MCSG		メインアンプ制御信号群	
MIC		電流制御回路	
MIO		メイン入出力線	
MIOEQ	MIOEQB	メイン入出力線イコライズ信号	
MIOPC		メイン入出力線プリチャージ回路	
MIOTG		メイン入出力線伝達ゲート	
MOPCC		センスノード・プリチャージ回路	50

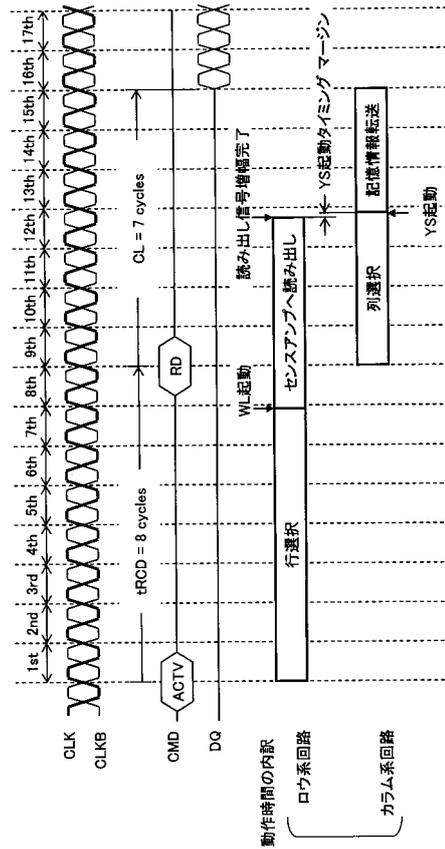
M U X	マルチプレクサ	
N	N M O Sトランジスタ	
N D	N A N D回路	
N R	N O R回路	
O U T B F	出力バッファ	
P	P M O Sトランジスタ	
P A E	プリアンプ起動信号	
P A M P	ゲート接地型プリアンプ	
P C C	プリチャージ回路	
P E R I	周辺回路領域	10
P M A B K	メインアンプ群	
P M A M P	メインアンプ	
P R B	プリチャージ起動信号	
R A B K	レシーバアンプ群	
R A D D	リフレッシュ・アドレス	
R A E	レシーバアンプ起動信号	
R A M P	レシーバアンプ	
R A S B	ロウ・アドレス・ストロープ信号	
R C L K	参照クロック	
R C N T	リフレッシュ・カウンタ	20
R D	リード起動信号	
R D C	読み出し回路	
R D R V	読み出し駆動回路	
R E F	リフレッシュ信号	
R S G	リード起動信号群	
R W E	リード・ライト起動信号	
S A	センスアンプ	
S A A	センスアンプアレイ	
S A M P	サブアンプ	
S A R Y	サブアレイ	30
S F	ソースフォロア回路	
S H R	シェアード信号	
S M A B K	メインアンプ群	
S M A M P	メインアンプ	
S N T , S N B	センスノード	
S W D A	サブワード・ドライバ列	
T D , T R D	遅延時間	
T G B	伝達ゲート起動信号	
T G P	伝達ゲート対	
T M C T L	タイミング制御回路	40
V B B	基板印加電圧	
V B F , V B N	バイアス電圧	
V C L	周辺回路電圧	
V D D	電源電圧	
V D L	内部降圧電圧	
V D L R	基準電圧	
V G E N	内部電源発生回路	
V P L	プレート電極電圧	
V P P	内部昇圧電圧	
V S S	接地電圧	50

WD	ライト・ドライバ	
WDA	ライト・ドライバ列	
WDVE	ライドドライバ起動信号	
WEB	ライトイネーブル信号	
WL	ワード線	
WLD	ワード・ドライバ	
WLDA	ワード・ドライバ列	
WSG	ワード信号群	
XCSG	ロウ系回路制御信号群	
XDEC	行デコーダ	10
XP	クロスポイント領域回路	
XRDC	ロウ救済回路	
XPDEC	行プリデコーダ	
XSG	ロウ信号群	
YCTL	カラム系読み出し信号制御回路	
YDEC	列デコーダ	
YEQ	カラム系イコライズ起動信号	
YMA	カラム系メインアンプ起動信号	
YMACTL	メインアンプ制御回路	
YPDEC	列プリデコーダ	20
YRDC	カラム救済回路	
YRSG	カラム系リード起動信号	
YRW	カラム系リード・ライト起動信号	
YS	カラム選択信号	
YSCTL	カラム選択制御回路	
YSE	カラム選択起動信号	
YSG, YSG0	カラム信号群	
YSG10, YSG20	カラム信号	

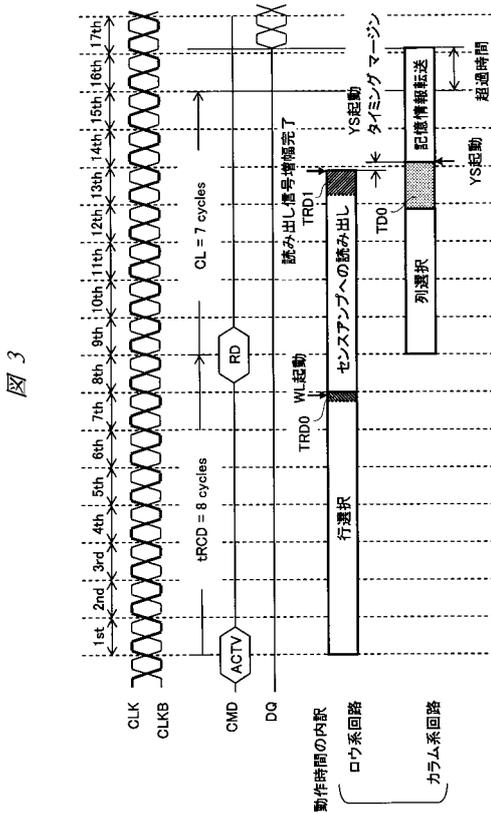
【図1】



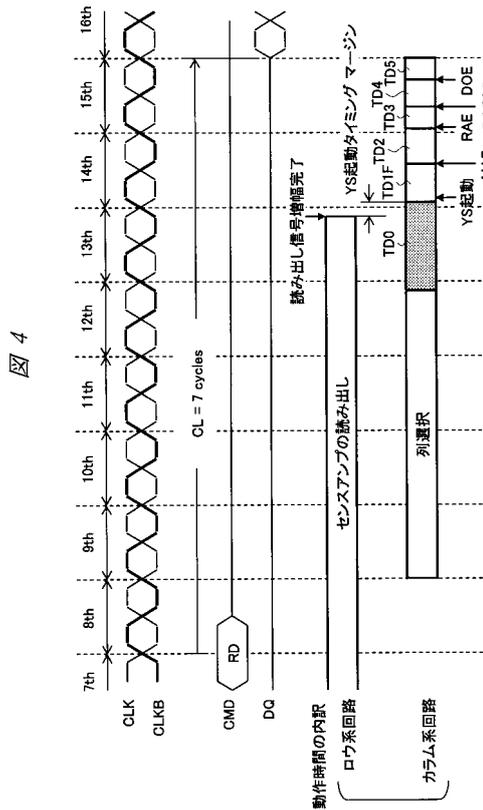
【図2】



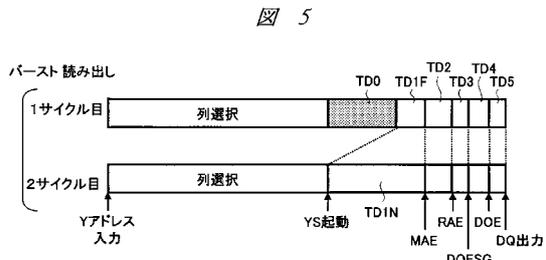
【図3】



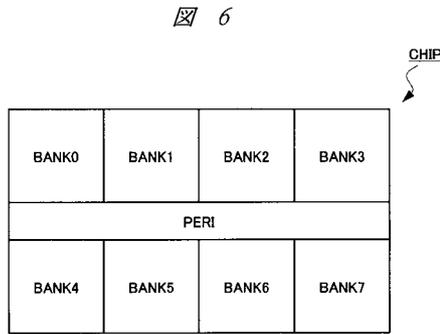
【図4】



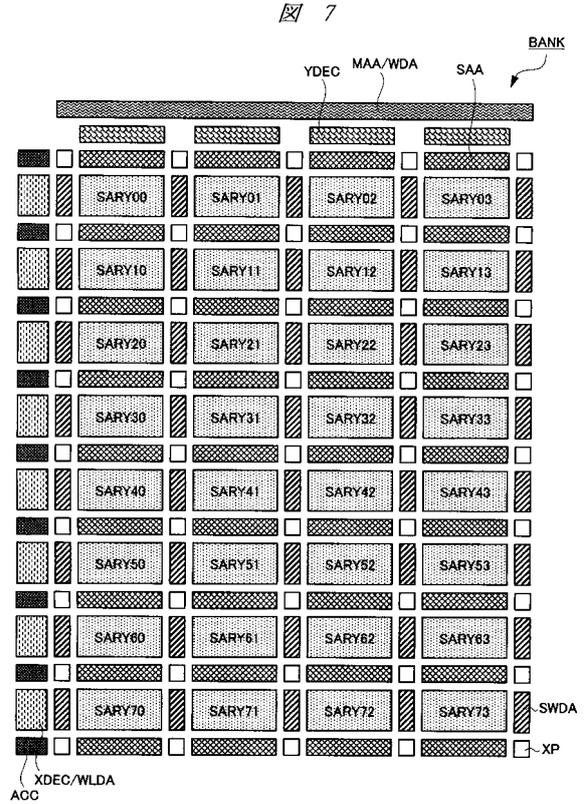
【図5】



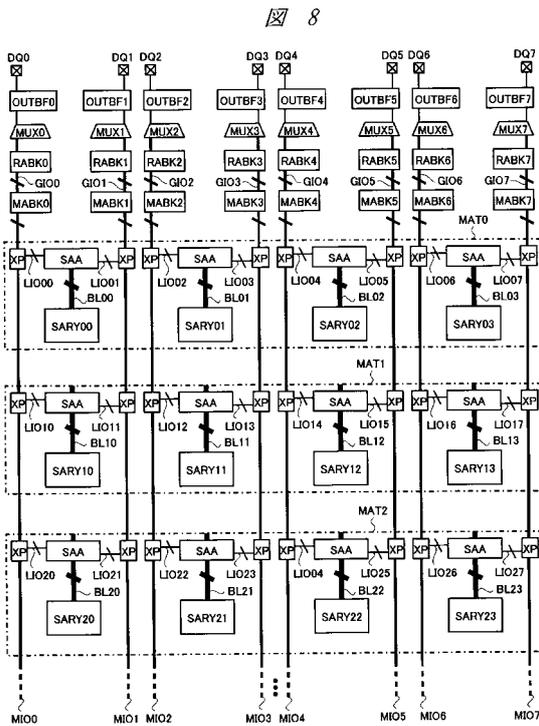
【図6】



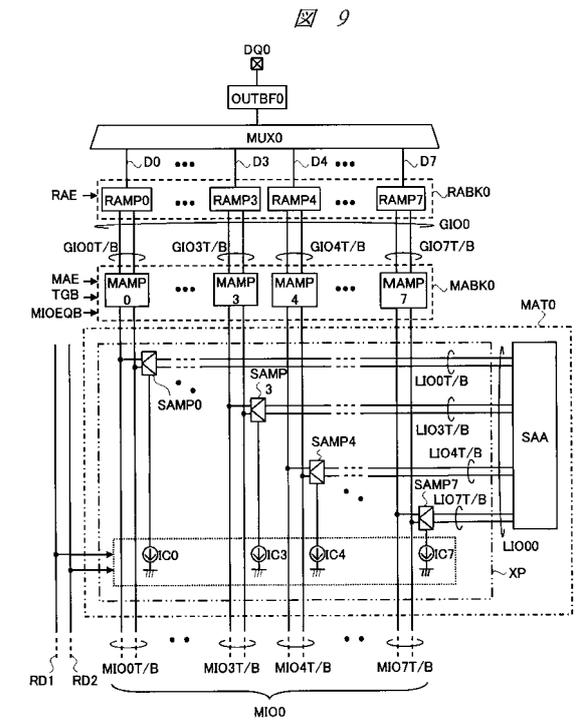
【図7】



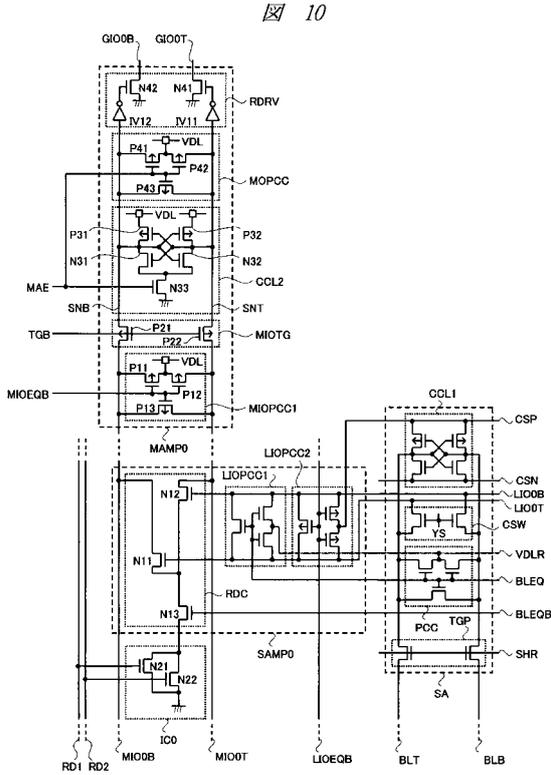
【図8】



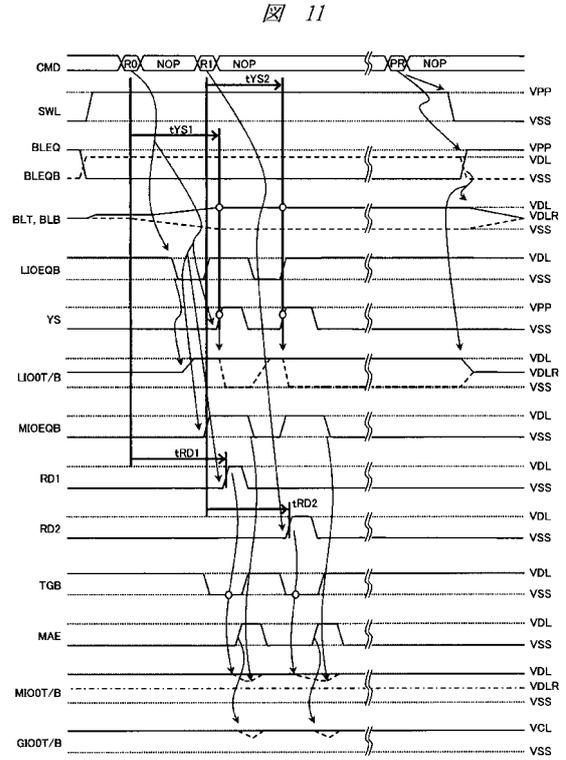
【図9】



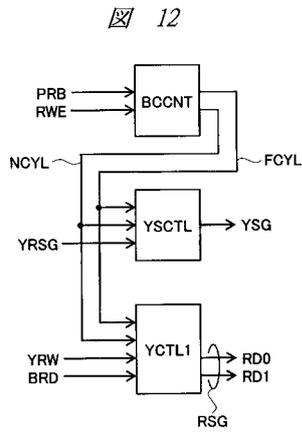
【図10】



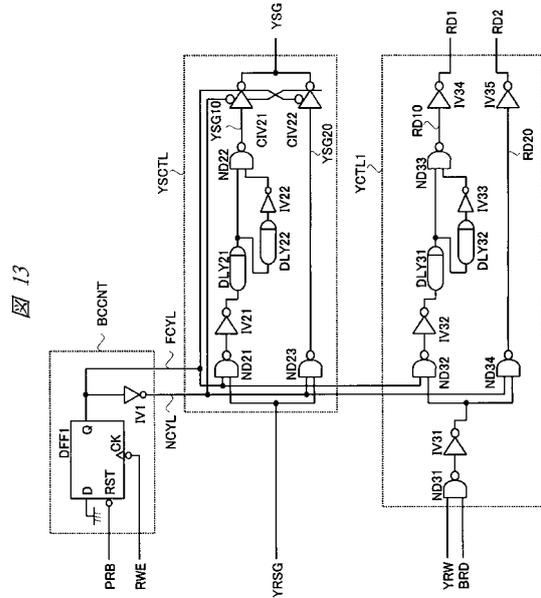
【図11】



【図12】

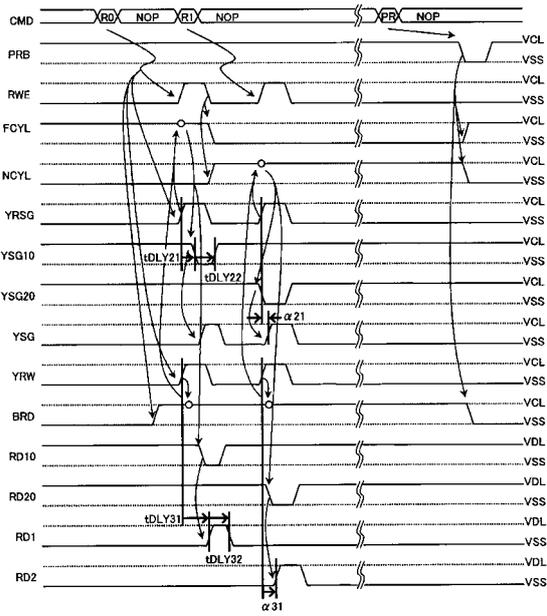


【図13】



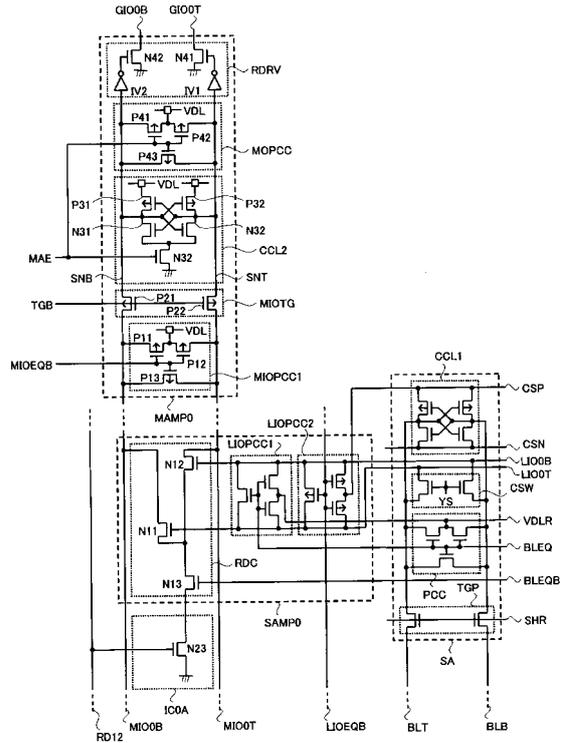
【 図 14 】

図 14



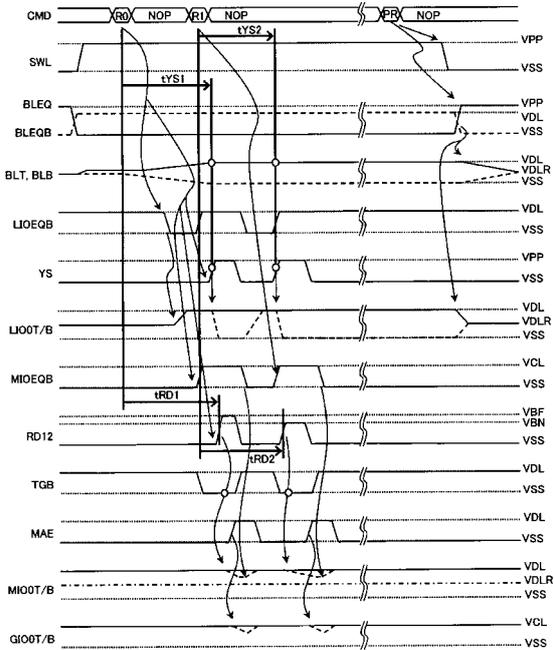
【 図 15 】

図 15



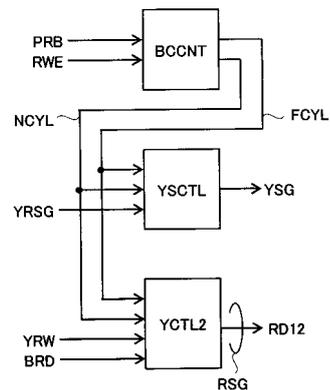
【 図 16 】

図 16



【 図 17 】

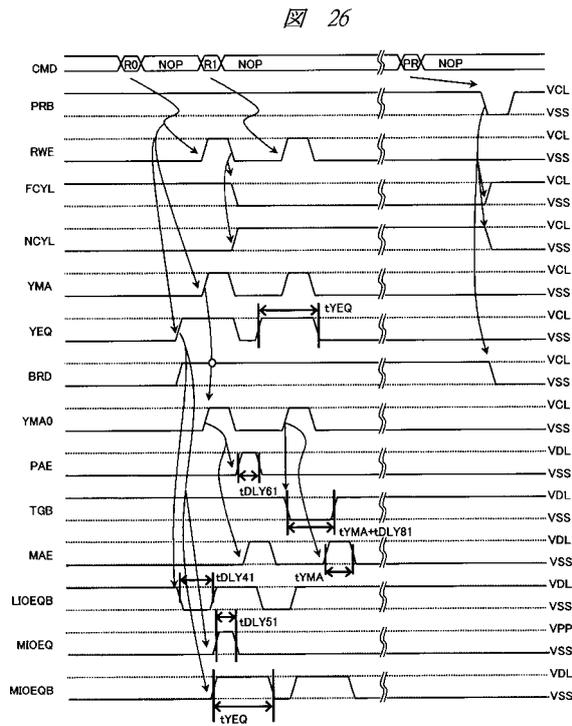
図 17



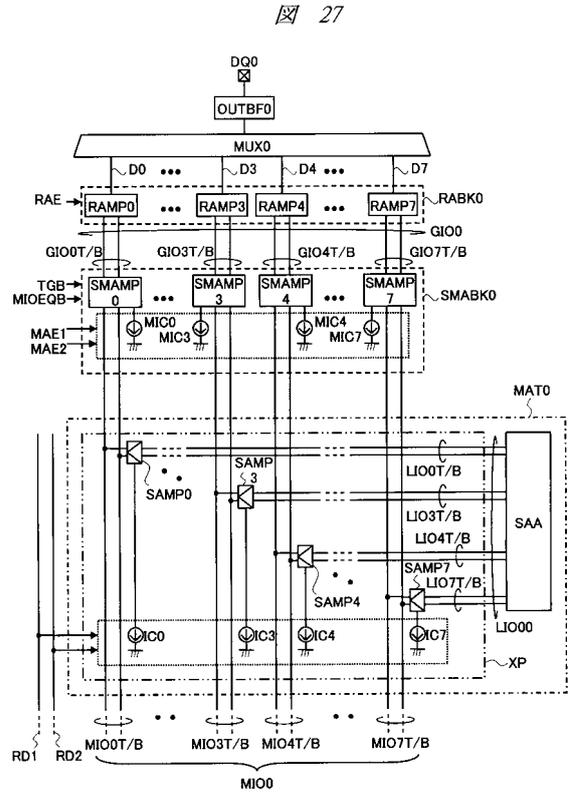




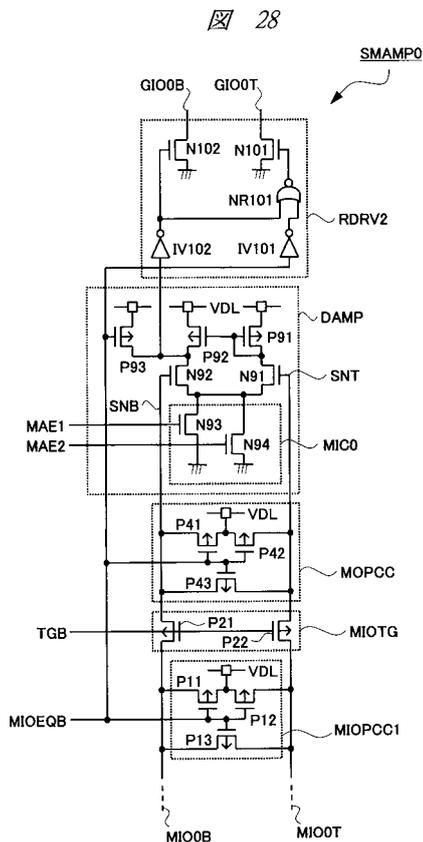
【 図 26 】



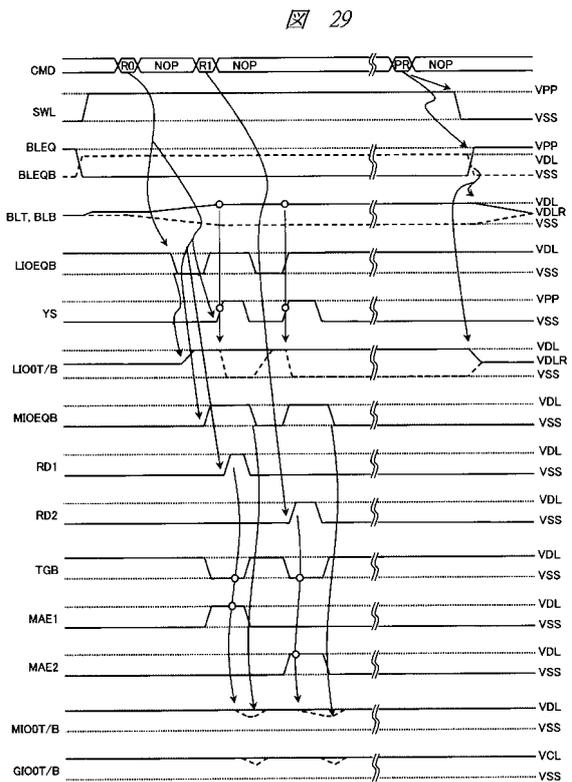
【 図 27 】



【 図 28 】



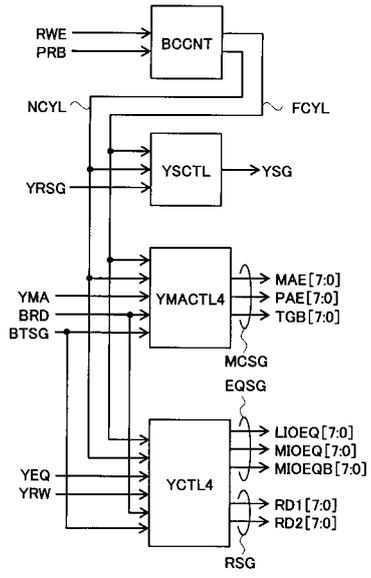
【 図 29 】





【 図 3 4 】

図 34



## フロントページの続き

- (72)発明者 半澤 悟  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 関口 知紀  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 竹村 理一郎  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 秋山 悟  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 梶谷 一彦  
東京都中央区八重洲二丁目2-1 エルピーダメモリ株式会社内

審査官 岩間 直純

- (56)参考文献 特開平11-016361(JP,A)  
特開2003-115190(JP,A)  
特開平03-142788(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4096  
G11C 11/407