

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3903025号

(P3903025)

(45) 発行日 平成19年4月11日(2007.4.11)

(24) 登録日 平成19年1月12日(2007.1.12)

(51) Int. Cl.

F I

H O 1 L 25/065 (2006.01)

H O 1 L 25/08 Z

H O 1 L 25/07 (2006.01)

H O 1 L 25/18 (2006.01)

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2003-198678 (P2003-198678)	(73) 特許権者	000000295
(22) 出願日	平成15年7月17日(2003.7.17)		沖電気工業株式会社
(62) 分割の表示	特願平11-302497の分割		東京都港区虎ノ門1丁目7番12号
原出願日	平成11年10月25日(1999.10.25)	(74) 代理人	100115417
(65) 公開番号	特開2004-158825 (P2004-158825A)		弁理士 鈴木 弘一
(43) 公開日	平成16年6月3日(2004.6.3)	(72) 発明者	照井 誠
審査請求日	平成15年7月17日(2003.7.17)		東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		審査官	今井 淳一

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

表面と裏面とを有し、複数の導電性スルーホールが設けられた基板を準備し、
 第1の配線と、前記スルーホールと接続する第2の配線とを前記表面上に形成し、
 前記スルーホールと接続する第3の配線を前記裏面上に形成し、
 前記表面に第1の半導体チップを搭載し、
 前記第1の半導体チップと前記第1の配線とを電氣的に接続し、
 前記裏面に第2の半導体チップを搭載し、
 前記第2の半導体チップと前記第3の配線とを電氣的に接続し、
 前記第1の配線と電氣的に接続される前記第1の外部電極と、前記第2の配線と電氣的に
 接続され、前記基板のコーナー部近傍に位置する前記第2の外部電極とを、格子状の複数
 電極列を構成するように形成することを特徴とする半導体装置の製造方法。

10

【請求項2】

前記基板は銅で構成され、前記基板の前記表面には凹部が設けられ、前記裏面には前記
 凹部に対応する凸部が設けられ、前記第1の半導体チップは前記凹部内に配置され、前記
 第2の半導体チップは前記凸部上に配置されていることを特徴とする請求項1記載の半導
 体装置の製造方法。

【請求項3】

前記基板は、前記凸部と凹部とを貫通する貫通孔を有し、前記第2の半導体チップを搭
 載する際に、前記貫通孔から前記基板と前記第2の半導体チップとの間に樹脂を注入する

20

ことを含む請求項 2 記載の半導体装置の製造方法。

【請求項 4】

前記第 2 の半導体チップを搭載する際に、前記基板と前記第 2 の半導体チップとの間に樹脂を注入することを含む請求項 1 ~ 3 のいずれか記載の半導体装置の製造方法。

【請求項 5】

前記第 2 の半導体チップを搭載する際に、前記基板と前記第 2 の半導体チップとの間にテープ状の樹脂を介在させることを含む請求項 1 ~ 3 のいずれか記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関するもので、詳しくはボールグリッドアレイ（以下、BGA パッケージという）パッケージの製造方法に関するものである。

【0002】

【従来の技術】

図 2 (a) , (b) は、従来の BGA パッケージの一例を示す断面図である。図 3 (a) , (b) は、従来の BGA パッケージの他の例を示す断面図であり、図 2 中の要素と共通の要素には共通の符号が付されている。一般的な放熱性を考慮した BGA パッケージでは、厚さ 0.3 ~ 0.4 mm の銅板 1 に、厚さ 10 ~ 30 μm のポリイミド等からなる絶縁材 2 が、貼付けられている。絶縁材 2 の上に、厚さ 12 ~ 35 μm の銅箔配線 3 が形成されている。銅板 1 の表面側には、図 2 のように、切削加工によって半導体チップ 4 の搭載箇所 5 a が形成されるか、図 3 のように、金型絞り加工によって半導体チップ 4 の搭載箇所 5 b が形成され、基板が構成されている。

20

【0003】

半導体チップ 4 は、電極が形成された電極面とその反対側の背面とを有している。搭載箇所 5 a , 5 b の底部に導電性或いは絶縁性のペースト 6 が塗布され、そこに半導体チップ 4 が背面を向けて固着されている。半導体チップ 4 の電極と銅箔配線 3 とがボンディングワイヤ 7 で接続され、該半導体チップ 4 の搭載されているキャビティ部分が、エポキシ樹脂 8 によって充填されている。基板の表面側のエポキシ樹脂 8 のない部分に、半田ボール 9 が格子状に取り付けられている。基板の表面側のエポキシ樹脂 8 及び半田ボール 9 のない場所は、レジスト膜 10 で覆われている。なお、封止後の基板の反り対策或いは汚れ防止対策として、基板の裏面側に、図 3 のように絶縁材 11 が貼付けられる場合もある。

30

【0004】

【発明が解決しようとする課題】

しかしながら、従来の図 2 及び図 3 の BGA パッケージでは、次のような課題があった。図 4 (a) , (b) は、図 2 及び図 3 の BGA パッケージの課題の説明図である。多ピン化に対応するために、半田ボール 9 からなる格子状の端子の列数を増加したり、該端子のピッチを狭くすると、図 4 (a) のように、銅箔配線 3 の幅とギャップからの制約により、半導体チップ 4 の電極とボンディングワイヤ 7 で接続されるボンディングポスト 12 に結線されない余剰端子 13 が多数発生する。また、図 2 或いは図 3 の BGA パッケージを、図 4 (b) のようにマザーボード 14 に実装しようとしても、多ピン化に伴って該 BGA パッケージの外形寸法が増加するので実装面積が増大する。よって、マザーボード 14 の寸法も増大させる必要があった。

40

【0005】

【課題を解決するための手段】

前記課題を解決するために、本発明のうちの第 1 の発明は、BGA パッケージにおいて、次のような構成にしている。即ち、表面と裏面とを有する板状の基材と、電極が形成された電極面と該電極面の反対側で該電極を持たない背面とを有し、背面が基材の表面側に固着された第 1 の半導体チップと、基材の表面側に配列された複数の半田ボールと、基材の表面側に形成され、複数の半田ボールのうちの一部の半田ボールと導通を持つ第 1 の配線

50

パターンと、第1の半導体チップの電極と第1の配線パターンとを接続する第1の接続部材と、基材の裏面側に形成された第2の配線パターンと、電極面及び背面を有し、基板の裏面側に搭載された任意数の第2の半導体チップと、第2の半導体チップの電極と第2の配線パターンとを接続する第2の接続部材と、基材に形成され、基材の表面側の複数の半田ボールのうちに残った半田ボールと基材の裏面側の第2の配線パターンとを接続するスルーホールと、第1の半導体チップの電極面を封止する第1の封止部材と、第2の半導体チップの電極面を封止する第2の封止部材とを、備えている。

【0006】

第2の発明は、第1の発明における第2の半導体チップは、背面を基材の裏面側に固定し、第2の接続部材は、ボンディングワイヤで構成している。第3の発明は、第1の発明における第2の接続部材は、第2の半導体チップの電極に突設された複数のバンプで構成し、第2の半導体チップは、電極側が基材の裏面側に対向し、バンプによって電極が第2の配線パターンに接続されている。

10

【0007】

第4の発明は、BGAパッケージにおいて、次のような構成にしている。即ち、表面と裏面とを有する板状の基材と、電極が形成された電極面と該電極面の反対側で該電極を持たない背面とを有し、背面が基材の表面側に固着された第1の半導体チップと、基材の表面側に配列された複数の半田ボールと、基材の表面側に形成され、複数の半田ボールのうちの一部の半田ボールと導通を持つ第1の配線パターンと、第1の半導体チップの電極と第1の配線パターンとを接続する第1の接続部材と、基材の裏面側に形成された第2の配線パターンと、端子のみが露出し、他が既に封止された任意数の半導体装置と、半導体装置の端子と第2の配線パターンとを接続する第2の接続部材と、基材に形成され、基材の表面側の複数の半田ボールのうちに残った半田ボールに基材の裏面側の第2の配線パターンを接続するスルーホールと、第1の半導体チップの電極面を封止する第1の封止部材とを備えている。

20

【0008】

第5の発明は、第3の発明のBGAパッケージを製造するBGAパッケージの製造方法において、次のような製造方法を講じている。即ち、表面と裏面とを有する板状の基材にスルーホールを形成し、該基材の表面側に第1の配線パターンを形成すると共に基材の裏面側にスルーホールと導通を持つ第2の配線パターンを形成するパターン形成処理とを最初に行う。そして、パターン形成処理の後に、電極が形成された電極面と該電極面の反対側で該電極を持たない背面とを有する第1の半導体チップを、背面を基材の表面側に向けて固着し、第1の半導体チップの電極と第1の配線パターンとを第1の接続部材で接続する第1の搭載処理と、第1の半導体チップの前記電極面を第1の封止樹脂で封止する第1の封止処理と、パターン形成処理の後の第1の搭載処理及び第1の封止処理の前または後に、電極が形成された電極面と電極面の反対側で該電極を持たない背面とを有し、電極には導電性のバンプが突設された第2の半導体チップを、電極面側を基材の裏面側に対向させ、第2の配線パターンに該バンプを加熱圧着することにより、第2の半導体チップを該基材に搭載する第2の搭載処理と、搭載された第2の半導体チップと基材の間に、第2の半導体チップの横から液状の第2の封止樹脂を注入し、液状の第2の封止樹脂を硬化させて第2の半導体チップの電極面を封止する第2の封止処理と、基材の表面側に、第1の配線パターンと導通を持つ半田ボール及びスルーホールと導通を持つ半田ボールを形成する半田ボール形成処理とを行うようにしている。

30

40

【0009】

第6の発明は、第3の発明のBGAパッケージを製造するBGAパッケージの製造方法において、次のような製造方法を講じている。即ち、表面と裏面とを有する板状の基材にスルーホールを形成し、該基材の表面側に第1の配線パターンを形成すると共に該基材の裏面側に該スルーホールに導通を持つ第2の配線パターンを形成するパターン形成処理と、前記パターン形成処理の前または後に、基材の第2の半導体チップ搭載予定領域に表面から裏面に貫通する孔を形成する貫通孔形成処理とを行う。そして、パターン形成処理及び

50

貫通孔形成処理の後に、電極が形成された電極面と該電極面の反対側で電極を持たない背面とを有し、電極には導電性のバンプが突設された第2の半導体チップを、電極面側を基材の裏面側に対向させ、第2の配線パターンにバンプを加熱圧着することにより、第2の半導体チップを基材に搭載する第1の搭載処理と、第2の半導体チップの電極面と基材の裏面との間に孔を介して液状の第2の封止樹脂を注入し、液状の第2の封止樹脂を硬化させて第2の半導体チップの電極面を封止する第1の封止処理と、第1の封止処理の後に、電極が形成された電極面と該電極面の反対側で電極を持たない背面とを有する第1の半導体チップを、背面を基材の表面側に向けて固着し、第1の半導体チップの電極と第1の配線パターンとを第1の接続部材で接続する第2の搭載処理と、第1の半導体チップの電極面を第1の封止樹脂で封止する第1の封止処理と、基材の表面側に、第1の配線パターンと導通を持つ半田ボール及びスルーホールと導通を持つ半田ボールを形成する半田ボール形成処理とを行うようにしている。

10

【0010】

第7の発明は、第3の発明のBGAパッケージを製造するBGAパッケージの製造方法において、次のような製造方法を講じている。即ち、表面と裏面とを有する板状の基材にスルーホールを形成し、基材の表面側に第1の配線パターンを形成すると共に基材の裏面側にスルーホールに導通を持つ第2の配線パターンを形成するパターン形成処理を行う。そして、パターン形成処理の後に、電極が形成された電極面と該電極面の反対側で該電極を持たない背面とを有する第1の半導体チップを、背面を基材の表面側に向けて固着し、第1の半導体チップの電極と第1の配線パターンとを第1の接続部材で接続する第1の搭載処理と、第1の半導体チップの電極面を第1の封止樹脂で封止する第1の封止処理と、パターン形成処理の後の第1の搭載処理及び第1の封止処理の前または後に、基材の第2の半導体チップ搭載予定領域にテープ状の第2の封止樹脂を置くテープ載置処理と、電極が形成された電極面と該電極面の反対側で該電極を持たない背面とを有し、電極には導電性のバンプが突設された第2の半導体チップを、電極面側を基材の裏面側に対向させ、第2の配線パターンに該バンプを加熱圧着することにより、第2の半導体チップを基材に搭載する第2の搭載処理と、これと同時に行われ、第2の封止樹脂を溶融させた後に硬化させ、第2の半導体チップの電極面を封止する第2の封止工程と、基材の表面側に、第1の配線パターンと導通を持つ半田ボール及びスルーホールと導通を持つ半田ボールを形成する半田ボール形成工程とを、行うようにしている。

20

30

【0011】

第1から第7の発明によれば、以上のようにBGAパッケージ及び該BGAパッケージの製造方法を構成したので、基材の表面側には、第1の半導体チップが搭載され、基材の裏面側には第2の半導体チップまたは半導体装置が搭載される。この第2の半導体チップの電極または半導体装置の端子は、第2の配線パターン及びスルーホールを介して基材の表面側の半田ボールと接続される。そのため、第2の半導体チップまたは半導体装置への信号の入出力には、その半田ボールが用いられる。

【0012】

また、第8の発明は、半導体装置において、表面と裏面とを有する基板と、その基板の表面に形成された第1の外部電極と、基板の表面に搭載されるとともに、第1の外部電極と電氣的に接続された第1の半導体チップと、基板の表面に形成された第2の外部電極と、基板の裏面に搭載されるとともに、第2の外部電極と、基板に形成されたスルーホールを介して電氣的に接続された第2の半導体チップとを含むようにしている。

40

【0013】

第9の発明は、第8の発明の半導体装置において、第1の半導体装置は、基板の表面に形成された第1の配線パターンを介して第1の外部電極に電氣的に接続し、第2の半導体チップは、基板の裏面に形成された第2の配線パターンを介して第2の外部電極に電氣的に接続した構成にしている。

【0014】

第10の発明は、第8の発明の半導体装置における第2の外部電極は実質的に、基板のコ

50

ーナ一部近傍に設けている。第11の発明は、第8の発明の半導体装置において、基板には凹部を形成し、第1の半導体チップはこの凹部内に配置している。第12の発明は、第8の発明の半導体装置において、第1の外部電極及び第2の外部電極は半田ボールで構成している。第8から第12の発明によれば、以上のように半導体装置を構成したので、基板の表面に第1の外部電極及び第2の外部電極が形成されている。基板の表面に第1の半導体チップが搭載され、裏面に第2の半導体チップが搭載される。第1の半導体チップは第1の外部電極に電氣的に接続され、第2の半導体チップは、スルーホールを介して第2の外部電極に電氣的に接続される。そのため、第2の半導体チップへの信号の入出力は、基板の表面に形成された第2の外部電極が用いられる。

【0015】

10

【発明の実施の形態】

第1の実施形態図1は、本発明の第1の実施形態を示すBGAパッケージの断面図である。図5(a)~(c)は、図1のBGAパッケージのベースとなる基板20を示す図であり、図1中の要素と共通の要素には共通の符号が付されている。このBGAパッケージのベースとなる基板20には、厚さ0.3~0.4mmの銅板21が基材として用いられている。銅板21の表面側には、従来と同様に厚さ10~30μmのポリイミド等からなる絶縁材22が貼付けられ、該絶縁材22の上に厚さ12~35μmの第1の配線パターンである銅箔配線23が形成されている。銅箔配線23の上部は、一部を残してソルダーレジスト24が塗布されている。銅板21の裏面側には、図5(b)のように、厚さ10~30μmのポリイミド等からなる絶縁材25が貼付けられ、該絶縁材25の上に厚さ12~35μmの第2の配線パターンである銅箔配線26が形成されている。銅箔配線26の上は、一部を残してソルダーレジスト27が塗布されている。

20

【0016】

例えば、金型絞り加工により、銅板21の表面側には、第1の半導体チップ28の搭載箇所29が凹状に形成されている。銅板21には、さらに、表面と裏面をつなぐスルーホール30が形成されている。スルーホール30は、銅板21とは絶縁されている。各銅箔配線23, 26の一端が、後述するボンディングワイヤに接続されるボンディングポスト25a, 26aになっている。裏面側の銅箔配線26の他端は、スルーホール30に接続されている。搭載箇所29に例えば絶縁ペースト31が塗布され、該搭載箇所29に、半導体チップ28が電極面とは反対の背面を向けて固着されている。半導体チップ28の電極と銅箔配線23とが第1の接続部材であるボンディングワイヤ32で接続され、該半導体チップ28の搭載されているキャビティ部分が、第1の封止樹脂のエポキシ樹脂33によって封止されている。基板20の表面側には、複数の半田ボール34が例えば格子状に配置されている。銅箔配線23のソルダーレジスト27の開口した部分に、半田ボール34が形成され、さらに、各スルーホール30も半田ボール34と導通を持つように形成されている。

30

【0017】

このような基板20の裏面側の一部に導電性或いは絶縁性のペースト35が塗布され、図1のように、第2の半導体チップ36が搭載され、半導体チップ36の背面がペースト35によって固着されている。半導体チップ36の電極と銅箔配線26のボンディングポスト26aとが、第2の接続部材であるボンディングワイヤ37により、接続されている。この半導体チップ36も、第2の封止樹脂であるエポキシ樹脂38により、封止されている。半導体チップ28, 36が搭載された図1のBGAパッケージでは、信号が半田ボール34及び銅箔配線23を介して半導体チップ28に入出力されるばかりでなく、半田ボール34、スルーホール30及び銅箔配線26を介して半導体チップ36に信号が入出力される。

40

【0018】

以上のように、この第1の実施形態では、基材21の表面側と裏面側の両方に銅箔配線23, 26を形成すると共に、該基材21にスルーホール30を設け、基材21の裏面側に搭載した半導体チップ36の電極を表面側に配列した半田ボール34に接続したので、半

50

導体チップ 28 に接続できなかった半田ボール 34、つまり、余剰端子を半導体チップ 36 の端子として有効に使用することができる。また、半導体チップ 28 と半導体チップ 36 とを基材 21 の両側に搭載するので、マザーボードに実装する時の実装面積を低減でき、マザーボードの面積も小さくできる。

【0019】

第 2 の実施形態図 6 は、本発明の第 2 の実施形態を示す BGA パッケージの断面図である。図 7 (a)、(b) は、図 6 の BGA パッケージのベースとなる基板 40 を示す図であり、図 6 中の要素と共通の要素には共通の符号が付されている。この BGA パッケージのベースとなる基板 40 は、第 1 の実施形態と同様の銅板 41 が基材として用いられ、該銅板 41 の表面側には、厚さ 10 ~ 30 μm の絶縁材 42 が貼付けられている。絶縁材 42 10

【0020】

銅板 41 の裏面側には、図 7 (b) のように、厚さ 10 ~ 30 μm のポリアミド等からなる絶縁材 45 が貼付けられ、該絶縁材 45 の上に、厚さ 12 ~ 35 μm の第 2 の配線パターンである銅箔配線 46 が形成されている。銅箔配線 46 の上は、一部を残してソルダーレジスト 47 が塗布されている。金型絞り加工により、銅板 41 の表面側に第 1 の半導体チップ 48 の搭載箇所 49 が凹状に形成されている。銅板 41 には、さらに、該銅板 41 とは絶縁され、表面側と裏面側をつなぐスルーホール 50 が形成されている。銅箔配線 43 の一端が、ボンディングワイヤに接続されるボンディングポスト 43a になっている。裏面側の銅箔配線 46 の一端が後述する金バンプに接続されるランド 46a になっており、例えば該ランド 46a には、下地に Ni メッキが施され、さらに、その上に金メッキが施されている。 20

【0021】

銅箔配線 46 の他端は、スルーホール 50 に接続されている。搭載箇所 49 の底部には例えば絶縁ペースト 51 が塗布され、該搭載箇所 49 に、第 1 の半導体チップ 48 が電極面とは反対の背面を向けて搭載されている。半導体チップ 48 の電極と銅箔配線 43 とが第 1 の接続部材であるボンディングワイヤ 52 で接続され、該半導体チップ 48 の搭載されているキャビティ部分が、第 1 の封止樹脂のエポキシ樹脂 53 によって封止されている。複数の半田ボール 54 が基板 50 の表面側に例えば格子状に配置されている。各銅箔配線 43 のソルダーレジスト 47 の開口した部分に、半田ボール 54 が形成され、さらに、各スルーホール 50 も半田ボール 54 に接続されている。 30

【0022】

以上のような基板 40 の裏面側に、第 2 の接続部材である金バンプ 55 が電極に突設された第 2 の半導体チップ 56 が搭載されている。この場合、半導体チップ 56 の電極が金バンプで銅箔配線 46 に接続されているので、基板 40 の裏面側に該半導体チップ 56 の電極面が対向している。基板 40 の裏面側と半導体チップ 56 の電極面との間が、第 2 の封止樹脂 57 によって封止されている。

【0023】

図 8 (a) ~ (d) は、図 6 の BGA パッケージの製造工程の概要を示す断面図である。この第 2 の実施形態の BGA パッケージは、図 8 (a) ~ (d) の工程により、製造される。まず、図 8 の (a) の工程において、パターン形成処理により、銅板 41 にスルーホール 50 を形成し、銅板 41 の表面側に絶縁材 42 を貼付け、その上に銅箔配線 43 を形成し、銅板 41 の裏面側に絶縁材 45 を貼付け、さらに、該絶縁材 45 の上に銅箔配線 46 を形成する。銅箔配線 43、46 の必要部分にソルダーレジスト 44、47 を塗布した後、第 1 の搭載処理により、半導体チップ 48 を搭載箇所 49 に固着し、該半導体チップ 48 の電極をボンディングワイヤ 52 で銅箔配線 43 と接続する。そして、第 1 の封止処理を行い、半導体チップ 48 の電極面をエポキシ樹脂 53 で封止する。一方、半導体チップ 56 の電極面の電極には、金バンプ 55 を突設させておく。 40

【0024】

図8(b)の工程において、第2の搭載処理により、半導体チップ56の電極面を銅板41の裏面に対向させて金バンプ55をランド46aに当接し、熱圧着法によって接続する。さらに、半導体チップ56の電極面と銅板41の裏面側との間に、液状の樹脂57を側面から注入する。図8(c)の工程において、第2の封止処理を行い、加熱により、注入した樹脂57を硬化させ、半導体チップ56の電極面を封止する。図8(d)の工程において、銅板41の表面側の銅箔配線43及びスルーホール50の該表面側に半田ボール54を形成する。半導体チップ48, 56が搭載された図7のBGAパッケージでは、信号が半田ボール54及び銅箔配線43を介して半導体チップ48に入出力されるばかりでなく、半田ボール54、スルーホール50及び銅箔配線46を介して信号が半導体チップ54に入出力される。

10

【0025】

以上のように、この第2の実施形態では、銅板41の裏面側に形成された銅箔配線46とスルーホール50とを設け、銅板41の裏面側に搭載した半導体チップ46の電極を表面側に配列した半田ボール54に接続したので、半導体チップ48に接続できなかった半田ボール54を半導体チップ56の端子として有効に使用することができる。また、半導体チップ48と半導体チップ56とを銅板41の両側に搭載するので、マザーボードに実装する時の実装面積を低減でき、マザーボードの面積も小さくできる。さらに、半導体チップ56の搭載を金バンプ55にて行うので、第1の実施形態よりも短時間で接続できる。

【0026】

第3の実施形態図9(a)~(d)は、本発明の第3の実施形態を示すBGAパッケージの製造方法の断面図であり、第2の実施形態の図6中の要素と共通の要素には共通の符号が付されている。

20

【0027】

この第3の実施形態では、図6と同様のBGAパッケージに対する第2の実施形態とは異なる製造方法を説明する。まず、図9(a)の工程において、パターン形成処理を行い、銅板41の表面側に絶縁材42を貼付け、その上に銅箔配線43を形成し、銅板41の裏面側に絶縁材45を貼付け、該絶縁材45の上に銅箔配線46を形成し、さらに、スルーホール50も基材41に形成する。銅箔配線43, 46の必要部分にソルダーレジスト44, 47を塗布する。また、貫通孔形成処理を行い、銅板41の表面側から裏面側に貫通する孔60を、半導体チップ56の搭載予定位置の中央に形成しておく。一方、半導体チップ56の電極面の電極には、金バンプ55を突設させておく。

30

【0028】

図9(b)の工程において、第1の搭載処理により、半導体チップ56の電極面を銅板41の裏面に対向させて金バンプ55をランド46aに当接し、熱圧着法によって接続する。そして、孔60を介して液状の樹脂57を半導体チップ56の電極面と基板40の裏面側との間に注入する。図9(c)の工程において、第1の封止処理を行い、液状の樹脂57を加熱硬化させ、半導体チップ56の電極面を封止する。

【0029】

図9(d)の工程において、第2の搭載処理により、半導体チップ48を搭載箇所49に固着し、該半導体チップ48の電極をボンディングワイヤ52で銅箔配線43と接続する。そして、第2の封止処理を行い、半導体チップ48の電極面をエポキシ樹脂53で封止する。図9(e)の工程において、半田ボール形成処理により、銅板41の表面側の銅箔配線43及びスルーホール50の該表面側に半田ボール54を形成する。

40

【0030】

以上のように、この第3の実施形態では、第2の実施形態と同様に、銅板41の裏面側に形成された銅箔配線46とスルーホール50とを設け、銅板41の裏面側に搭載した半導体チップ46の電極を表面側に配列した半田ボール54に接続したので、半導体チップ48に接続できなかった半田ボール54を半導体チップ56の端子として有効に使用することができる。半導体チップ48と半導体チップ56とを銅板41の両側に搭載するので、マザーボードに実装する時の実装面積を低減でき、マザーボードの面積も小さくできる。

50

さらに、半導体チップ56の搭載を金バンプ55にて行うので、第1の実施形態よりも短時間で接続できる。その上、樹脂57が貫通孔60から注入されるので、該樹脂57が均一に分布し、完成後の熱応力による樹脂57の膨脹収縮が原因で、半導体チップ56の接続信頼性が劣化することを、予防できる。

【0031】

第4の実施形態図10(a)~(c)は、本発明の第4の実施形態を示すBGAパッケージの製造方法の断面図であり、第2の実施形態の図6中の要素と共通の要素には共通の符号が付されている。この第3の実施形態では、図6と同様のBGAパッケージに対する第2の実施形態とは異なる製造方法を説明する。まず、図10(a)の工程において、パターン形成処理を行い、銅板41の表面側に絶縁材42を貼付け、その上に銅箔配線43を形成し、銅板41の裏面側に絶縁材45を貼付け、該絶縁材45の上に銅箔配線46を形成し、スルーホール50も基材41に形成する。銅箔配線43, 46の必要部分にソルダーレジスト44, 47を塗布する。ここで、第1の搭載処理により、半導体チップ48を搭載箇所49に固着し、該半導体チップ48の電極をボンディングワイヤ52で銅箔配線43と接続する。そして、第1の封止処理を行い、半導体チップ48の電極面をエポキシ樹脂53で封止する。一方、半導体チップ56の電極面の電極には、金バンプ55を突設させておくと共に、テープ状に形成された樹脂57を用意する。

10

【0032】

図10(b)の工程において、テープ載置処理により、基板40の裏面側の半導体チップ56の搭載予定領域にテープ状の樹脂57を載置し、続いて、第2の搭載処理を行い、半導体チップ56の電極面を銅板41の裏面に対向させて金バンプ55をランド46aに当接し、熱圧着法によって接続する。このとき、第2の封止処理が同時に行われ、テープ状の樹脂57が加熱されて熔融して硬化する。よって、半導体チップ56の電極面が封止される。図10(c)の工程において、銅板41の表面側の銅箔配線43及びスルーホール50の該表面側に半田ボール54を形成する。

20

【0033】

以上のように、この第4の実施形態では、第2及び第3の実施形態と同様に、銅板41の裏面側に形成された銅箔配線46とスルーホール50とを設け、銅板41の裏面側に搭載した半導体チップ46の電極を表面側に配列した半田ボール54に接続したので、半田ボール54を半導体チップ56の端子として有効に使用することができると共に、マザーボードに実装する時の実装面積を低減でき、マザーボードの面積も小さくできる。その上、半導体チップ56の搭載を金バンプ55にて行うので、第1の実施形態よりも短時間で接続できる。さらに、半導体チップ56の封止を、バンプ55の接続と同時にできるので、第2及び第3の実施形態よりも、短時間で封止できることとなる。

30

【0034】

第5の実施形態図11は、本発明の第5の実施形態を示すBGAパッケージの断面図である。図12(a), (b)は、図11のBGAパッケージのベースとなる基板70を示す図であり、図11中の要素と共通の要素には共通の符号が付されている。このBGAパッケージのベースとなる基板70は、第1の実施形態と同様の銅板71が基材として用いられ、該銅板71の表面側には、厚さ10~30 μ mの絶縁材72が貼付けられている。絶縁材72の上に、厚さ12~35 μ mの第1の配線パターンである銅箔配線73が形成されている。銅箔配線73の上部は、一部を残してソルダーレジスト74が塗布されている。

40

【0035】

銅板71の裏面側には、図12(b)のように、厚さ10~30 μ mのポリイミド等からなる絶縁材75が貼付けられ、該絶縁材75の上に、厚さ12~35 μ mの第2の配線パターンである銅箔配線76が形成されている。銅箔配線76の上は、一部を残してソルダーレジスト77が塗布されている。金型絞り加工により、銅板71の表面側に第1の半導体チップ78の搭載箇所79が凹状に形成されている。銅板71には、さらに、表面と裏面をつなぐスルーホール80が形成されている。銅箔配線73の一端が、ボンディングワ

50

イヤに接続されるボンディングポスト73aになっている。裏面側の銅箔配線76の一端が半田ボール接続用ランド76aになっており、例えば該ランド76aは、例えば耐熱性プリフラックスがコートされている。

【0036】

銅箔配線76の他端は、スルーホール80に接続されている。搭載箇所79の底部には例えば絶縁ペースト81が塗布され、該搭載箇所79に、第1の半導体チップ78が電極面とは反対の背面を向けて搭載されている。半導体チップ78の電極と銅箔配線73とが第1の接続部材であるボンディングワイヤ82で接続され、該半導体チップ78の搭載されているキャピティ部分が、第1の封止樹脂のエポキシ樹脂83によって封止されている。複数の半田ボール84が基板80の表面側に例えば格子状に配置されている。各銅箔配線73のソルダーレジスト77の開口した部分に、半田ボール84が形成され、さらに、各スルーホール80も半田ボール84に接続されている。

10

【0037】

以上のような基板70の裏面側に、第2の接続部材となる半田ボール85のみが電極面から露出したチップ・サイズ・パッケージ等の半導体装置86が搭載されている。半導体装置86の端子が半田ボール85で銅箔配線76のランド76aに接続されている。このようなBGAパッケージを製造する場合には、半導体装置86の半田ボール85を加熱リフローしては、該半導体装置86の端子を銅箔配線76のランド76aに接続し、最後に、半田ボール84を形成することにより、半田ボール84の変形が防止される。

【0038】

以上のように、この第5の実施形態では、銅板71の裏面側に形成された銅箔配線76とスルーホール80とを設け、銅板71の裏面側に搭載した半導体装置86の端子を表面側に配列した半田ボール84に接続したので、半導体チップ78に接続できなかった半田ボール84を半導体装置86の端子として有効に使用することができる。その上、半導体装置86は、事前に封止されているので、第2から第4の実施形態では必要であった樹脂57が不要であり、部材費の低減が可能である。なお、本発明は、上記実施形態に限定されず種々の変形が可能である。例えば、第1、第2及び第4の実施形態では、基板20、40の表面側の半導体チップ28、48をよりも先に搭載しているが、逆に、半導体チップ36、56を先に搭載するようにしてもよい。

20

【0039】

【発明の効果】

以上詳細に説明したように、第1から第7の発明によれば、基材に形成されたスルーホールと、該基材の裏面側に形成された第2の配線パターンとを有すると共に、基材の表面側に第1の半導体チップを搭載し、基材の裏面側に第2の半導体チップまたは半導体装置を搭載し、該第2の半導体チップまたは半導体装置の電極或いは端子を第2の配線パターン及びスルーホールを介して半田ボールと接続したので、第1の半導体チップに接続できなかった半田ボール、つまり、余剰端子を第2の半導体チップまたは半導体装置の端子として有効に使用することができる。マザーボードに実装する時の実装面積を低減でき、マザーボードの面積も小さくできる。

30

【0040】

第8から第12の発明によれば、第1の半導体チップを基板の表面に搭載し、第2の半導体チップを基板の裏面に搭載し、これら第1及び第2の半導体チップの信号の入出力が、共に基板の表面に形成された第1及び第2の外部電極で行うようにしたので、マザーボードに実装する時の実装面積を低減でき、マザーボードの面積を小さくできる。

40

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すBGAパッケージの断面図である。

【図2】従来のBGAパッケージの一例を示す断面図である。

【図3】従来のBGAパッケージの他の例を示す断面図である。

【図4】図2及び図3のBGAパッケージの課題の説明図である。

【図5】図1のBGAパッケージのベースとなる基板20を示す図である。

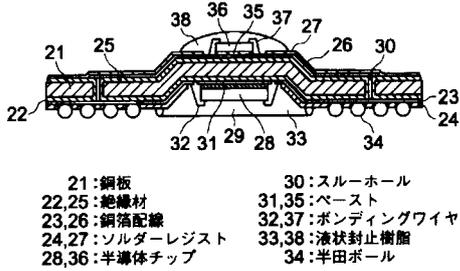
50

- 【図6】本発明の第2の実施形態を示すBGAパッケージの断面図である。
- 【図7】図6のBGAパッケージのベースとなる基板40を示す図である。
- 【図8】図6のBGAパッケージの製造工程の概要を示す断面図である。
- 【図9】本発明の第3の実施形態を示すBGAパッケージの製造方法の断面図である。
- 【図10】本発明の第4の実施形態を示すBGAパッケージの製造方法の断面図である。
- 【図11】本発明の第5の実施形態を示すBGAパッケージの断面図である。
- 【図12】図11のBGAパッケージのベースとなる基板70を示す図である。

【符号の説明】

- 21, 41, 71 銅板
- 23, 26, 43, 46, 73, 76 銅箔配線
- 28, 36, 48, 56 半導体チップ
- 30, 50, 80 スルーホール
- 32, 37, 42, 82 ボンディングワイヤ
- 34, 54, 84 半田ボール
- 60 貫通孔
- 86 半導体装置

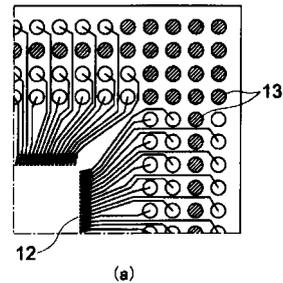
【図1】



- 21:銅板
- 22,25:絶縁材
- 23,26:銅箔配線
- 24,27:ソルダーレジスト
- 28,36:半導体チップ
- 30:スルーホール
- 31,35:ペースト
- 32,37:ボンディングワイヤ
- 33,38:液状封止層
- 34:半田ボール

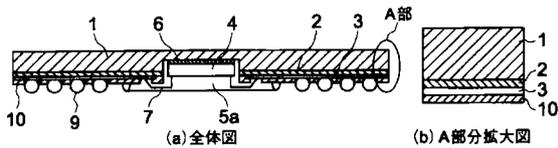
本発明の第1の実施形態のBGAパッケージ

【図4】

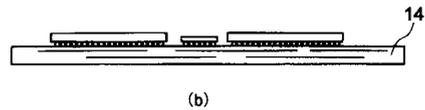


(a)

【図2】



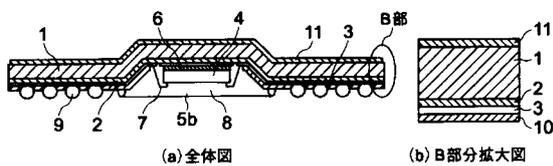
従来のBGAパッケージの一例



(b)

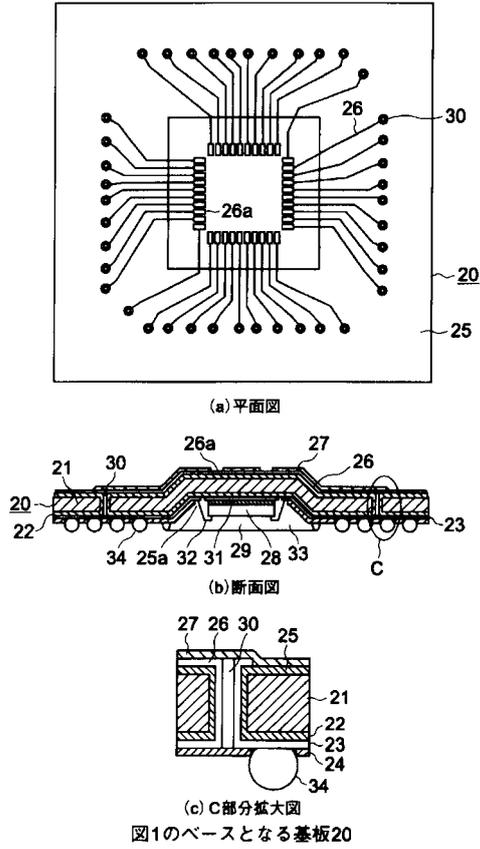
図2及び図3の課題

【図3】

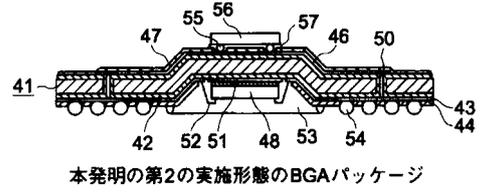


従来のBGAパッケージの他の例

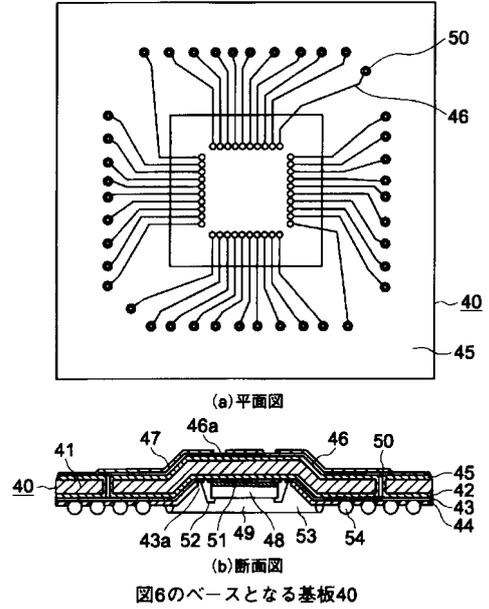
【 図 5 】



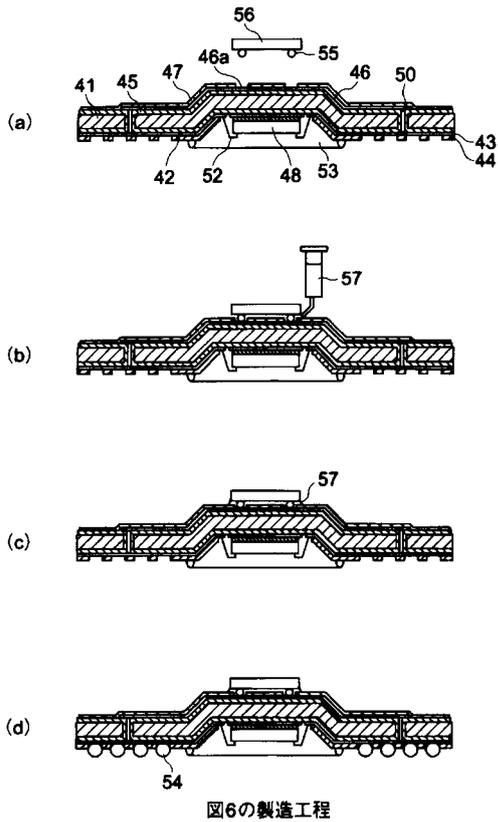
【 図 6 】



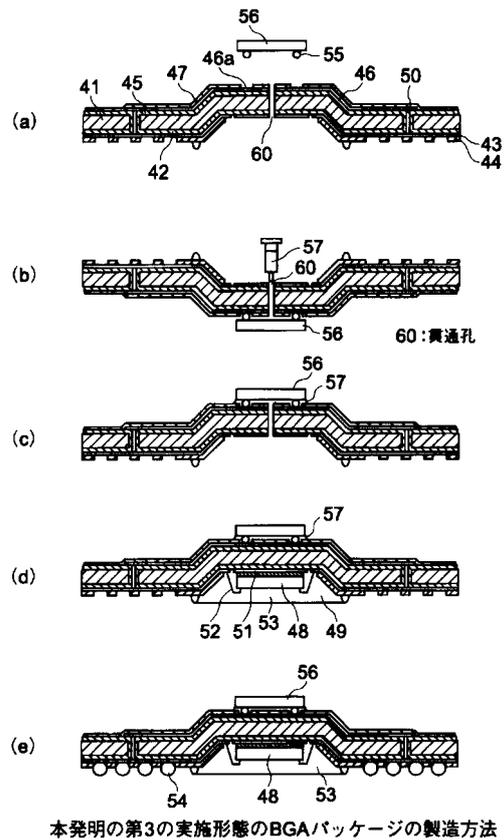
【 図 7 】



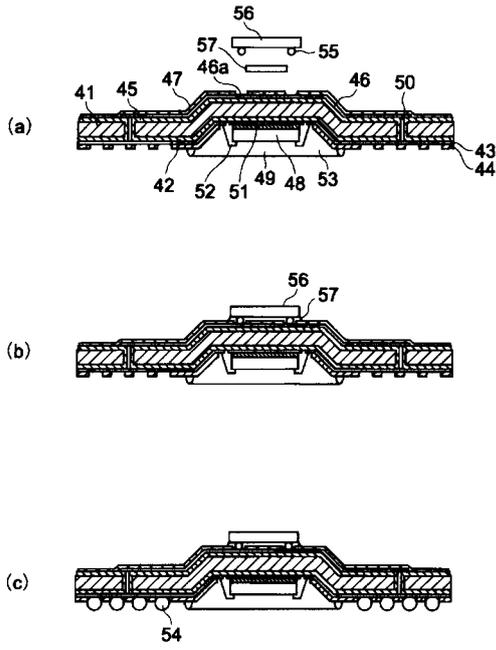
【 図 8 】



【 図 9 】

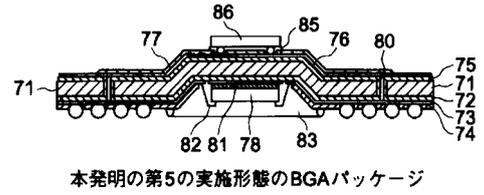


【 図 1 0 】

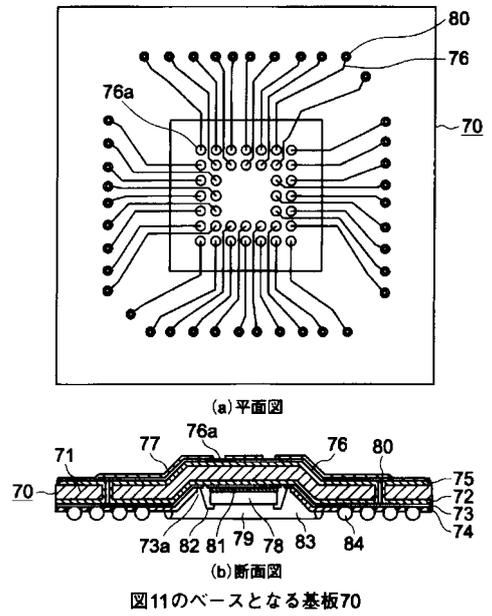


本発明の第4の実施形態のBGAパッケージの製造方法

【 図 1 1 】



【 図 1 2 】



フロントページの続き

- (56)参考文献 特開平10-093013(JP,A)
特開平11-074421(JP,A)
特開平10-079405(JP,A)
特開平05-003183(JP,A)
特開平11-251360(JP,A)
特開平11-233571(JP,A)
特開平10-270477(JP,A)
特開平10-270497(JP,A)
特開平05-226797(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 25/065