



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년04월20일  
(11) 등록번호 10-2524167  
(24) 등록일자 2023년04월18일

- (51) 국제특허분류(Int. Cl.)  
H01L 23/433 (2006.01) H01L 23/13 (2006.01)  
H01L 25/065 (2023.01)
- (52) CPC특허분류  
H01L 23/4334 (2013.01)  
H01L 23/13 (2013.01)
- (21) 출원번호 10-2017-7030185
- (22) 출원일자(국제) 2016년03월22일  
심사청구일자 2021년03월19일
- (85) 번역문제출일자 2017년10월19일
- (65) 공개번호 10-2017-0129889
- (43) 공개일자 2017년11월27일
- (86) 국제출원번호 PCT/EP2016/056204
- (87) 국제공개번호 WO 2016/150934  
국제공개일자 2016년09월29일
- (30) 우선권주장  
1552457 2015년03월24일 프랑스(FR)
- (56) 선행기술조사문헌  
JP11251483 A  
JP2004200316 A  
US20070108598 A1\*  
US20090267222 A1  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
3디 플러스  
프랑스 에프-78530 뷁 뒤 엘렌느 부세 408
- (72) 발명자  
발 크리스띠앙  
프랑스 78470 생 르미-레-세브뢰즈 뒤 드 파리 81
- (74) 대리인  
특허법인코리아나

전체 청구항 수 : 총 9 항

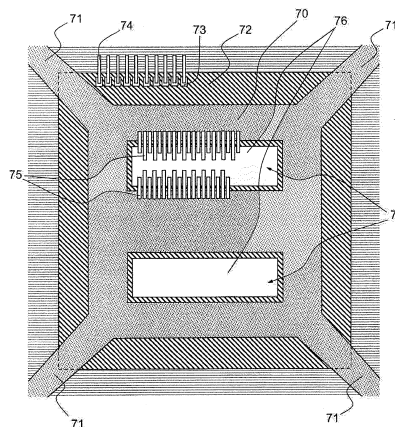
심사관 : 김기한

(54) 발명의 명칭 개선된 열저항을 갖는 전자 칩 디바이스 및 연관된 제조 프로세스

(57) 요약

개선된 열 저항을 갖는 전자 칩 (31, 51, 72) 디바이스 (30, 50) 는 전기적 상호접속 링크 (33, 55, 74) 를 갖는 적어도 하나의 전기적 접속 패드 (32, 54, 73), 상기 칩의 일면에 배열된 적어도 하나의 서멀 패드 (34, 61, 76), 적어도 하나의 열 교환 엘리먼트 (36, 59, 70), 및 서멀 패드 (34, 61, 76) 와 열 교환 엘리먼트 (36, 59, 70) 사이의 적어도 하나의 서멀 링크 (35, 57, 75) 를 포함한다.

대표도 - 도6



(52) CPC특허분류

**H01L 25/0657** (2023.02)

H01L 2224/45144 (2013.01)

H01L 2224/4824 (2013.01)

H01L 2225/06513 (2013.01)

H01L 2225/06589 (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

개선된 열 저항을 갖는 적어도 하나의 전자 칩 (31, 51, 72) 디바이스 (30, 50) 의 스택으로서,  
전기적 상호접속 링크 (33, 55, 74) 를 갖는 적어도 하나의 전기적 접속 패드 (32, 54, 73), 상기 칩의 일 면에 배열된 적어도 하나의 서멀 패드 (34, 61, 76), 적어도 하나의 열 교환 엘리먼트 (36, 59, 70), 및 서멀 패드 (34, 61, 76) 와 열 교환 엘리먼트 (36, 59, 70) 사이에서, 전기적으로 접속되지 않은, 적어도 하나의 서멀 링크 (35, 57, 75) 를 포함하고,

열 교환 엘리먼트 (70) 의 부분은 전기적 상호접속 링크 (74) 와의 접촉을 방지하는 개구 (77) 를 포함하고, 상기 부분은 전자 칩 (72) 의, 상기 전기적 상호접속 링크 (74) 를 갖는, 전기적 접속 패드 (73) 에 대면하여 위치되는, 개선된 열 저항을 갖는 적어도 하나의 전자 칩 (31, 51, 72) 디바이스 (30, 50) 의 스택.

**청구항 2**

제 1 항에 있어서,

상기 열 교환 엘리먼트 (70) 는 대응하는 칩의 코너들에 대면하여 배열된 탭들 (71) 을 포함하는, 개선된 열 저항을 갖는 적어도 하나의 전자 칩 (31, 51, 72) 디바이스 (30, 50) 의 스택.

**청구항 3**

제 1 항에 있어서,

상기 전자 칩 (31, 51, 72) 디바이스(들)(30, 50) 은 상기 열 교환 엘리먼트 (36, 59) 의 부분을 포함하고, 상기 부분은 개구를 포함한, 서멀 패드 (34, 61) 에 대면하여 배열되는, 개선된 열 저항을 갖는 적어도 하나의 전자 칩 (31, 51, 72) 디바이스 (30, 50) 의 스택.

**청구항 4**

제 1 항에 있어서,

상기 전자 칩 (31, 51, 72) 디바이스(들)(30, 50) 의 서멀 링크(들)(35, 57, 75) 은 적어도 하나의 열 전도성 와이어 (35, 57) 를 포함하는, 개선된 열 저항을 갖는 적어도 하나의 전자 칩 (31, 51, 72) 디바이스 (30, 50) 의 스택.

**청구항 5**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

적어도 하나의 서멀 패드 (34) 를 포함하는 칩의 면은 상기 칩의 액티브 면 (42) 인, 개선된 열 저항을 갖는 적어도 하나의 전자 칩 (31, 51, 72) 디바이스 (30, 50) 의 스택.

**청구항 6**

제 5 항에 있어서,

열 교환 엘리먼트의 부분 (37) 은, 전기적 상호접속 링크 (33) 와의 접촉을 회피하도록 상승되고, 상기 부분은 전자 칩 (31) 의 상기 전기적 상호접속 링크 (33) 를 갖는 전기적 접속 패드들 (32) 에 대면하여 위치되는, 개선된 열 저항을 갖는 적어도 하나의 전자 칩 (31, 51, 72) 디바이스 (30, 50) 의 스택.

**청구항 7**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

적어도 하나의 서멀 패드 (61) 를 포함하는 칩의 전면 (front face) 은 상기 칩의 패시브 면 (56) 인, 개선된

열 저항을 갖는 적어도 하나의 전자 칩 (31, 51, 72) 디바이스 (30, 50) 의 스택.

**청구항 8**

제 7 항에 있어서,

전자 칩 디바이스(들)은 기관 (53) 을 포함하고, 액티브 면 (52) 의, 전기적 상호접속 링크 (55) 와 함께, 전기적 접속 패드들 (54) 에 대면하여 위치된 부분에는 상기 전기적 상호접속 링크 (55) 와의 접촉을 회피하도록 개구가 제공되는, 개선된 열 저항을 갖는 적어도 하나의 전자 칩 (31, 51, 72) 디바이스 (30, 50) 의 스택.

**청구항 9**

전자 칩 디바이스 (30, 50) 또는 전자 칩 디바이스들 (30, 50) 의 스택을 제조하는 방법으로서,

전기적 접속 패드로 의도된 적어도 하나의 개구, 및 서멀 패드로 의도된 적어도 하나의 개구를 포함하는 마스크를 이용한, 칩 또는 칩들의 액티브 면 상에서의 마스크 전사 단계를 포함하는, 전자 칩 디바이스 (30, 50) 또는 전자 칩 디바이스들 (30, 50) 의 스택을 제조하는 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 전자 칩 디바이스 및 연관된 제조 방법에 관한 것이다. 전자 칩 디바이스는 전자 칩 자체 및 추가적인 엘리먼트들을 의미하는 것으로 이해된다.

**배경 기술**

[0002] 전자 칩 또는 전자 칩들의 스택에 의해 배출되는 열을 증발시키기 위해 매우 높은 열 전도도를 갖는 라디에이터 또는 열 교환기를 이용하는 것이 알려져 있다.

[0003] 이러한 열 교환기들은 구리로 이루어진 경우 350 W/m/°C 정도의 열 전도도를 갖고, 다이아몬드 (또는 다이아몬드형 카본) 으로 이루어진 경우 1500 내지 1800 W/m/°C 정도의 열 전도도를 갖고, 그리고 카본 나노튜브들로 이루어진 경우 1500 내지 1800 W/m/°C 정도의 열 전도도를 갖는다.

[0004] 이러한 라디에이터들 또는 열 교환기들은, 이들 라디에이터들이 본딩되든 또는 솔더링되든 간에 오버라이딩 파라미터들이 칩/라디에이터 계면의 열 저항을 유지하기 때문에 이들 각각의 열 전도도에 비례하여 열을 전달하는 것을 가능하게 하지 못한다.

[0005] 도 1 에 예시된 바와 같이, 전자 칩 (1) 으로부터 열 교환 엘리먼트 (2) 로의 전자 칩 디바이스의 열 체인의 각각의 구성성분의 열 저항률들 (열 전도도들과는 반대) 은 다음과 같이 함께 추가된다:

[0006] - 라디에이터를 연결하는 재료와 칩의 후면 (4)(액티브 면 (5) 에 대항하는 면) 사이의 저항률 (R1) 의 인터페이스 (3). 인터페이스는 일반적으로, 이 실리콘 면을 다소 커버하고 높은 저항률로 이루어진 네이티브 실리콘 (6) 의 열 절연 효과를 회피하기 위하여 칩 (1) 의 후면 상의 금속 퇴적에 의해 형성된다. 이들 재료들은 텅스텐 W 및 티타늄 Ti 의 합금, 또는 니켈 Ni, 크롬 Cr 및 금 Au 등의 합금일 수도 있다;

[0007] - 열 교환 엘리먼트 (2) 에 대한 기계적 링크를 보장하는 저항률 (R2) 의 재료 (7) 로서, 그 재료는 예를 들어, 열 접착제 (이들의 열전도도는 약 5 W/m/°C 에서부터 20 W/m/°C 까지 변한다) 또는 다소 납이 풍부한 솔더 (이들의 열전도도는 35 에서부터 50 W/m/°C 까지 변한다) 일 수도 있는, 저항률 (R2) 의 재료 (7); 및

[0008] - 그 링크를 보장하기 위해 열 교환 엘리먼트 (2) 상에 퇴적된 저항률 (R3) 의 재료 (8) 로서, 그 재료는 예를 들어, 진공 하에서 수행되는 금속 퇴적물일 수도 있다.

[0009] 수개의 주요 컴퓨터 제조업체들은 상대적으로 효율적이지만 구현이 매우 복잡한 기술을 사용하여 인터페이스의 열 저항과 연관된 어려움을 피하고자 노력하고 있으며, 이를 테면, IBM 3081 컴퓨터를 갖춘 IBM 은 2 개의 표면들 (칩과 열 교환 엘리먼트 또는 라디에이터의 후면) 을 직접 접촉시키는 것에 의해 재료들의 저항들 또는 저항률 R1 + R2 + R3 을 회피한다. 2 개의 부분들의 의사 본딩 및 결과적으로 계면 저항을 실질적으로 제거하는 것을 가져오기 위해 표면들이 연마되었다. 이는 매우 번거롭고 비용이 드는 시스템이기 때문에 이후 버려졌다 (비교 참조: R.C Chu, U.P. Hwang and R.E. Simons", Conduction Cooling for an LSI Package: A one

dimensional Approach", IBM J. Res.Div., Vol 26, P45-54, 1982).

- [0010] FACOM M-780 컴퓨터를 갖춘 Hitachi 는 칩의 후면에 압력하에서 직접 냉각제를 주입하여 어려움을 극복하였다 (비교 참조: H. Yamamoto, T. Udagawa and M. Suzuki, Cooling System for FACOM M- 780", Large Scale Computer in Cooling Technology for Electronic Equipment", W. Aung, Ed, Hemisphere Publishing, p701-714, 1984).
- [0011] WE 32100 MICROPAC 컴퓨터를 갖춘 AT&T 는 PCB 대신에 실리콘 기판을 이용하였고, 그 결과 열이 칩의 실리콘을 통과하여, 낮은 열 전도도 (약 5 내지 10 °C/W) 를 이에 따라 갖게 되는 유기 재료 (접착제) 에 의해 라디에이터에 링크되는 접지면에 전달되게 된다 (비교 참조: C.J. Bartlett, J.M. Segelken and N.A Teneketges", Multichip Packaging Design for VLSI-based Systems", IEEE Trans. Compon. Hybrids Manuf. Technol., Vol. CHMT-12 (No. 4) p 647-653, 1987).
- [0012] 도 2 는 기판 상에 지지되는 반전된 칩 디바이스 (10) 또는 "플립 칩" 의 단면을 도시한다. 전자 칩 (10) 은 솔더 (12) 의 패드 볼들이 퇴적되어 있는 액티브면 전부 또는 일부 상에 일반적으로 분산되어 있는 패드들 (11) 을 포함한다. 볼들에 의해 칩의 기판 (13) 으로의 전기적 상호접속부는 리플로우에 의해 실현된다. 칩 (10) 의 후면 (14) 또는 비-액티브 면은 그 동작 동안 칩 (10) 에 의해 발생된 열을 소산시키기 위하여 열 교환 소자 (15) 또는 라디에이터에 링크될 수도 있다.
- [0013] 열의 일부분은 기판 (13) (일반적으로, 낮은 열 전도도를 갖는 PCB) 의 열 저항에 따라 전기적 상호접속 볼들 (12) 을 향하여 보내진다. 그 위에 볼들 (12) 이 솔더링되어 있는 패드들 (11) 은 일반적으로 알루미늄/티탄/텅스텐/니켈/금 유형의 복잡한 야금을 가지며, 그 총 두께는 약 1 μm 이다. 볼들 (12) 이 리플로우될 때, 상호금속성 합금들이 금, 니켈 및 납 계열 솔더 사이에 형성되며; 이들 합금들은 매우 낮은 열 전도도 (20 내지 50 W/m/°C) 를 갖는다.
- [0014] 열의 다른 부분은 칩 (10) 의 후면 (14) 을 향하여 보내지며, 이는 열 교환 엘리먼트 (15) 가 왜 이 후면 (14) 상에 일반적으로 위치되는지의 이유이다.
- [0015] 열은 칩 (10) 을 형성하는 실리콘을 통과하며, 그 열전도도는 140 W/m/°C 이고, 이는 볼들 (12) 의 열전도도보다 훨씬 높은 것이지만, 일반적으로 구리로 이루어진 열 교환 엘리먼트 (15) 의 열전도도 (390 W/m/°C) 보다 훨씬 낮은 것이다.
- [0016] 이후, 열 플럭스는 금속 데포짓 (약 1 μm) 으로 형성된 인터페이스 (16) 를 통과하고 그 다음 솔더 (17) 자체를 통과하며, 이 솔더는 열 전도도가 약 40 W/m/°C 이다.
- [0017] 그 후 열 플럭스는 열 교환 소자 (15) 로부터 소산되기 위하여 열 교환 소자 (15) 에 진입한다.
- [0018] 칩이 설계될 때, 전기 패드들에 대하여 어느 경우에도 필수적인 포토리소그래피 마스크 상에 이들 위치들에서 서멀 패드들을 우선적으로 추가하기 위하여, 전류 노드 존들 ( 핫 스팟들) 이 공지되어 국부화되어 있다.
- [0019] 초음파 "볼 분당" 와이어링의 이용은 일반적으로 알루미늄으로 된 칩의 패드 상에 와이어를 용접하는 것을 가능하게 한다. 초음파 주파수에서 0.1 μm 정도로 된 초음파 용접 틀의 변위에 의해 유도된 마찰은 인터페이스의 온도를 500°C 내지 600°C 의 온도로 승온시키는 것을 가능하게 한다. 일반적으로 패드들을 형성하는 알루미늄의 용융 온도 (660°C) 및 일반적으로 와이어를 형성하는 금의 용융 온도 (1064°C) 들에 관한 이 고온은 패드의 알루미늄 원자들과 와이어의 금 원자들의 자체 확산을 허용하며; 즉, 이는 수 μm 정도의 금과 알루미늄 각각의 원자들의 "상호침투"가 존재하기 때문에 어떠한 인터페이스도 없이 "솔리드 용액" 이라 또한 불리는 완벽한 야금학적 링크를 형성한다.
- [0020] 도 3a 는 알루미늄 산화물 Al<sub>2</sub>O<sub>3</sub> 의 다소의 연속하는 네이티브 층 (21) 으로 커버된 알루미늄 또는 알루미늄 합금으로 이루어진 패드 (20) 를 나타낸다.
- [0021] 도 3b 는 (예를 들어, 금으로 이루어진) 와이어의 볼 (22) 의 초음파 용접 후에 동일한 패드 표면을 나타내며, 여기에서 알루미늄 산화물은 초음파에 의해 파괴되었고 금 볼과 알루미늄 패드 사이의 링크는 용접 동안에 금 원자들과 알루미늄 원자들의 자체 확산 또는 상호 확산 (23) 의 결과물이며; 즉, 인터페이스 없이 야금학적 링크가 존재한다.
- [0022] 따라서, 도 2 의 플립 칩을 참조하여 보면, 칩 (10) 의 패드 (11) 와 볼 (12) 사이의 인터페이스가 제거되는 것이 관찰되고; 또한, 30 내지 40 W/m/°C 정도의 볼 (12) 의 열 전도도가 금 (317 W/m/°C) 또는 은 (429 W/m/°C)

으로 이루어진 와이어들의 열 전도도로, 즉, 약 수 십 배 더 큰 열 전도도로 대체된다. 한편, 후면 (14) 을 통과하여 흐르는 열의 부분은 열교환 소자 (15) 에 도달하기 전에 인터페이스들 (16 및 17) 과 실리콘 (140 W/m/°C) 을 통과해야 한다.

**발명의 내용**

**해결하려는 과제**

[0023] 본 발명의 목적은 이들 문제들을 완화하는 것이다.

**과제의 해결 수단**

[0024] 본 발명의 일 양태에 따르면, 개선된 열 저항을 갖는 적어도 하나의 전자 칩 디바이스의 스택이 제공되고, 전기적 상호접속 링크를 갖는 적어도 하나의 전기적 접속 패드, 칩의 일 면에 배열된 적어도 하나의 서멀 패드, 적어도 하나의 열 교환 엘리먼트, 및 서멀 패드와 열 교환 엘리먼트 사이에 적어도 하나의 서멀 링크를 포함하고, 열 교환 엘리먼트의 부분은 상기 전기적 상호접속 링크와의 접촉을 방지하는 개구를 포함하고, 상기 부분은 전자 칩의 전기적 상호접속 링크를 갖는 전기적 접속 패드에 대면하여 위치된다.

[0025] 이러한 칩들의 스택은 전자적 기능부를 치밀화하지만, 이는 단위 체적당 전력 밀도에서의 증가를 야기하고 따라서 스택가능한 칩들의 수를 제한한다.

[0026] 따라서, 칩과 열 교환 엘리먼트 또는 라디에이터 사이의 인터페이스의 존재를 회피하면서, 전자 칩의 활동에 의해 배출되는 열의 증발이 개선시킨다.

[0027] 우리는 1980년대, 이 열 저항을 완전하게 제거하지 못하였던 매우 다루기 힘든 수단을 이용하여, 칩과의 인터페이스의 열 저항을 감소시키려 한 메인 프레임 컴퓨터 제조업자들의 입장에서 다시 생각하였다.

[0028] 일 실시형태에 따르면, 상기 열 교환 엘리먼트는 대응하는 칩의 코너들에 대면하여 배열된 탭들을 포함한다.

[0029] 일 실시형태에서, 전자 칩 (31, 51, 72) 디바이스(들)(30, 50) 은 상기 열 교환 엘리먼트 (36, 59) 의 일부분을 포함하고, 상기 부분은 개구를 포함하고 서멀 패드 (34, 61) 에 대면하여 배열된다.

[0030] 따라서, 칩과 열 교환 엘리먼트 사이의 서멀 링크들을 생성하는 것이 용이해진다.

[0031] 일 실시형태에 따르면, 전자 칩 디바이스(들)의 서멀 링크(들)은 적어도 하나의 열 전도성 와이어를 포함한다.

[0032] 서멀 링크로서의 열 전도성 와이어들의 이용은 현재 구현이 쉽고 비용이 덜 들게 한다.

[0033] 일 실시형태에 따르면, 적어도 하나의 서멀 패드를 포함하는 칩의 면은 칩의 액티브 면 또는 전면이다.

[0034] 따라서, 칩의 패시브 (후) 면을 통과함이 없이 칩의 액티브 (전) 면의 핫 스폿들로부터 직접적으로 열 전도가 존재한다.

[0035] 또한, 칩의 액티브 면 상의 단일의 마스크 전사 단계는 전기적 접속 패드들과 서멀 접속 패드들을 생성하는 것을 가능하게 한다.

[0036] 예를 들어, 열 교환 엘리먼트의 부분 - 상기 부분은 전자 칩의 전기적 상호접속 링크를 갖는 전기적 접속 패드에 대면하여 위치됨 - 은 상기 전기적 상호접속 링크와의 접촉을 회피하도록 상승된다.

[0037] 따라서, 전기적 패드들의 전기적 링크에 대한 문제들을 발생시킴이 없이 열의 증발이 개선된다.

[0038] 변형예로서, 적어도 하나의 서멀 패드를 포함하는 칩의 전면은 칩의 패시브 면 또는 후면이다.

[0039] 이는, 칩의 액티브 면이 그 표면에 대하여 너무 많은 전기적 패드들을 갖고 있을 때 또는 칩의 높은 작업 주파수들이 특정 신호들과 전자적으로 커플링할 수 있는 서멀 패드들에 의해 교란될 때 특히 유용하다.

[0040] 예를 들어, 전자 칩 디바이스(들)은 기관을 포함하고, 여기에서, 액티브 면의 전기적 상호접속 링크를 갖는 전기적 접속 패드들과 대면하여 위치된 부분에는 상기 전기적 상호접속 링크와의 접촉을 회피하도록 개구가 제공된다.

[0041] 따라서, 하부에서 액티브 면을 갖는 칩들이 후자의 개구에 의해 기관 상에 직접 와이어링될 때, 액티브 면 상에 서멀 패드들을 위치결정하는 것이 가능하지 않기 때문에, 이들은 이후 비-액티브 (패시브) 면 상에서 위치결정

될 수도 있고 서멀 와이어들에 의해 열 교환 엘리먼트에 접속될 수도 있다.

[0042] 본 발명의 일 양태에 따르면, 또한, 전자 칩 디바이스 또는 전자 칩 디바이스들의 스택을 제조하는 방법이 제공되며, 이 방법은 전기적 접속 패드로 의도된 적어도 하나의 개구, 및 서멀 패드로 의도된 적어도 하나의 개구를 포함하는 마스크를 이용한, 칩 또는 칩들의 액티브 면의 마스크 전사 단계를 포함한다.

**도면의 간단한 설명**

[0043] 본 발명은 첨부된 도면에 의해 예시되고 완전한 비제한적 예에 의해 설명된 몇몇 실시형태들을 연구할 때 보다 잘 이해될 것이다:

- 도 1 및 도 2 는 종래 기술에 따른 전자 칩들을 개략적으로 예시한다.
- 도 3a 및 도 3b 는 종래 기술에 다른 와이어링을 개략적으로 예시한다.
- 도 4 및 도 5 는 본 발명의 일 양태에 따른 (2D) 칩 디바이스를 예시한다.
- 도 6 은 본 발명의 일 양태에 따른 전자 칩 디바이스들의 스택을 예시한다.

**발명을 실시하기 위한 구체적인 내용**

[0044] 모든 도면들에서, 동일한 참조번호들을 갖는 엘리먼트들은 유사한 것이다. 설명된 실시형태들은 완전히 비제한적인 것이다.

[0045] 본 설명에서, 당해 기술 분야에 잘 알려진 피쳐들 및 기능들은 자세하게 설명되지 않는다.

[0046] 도 4 는 전기적 상호접속 링크들, 이를 테면, 전기적 와이어 (33) 을 갖는 전기적 접속 패드 (32) 및 패키지의 형태로 된 2D 전자 칩 (31) 디바이스 (30) 를 도시한다.

[0047] 서멀 패드들 (34) 은 서멀 링크들 (35) 에 의해 열 교환 엘리먼트 (36) 에 링크된다.

[0048] 도시된 예에서, 열 교환 엘리먼트 (36) 의 부분 (37) - 상기 부분은 전자 칩 (31) 의 전기적 상호접속 링크들 (33) 을 갖는 전기적 접속 패드들 (32) 위에 위치됨 - 은 상기 전기적 상호접속 링크들 (33) 과의 접촉을 회피하도록 상승된다.

[0049] 열 교환 엘리먼트 (36) 또는 라디에이터는 엘라스토머 유형의 가요성 접착제로 본딩될 수도 있으며, 이는 "Cu/저 유전상수 (low-k) 디바이스들"로 지칭되는 저유전상수 칩들을 수반하는 신규의 기술들이 기계적 응력에 대해 매우 낮은 공차를 갖고 있기 때문에 매우 중요하다. 가요성 접착제는 실리콘계일 수도 있고, 따라서, 매우 변형가능하며; 이들 접착제들은 (1 W/m/°C 미만의) 매우 낮은 열 전도체들이고, (수 °C/W 내지 수 십 °C/W 의 정도의) 매우 높은 열 저항들을 가져온다. 이는 열 교환 엘리먼트 (36) 상으로 서멀 링크 와이어들 (35) 을 와이어링하는 것에 의해 완전히 회피되며, 이는 완전한 기계적 디커플링을 보장한다.

[0050] 칩 (31) 이 접착제 (40) 에 의해 기판 (39) 에 본딩된다. 기판의 패드들 (41) 은 전기적 와이어들 (33) 을 이용하여 기판 (39) 을 칩 (31) 의 전기적 패드들 (32) 에 전기적으로 링크시킬 수도 있는 한편 칩에 기계적으로 응력을 가하지 않는다.

[0051] 열 교환 엘리먼트 (36) 는 전기적 링크 와이어들 (33) 을 터치하는 것을 회피하기 위해 상승된 부분들을 갖는다.

[0052] 열 교환 엘리먼트 (36) 는 대류식 냉각의 경우에 보다 잘 냉각을 가능하게 하는 핀들을 형성하기 위해 하나 또는 4 개의 면들 상에서 패키지로부터 돌출될 수 있다. 도 4 에서, 열 교환 엘리먼트 (36) 는 패키지의 하나 이상의 면들과 동일 평면을 이루고 그후 냉각원에 링크될 수 있다.

[0053] 설명된 실시형태들에서, 칩이 설계될 때, 전류 노드 존들 ( 핫 스팟들 ) 은 전기적 패드들을 위해 또한 필수적인 포토리소그래피 마스크 상에서 이들 위치들에 서멀 패드들을 우선적으로 부가하도록 함께 그룹핑된다.

[0054] 도 4 에서, 액티브 면 또는 전면 (42) 은 상부에 있고 패시브 면 또는 후면 (43) 은 하부에 있다. 칩 (31) 은 수지 (44) 로 경화된다.

[0055] 기판 (39) 에는, 기판 예를 들어, 인쇄 회로 기판 상에 전사될 준비가 된 볼들 (45) 이 제공된다.

[0056] 도 5 는 패키지 형태로 된 2D 칩 (51) 디바이스 (50) 에 대한 변형예를 도시한다. 메모리들로서 이용되는

많은 칩 (51) 디바이스들 (50) 은 기관 (53) 에서의 개구 (64) 를 통과하는 전기적 와이어들 (55) 및 전기적 접속 패드들 (54) 에 의해 기관 (53) 상에 직접 하방으로 와이어링되는 액티브 면 (52) 으로 와이어링된다. 따라서, 칩 (51) 의 패시브 면 (56) 을 이용하여 서멀 와이어들 (57) 및 열 교환 엘리먼트 (58) 를 통하여 열을 전달하는 것이 가능해진다.

- [0057] 본 접근방식의 이점은 칩 (51) 에 응력을 가하지 않기 위하여 기계적으로 디커플링되어야 하는 열 교환 엘리먼트 (59) 의 이용이며, 일반적으로 엘라스토머 계열로 이용되는 가요성 접착제 (60) 는 (1 W/m/°C 미만의) 열의 매우 열악한 전도체이다.
- [0058] 가요성 접착제 (60) 는 전자 칩 (51) 상에서 큰 서멀 패드로서 고려되는 일반적으로 금과 니켈로 된 퇴적물 (61) 상에 배열된다. 전자 칩 (51) 은 수지 (62) 로 경화되고, 접착제 (63) 에 의해 기관 (53) 에 본딩된다.
- [0059] 기관 (53) 에는, 기관 예를 들어, 인쇄 회로 기관 상에 전사될 준비가 된 볼들 (61) 이 제공된다.
- [0060] 도 6 은 전자 칩 디바이스들 또는 레벨들이 스택될 때 적어도 하나의 전자 칩 디바이스의 스택을 제조하는 것을 가능하게 하는 3D 애플리케이션을 도시한다. 도 6 은 스택의 디바이스의 평면도를 도시한다.
- [0061] 라디에이터 또는 열 교환 엘리먼트 (70) 는 예를 들어, 전자 칩 (72) 의 4 개의 코너들 위에 배열되어, 열 교환 엘리먼트 (70) 의 4 개의 코너들에 위치된 4 개의 스트랩들 또는 탭들 (71) 에 의해 열을 전달한다.
- [0062] 변형예로서, 스트랩들 또는 탭들 (71) 의 다른 배열들은 전자 칩 (72) 의 전기적 링크를 위하여 전기적 패드들 (73) 및 전기적 와이어들 (74) 의 위치에 의존하여 이용될 수도 있다.
- [0063] 도 6 에서, 전기적 패드들 (73) 및 전기적 와이어들 (74) 은 전자 칩 (72) 의 에지들에 위치되어 있고, 라디에이터 또는 열 교환 엘리먼트 (70) 는 전기적 와이어들 (74) 과의 접촉을 회피하도록 상승될 수도 또는 상승되어 있지 않을 수도 있다. 임의의 경우, 스택 후에, 모듈의 소잉 과정이 전기적 와이어들 (74) 의 단면들로 하여금 라디에이터 (70) 의 스트랩들 (71) 의 단면들과 매칭하게 하여 단락을 발생시킬 수도 있기 때문에, 라디에이터 (70) 하에 또는 스트랩들 (71) 하에 전기적 와이어들 (74) 이 존재하지 않을 수 있다.
- [0064] 도 6 의 특히 바람직한 실시형태에서, 열 교환 엘리먼트 (70) 는 전기적 와이어들 (74) 과의 어떠한 접촉도 회피하기 위하여 적절한 컷-아웃을 포함한다.
- [0065] 서멀 링크 와이어들 (75) 은 전자 칩 (72) 의 액티브 면 상에 배열된 서멀 패드들 (76) 상에 와이어링된다.
- [0066] 서멀 와이어들 (75) 은 서멀 패드들 (76) 과 대면하여 열 교환 엘리먼트 (70) 에 형성된 개구들 (77) 을 통하여 와이어링하는 것에 의해 열 교환 엘리먼트 (70) 에 접속된다.
- [0067] 본 발명은 또한, 전자 칩 디바이스 (30, 50) 또는 전자 칩 디바이스들 (30, 50) 의 스택 (3D 칩) 을 제조하는 방법에 관한 것이고, 이 방법은 전기적 접속 패드로 의도된 적어도 하나의 개구, 및 서멀 패드로 의도된 적어도 하나의 개구를 포함하는 마스크를 이용한, 칩 또는 칩들의 액티브 면 상에서의 마스크 전사 단계를 포함한다.
- [0068] 따라서, 본 발명은 인터페이스들의 열 저항들을 통과함이 없이, (1 μm 미만의) 칩의 매우 얇은 액티브 표면의 핫 스폿들로부터 열이 증발되는 지점으로의 열의 전달을 개선하는 것을 가능하게 한다.
- [0069] 또한, 본 발명은 어떠한 추가적인 칩 프로세싱 단계들도 필요로 하지 않는다.
- [0070] 본 발명은 열 방사의 소스에서 직접 열 상호접속을 구현하여 이후, 열이 칩을 통과하여 패시브 면에 도달하지 않게 된다.
- [0071] 본 발명은 최종 생성 칩들을 포함한, 칩들의 상호접속에 매우 넓게 이용되는 볼 본딩 방법을 구현한다. 실제로, 최종 생성 칩들이 응력들에 매우 민감하고 "Cu/저유전상수 디바이스들" 로 지칭되는 유전체들로 형성되기 때문에, 이들 와이어링은 특수 산업적 장비 및 특히 "소프트 랜딩" 와이어링을 필요로 하며, 서멀 패드들의 와이어링은 이 동일 방법을 이용한다.
- [0072] 이들 최종 생성 칩들은 열기계적 응력에 매우 낮은 공차를 가지며, 이것은 왜 이들을 캡슐화하는 가소성 패키지들의 제조업자들이 수지들의 특성들 (12 에서부터 7 ppm/°C 으로 변화하는 팽창 계수) 을 변형해야 하는지의 이유가 된다; 즉, 이후에 예를 들어 구리로 된 라디에이터에 솔더링에 의해 링크되어야 하는 약 30 내지 50 μm 의 높이에서의 컷 와이어들, 또는 "스터드들" 을 이용한 기술; 라디에이터와 칩 사이의 링크가 실제적으로 강성이고 라디에이터에 의해 부여되는 응력들이 칩에 전달되는 것; 또한 솔더링을 통한 다수의 스택들의 링크가 차등적



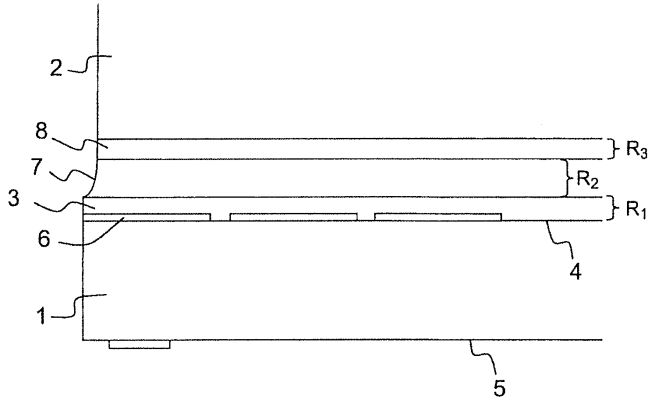
인 열 응력으로 인하여 실현하는 것이 어려운 것이 그 이유가 된다.

[0073]

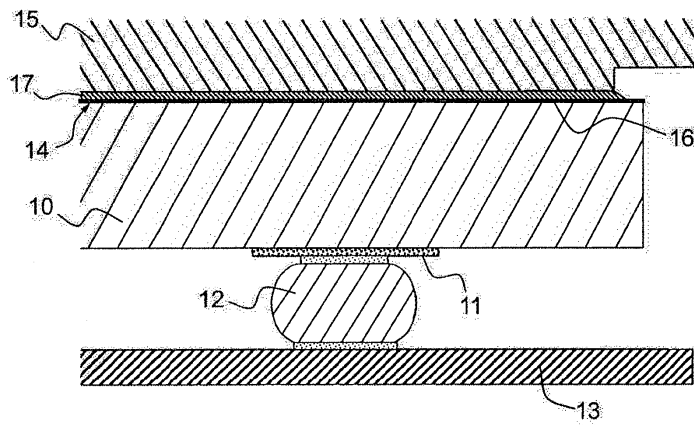
마지막으로, 액티브 면의 패드들과 마찬가지로 실리콘이 금속화되어 있다면, 실리콘의 두께부를 관통해야 하는 단점을 갖지만, 칩의 후면 상에 동일한 접근 방식을 적용시키는 것을 금지하지 않는다.

도면

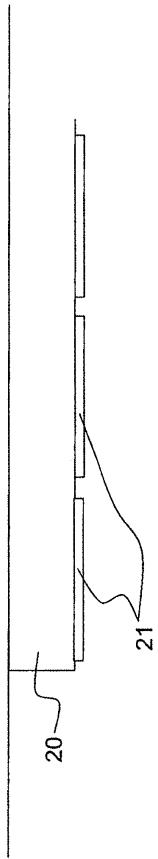
도면1



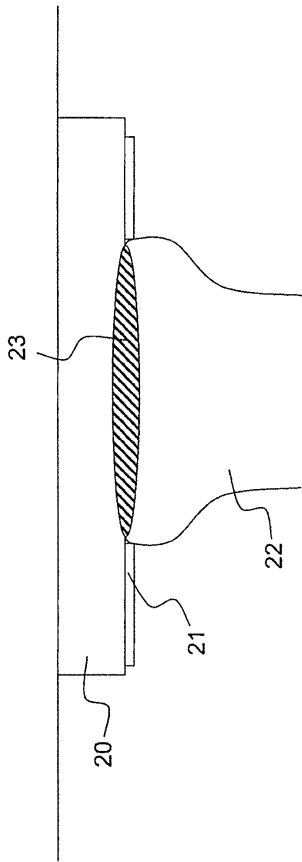
도면2



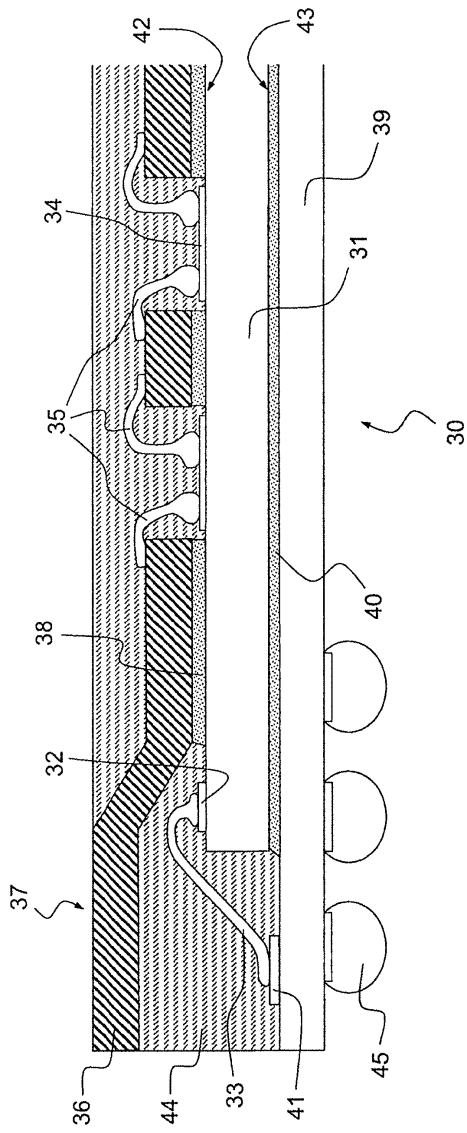
도면3a



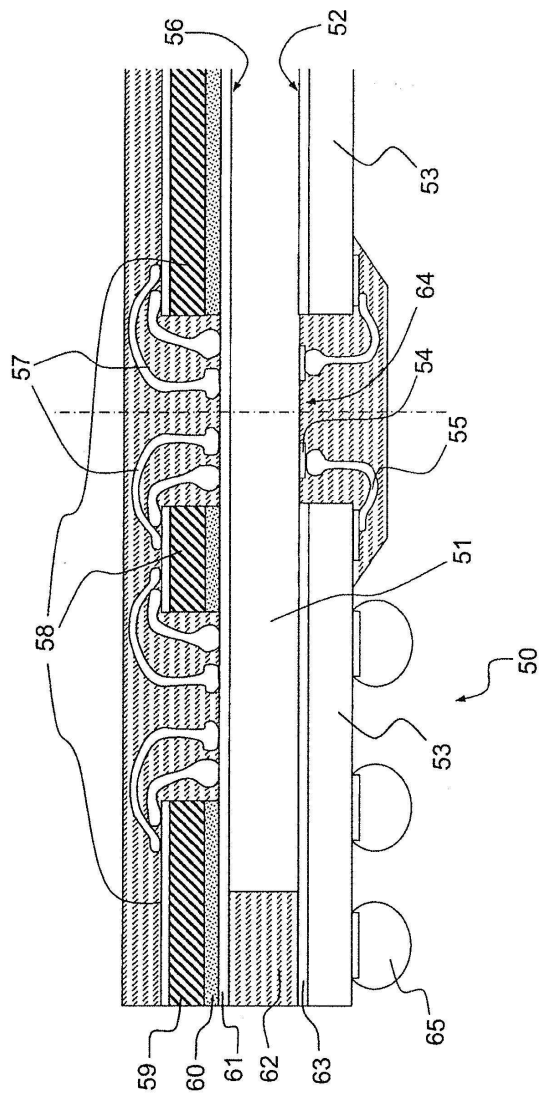
도면3b



도면4



도면5



도면6

