


公告本

申請日期： 類別：	89.12.15 GIB 20/10	案號： 89126859
--------------	-----------------------	-----------------

(以上各欄由本局填註)

發明專利說明書		479226
一、 發明名稱	中文	碟片之解碼系統及其方法
	英文	
二、 發明人	姓名 (中文)	1. 謝嘉鴻
	姓名 (英文)	1.
	國籍	1. 中華民國
	住、居所	1. 台北縣中和市南山路37巷8弄2號5樓
三、 申請人	姓名 (名稱) (中文)	1. 揚智科技股份有限公司
	姓名 (名稱) (英文)	1. Acer Laboratories Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣汐止市新台五路一段88號21樓
	代表人 姓名 (中文)	1. 呂理達
	代表人 姓名 (英文)	1.
		

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

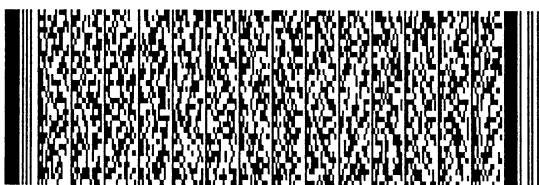
五、發明說明 (1)

發明領域

本發明提供一種碟片之解碼系統及其方法，尤指一種藉由減少資料緩衝區之存取次數以提高碟片解碼速度之解碼系統及其方法。

先前技術之背景說明

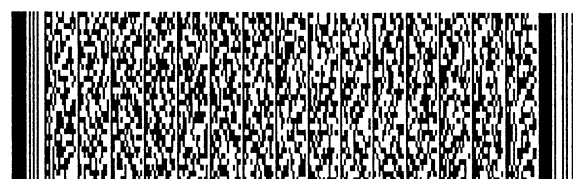
請參考圖一，圖一係習知DVD光碟機之解碼系統之方塊圖。如圖一所示，資料從光碟片100讀取出來之後，先傳送至EFM Plus解調變裝置 (Eight to Fourteen Modulation Plus demodulator) 102，將16個通道位元 (channel bit) 之編碼字元 (code word) 解調變為8位元之資料符號 (data symbol)。然後，EFM Plus解調變裝置102將解調變後產生之錯誤更正碼資料區塊 (Error Correction Code data block, 簡稱ECC 資料區塊) 107經由匯流排 (bus) 104儲存至資料緩衝區 106，其中ECC資料區塊107包括主要資料 (Main Data) 108、外部配核碼 (Parity of Outer-code, 簡稱PO) 110及內部配核碼 (Parity of Inner-code, 簡稱PI) 112。主要資料108加上外部配核碼110合起來稱之為RS (Reed-Solomon) 外部碼，而主要資料108加上外部配核碼110與內部配核碼112合起來稱之為RS內部碼。其次，錯誤更正碼解碼裝置 (ECC decoder, 簡稱ECC解碼裝置) 114從資料緩衝區 106



五、發明說明 (2)

讀取ECC資料區塊107，依序進行X方向(即PI方向)之解碼與Y方向(即PO方向)之解碼，並對ECC資料區塊107中之錯誤資料進行更正，然後ECC解碼裝置114再將ECC資料區塊107中更正之部份重新寫入資料緩衝區106內。接著，解擾頻器(de-scrambler)及錯誤偵測碼確認裝置(Error Detection Code check, 簡稱EDC確認裝置)116讀取資料緩衝區106內更正過之主要資料108，以進行解擾頻及EDC確認動作。當主機端要讀取資料緩衝區106內之主要資料108時，透過ATAPI (Advanced Technology Attachment Packet Interface) 界面裝置118將主要資料108解擾頻後傳送給主機端。

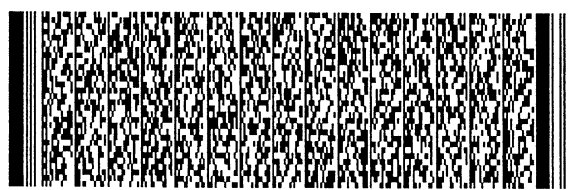
請參考圖二，圖二係習知DVD光碟機之解碼系統存取資料緩衝區之流程圖。此流程包含下列步驟：首先，執行步驟201，EFM Plus解調變裝置102將解調變後之ECC資料區塊107寫入資料緩衝區106。其次，進行步驟202，ECC解碼裝置114從資料緩衝區106中讀取PI方向之ECC資料區塊107並進行錯誤更正之解碼動作，接著再將ECC資料區塊107中更正之部份寫入資料緩衝區106內。接續步驟202，在步驟203中，ECC解碼裝置114從資料緩衝區106中讀取PO方向之ECC資料區塊107並進行錯誤更正之解碼動作，接著再將ECC資料區塊107中更正之部份寫入資料緩衝區106內。待完成步驟203後，依系統之需求設定可重複執行步驟202及步驟203，以提高ECC資料區塊107之錯誤更正率。完成步驟203後，進入步驟204，解擾頻器及



五、發明說明 (3)

EDC 確認裝置 116 讀取資料緩衝區 106 內已更正過之主要資料 108 以進行解擾頻及 EDC 確認動作。待完成上述之動作後，當主機端要讀取資料緩衝區 106 中之主要資料 108 時，則進行步驟 205，透過 ATAPI 界面裝置 118 將主要資料 108 解擾頻後傳送給主機端。在上述習知技藝中，解碼系統之各個模組需依序執行上述之步驟，方能完成碟片之解碼動作。

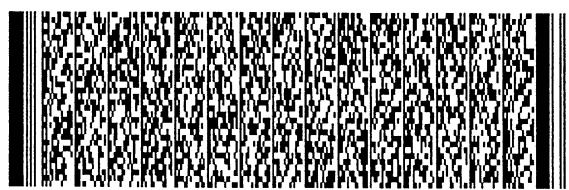
請參考圖三，圖三係習知 ECC 解碼裝置進行 RS 碼之解碼流程。首先，資料緩衝區 106 內之原始編碼字元進入「產生徵候值」(Syndrome generation) 之階段 301，由 ECC 解碼裝置 114 計算 PI 或 PO 方向之徵候值。其次，進入階段 302，根據已知的抹除位置(eraser location)，計算出「抹除位置多項式」(eraser location polynomial)，接著，利用產生之徵候值與抹除位置多項式可算出「Forney 變形徵候值多項式」(Forney's modified syndrome polynomial)，以得到執行下一階段所需之初始值。接續階段 302，進入階段 303，利用前一階段所產生之初始值來計算「錯誤-抹除表位多項式」(error-eraser locator polynomial) 和「錯誤-抹除表值多項式」(error-eraser evaluator polynomial)。接著，進入「Chien 搜尋單元」之階段 304，找出錯誤資料之位置，並求出錯誤資料之值。最後，進入「校正」(correction) 之階段 305，將原始編碼字元中之錯誤資料更正即可得到正確的編碼字元，並將正確的編碼字元寫入



五、發明說明 (3)

EDC 確認裝置116讀取資料緩衝區 106內已更正過之主要資料108以進行解擾頻及EDC確認動作。待完成上述之動作後，當主機端要讀取資料緩衝區 106中之主要資料108時，則進行步驟205，透過ATAPI界面裝置118將主要資料108解擾頻後傳送給主機端。在上述習知技藝中，解碼系統之各個模組需依序執行上述之步驟，方能完成碟片之解碼動作。

請參考圖三，圖三係習知ECC解碼裝置進行RS碼之解碼流程。首先，資料緩衝區 106內之原始編碼字元進入「產生徵候值」(Syndrome generation)之階段301，由ECC解碼裝置114計算PI或PO方向之徵候值。其次，進入階段302，根據已知的抹除位置(eraser location)，計算出「抹除位置多項式」(eraser location polynomial)，接著，利用產生之徵候值與抹除位置多項式可算出「Forney 變形徵候值多項式」(Forney's modified syndrome polynomial)，以得到執行下一階段所需之初始值。接續階段302，進入階段303，利用前一階段所產生之初始值來計算「錯誤-抹除表位多項式」(error-eraser locator polynomial)和「錯誤-抹除表值多項式」(error-eraser evaluator polynomial)。接著，進入「Chien 搜尋單元」之階段304，找出錯誤資料之位置，並求出錯誤資料之值。最後，進入「校正」(correction)之階段305，將原始編碼字元中之錯誤資料更正即可得到正確的編碼字元，並將正確的編碼字元寫入



五、發明說明 (4)

資料緩衝區 106 內。

由圖一可知，習知之解碼系統在進行碟片之解碼動作時，各個模組皆需對資料緩衝區 106 進行存取動作。理論上若解碼系統之各個模組可同步存取資料緩衝區，將能加快解碼系統之速度，以達高倍速DVD之效果；然而，實際上解碼系統之各個模組均需使用同一資料緩衝區以作為資料緩衝區。此外，由圖二及圖三可知，習知之解碼系統對整個ECC資料區塊107進行解碼之過程裡，ECC解碼裝置114每次進行PI與PO方向錯誤更正之解碼動作時，皆需存取資料緩衝區106。對資料緩衝區進行多次存取動作將使整個解碼動作十分耗時，亦限制整體DVD系統之速度。目前針對上述問題已有幾個解決方法，包含：提高解碼系統之時脈、增加匯流排寬度或是減少資料緩衝區之存取次數。

發明目的與概述

本發明之主要目的在於提供一種碟片之解碼系統及其方法，用以減少資料緩衝區之存取次數，如此便可提高解碼系統之平行處理能力，進而加快解碼系統之速度而達高倍速光碟機之效果。

在本發明第一實施例中，EFM Plus解調變裝置進行解調變動作後，便將產生之ECC資料區塊輸出至ECC解碼裝置。接著，ECC解碼裝置便將主要資料暫存於資料緩衝區



五、發明說明 (6)

解調變動作後，便將產生之ECC資料區塊輸出至ECC解碼裝置。接著，ECC解碼裝置將ECC區塊中之主要資料寫入資料緩衝區，同時進行解擾頻及EDC確認動作，並計算PI與PO方向之徵候值，接著將計算結果寫入資料暫存媒體。之後，依序進行PI與PO方向之錯誤更正解碼。接著，讀取資料緩衝區內更正後而尚未完成EDC確認部份之主要資料至第二解擾頻器及EDC確認裝置以進行解擾頻及EDC確認動作。完成上述動作後，ATAPI界面裝置會將資料緩衝區內之主要資料解擾頻後輸出至主機端。

圖式之簡單說明

圖一係習知DVD光碟機之解碼系統之方塊圖。

圖二係習知DVD光碟機之解碼系統存取資料緩衝區之流程圖。

圖三係習知ECC解碼裝置進行RS碼之解碼流程。

圖四係本發明之解碼系統第一實施例之方塊圖。

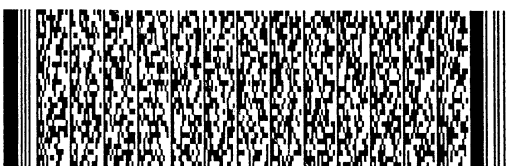
圖五係本發明之解碼系統第二實施例之方塊圖。

圖六係本發明之解碼系統第三實施例之方塊圖。

圖七係圖六之解碼系統之解碼流程圖。

圖示元件之標號說明

100 碟片	102EFM Plus解調變裝置
104 匯流排	106 資料緩衝區
107 ECC資料區塊	108 主要資料



五、發明說明 (7)

110 外部配核碼	112 內部配核碼
114 ECC 解碼裝置	116 解擾頻器及EDC確認裝置
118 ATAPI 界面裝置	402 第一資料暫存媒體
404 第二資料暫存媒體	4021 第一暫存空間
4022 第二暫存空間	4041 第三暫存空間
4042 第四暫存空間	602 第一解擾頻器及EDC確認裝置
604 第二解擾頻器及EDC確認裝置	

發明之詳細說明

由圖三可知，ECC解碼裝置無論是進行PI或P0方向之解碼，皆需先求出徵候值。假設某方向更新前之資料為 $r(X)$ ，更新後之資料為 $r'(X)$ ，錯誤值為 $e(X)$ ，則 $r'(X)=r(X)+e(X)$ 。

因此，錯誤更正後新之徵候值可以下式表示：

$$S_{k(r)}(X) = \sum_{i=0}^{n-1} r_i \alpha^{ik} = \sum_{i=0}^{n-1} (r_i + e_i) \alpha^{ik} = \sum_{i=0}^{n-1} r_i \alpha^{ik} + \sum_{i=0}^{n-1} e_i \alpha^{ik} = S_{k(r)}(X) + S_{k(e)}(X)$$

由上式可知，在進行解碼時，將解碼前之徵候值加上錯誤值之徵候值，即可求出新的徵候值。因此，進行錯誤更正之解碼動作前，先求出PI與P0方向之徵候值，而進行PI或P0方向之解碼時，計算PI方向錯誤值之徵候值並加上原PI方向之徵候值即可求出新的PI方向之徵候值；同理，計算P0方向錯誤值之徵候值並加上原P0方向之徵候值即可求出新的P0方向之徵候值。亦即，不論何時，PI與P0方向之徵候值皆對應當時更新後的ECC資料區塊。

為讓本發明之目的、特徵和優點能更明顯易懂，下文特舉三較佳實施例，並配合所附圖式，作詳細說明如



五、發明說明 (8)

下：

請參考圖四，圖四係本發明之解碼系統第一實施例之方塊圖。圖四之解碼系統與圖一略為近似，其差異處在於，圖四之資料緩衝區106內僅暫存主要資料108；且EFM Plus解調變裝置102係直接將解調變後之ECC資料區塊輸出至ECC解碼裝置114；此外，ECC解碼裝置114另與第一資料暫存媒體402及第二資料暫存媒體404連結。如圖四所示，EFM Plus解調變裝置102讀取碟片100上之資料並進行解調變動作後，便將產生之ECC資料區塊輸出至ECC解碼裝置114，其中ECC資料區塊亦如圖一包含主要資料108、內部配核碼及外部配核碼。然而，ECC解碼裝置114接收ECC資料區塊後，僅將ECC資料區塊中之主要資料108暫存於資料緩衝區106內，並利用RS內部碼及RS外部碼計算ECC資料區塊PI及PO方向之徵候值，將PI及PO方向徵候值之運算結果分別暫存於第一資料暫存媒體402及第二資料暫存媒體404，而內部配核碼及外部配核碼在徵候值運算結束後便捨去不用。此外，ECC解碼裝置114藉由第一資料暫存媒體402及第二資料暫存媒體404內暫存之徵候值，進行PI與PO方向之解碼，並對ECC資料區塊中之錯誤資料進行更正；此時不論是對哪一個方向進行解碼，ECC解碼裝置114皆會同步計算PI與PO方向之徵候值。然後，ECC解碼裝置114再將更正後之PI與PO方向之徵候值寫入第一資料暫存媒體402與第二資料暫存媒體404內，同時亦將主要資料108中更正之部份寫入資料緩衝區106內。由於PI與PO方向之徵



五、發明說明 (9)

候值運算可對應最新的ECC資料區塊，且主機端所需之資料僅主要資料108之部份，因此，當錯誤發生在內部配核碼或外部配核碼時，並不需更新內部配核碼或外部配核碼之部份，而只需更新PI與PO方向之徵候值即可，因此便可捨去內部配核碼與外部配核碼。當ECC解碼裝置114完成ECC資料區塊之錯誤更正後，解擾頻器及EDC確認裝置116讀取資料緩衝區106內之主要資料108，並對其進行解擾頻及EDC確認動作。待完成上述之動作後，當主機端要讀取資料緩衝區106中之主要資料108時，透過ATAPI界面裝置118將主要資料108解擾頻後傳送給主機端。

請參考圖五，圖五係本發明之解碼系統第二實施例之方塊圖。圖五之架構與圖四相似，兩者之差異如下：圖四之第一資料暫存媒體402被區隔為第一暫存空間4021與第二暫存空間4022，而第二資料暫存媒體404被區隔為第三暫存空間4041與第四暫存空間4042；此外，EFM Plus解調變裝置102係將解調變後之ECC資料區塊輸出至徵候值運算器502，接著，徵候值運算器502將ECC資料區塊中之主要資料108暫存於資料緩衝區106內，並利用RS內部碼及RS外部碼計算ECC資料區塊PI及PO方向之徵候值，將PI及PO方向徵候值之運算結果分別暫存於第一暫存空間4021及第三暫存空間4041內。第一暫存空間4021及第三暫存空間4041係用以持續接收下一時間徵候值運算器502計算出之ECC資料區塊PI及PO方向之徵候值。當徵候值運算器502接收完整個ECC資料區塊後，第一暫存空間4021與第三暫存



五、發明說明 (10)

空間4041會將暫存之PI及PO方向徵候值分別傳送至第二暫存空間4022與第四暫存空間4042，如此ECC解碼裝置114便可立即讀取第二暫存空間4022與第四暫存空間4042內之徵候值，並且在徵候值運算器502接收完下一個ECC資料區塊前，完成資料緩衝區106內主要資料108之錯誤更正解碼動作。

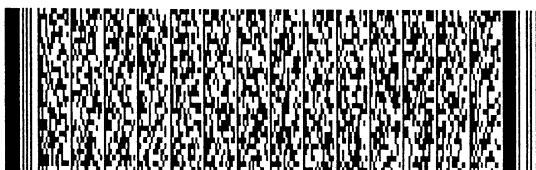
由於解擾頻器及EDC確認裝置116讀取主要資料108之方向與ECC解碼裝置114相同，故解擾頻器及EDC確認裝置116亦可於ECC解碼裝置114對資料緩衝區內之主要資料108進行解碼動作時，同步進行主要資料108之解擾頻及EDC確認動作。關於此點，請參考圖六。當ECC解碼裝置114將主要資料108寫入資料緩衝區106時，該主要資料108亦輸入至第一解擾頻器及EDC確認裝置602以進行解擾頻及EDC確認動作，後續進行PO與PI方向之解碼動作時，主要資料108中已完成EDC確認動作之部份，即可略過不用再解碼，如此可避免發生更正錯誤的情形。而當完成後續所進行PO與PI方向之解碼動作後，第二解擾頻器及EDC確認裝置604將針對資料緩衝區106內尚未完成EDC確認動作部份之主要資料108，再度進行解擾頻及EDC確認動作。

為清楚說明圖六之方塊圖，圖七係圖六之解碼系統之解碼流程圖。其步驟如下：首先，進入步驟701，EFM Plus解調變裝置102將解調變後之ECC資料區塊傳至ECC解碼裝置114。其次，執行步驟702，ECC解碼裝置114將ECC資料區塊中之主要資料108暫存於資料緩衝區106內，同時



五、發明說明 (11)

進行第一次解擾頻及EDC確認動作，並利用RS內部碼及RS外部碼計算PI及PO方向之徵候值，將PI及PO方向徵候值之運算結果分別暫存於第一資料暫存媒體402及第二資料暫存媒體404。之後，進行步驟703，ECC解碼裝置114讀取第一資料暫存媒體402內PI方向之徵候值，進行PI方向之解碼，並對整個ECC資料區塊中尚未完成EDC確認動作之錯誤資料進行更正。接續步驟703，進行步驟704，ECC解碼裝置114將更正後之PI與PO方向之徵候值分別寫入第一資料暫存媒體402及第二資料暫存媒體404內，同時亦將主要資料108中更正之部份寫入資料緩衝區106內。接著，進行步驟705，ECC解碼裝置114讀取第二資料暫存媒體404內PO方向之徵候值，進行PO方向之解碼，並對整個ECC資料區塊中尚完成EDC確認動作之錯誤資料進行更正。接續步驟705，進行步驟706，ECC解碼裝置114將更正後之PI與PO方向之徵候值分別寫入第一資料暫存媒體402及第二資料暫存媒體404內，同時亦將主要資料108中更正之部份寫入資料緩衝區106內。待完成步驟706後，依系統之需求設定可重複執行PI與PO方向之解碼動作，以提高資料區塊之更正率。完成步驟706後，進行步驟707，第二解擾頻器及EDC確認裝置604針對資料緩衝區106內主要資料108中尚未完成EDC確認動作之部份，再度進行解擾頻及EDC確認動作。待完成上述之動作後，當主機端要讀取資料緩衝區106內之資料時，則進行步驟708，透過ATAPI界面裝置118將解擾頻後之主要資料108傳送給主機端。



五、發明說明 (12)

由圖四至圖七可知，本發明之解碼系統對整個ECC資料區塊進行解碼之過程裡，ECC解碼裝置114在進行PI與PO方向之錯誤更正解碼時，不需再從資料緩衝區106重複讀取主要資料，如此將大幅減少資料緩衝區之存取次數，且本發明之資料緩衝區只存放ECC資料區塊中之主要資料108，故可使用較小容量之資料緩衝區。此外，本發明解碼系統所述之ECC解碼裝置係一RSPC(Reed Solomon Product Code)之解碼演算架構。資料緩衝區106可為一DRAM，而第一資料暫存媒體402與第二資料暫存媒體404可為SRAM。與習知之解碼系統相較，本發明之解碼系統僅增加二個資料暫存媒體，且完成EFM Plus解調變後立即進行ECC錯誤更正之解碼。不需提高解碼系統之時脈，亦不需增加匯流排寬度，便可有效減少資料緩衝區之存取次數、縮短系統反應時間、提高解碼系統之平行處理能力，進而加快解碼系統之速度而達高倍速DVD之效果。

綜上所述，雖然本發明已以三較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：碟片之解碼系統及其方法)

本發明提供一種碟片之解碼系統及其方法，用以接收碟片之訊息資料並執行解碼動作，本發明不需提高解碼系統之時脈，亦不增加匯流排之寬度，只需對解碼系統之架構稍作改變，便可減少解碼系統之各模組對資料緩衝區之存取次數。因此，本發明可提高解碼系統之平行處理能力，使解碼系統之速度提升，進而達到高倍速光碟機之效果。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

90 118

1. 一種碟片之解碼系統，用以接收該碟片之訊息資料並執行解碼動作，該解碼系統包含：

一解調變裝置，用以接收該碟片之訊息資料，並進行解調變動作以產生一ECC資料區塊，該ECC資料區塊包含一主要資料、一內部配核碼及一外部配核碼，且該主要資料加上該外部配核碼合起來稱之為RS外部碼，而該主要資料加上該外部配核碼與該內部配核碼合起來稱之為RS內部碼；

一資料緩衝區，用以暫存該主要資料；

一資料暫存媒體，用以暫存該ECC資料區塊之PI與PO方向之徵候值；

一ECC解碼裝置，用以進行該ECC資料區塊之錯誤更正解碼；

一第一解擾頻器及EDC確認裝置，用以讀取該資料緩衝區內之該主要資料，並進行解擾頻及EDC確認動作；

一第二解擾頻器及EDC確認裝置，用以讀取該資料緩衝區內尚未完成EDC確認動作之該主要資料，再度進行解擾頻及EDC確認動作；以及

一ATAPI界面裝置，用以讀取該資料緩衝區內之該主要資料，並將該主要資料解擾頻後輸出至主機端。

2. 如專利申請範圍第1項所述之解碼系統，其中該ECC解碼裝置係從該解調變裝置讀取該ECC資料區塊，接著將該主要資料寫入該資料緩衝區，同時進行第一次解擾頻及EDC確認動作，並利用該RS內部碼及該RS外部碼計算該ECC資料區塊PI與PO方向之徵候值，再將計算結果寫入該資料暫

係是查變身原實費內本

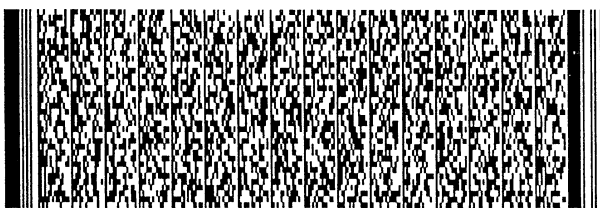


修正
補充
96.11.27

六、申請專利範圍

存媒體；之後，該ECC解碼裝置讀取該資料暫存媒體內PI方向之徵候值，以進行PI方向之錯誤更正解碼，接著該ECC解碼裝置將更正後之PI與P0方向之徵候值寫入該資料暫存媒體內，並將該主要資料中更正之部份寫入該資料緩衝區內；然後，該ECC解碼裝置讀取該資料暫存媒體內P0方向之徵候值，以進行P0方向之錯誤更正解碼，接著該ECC解碼裝置將更正後之PI與P0方向之徵候值寫入該資料暫存媒體內，並將該主要資料中更正之部份寫入該資料緩衝區內；而當該ECC解碼裝置完成錯誤更正解碼後，該第二解擾頻器及EDC確認裝置將針對資料緩衝區內主要資料中尚未完成EDC確認動作之部份，再度進行解擾頻及EDC確認動作。

3. 如專利申請範圍第1項所述之解碼系統，其中該解調變裝置係將具有16個通道位元之編碼字元解調變為8位元之資料符號。
4. 如專利申請範圍第1項所述之解碼系統，其中該ECC解碼裝置係一RSPC之解碼演算架構。
5. 如專利申請範圍第1項所述之解碼系統，其中該資料緩衝區可為一DRAM。
6. 如專利申請範圍第1項所述之解碼系統，其中該資料暫存媒體可為一SRAM。
7. 如專利申請範圍第1項所述之解碼系統，其中該資料暫存媒體被區隔為兩個儲存區，以分別儲存該ECC資料區塊PI及P0方向之徵候值。



9.1.8

六、申請專利範圍

8. 一種碟片之解碼方法，用以接收一碟片之訊息資料並執行解碼動作，該解碼方法包含：

(1) 讀取該碟片之訊息資料至一解調變裝置，該解調變裝置將訊息資料進行解調變動作，產生一ECC資料區塊，其中該ECC資料區塊包含一主要資料、一內部配核碼及一外部配核碼，且該主要資料加上該外部配核碼合起來稱之為RS外部碼，而該主要資料加上該外部配核碼與該內部配核碼合起來稱之為RS內部碼；

(2) 讀取該ECC資料區塊至一ECC解碼裝置；

(3) 寫入該ECC區塊中之該主要資料至一資料緩衝區，同時進行第一次解擾頻及EDC確認動作，並利用該RS內部碼及該RS外部碼計算該ECC資料區塊PI與PO方向之徵候值，再將計算結果寫入一資料暫存媒體；

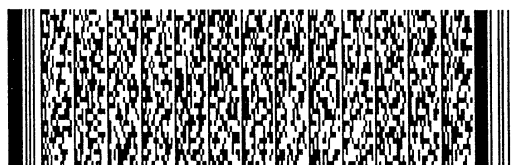
(4) 讀取該資料暫存媒體內PI方向之徵候值至該ECC解碼裝置，以進行PI方向之錯誤更正解碼；

(5) 更正該資料暫存媒體內PI與PO方向之徵候值，並寫入該主要資料中更正之部份至該資料緩衝區內；

(6) 讀取該資料暫存媒體內PO方向之徵候值至該ECC解碼裝置，以進行PO方向之錯誤更正解碼；

(7) 更正該資料暫存媒體內PI與PO方向之徵候值，並寫入該主要資料中更正之部份至該資料緩衝區內；

(8) 讀取該資料緩衝區內該主要資料中未完成EDC確認動作之部份至一第二解擾頻器及EDC確認裝置，再度進行解擾頻及EDC確認動作；以及



六、申請專利範圍

- 90 98
- (9) 讀取該資料緩衝區內之該主要資料至一ATAPI 界面裝置，將該主要資料解擾頻後輸出至主機端。
9. 如專利申請範圍第8項所述之解碼方法，其中該解調變裝置係將具有16個通道位元之編碼字元解調變為8位元之資料符號。
10. 如專利申請範圍第8項所述之解碼方法，其中該ECC解碼裝置係一RSPC之解碼演算架構。
11. 如專利申請範圍第8項所述之解碼方法，其中該資料緩衝區可為一DRAM。
12. 如專利申請範圍第8項所述之解碼方法，其中該資料暫存媒體可為一SRAM。
13. 如專利申請範圍第8項所述之解碼方法，其中該資料暫存媒體被區隔為兩個儲存區，以分別儲存該ECC資料區塊PI及PO方向之徵候值。
14. 一種碟片之解碼系統，用以接收該碟片之訊息資料並執行解碼動作，該解碼系統包含：
- 一解調變裝置，用以接收該碟片之訊息資料，並進行解調變動作以產生一ECC資料區塊，該ECC資料區塊包含一主要資料、一內部配核碼及一外部配核碼，且該主要資料加上該外部配核碼合起來稱之為RS 外部碼，而該主要資料加上該外部配核碼與該內部配核碼合起來稱之為RS 內部碼；
 - 一資料緩衝區，用以暫存該主要資料；
 - 一資料暫存媒體，用以暫存該ECC資料區塊之PI與PO方向之徵候值；



90118

六、申請專利範圍

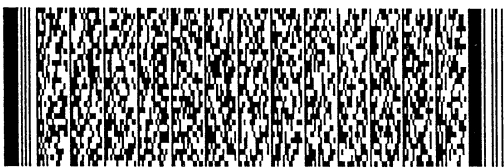
一ECC解碼裝置，用以進行該ECC資料區塊之錯誤更正解碼；

一解擾頻器及EDC確認裝置，用以讀取該資料緩衝區內之該主要資料，並進行解擾頻及EDC確認動作；以及

一ATAPI界面裝置，用以讀取該資料緩衝區內之該主要資料，並將該主要資料解擾頻後輸出至主機端。

15. 如專利申請範圍第14項所述之解碼系統，其中該ECC解碼裝置係從該解調變裝置讀取該ECC資料區塊，接著將該主要資料寫入該資料緩衝區，並利用該RS內部碼及該RS外部碼計算該ECC資料區塊PI與PO方向之徵候值，再將計算結果寫入該資料暫存媒體；之後，該ECC解碼裝置讀取該資料暫存媒體內PI方向之徵候值，以進行PI方向之錯誤更正解碼，接著該ECC解碼裝置將更正後之PI與PO方向之徵候值寫入該資料暫存媒體內，並將該主要資料中更正之部份寫入該資料緩衝區內；然後，該ECC解碼裝置讀取該資料暫存媒體內PO方向之徵候值，以進行PO方向之錯誤更正解碼，接著該ECC解碼裝置將更正後之PI與PO方向之徵候值寫入該資料暫存媒體內，並將該主要資料中更正之部份寫入該資料緩衝區內；而當該ECC解碼裝置完成錯誤更正解碼後，該解擾頻器及EDC確認裝置將對資料緩衝區內之該主要資料進行解擾頻及EDC確認動作。

16. 如專利申請範圍第14項所述之解碼系統，其中該解調變裝置係將具有16個通道位元之編碼字元解調變為8位元之資料符號。



90118

六、申請專利範圍

17. 如專利申請範圍第14項所述之解碼系統，其中該ECC解碼裝置係一RSPC之解碼演算架構。
18. 如專利申請範圍第14項所述之解碼系統，其中該資料緩衝區可為一DRAM。
19. 如專利申請範圍第14項所述之解碼系統，其中該資料暫存媒體可為一SRAM。
20. 如專利申請範圍第14項所述之解碼系統，其中該資料暫存媒體被區隔為兩個儲存區，以分別儲存該ECC資料區塊PI及PO方向之徵候值。
21. 一種碟片之解碼方法，用以接收一碟片之訊息資料並執行解碼動作，該解碼方法包含：
- (1) 讀取該碟片之訊息資料至一解調變裝置，該解調變裝置將該訊息資料進行解調變動作，產生一ECC資料區塊，該ECC資料區塊包含一主要資料、一內部配核碼及一外部配核碼，且該主要資料加上該外部配核碼合起來稱之為RS外部碼，而該主要資料加上該外部配核碼與該內部配核碼合起來稱之為RS內部碼；
 - (2) 讀取該ECC資料區塊至一ECC解碼裝置；
 - (3) 寫入該ECC區塊中之該主要資料至一資料緩衝區，同時利用該RS內部碼及該RS外部碼計算該ECC資料區塊PI與PO方向之徵候值，再將計算結果寫入一資料暫存媒體；
 - (4) 讀取該資料暫存媒體內PI方向之徵候值至該ECC解碼裝置，以進行PI方向之錯誤更正解碼；
 - (5) 更正該資料暫存媒體內PI與PO方向之徵候值，並寫入



90118

六、申請專利範圍

該主要資料中更正之部份至該資料緩衝區內；

(6) 讀取該資料暫存媒體內P0方向之徵候值至該ECC解碼裝置，以進行P0方向之錯誤更正解碼；

(7) 更正該資料暫存媒體內PI與P0方向之徵候值，並寫入該主要資料中更正之部份至該資料緩衝區內；

(8) 讀取該資料緩衝區內已更正過之該主要資料至一解擾頻器及EDC確認裝置以進行解擾頻及EDC確認動作；以及

(9) 讀取該資料緩衝區內之該主要資料至一ATAPI界面裝置，將該主要資料解擾頻後輸出至主機端。

22. 如專利申請範圍第21項所述之解碼方法，其中該解調變裝置係將具有16個通道位元之編碼字元解調變為8位元之資料符號。

23. 如專利申請範圍第21項所述之解碼方法，其中該ECC解碼裝置係一RSPC之解碼演算架構。

24. 如專利申請範圍第21項所述之解碼方法，其中該資料緩衝區可為一DRAM。

25. 如專利申請範圍第21項所述之解碼方法，其中該資料暫存媒體可為一SRAM。

26. 如專利申請範圍第21項所述之解碼方法，其中該資料暫存媒體被區隔為兩個儲存區，以分別儲存該ECC資料區塊PI及P0方向之徵候值。



89126859

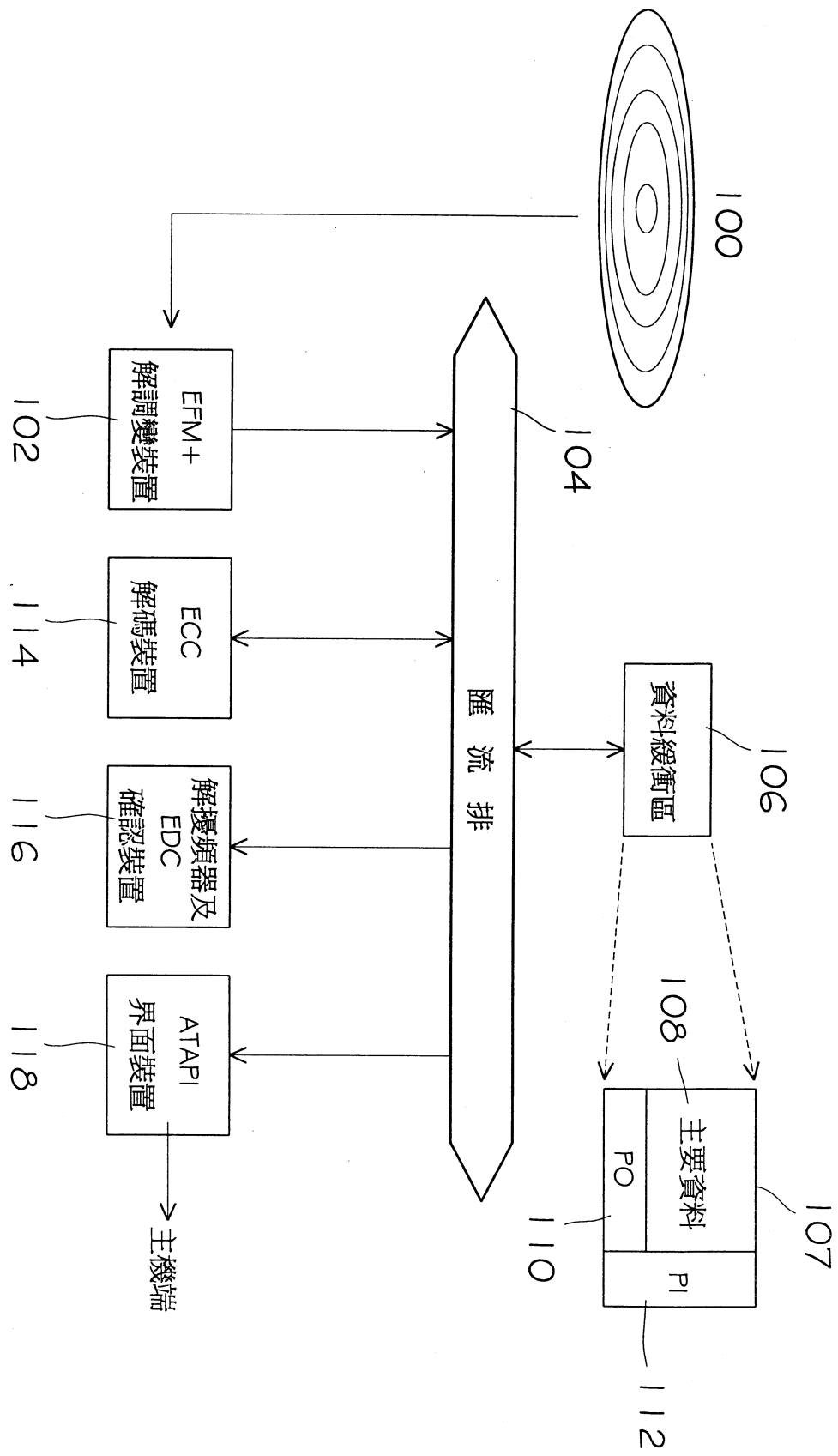


圖 一

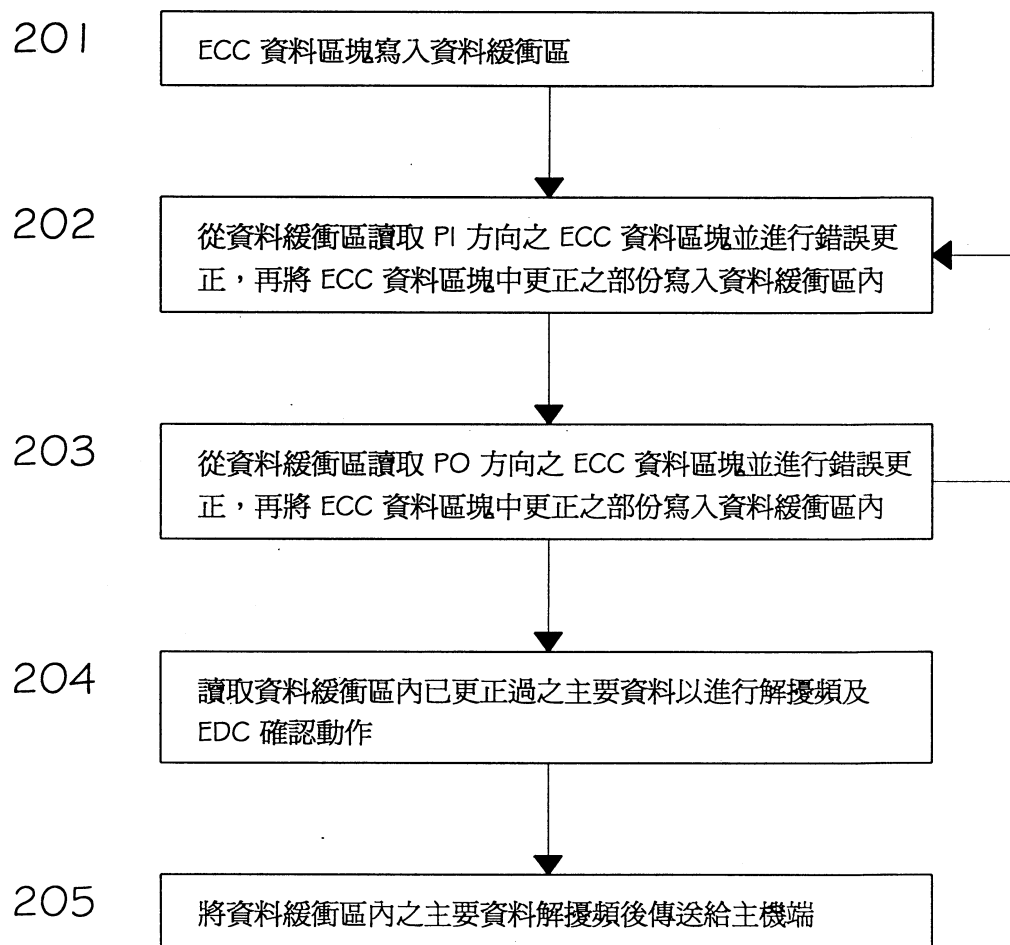


圖 二

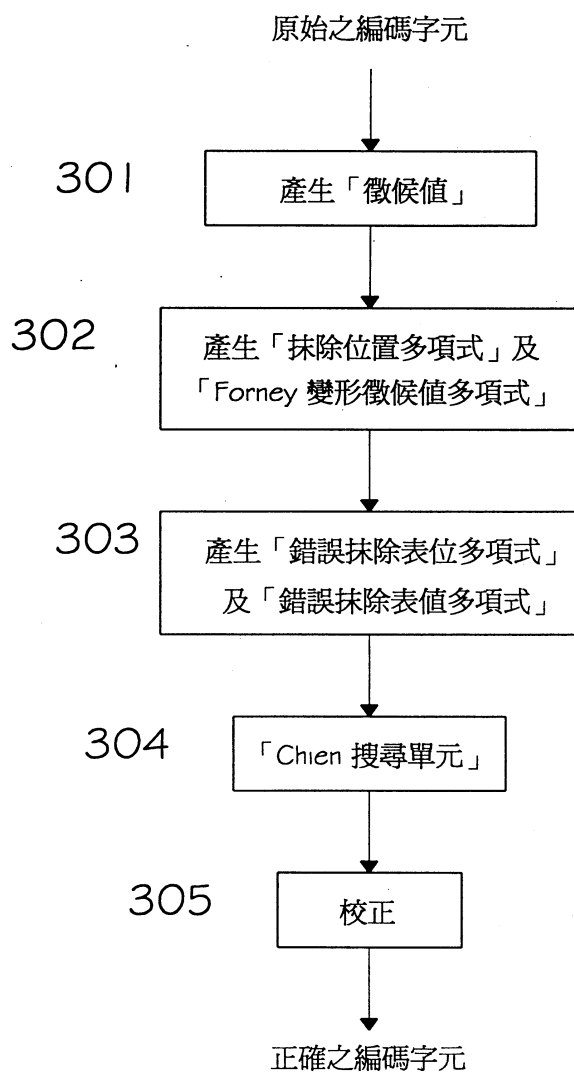


圖 三

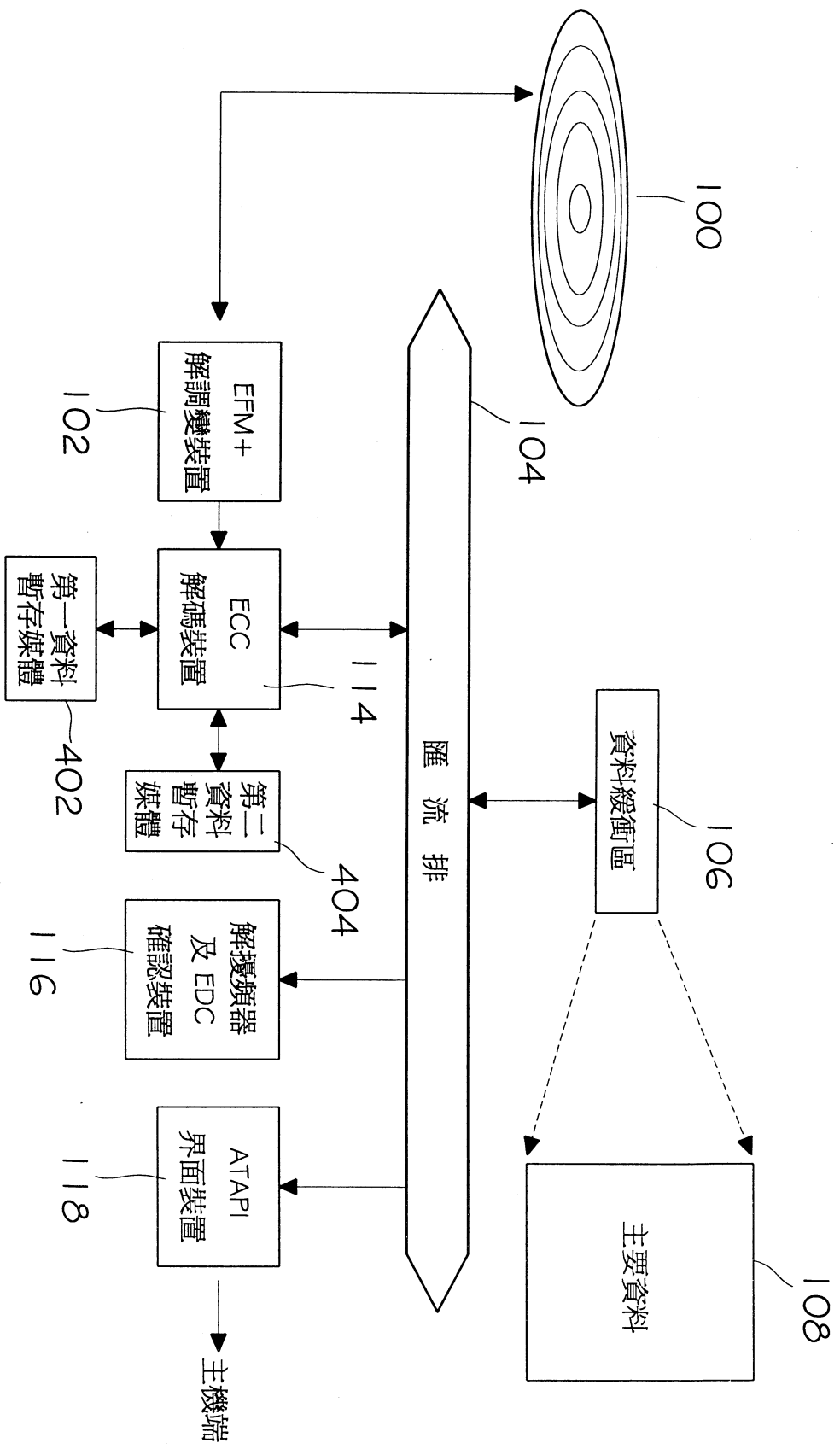


圖 四

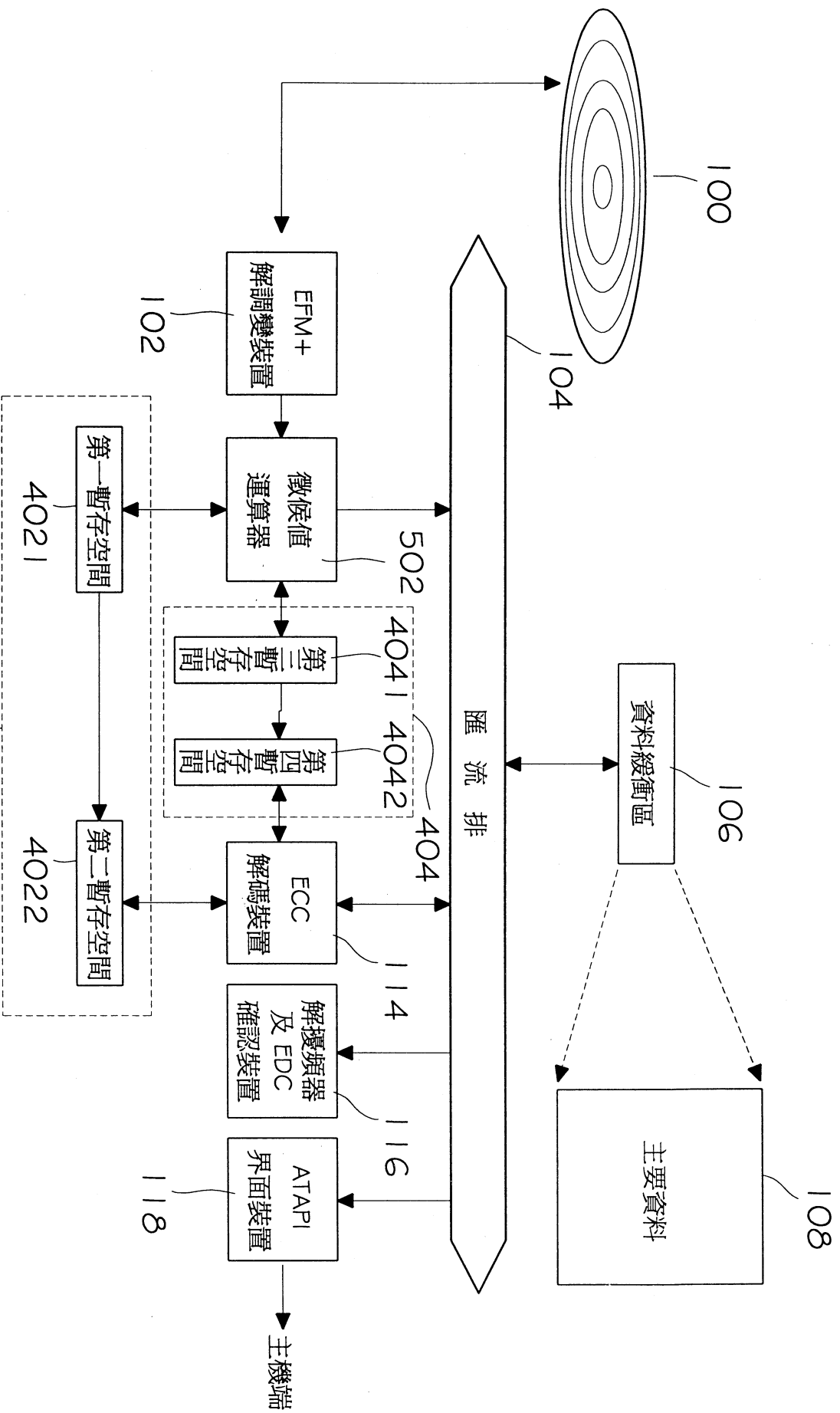


圖 402 五

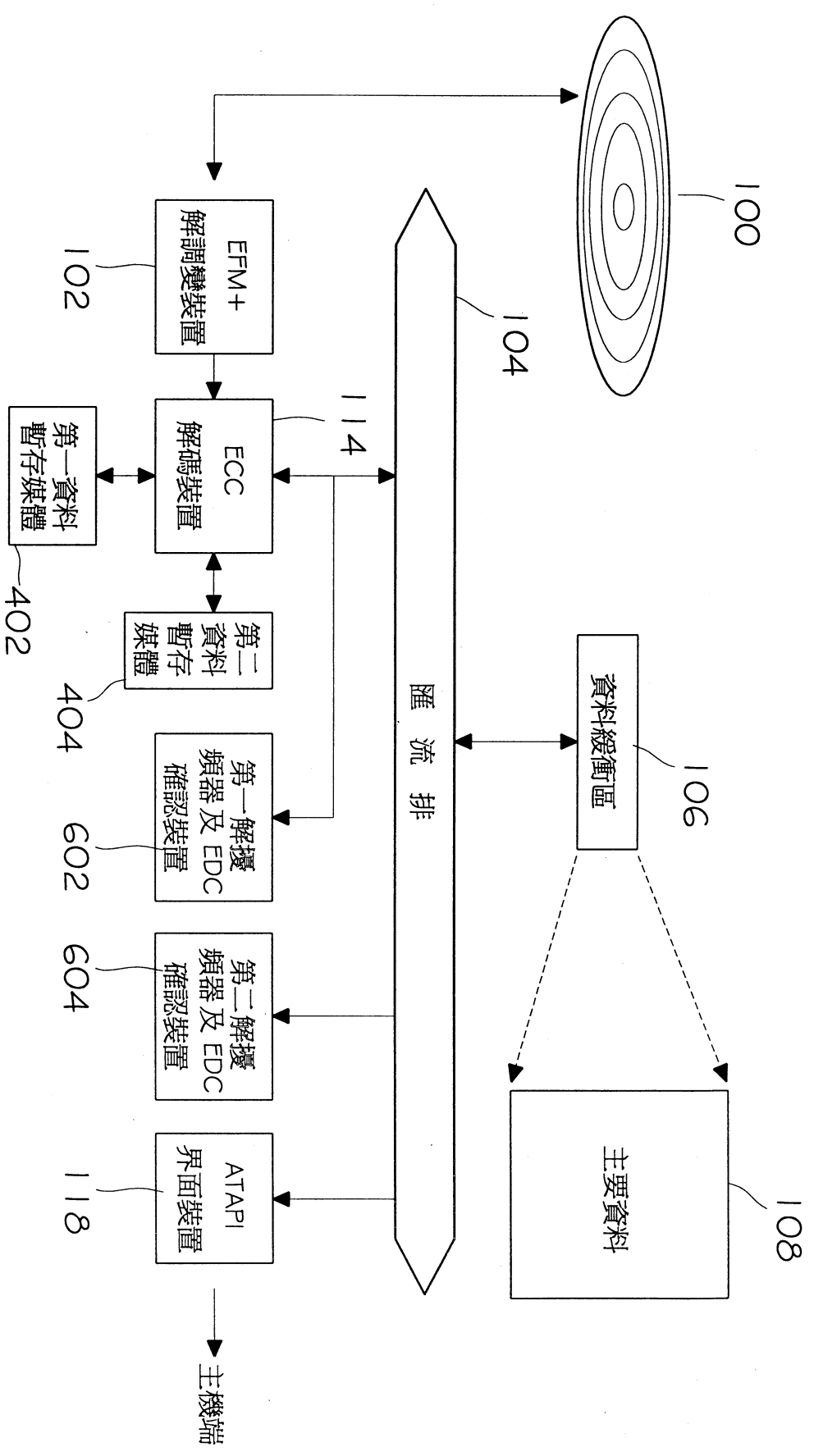


圖 六

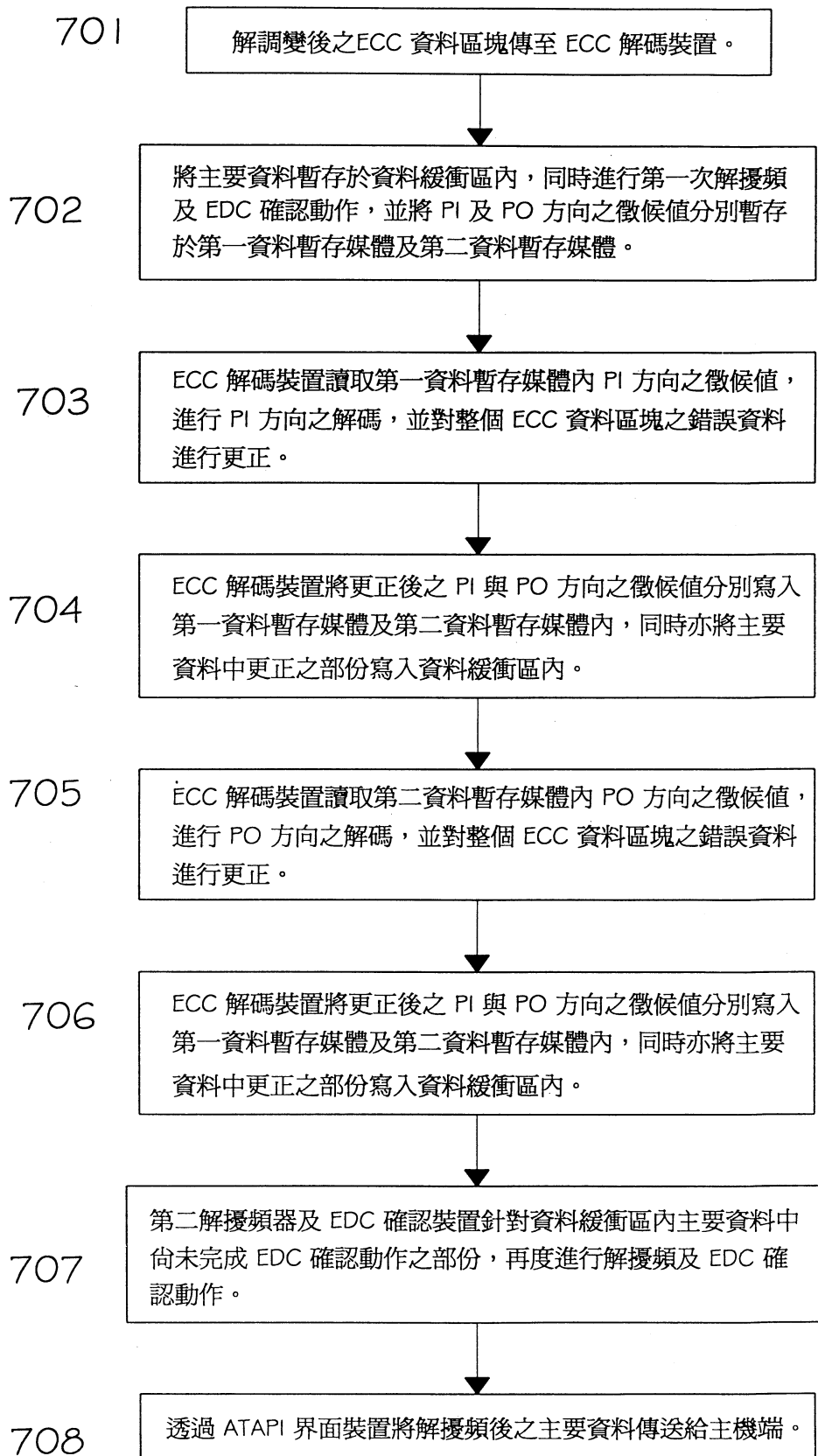


圖 七