

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5462161号
(P5462161)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

(51) Int. Cl.	F I
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 F
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 M
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 D
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 F

請求項の数 10 (全 26 頁) 最終頁に続く

(21) 出願番号	特願2010-517237 (P2010-517237)	(73) 特許権者	591060898
(86) (22) 出願日	平成19年7月20日 (2007.7.20)		アイメック
(65) 公表番号	特表2010-533987 (P2010-533987A)		I MEC
(43) 公表日	平成22年10月28日 (2010.10.28)		ベルギー、ペー-3001ルーヴァン、カ
(86) 国際出願番号	PCT/BE2007/000084		ペルドリーフ75番
(87) 国際公開番号	W02009/012536	(74) 代理人	100101454
(87) 国際公開日	平成21年1月29日 (2009.1.29)		弁理士 山田 卓二
審査請求日	平成22年5月31日 (2010.5.31)	(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100100479
			弁理士 竹内 三喜夫
		(72) 発明者	マルレーン・ファン・ホーフエ
			ベルギー、ペー-3052ブランデン、ホ
			ーフェンボストラート19番

最終頁に続く

(54) 【発明の名称】 I I I - V 族 M E S F E T でのダマシンコンタクト製造方法

(57) 【特許請求の範囲】

【請求項1】

I I I - V 族 M E S F E T 上にコンタクトを製造する方法であって、
 第1および第2メインコンタクト(7)を設けることと、
 その後、制御コンタクト(10a, 22)を設けることとを含み、
 第1および第2メインコンタクト(7)を設けることは、ダマシンプロセスを用いてオーミックコンタクトを形成するように行われ、
 制御コンタクト(10a, 22)を設けることは、
 ・絶縁体スタック(11)を堆積すること、
 ・絶縁体スタック(11)に少なくとも1つの孔(8)を設けること、
 ・少なくとも1つの孔(8)に導電材料を充填すること、および
 ・ダマシンプロセスを用いてT字状の形状を有するショットキーコンタクトを形成すること、によって行われ、
 少なくとも1つの孔(8)に導電材料を充填することは、
 ・孔(8)のクリーニングを行うこと、
 ・孔(8)に導電材料層(10)を堆積すること、および
 ・少なくとも1つの孔(8)の外側にある余分な導電材料を除去すること、によって行われ、
 孔(8)のクリーニング工程は、
 ・300 ~ 500 の温度で脱ガスを行うこと、および

・ H₂ / Heリアクティブ・プレクリーンを用いて孔(8)をクリーニングすること、を含む方法。

【請求項2】

T字状の制御コンタクト(22)は、デュアルダマシンプロセスを用いて設けられる請求項1記載の方法。

【請求項3】

余分な導電材料を除去することは、化学機械研磨によって行われる請求項1記載の方法。

【請求項4】

導電材料層(10)を堆積する前に、下地層内の導電材料の拡散を防止したり、絶縁体スタック上での導電材料の接着性を改善したり、及び/又は、少なくとも1つの孔(8)への導電材料の充填を改善するためのバリア層(9)を堆積することをさらに含む請求項1記載の方法。

10

【請求項5】

バリア層(9)は、TiおよびTiNを含むグループから選ばれた1つ又はそれ以上の材料を含み、前記導電材料は、Alを含む請求項4記載の方法。

【請求項6】

バリア層(9)は、TaおよびTa₂N₅を含むグループから選ばれた1つ又はそれ以上の材料を含み、導電材料は、Cuを含む請求項4記載の方法。

【請求項7】

少なくとも1つの孔(8)を設ける前に、絶縁体スタック(11)を平坦化することをさらに含む請求項1~6のいずれかに記載の方法。

20

【請求項8】

絶縁体スタック(11)を平坦化することは、化学機械研磨によって行われる請求項7記載の方法。

【請求項9】

絶縁体スタック(11)は、SiN、SiO₂およびSiCからなるグループから選ばれた少なくとも1つの材料を含む請求項1~8のいずれかに記載の方法。

【請求項10】

請求項1~9のいずれかに記載の方法を用いて、制御コンタクト(10a, 22)をゲートコンタクトとして形成することによって、高電子移動度トランジスタを製造する方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、III-V族CMOSデバイス、例えば、高電子移動度トランジスタ(HEMT)などの電界効果トランジスタ(FET)にコンタクトを製造する方法に関する。

【背景技術】

【0002】

半導体デバイスでは、通信、エネルギー及び/又は移動性(mobility)の意味でのニーズおよび要求が増加しているが、これらのデバイスに高い効率および性能を提供するのに必要となるパワーを管理したり供給できる技術は、開発途上にある。ハイパワー/高効率の要求に関して、例えば、半導体デバイス製造用の新しい材料の使用によって性能改善が図られる。

40

【0003】

これらの材料のうち、GaNなどのIII族窒化物材料に関心が寄せられている。これらの材料は、直接ワイドバンドギャップ半導体材料であり、当初は、青色および白色の光を放出する能力に関して市場に投入されていた。これに加えて、Siよりも10倍以上高い電気絶縁破壊電界(breakdown field)のため、III族窒化物材料は、例えば、軽ドープドレイン金属酸化物半導体(LDMOS:Lightly-Doped Drain Metal-Oxide Semiconductor)などのSiの置換材料として、ハイパワー/高効率の分野で動作するデバイスに使

50

用できる。GaNは、最も一般的なIII族窒化物材料の1つであり、例えば、高効率電力変換などの応用での使用を可能にするハイパワー/高温の性能を示す。

【0004】

GaN系のシステムは、システム性能をSi固有の限界を超越できる。GaN半導体材料は、Si半導体材料に対して改善された電子および輸送特性によって特徴付けられる。 $2000\text{ cm}^2/\text{V}\cdot\text{s}$ より大きい正孔移動度および、 $1.2 \times 10^{13}\text{ cm}^{-2}$ より大きいキャリア濃度が、AlGaN/GaNヘテロ構造において再現可能に得られている。さらに、GaN半導体材料の高いバンドギャップに起因して、1600Vの絶縁破壊電界を持つデバイスが報告されている。しかしながら、この技術のコストが障害であろう。GaN-on-Si技術を用いてコスト低減が達成できる。150mm Si基板上のAlGaN/GaN高電子移動度トランジスタ(HEMT)が実証されており(文献: M. Lays et al., 13th Intl. Conf. on Metal Organic Vapor Phase Epitaxy, Miyazaki, Japan, 22 - 26 May 2006; IMEC Scientific Report 2006)、これにより同じ基板上でIII-V族およびSiのプロセスの組合せの可能性を示した。

10

【0005】

これによってIII-V族HEMTでのソース、ドレインおよびゲートのコンタクトが、リフトオフによってパターン化された金属スタックによって形成される。ソース、ドレインのオーミックコンタクトは、金属スタックを高温で合金化することによって形成される。金属スタックでしばしば用いられる金属は、Auであろう。

20

【0006】

合金プロセスにおいて、低いバリア高さの金属化合物、即ち、下地材料に対して低いバリア高さを持つコンタクトを形成する金属化合物は、典型的には界面近傍に形成され、キャリアトンネル現象を増強するために、しばしば高ドープ領域と組み合わされる。一方、ゲートコンタクトは、下部においてAu系材料と組み合わせてゲート抵抗を下げるショットキー(Schottky)金属で形成される。リフトオフプロセスの低いパターン歩留まりと半導体中の高速なAu拡散のため、現在のIII-V技術は、最新のCMOS Si技術と匹敵するものではない。

【0007】

半導体デバイス、例えば、CMOSデバイスにおいて高い相互コンダクタンスおよび高い飽和電流を達成するには、 $1\ \mu\text{m}$ 未満のコンタクト抵抗を持つ高品質のオーミックコンタクトが好都合である。低い漏れ電流、即ち、 10^{-8} mA/mm 未満、低い抵抗率および良好な接着性を持つゲートは、デバイスの性能および信頼性を向上させる。パワーHEMTの場合、大きなバリア高さを持つショットキーゲートコンタクトは、低いゲート漏れ電流、高い絶縁破壊電圧および高いターンオン電圧を達成するのに役立つ。ゲート抵抗は、デバイスの出力パワー利得および最高発振周波数を制限することがある。高周波(HF)性能は、より小さなゲート抵抗でより良好になる。ゲート抵抗は、ゲート構造およびゲート材料の抵抗を変化させることによって変化する。ゲート抵抗の典型的な値は、 $1\sim 2\ \mu\text{m}$ のゲート長で $50\sim 100\ \Omega/\text{mm}$ である。

30

【0008】

半導体デバイスのサイズ縮小は、結果としてゲートのサイズ縮小となる。同じ材料を使用した場合、より小さなゲートは、より大きなゲート抵抗をもたらす。従って、小型デバイスの高い性能は、形成する金属コンタクトの品質および抵抗にも依存している。さらに、これらの小さなゲートのパターンニングおよび信頼性がより困難である。

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の実施形態の目的は、III-V族CMOSデバイスを製造するための良好な方法を提供することである。

【0010】

本発明の実施形態に係る方法の利点は、良好な特性を備えたIII-V族CMOSデバ

50

イスが、Auなどの高価な材料の使用またはリフトオフ技術などの技術の使用の必要なしで得られることである。本発明の実施形態の利点は、III-V族半導体プロセスがSiプロセスと互換性があることである。

【0011】

本発明の実施形態に係る方法を用いることによって、狭い特徴物を有するコンタクトを備えたIII-V族CMOSデバイスが得られる。例えば、20nm~5μm、好ましくは、50nm~2μmの長さを持つ制御コンタクトが得られる。

【課題を解決するための手段】

【0012】

上記目的は、本発明に係る方法およびデバイスによって達成される。

10

【0013】

本発明の第1の態様において、III-V族CMOSデバイス上にコンタクトを製造する方法が提供される。該方法は、制御コンタクトを設けることを少なくとも含み、制御コンタクトを設けることは、ダマシン(damascene)プロセスを用いて行われる。

【0014】

本発明は、小さい長さ、低い漏れ、低い抵抗、良好な接着性および十分に高温安定性を備えた制御コンタクト、例えば、ゲートコンタクトの製作を可能にする。

【0015】

本発明の実施形態によれば、制御コンタクトを設けることは、ショットキーコンタクトを形成するように行ってもよい。制御コンタクトは、典型的には0.6eV~0.9eVの範囲である高いショットキーバリア高さを持つショットキーコンタクトを形成してもよい。

20

【0016】

本発明の実施形態によれば、該方法は、第1および第2メインコンタクトを設けることをさらに含む。第1および第2メインコンタクトを設けることは、オーミックコンタクトを形成するように行ってもよい。本発明の実施形態は、例えば、0.5mm~1mmの範囲の低いコンタクト抵抗を備えた第1および第2メインコンタクト、例えば、ソースコンタクトおよびドレインコンタクトの製作を可能とし、良好なオーミックコンタクトを形成できる。

【0017】

第1および第2メインコンタクトを設けることは、ダマシンプロセスを用いて行ってもよい。

30

【0018】

制御コンタクトを設けることは、T字状の形状を有するように行ってもよい。

【0019】

本発明の実施形態によれば、T字状の制御コンタクトは、デュアルダマシン(dual damascene)プロセスを用いて行ってもよい。

【0020】

本発明の他の実施形態によれば、T字状の制御コンタクトを設けることは、シングルダマシンプロセスの処理ステップを繰り返すことによって行ってもよい。

40

【0021】

制御コンタクトを設けることは、下記ステップによって行ってもよい。

- ・絶縁体(dielectric)スタックを堆積すること。
- ・絶縁体スタックに少なくとも1つの孔を設けること。
- ・少なくとも1つの孔に導電材料を充填すること。

【0022】

少なくとも1つの孔に導電材料を充填することは、下記ステップを含んでもよい。

- ・導電材料層を堆積すること。
- ・少なくとも1つの孔の外側にある余分な導電材料を除去すること。

【0023】

50

余分な導電材料を除去することは、化学機械研磨によって行ってもよい。

【0024】

本発明の実施形態によれば、該方法は、導電材料層を堆積する前に、バリア層を堆積することをさらに含んでもよい。バリア層は、下地層内の導電材料の拡散を防止したり、絶縁体スタック上での導電材料の接着性を改善したり、及び/又は、少なくとも1つの孔への導電材料の充填を改善するためのものでもよい。

【0025】

本発明の実施形態によれば、バリア層は、TiおよびTiNを含むグループから選ばれた1つ又はそれ以上の材料を含んでもよく、導電材料はAlを含んでもよい。

【0026】

本発明の他の実施形態によれば、バリア層は、TaおよびTa₂N₅を含むグループから選ばれた1つ又はそれ以上の材料を含んでもよく、導電材料はCuを含んでもよい。

【0027】

該方法は、少なくとも1つの孔を設ける前に、絶縁体スタックを平坦化することをさらに含んでもよい。

【0028】

絶縁体スタックを平坦化することは、化学機械研磨によって行ってもよい。

【0029】

絶縁体スタックは、SiN、SiO₂およびSiCからなるグループから選ばれた少なくとも1つの材料を含んでもよい。

【0030】

該方法は、導電材料層を堆積する前に、クリーニング工程をさらに含んでもよい。

【0031】

クリーニング工程は、下記ステップを含んでもよい。

- ・ 300 ~ 500 の温度で脱ガス(degas)を行うこと。
- ・ ArプラズマまたはH₂/N₂リアクティブ・プレクリーン(reactive pre-clean)を用いて少なくとも1つの孔をクリーニングすること。

【0032】

本発明はまた、高電子移動度トランジスタを製造するための、本発明の実施形態に係る方法の使用を提供するものであり、制御コンタクトはゲートコンタクトを形成する。

【0033】

特定の好ましい本発明の態様は、添付の独立および従属の請求項に記述している。従属請求項からの特徴は、請求項で明記されたものだけでなく、適切なものとして、独立請求項の特徴および他の従属請求項の特徴と組み合わせてもよい。

【0034】

この分野において絶え間ないデバイスの改善、変化および進化があっても、本概念は、先の実践からの逸脱を含む、実体的で新しく新規な改善を表すものと考えられ、より効率的で安定して信頼のあるこの種のデバイスの提供をもたらす。

【0035】

本発明の上記および他の特性、特徴および利点は、本発明の原理を例として示した添付図面と関連して、下記の詳細な説明から明らかになるであろう。この説明は、例示目的のためであり、本発明の範囲を限定するものでない。下記記載した参照図面は、添付図面を参照している。

【図面の簡単な説明】

【0036】

【図1a】本発明の実施形態に係るシングルダマシンプロセスを用いたT字状ゲートの製造を含む、AlGa_{0.5}N-GaN HEMTデバイス上のダマシン・オーミック・ソースおよびドレインコンタクトならびにダマシン・ショットキー・ゲートコンタクトの形成のための後続の処理ステップを示す。

【図1b】本発明の実施形態に係るシングルダマシンプロセスを用いたT字状ゲートの製

10

20

30

40

50

造を含む、AlGa_N-Ga_N HEMTデバイス上のエッチングしたオーミックソースおよびドレインコンタクトならびにダマシン・ショットキー・ゲートコンタクトの形成のための後続の処理ステップを示す。

【図3h】本発明の実施形態に係るシングルダマシンプロセスを用いたT字状ゲートの製造を含む、AlGa_N-Ga_N HEMTデバイス上のエッチングしたオーミックソースおよびドレインコンタクトならびにダマシン・ショットキー・ゲートコンタクトの形成のための後続の処理ステップを示す。

【図3i】本発明の実施形態に係るシングルダマシンプロセスを用いたT字状ゲートの製造を含む、AlGa_N-Ga_N HEMTデバイス上のエッチングしたオーミックソースおよびドレインコンタクトならびにダマシン・ショットキー・ゲートコンタクトの形成のための後続の処理ステップを示す。

10

【図3j】本発明の実施形態に係るデュアルダマシンプロセスによって形成された、T字状ゲートを有するデバイスを示す。

【図4】AlGa_N/Ga_N-on-Si HEMT上のショットキー・ゲートコンタクトとして適用された、Ta_N Cu拡散バリアについての順方向および逆方向の電流-電圧(I-V)特性を示す。

【図5】AlGa_N/Ga_N-on-Si HEMT上のオーミックソースおよびドレインコンタクトとして適用された、Ta_N Cu拡散バリアについての順方向および逆方向の電流-電圧(I-V)特性を示す。

【0037】

20

異なる図面において、同じ参照符号は、同じまたは類似の要素を参照している。

【発明を実施するための形態】

【0038】

本発明について特定の実施形態に関して、一定の図面を参照しつつ説明する。しかし、本発明はこれによって限定されず、請求項によってのみ限定される。記載した図面は、概略的で非限定的なものである。図面において、幾つかの要素のサイズは、説明目的のために誇張したり、縮尺どおり描写していない。寸法および相対寸法は、本発明の実際の実施態様に対応していない。

【0039】

さらに、説明および請求項での用語「第1」「第2」「第3」などは、類似の要素を区別するために使用しており、必ずしも連続的または空間的な順番を記述するためではない。これらの用語は、適切な状況下で交換可能であり、ここで本発明の実施形態は、ここで説明したり図示したものととは別の順番で動作可能である。

30

【0040】

さらに、説明および請求項での用語「上(top)」、「下(bottom)」、「の上に(over)」、「の下に(under)」等は、説明目的で使用しており、必ずしも相対的な位置を記述するためのものでない。こうして用いた用語は、適切な状況下で交換可能であって、ここで説明した本発明の実施形態がここで説明または図示した以外の他の向きで動作可能である。

【0041】

用語「備える、含む(comprising)」は、それ以降に列挙された手段に限定されるものと解釈すべきでなく、他の要素またはステップを除外していない。記述した特徴、整数、ステップまたは構成要素の存在を、参照したように特定するように解釈する必要があるが、1つ又はそれ以上の他の特徴、整数、ステップまたは構成要素、あるいはこれらのグループの存在または追加を除外していない。そして「手段A、Bを備えるデバイス」という表現の範囲は、構成要素A、Bだけからなるデバイスに限定すべきでない。好ましい実施形態に関して、デバイスの関連した構成要素だけがAとBであることを意味する。

40

【0042】

本明細書中の「一実施形態」または「実施形態」とは、該実施形態に関連して説明された特定の特徴、構造または特性が、本発明の少なくとも1つの実施形態に含まれることを意味する。本明細書中の各所で「一実施形態では」または「実施形態では」の文言は、

50

必ずしも全て同じ実施形態を参照していないが、その場合もあり得る。さらに、特定の特徴、構造または特性は、本開示から当業者に明らかなように、1つ又はそれ以上の実施形態において任意の適切な方法で組み合わせてもよい。

【0043】

同様に、本発明の例示の実施形態の説明において、開示を合理化し、1つ又はそれ以上の種々の発明態様の理解を助ける目的で、本発明の種々の特徴が時には1つの実施形態またはその説明においてグループ化されていると理解すべきである。しかしながら、この開示方法は、請求項の発明は、各請求項で明記されたものより多くの特徴を要求する意図を反映したものと解釈すべきでない。むしろ下記請求項が反映するように、発明態様が、1つの前述の開示した実施形態の全ての特徴より少ないところにある。こうして詳細な説明に続く請求項は、この詳細な説明に明示的に組み込まれており、各請求項は、本発明の別個の実施形態として自立している。

10

【0044】

さらに、ここで説明した幾つかの実施形態は、他の実施形態に含まれる幾つかの他の特徴を含むとともに、異なる実施形態の特徴の組合せは、当業者によって理解されるように、本発明の範囲内であって、異なる実施形態を形成することを意味する。例えば、下記請求項において、請求された実施形態の何れかが任意の組合せで使用できる。

【0045】

ここで提供した説明では、多くの特定の詳細が記述されている。しかしながら、本発明の実施形態は、これらの特定の詳細なしで実施してもよいと理解される。例えば、この説明の理解を不明瞭にしないように、周知の方法、構造および手法は、詳細には示していない。

20

【0046】

本発明について、本発明の幾つかの実施形態の詳細な説明によって説明する。本発明の他の実施形態は、本発明の真の精神または技術的教示から逸脱することなく、当業者の知識に従って構成できることは明らかである。本発明は、添付した請求項の用語によるのみ限定される。

【0047】

本発明は、I I I - V族CMOSデバイス上にコンタクトを製造するための方法を提供する。該方法は、制御コンタクトを設けることを少なくとも含み、制御コンタクトを設けることは、ダマシン(damascene)プロセスを用いて行われる。

30

【0048】

本発明の実施形態によれば、該方法は、第1および第2メインコンタクトを設けることをさらに含む。第1および第2メインコンタクトは、本発明の実施形態によれば、ダマシンプロセスによって形成しててもよい。

【0049】

本発明の実施形態は、例えば、 $0.5 \mu\text{m} \sim 1 \mu\text{m}$ の範囲の低いコンタクト抵抗を備えた第1および第2メインコンタクト、例えば、ソースコンタクトおよびドレインコンタクトの製作を可能とし、良好なオーミックコンタクトを形成でき、そして、小さい長さ、低い漏れ、低い抵抗、良好な接着性および十分に高温安定性を備えた制御コンタクト、例えば、ゲートコンタクトの製作を可能にする。制御コンタクトは、典型的には $0.6 \text{ eV} \sim 0.9 \text{ eV}$ の範囲である高いショットキーバリア高さを持つショットキーコンタクトを形成する。

40

【0050】

本発明の実施形態に係る方法は、少なくとも制御コンタクト、例えば、ゲートコンタクトを製作するために、ダマシン技術を使用する。本発明の実施形態によれば、第1メインコンタクト、例えば、ソースコンタクト、および第2メインコンタクト、例えば、ドレインコンタクトも、ダマシン技術を用いて形成可能である。第1および第2メインコンタクトは、オーミックコンタクトでもよい。

【0051】

50

ダマシン技術において、溝または孔は、絶縁体内にエッチングされ、続いて、導電材料、例えば、金属で充填される。次に、溝または孔を囲む領域にある導電材料が、好ましくは化学機械研磨（CMP）によって除去される。ダマシンプロセスの詳細は、文献（"Making the move to dual damascene processing" by P. Singer in Semiconductor International 20, 79-82, 1997）に説明されている。ダマシン技術、例えば、シングルダマシンまたはデュアルダマシン技術を使用する利点は、小さな溝のパターニング、小さな溝の充填および歩留まりの最適化を伴う多くの経験が存在している点である。Siサブミクロンステップリソグラフィプロセスと互換性があるために、III-Vプロセスで典型的に用いられる低速で高価な電子ビームリソグラフィの必要性を回避して、基板は、各リソグラフィステップの前に、CMP（化学機械研磨）によって平坦化する必要がある。AlおよびCuダマシンプロセスが開発され、Siロードマップの小さい配線幅に匹敵するものである。

10

【0052】

さらに、制御コンタクト、例えば、ゲートコンタクトを形成するために、溝をエッチングした後、制御コンタクトを形成する材料をエッチングするための第2のリソグラフィプロセスの使用は、こうしたダマシンプロセスの使用によって回避できる。

【0053】

さらに、制御コンタクトを形成するためにダマシンプロセスを用いることによって、狭い特徴物を備えたコンタクトが得られる。例えば、20nm～5μm、好ましくは、50nm～2μmの長さを持つ制御コンタクトが得られる。

【0054】

RF応用では、低いコンタクト抵抗を有する制御コンタクト、例えば、ゲートコンタクトは、有利になるであろう。先行技術のIII-Vプロセスでは、Au系のリフトオフゲートプロセスが用いられている。これらのプロセスはSi技術と互換性がない。一方、Cuダマシンプロセスは、Si技術と互換性がある。

20

【0055】

さらに、Cuの抵抗値は、Auより～30%低く、例えば、AlGaN/GaN高電子移動度トランジスタ（HEMT）上にゲートコンタクトを形成するために用いられる最も普通の金属組合せであるNi/Auより60%低い。従って、本発明の実施形態に係る方法の利点は、上述したような良好な特性を備えたIII-V族CMOSデバイスが、Auなどの材料の使用またはリフトオフ技術などの技術の使用の必要なしで得られることである。これによりIII-Vプロセスは、Siプロセスと互換性があるようになる。

30

【0056】

デュアルダマシンプロセスの使用またはシングルダマシンプロセスの繰り返しによって、「T字状ゲート」が形成できる。こうした「T字状ゲート」は、制御コンタクトのエッジにピーク電界を下げるために、制御コンタクトの上部にフィールドプレート（トッププレートとも称される）を設けることによって、制御コンタクトの抵抗をさらに低減できる。

【0057】

当業者に知られているようなダマシンプロセスが、Si技術でのプラグ及び/又は溝の充填について最適化されているため、このダマシンプロセスを用いて使用するのに適した材料は、制御コンタクト、例えば、ゲートコンタクトの導電材料、例えば、金属と、下地のIII-V材料、例えば、HEMT構造との間でショットキーコンタクトを実現できないであろう。

40

【0058】

金属ダマシンバリアと成長したIII-V材料との間の接着性の問題も生ずるかもしれない。さらにIII-V材料へのゲート金属の拡散を回避する必要がある。使用するリソグラフィプロセスの最適化、そしてエッチング、剥離およびクリーニングプラズマの微調整が必要であろう。

【0059】

本発明の実施形態に係る方法は、ソースおよびドレインコンタクトおよびゲートコンタ

50

クトを有する III-V 族高電子移動度トランジスタ (HEMT) を製造するための方法によって説明する。これは説明容易のためだけであり、本発明を多少なりとも限定することは意図していないと理解すべきである。本発明の実施形態に係る方法は、何れか他の III-V 族 CMOS デバイス、例えば、III-V 族金属-半導体電界効果トランジスタ (MESFET) または何れか他の FET など形成するために使用できる。本発明の実施形態に係る方法は、Si 系 III-V 族 CMOS デバイスを形成するためにも使用してもよい。

【0060】

HEMT を形成するために使用される材料層 (HEMT 層とも称される) が、分子線エピタキシー (MBE) または有機金属化学気相成長法 (MOCVD) によって製造可能であり、デバイス層は真空中で分子の堆積によって構築される。従来の HEMT、例えば、AlGaAs/GaAs HEMT は、チャンネル用にアンドープの比較的低いバンドギャップ材料 (例えば、GaAs) を使用しており、これにチャンネルとゲートコンタクトの間にある比較的高いバンドギャップ (例えば、AlGaAs) ドーピング層によって電子が供給される。異なるバンドギャップを持つ材料、即ち、高いバンドギャップを持つ材料と低いバンドギャップを持つ材料を組み合わせることによって、組み合わせた材料間の界面に量子井戸が形成される。

【0061】

電子散乱が大きいチャンネルドーパント層のチャンネル自体からの分離は、チャンネル内の電子移動度を著しく増加させる。高周波動作において従来の MESFET デバイスと比べて HEMT 技術の基本的な利点を提供するのは、キャリアの高い移動度である。AlGaN/GaN HEMT のより特定の場合、より高いバンドギャップ材料、例えば、AlGaN はアンドープであり、量子チャンネル内の高いシートキャリア濃度は、圧電性および自発分極で誘導された効果によって得られる。HEMT 成長は、高品質デバイスを達成するために、典型的にはバッファ層を用いて開始する。基板材料が活性材料と異なる場合、このバッファ層は格子定数の差を調整する。関連するデバイスも本発明に含まれる。

【0062】

本発明の異なる実施形態に従って、III-V 族 HEMT デバイスを製作するための後続の処理ステップは、図 1 ~ 図 3 に示している。図 1 は、III-V 族 HEMT デバイスの全てのコンタクト、即ち、ソースコンタクト、ドレインコンタクトおよびゲートコンタクトが、ダマシン技術を用いて形成される場合を示す。図 2 と図 3 は、III-V 族 HEMT デバイスのゲートコンタクトがダマシン技術を用いて形成され、III-V 族 HEMT デバイスのソースコンタクトおよびドレインコンタクトが従来のエッチング技術を用いて形成される場合を示している。

【0063】

第 1 実施形態に従って、第 1 および第 2 メインコンタクトならびにゲートコンタクトに関して、ダマシンプロセスを用いて III-V 族 HEMT デバイスを形成するための方法の後続ステップを、図 1 (a) ~ 図 1 (i) を用いて説明する。

【0064】

第 1 ステップにおいて、異なる HEMT III-V 層が基板 1 の上に設けられる (図 1 (a) を参照)。本発明の実施形態において、用語「基板」は、使用可能な任意の下地材料を含んでもよく、その上にデバイス、回路またはエピタキシャル層が形成される。他の代替の実施形態において、この「基板」は、ガリウム砒素 (GaAs)、ガリウム砒素リン (GaAsP)、インジウムリン (InP)、ゲルマニウム (Ge)、またはシリコンゲルマニウム (SiGe) の基板などの半導体基板を含んでもよい。「基板」は、半導体基板の部分に追加して、例えば、SiO₂ 層または Si₃N₄ 層などの絶縁層を含んでもよい。こうして用語「基板」は、シリコン・オン・ガラス基板、シリコン・オン・サファイア基板を含んでもよい。用語「基板」は、対象となる層または部分の下地となる層のための要素を一般に定義するための用いられる。また、「基板」は、ある層、例えば、ガラス層または金属層が形成された何れか他のベースであってもよい。

10

20

30

40

50

【0065】

HEMT III-V層の設置は、当業者に知られているようなエピタキシャル技術によって実施できる。基板1の上には、例えば、AlN核生成およびAlGaIn中間層（不図示）などの特別なバッファ層を成長させてもよい。次に、第1活性層2（バッファ層とも称される）および、第1活性層2より高いバンドギャップを持つ第2活性層3が堆積される。III-V族デバイスがHEMTである本例の場合、2次元電子ガス相（2DEG層）4が、第1活性層2と第2活性層3の間の界面20近傍に生成される。これは、第1活性層2と第2活性層3の間の界面20におけるバンドギャップの不連続に起因する。III-V族CMOSデバイスがMESFETである場合、活性領域は単一ドープ層で形成してもよいことに留意する。

10

【0066】

第1活性層2は、例えば、GaIn, GaAsまたはInGaAsを含んでもよい。第1活性層2の厚さは、例えば、500nm~5μmでもよく、好ましくは700nm~3μm、より好ましくは1μm~2μmである。第2活性層3は、例えば、AlGaIn, AlGaAsまたはInAlAsを含んでもよい。第2活性層3の厚さは、例えば、5~100nmでもよく、好ましくは10nm~50nm、より好ましくは20~30nmである。図1(a)に示すような構造の例は、Si(111)基板1の上に成長したAlGaIn/GaNヘテロ構造でもよい。必要ならば、上述したように、基板とヘテロ構造の第1活性層2との間の熱膨張および格子不整合を克服するために、特別なバッファ層、例えば、核生成層、及び/又は、AlGaIn, AlInまたはGaN中間層などの中間層を設けてもよい。

20

【0067】

本発明の実施形態によれば、AlGaInは、15~40%、好ましくは20~30%のAl濃度を有する。HEMT層は、有機金属化学気相成長法(MOCVD)、分子線エピタキシー(MBE)、または当業者に知られた他の適切な方法によって堆積できる。図1(a)に示すようなヘテロ構造を製作するために使用可能な他の材料は、例えば、GaAs基板上的AlGaAs/GaAs、GaAs基板上的AlGaAs/InGaAs、InP基板上的InAlAs/InGaAs...でもよい。

【0068】

次のステップにおいて、第1パッシベーション層5（第1絶縁体層5とも称される）を第2活性層3の上に堆積してもよい（図1(b)を参照）。この第1パッシベーション層5は、ドライエッチング、ダマシン研磨工程などの後続の処理ステップの際に、第2活性層3を保護する。第1パッシベーション層5は、2DEG層4及び/又は、第2活性層3の表面に存在する表面状態に影響を及ぼすことがあり、特に、第1パッシベーション層5が、例えば1~20nmの厚さを持つ、薄いその場(in-situ)パッシベーション層で形成される場合である。これは、文献("Systematic study of insulator deposition effect on electrical properties in AlGaIn/GaN heterostructures" by N. Maeda et al. in Jap. Journal of Appl. Phys. 46, nr. 2, 547-554, 2007)に記載されている。

30

【0069】

本発明の実施形態によれば、このパッシベーション層5は、省略してもよい。この場合の処理は、図3に示している。もし存在する場合、第1パッシベーション層5は、例えば、SiN, SiO₂, AlN, Al₂O₃, SiC, SiCN, SiOC, Ta₂O₅, HfO₂, ZrO₂...を含んでもよい。実際、低誘電率(low-k)または高誘電率(high-k)の材料あるいはこれらの組合せの何れも、パッシベーション層5を形成するために使用可能である。第1パッシベーション層5は、HEMT層と同じ設備内で、その場(in-situ)で堆積してもよく、あるいは、少なくとも1つのその場(in-situ)で堆積した層および少なくとも1つの外部(ex-situ)で堆積した層の組合せでもよい。その場(in-situ)および外部(ex-situ)で堆積したパッシベーション層5は、同じ組成を有してもよく、異なる組成を有してもよい。

40

【0070】

50

このパッシベーション層5の厚さは、例えば、1 nm ~ 500 nm、10 nm ~ 300 nm、2 nm ~ 10 nm、または3 nm ~ 5 nmでもよい。第1パッシベーション層5は、1 nm ~ 50 nm、好ましくは2 ~ 20 nmの厚さを持つ少なくとも1つのその場(in-situ)層と、50 nm ~ 500 nmの厚さを持つ少なくとも1つの外部(ex-situ)層の組合せでもよい。

【0071】

次のステップにおいて、ソースコンタクトおよびドレインコンタクトがHEMT構造の上に形成される。ソースコンタクトおよびドレインコンタクトを形成するのに使用可能な適切な金属スタックの例は、Ti/Al/Mo/Au, Ti/Al/Pt/Au, Ti/Al/Ni/Au, Ti/Al, Ti/Ta/Al, Ti/Al/TiW, Ti/Al/TiN, Ti/Al/Wsiである。他の例は、Ta/Al/M, TaN/Al/M, Ta/Si/M, TaN/Si/Mでもよく、ここで、Mは他の金属スタックでもよい。金属スタックMの機能は、下地材料の酸化を防止したり、及び/又は、ソースおよびドレインコンタクトのコンタクト抵抗を下げることである。Mは、例えば、Pt/Au, NiAu, Mb/Au, TaN/Cuでもよい。しかしながら、Auは、Siプロセスと互換性がないという不具合がある。

10

【0072】

本発明によれば、ソースおよびドレインコンタクトは、ダマシンプロセスを用いて形成してもよい。

【0073】

本例において、ソースおよびドレインコンタクトは、パッシベーション層5内に形成された孔または溝6を通して、第2活性層3の上に形成できる(図1(c)を参照)。溝6は、最初に、例えば、リソグラフィによってパッシベーション層5内で規定してもよい。そして、溝6は、パッシベーション層5をエッチングすることによって形成される。本発明の実施形態によれば、エッチングは、パッシベーション層5内で停止してもよく、換言すると、基板1に向かってパッシベーション層5の深さの一部だけをエッチング除去してもよい。この場合、パッシベーション層5の一部が溝6の底に残留する。本発明の他の実施形態によれば、図1(c)に示すように、溝6は、パッシベーション層5を通して完全にエッチングしてもよく、これにより第2活性層3の上で停止する。本発明のさらに他の実施形態によれば、溝6は、パッシベーション層5を通り、第2活性層3を部分的に通るよう

20

30

【0074】

次のステップにおいて、第1活性層2内にドーパ領域21を形成するために、ドーパント元素、例えば、Siの注入を行ってもよい(図1(c)を参照)。このステップでは、パッシベーション層5の残部を、注入すべき領域の外側でヘテロ構造の下地部分がドーパント元素に露出しないように保護するためのマスクとして使用してもよい。ここでの例では、ドーパント元素の注入は、第2活性層3を通じて行ってもよい。ドーパント元素の注入ステップは任意であるが、より良好なオーミック・ソースおよびドレインコンタクトを実現するのに役立つであろう。注入の活性化は、高温アニール工程によって、例えば、600より高い温度で行ってもよい。

40

【0075】

次に、ソースおよびドレインコンタクト7が、例えば、Ti/Al, Ti/Ta/Al, Ta/Ti/Alを含む金属スタックを、得られた地形上および孔6の中に堆積することによって形成される。堆積後、金属スタックは、例えば、CMPによって平坦化してもよい。続いて、金属スタックは、ソースおよびドレインコンタクト7と第2活性層3との間で反応が生ずる800~900の温度で合金化してもよい。こうしてソースおよびドレインコンタクト7は、図1(d)から判るように、第1活性層2に到達するように延長される。

【0076】

次のステップにおいて、ゲートコンタクトを形成してもよい。本発明によれば、これは

50

ダマシン技術によって行ってもよい。上述したように、本発明の実施形態に係る方法は、Si技術と互換性がある。従って、このステップは、例えば、Si CMOSプロセスラインにおいて行うことができる。

【0077】

次のステップにおいて、パッシベーション層5内で、ゲートコンタクトが形成される場所に溝8が形成され、例えば、エッチングされる(図1(e)を参照)。これらの溝8は、ゲート溝(trench)8とも称される。ゲート溝8は、例えば、リソグラフによって規定してもよい。これは、溝8のエッチングと、溝8を規定するためにリソグラフを用いた場合にはリソグラフ工程で使用したレジストの除去とである。エッチングは、ドライ及び/又はウェットエッチングで行うことができる。本発明の実施形態によれば、図1(e)に示すように、ゲート溝8は、第1パッシベーション層5を通過して下方に完全にエッチングしてもよく、下地の第2活性層3の上で停止する。しかしながら、本発明の実施形態によれば、ゲート溝8は、第1パッシベーション層5を通過して部分的にのみエッチングしてもよく、これにより第2活性層3に到達する前に、パッシベーション層5内の所定高さで停止する。

10

【0078】

ゲート溝8は、20nm~5µm、好ましくは50nm~2µmの長さを有してもよい。その結果、後で形成されるゲートコンタクトの長さは、20nm~5µm、好ましくは50nm~2µmでもよい。溝8の幅は、1µm~5mm、2µm~1000µm、5µm~500µm、または10µm~200µmでもよい。溝8の深さは、10nm~500nmの範囲で変化できる。本発明の実施形態によれば、幾つかの接続されたゲート部分を備えた指形状(fingered)ゲートも、ゲートコンタクトを形成するために使用できる。ゲート溝8のアスペクト比は、溝8の深さを溝8の長さで除算したものと定義できる。アスペクト比は、1/500~25の範囲で変化でき、好ましくは2より大きい。

20

【0079】

溝8を導電材料で充填してゲートコンタクトを形成する前に、必要ならば溝8のクリーニングを行うことができる。これは、300~600、好ましくは350~550、より好ましくは350~400の温度で脱ガス(degas)によって、及び/又は、Arガス/プラズマを用いたプレクリーン(pre-clean)、または室温でのH₂/Heリアクティブ・プレクリーン(reactive pre-clean)によって行うことができる。

30

【0080】

そして、図1(f)に示した例のように、導電材料の層10を堆積してゲート溝8を充填する前に、最初にバリア層9を堆積してもよい。バリア層9は、下地のHEMT構造へ向かう導電材料10の拡散を防止し、これによりデバイスの信頼性を改善している。バリア層9は、この例では、第2活性層3の材料に対する導電材料10の接着性を改善できる。さらに、バリア層9は、溝8を導電材料10で充填するのを容易にする。バリア層9に用いられる適切な材料の例は、Ta, TaN, Ti, TiN, WN, WNC, WSiN, Ru, Os, Mg...またはこれらの組合せでもよい。バリア層9を形成するために、2つ又はそれ以上の異なる材料層を使用してもよい。適切な組合せの例は、Ti/TiN, TaN/Ta, Ta/TaN...でもよい。バリア層9の厚さは、5nm~50nm、10nm~40nm、20~30nmでもよい。バリア層9が2つの異なる層からなる場合、各層の厚さは、2nm~48nm、3nm~40nm、5nm~20nmまたは10nm~15nmの範囲で変化できる。

40

【0081】

溝8の充填は、1つだけの導電材料10、または異なる導電材料の組合せ、または複数の導電材料層を用いて行うことができる。ゲート溝8を充填する材料の選択は、形成されるショットキー(Schottky)ゲートコンタクトの品質、即ち、ゲートコンタクトのショットキーバリア高さを決定する。導電材料の選択はまた、溝8の充填、ゲート抵抗、信頼性、HEMT構造に対する接着性および拡散性を決定する。ゲート抵抗は、HEMTデバイスの高周波およびスイッチング動作を決定する。材料の導電率、即ち、ゲート抵抗が低いほ

50

ど、HEMTデバイスのスイッチング周波数が高速になる。

【0082】

ゲート溝8のアスペクト比もゲート抵抗に影響を与え、即ち、アスペクト比が大きいほど、ゲート抵抗は低くなる。溝8を充填するのに使用できる導電材料は、例えば、Cu, Au, Al, Ptでもよい。これらの材料は、電気メッキ、PVD(物理的気相成長法)、ALD(原子層成長法)、またはこの分野で知られた何れか他の方法によって堆積できる。これらの層の厚さは、充填が必要なゲート溝8のサイズ(即ち、幅および深さ)に依存する。導電材料層10の厚さは、100nm~1500nm、好ましくは200nm~1000nm、より好ましくは400nm~800nm、あるいは500nm~700nmの範囲で変化できる。内部拡散(in-diffusion)なしで、十分な接着性および良好な信頼性で、導電材料10がショットキーバリアを形成する場合、バリア層を省略してもよい。

10

【0083】

本発明の実施形態によれば、バリア層9と導電材料10の間に、シード(seed)材料、例えば、Cuなどの低い抵抗率のシード金属を堆積してもよい。導電材料10の堆積後、最良の場合、ゲート溝8を完全に充填してもよい。ある材料が溝8から出てくることがある。また、ある材料が溝8の外側の領域に堆積することがある。余分な導電材料10は、追加の処理時に除去できる。本発明の実施形態に従って使用するのに適したバリア層9と導電材料10の組合せの例は、Ti及び/又はTiNを含むバリア層9と、Alを含む導電材料との組合せでもよく、あるいはTa及び/又はTaNを含むバリア層9と、Cuを含む導電材料との組合せでもよい。

20

【0084】

本発明の実施形態によれば、バリア層9及び/又は導電材料層10の堆積前に、HEMT構造の下地材料に対する導電材料10の接着性及び/又はゲート溝8の充填を改善するために特別な処理を行ってもよい。こうした処理の例は、脱ガス(degas)処理のための高温処理、またはプラズマクリーニング処理でもよい。さらに、特別な層を、可能ならばバリア層9の上部に、ゲート溝8を導電材料で充填するのを促進するために用いてもよい。こうした特別な層の例は、溝8をCuの電気化学堆積で充填する前に、PVDで堆積した低い抵抗率のCuシード層でもよい。

【0085】

更なるステップにおいて、構造上部にある導電材料10の余剰は、CMPによって除去できる(図1(g)を参照)。また、ドライまたはウェットエッチングが、導電材料10をパターン形成するために使用できる。こうして分離したゲートコンタクト10aが生成できる。

30

【0086】

このように1 μ m~2 μ mのゲート長さについて100 \cdot mm未満の低いゲート抵抗を持つIII-V族HEMTデバイスが得られる。

【0087】

ゲート抵抗をさらに下げるには、本発明の実施形態によれば、T字状ゲート22が、ゲートコンタクト10aの形成について上述したようなシングルダマシンプロセス工程を繰り返すことによって形成できる。従って、第2絶縁体層12を堆積してもよい。この第2絶縁体層12内には、孔または溝13がエッチングされる(図1(h)を参照)。これらの孔13は、導電材料15で充填できる。

40

【0088】

本発明の実施形態によれば、導電材料15の堆積前に、バリア層14を設けてもよい。バリア層14および導電材料15は、上述したようなゲートコンタクト10aを形成するために用いたバリア層9および導電材料10と同じ材料を含み、同じ特性を有するものでもよい。導電材料15の余剰、および隣りの溝13との間にあるバリア層14の材料は、CMPによって除去できる。部分15aは、ゲートコンタクト10aの上部プレートとも称される。よって、ゲートコンタクト10aは、上部プレート15aとともにT字状ゲートコンタクト22を形成する(図1(i)を参照)。

50

【 0 0 8 9 】

導電材料 10, 15 は、本発明の実施形態によれば、同じ材料を含んでもよく、あるいは異なる材料を含んでもよい。もし存在する場合、バリア層 9, 14 は、異なる材料を含んでもよく、あるいは同じ材料を含んでもよい。上述したプロセスにおいて、シングルダマシンプロセスの異なる処理ステップが繰り返される。

【 0 0 9 0 】

本発明の実施形態によれば、シングルダマシンプロセスを繰り返す代わりに、デュアルダマシンプロセス技術を用いて T 字状ゲート 22 を製作することも可能である。これにより、処理ステップ数を低減でき、その結果、処理コストを削減できる。得られた T 字状ゲート 22 は、図 1 (j) に示す。デュアルダマシンプロセスにおいて、ゲート 10 a および上部プレート 15 a は、2 つの工程の代わりに 1 つの工程で製作される。デュアルダマシンプロセスの場合、第 1 パッシベーション層 5 および絶縁体層 12 を堆積した後、T 字状ゲート 22 のための構造をエッチングする。従って、デュアルダマシンプロセスでは、ソースコンタクトおよびドレインコンタクト 7 を形成した後、パッシベーション層 5 および絶縁体層 12 を堆積する。パッシベーション層 5 および絶縁体層 12 は、1 つの材料で製作してもよく、あるいは異なる材料の組合せでもよい。異なる層を、別の理由のために、エッチング停止層として、またはリソグラフィ工程を容易にするために導入してもよい。

【 0 0 9 1 】

堆積した層の平坦化(planarization)は、例えば、リソグラフィ工程を容易にするために、CMP によって行うことができる。そして、T 字状ゲート 22 を生成するための孔をパターン形成してもよい。従って、第 1 リソグラフィ工程の後、ゲート溝 8 を生成するために、ドライ及び/又はウェットエッチングと、レジスト剥離とが続く。

【 0 0 9 2 】

そして、第 2 リソグラフィ工程は、ゲートコンタクトの上部プレート 15 a を形成するためのより大きいパターンを規定する。このプロセスを用いることによって、パッシベーション層 5 内の第 1 孔 6 を充填した後にシングルダマシンプロセスで必要であった平坦化工程を回避することができる。これらの孔 6 は、絶縁体層 12 内の孔 13 の形成の後に充填されるためである。こうして T 字状孔が形成される。これらの孔は導電材料で充填できる。必要に応じて、孔を導電材料で充填する前にバリア層 14 を堆積できる。最後に、ゲートコンタクト間にある余分な導電材料を CMP によって除去できる。

【 0 0 9 3 】

ゲートコンタクト 22 は、下地の HEMT 構造に対するショットキーコンタクトを形成してもよい。材料は、良好なショットキーコンタクトを達成するために最適化できる。これは単純ではない。最初に、良好なショットキーコンタクトが得られるように、材料の材料特性を選択すべきである。一方、溝 8, 13 の良好な充填が得られるように、導電材料の堆積を最適化する必要がある。これは、材料特性を変化させることがあり、形成するコンタクトのショットキー挙動を損なうことがある。溝の良好な充填とともに信頼のあるショットキーコンタクトを達成するために、材料特性および堆積方法の両方を最適化する必要がある。さらに、導電材料の堆積前に、溝 8, 13 内に用いられる適切なバリア層は、しばしば化学量論的ではなく、従って、化学量論的組成と異なる仕事関数を有するため、これも考慮する必要がある。従って、本発明の実施形態に係る方法は、どのような材料または材料の組合せが、良好な結果が得られるため、即ち、良好な特性を備えた HEMT デバイスが得られるために使用する必要があるについての慎重な検討を必要とすることは明らかである。

【 0 0 9 4 】

上述したプロセスにおいて、ソースおよびドレインコンタクト 7、そしてゲートコンタクト 22 は、ダマシンプロセスによって形成される。しかしながら、代替として、ソースおよびドレインコンタクト 7 は、図 2 と図 3 に示すように、従来の手法によって形成することができる。図 1 に関して説明したステップと類似のステップは、頻繁に繰り返さない。上記プロセスで説明したのと同じ手法および材料は、本実施形態に係るプロセスにおい

10

20

30

40

50

て使用してもよいことは理解する必要がある。

【0095】

図2(a)と図2(b)は、図1(a)と図1(b)と同様であり、基板1、例えば、Si(111)基板上での異なるHEMT III-V層の設置を示しており、即ち、第1および第2活性層2, 3、第1および第2活性層2, 3の間にある界面20におけるDEG4、および第1絶縁体層5とも称される第1パッシベーション層5を示す。

【0096】

オーミック・ソースおよびドレインコンタクト7の形成は、図2(c)と図2(d)に示す。トランジスタのオーミック・ソースドレイン領域7を規定するために、例えば、リソグラフおよびエッチングによって、溝6がパッシベーション層5内で規定される。次に、第1活性層2内にドープ領域21を形成するために、ドープ元素、例えば、Siの注入を行ってもよい。これによりパターン化したパッシベーション層5は、上述したように、これらの領域21の外側領域を保護するマスクとして機能し得る。注入元素の活性化は、高温アニール工程によって、例えば、600を超える温度で行ってもよい。この注入は任意であるが、より良好なオーミック・ソースおよびドレインコンタクトを実現するのに役立つ。

【0097】

次に、導電層が、リフトオフまたはドライ(またはウェット)エッチングによって堆積されてパターン化され、パッシベーション層内で停止する。そして、高温アニール工程を、即ち、800~900の温度で行って、オーミック・ソースおよびドレインコンタクト7を形成する。アニール工程の際、ソースおよびドレインコンタクト7の導電材料と第2活性層2との間で反応が生じて、良好なオーミックコンタクトを形成できる。

【0098】

次のステップにおいて、第2パッシベーション層5bを堆積してもよく(図2(e)を参照)、CMP、エッチングバックまたはスピン・オン・グラス材料を用いて平坦化される。第2パッシベーション層5bは、例えば、窒化物または酸化物を含んでもよい。第1および第2パッシベーション層5, 5bはともに、絶縁体スタック11と称される。第1および第2パッシベーション層5, 5bは、同じ材料を含んでもよく、あるいは異なる材料を含んでもよい。

【0099】

本発明の実施形態によれば、第1および第2パッシベーション層5, 5bの少なくとも1つは、異なる絶縁体層の組合せを含んでもよい。ゲート絶縁体スタック11において、リソグラフの目的のために異なる層、例えば、エッチング停止層として導入することができ、あるいは低誘電率(low-k)材料を用いて容量結合を低減できる。第1および第2パッシベーション層5, 5bを形成するために使用可能な誘電体または絶縁体材料の例は、SiN, SiO₂, AlN, Al₂O₃, SiC, SiCN, SiOC...でもよい。エッチング停止層として使用するのに適した材料の例は、SiN, SiC...でもよい。

【0100】

そして、リソグラフおよび次のエッチングによって、絶縁体スタック内にゲート溝8を規定してもよい。ゲート溝8のエッチングは、ゲート溝8の底で絶縁材料が残留するように、ゲート絶縁体スタック11内で停止できる。図2(f)の場合、ゲート溝8は、第2パッシベーション層5bを通過して、下地の第1パッシベーション層5に到達するように完全にエッチングすることができ、これにより第1パッシベーション層5上で停止する。これは、第1パッシベーション層5が薄い場合、即ち、第1パッシベーション層5が1~10nmの厚さを有する場合に行うことができる。ゲート溝8は、第2パッシベーション層5bを完全に通過して、第1パッシベーション層5内で部分的にエッチングすることも可能であり、第2活性層3に到達する前に第1パッシベーション層5内で停止する。ゲート溝8は、第1および第2パッシベーション層5, 5bを完全に通過して、換言すると、絶縁体スタック11を完全に通過してエッチングすることも可能であり、これにより第1活性層2上に停止する。形成すべきゲートの長さは、20nm~5μm、好ましくは50nm~2

10

20

30

40

50

μmでもよい。

【0101】

次のステップにおいて、Ta, TaN, Ti, TiN, WN, WNC, WSiN, Ru, Os, Mg...またはこれらの組合せを含むバリア層9を堆積してもよい(図2(g)を参照)。バリア層9は、5nm~50nm、10nm~40nm、20~30nmの厚さで堆積してもよい。バリア層9が2つの異なる層からなる場合、各層の厚さは、2nm~48nm、3nm~40nm、5nm~20nmまたは10nm~15nmの範囲で変化できる。そして、導電材料10を堆積する。導電材料10は、好ましくは、例えば、Cu, Al, Au, Pt...などの低い抵抗率の金属でもよい。これは、例えば、電気メッキによって行ってもよい。内部拡散(in-diffusion)なしで、十分な接着性および良好な信頼性で、導電材料10がショットキーバリアを形成する場合、バリア層9を省略してもよい。

10

【0102】

本発明の実施形態によれば、バリア層9と導電材料10の間に、シード(seed)材料、例えば、Cuなどの低い抵抗率のシード金属が必要であろう。そして、余分な導電材料10は、例えば、CMPによって除去してもよい(図2(h)を参照)。本発明の実施形態に従って使用するのに適したバリア層9と導電材料10の組合せの例は、Ti及び/又はTiNを含むバリア層9と、Alを含む導電材料との組合せでもよく、あるいはTa及び/又はTaNを含むバリア層9と、Cuを含む導電材料との組合せでもよい。

【0103】

ゲート抵抗をさらに下げるために、第2のシングルダマシンプロセスを実施することによってT字状ゲート22を形成できる。従って、形成すべきT字状ゲート22の上部プレート15aを規定するために、第2絶縁体層12を堆積し、パターン形成してもよい(図2(i)を参照)。そして、バリア層14を堆積してもよい。そして、バリア層14の上部に、導電材料15を堆積し平坦化してもよい。こうしてT字状ゲート22が、繰り返したシングルダマシンプロセスを用いることによって形成される(図2(j)を参照)。

20

【0104】

また、本発明の実施形態によれば、先に説明したように、T字状ゲート22は、デュアルダマシンプロセスによっても形成できる。デュアルダマシンプロセスによって形成されたT字状ゲート22を含むデバイスは、図2(k)に示している。

【0105】

オーミック・ソースおよびドレインコンタクト7を形成するための更なる代替法について第3実施形態に記載し、図3(a)~図3(i)に示している。図3(a)に示す第1ステップは、図2(a)と図2(b)に示したステップと同様である。基板1の上部には、第1および第2活性層2,3が設けられる。そして、2DEG4が、第1および第2活性層2,3の間にある界面20に形成される。この第3実施形態によれば、第2活性層3の上部にはパッシベーション層5を設けていない。従って、ソースおよびドレインコンタクト7は、第2活性層3の上に直接形成できる(図3(b)と図3(c)を参照)。

30

【0106】

ドーブ領域21を形成するために、例えば、パターン形成したレジスト材料で形成されたマスクを用いて、ドーパント元素、例えば、Siの注入を行ってもよい(図3(b)を参照)。注入の活性化は、高温アニール工程によって、例えば、600を超えて行ってもよい。この注入は任意であるが、より良好なオーミック・ソースおよびドレインコンタクトを実現するのに役立つ。

40

【0107】

そして、ソースおよびドレインコンタクト7を形成するための導電材料スタックを堆積し、リフトオフまたはドライもしくはウェットエッチングによってパターン形成してもよく、第2活性層内、あるいはもし存在する場合、薄いパッシベーション層内で停止する。導電材料スタックは、例えば、Ti/Al, Ta/Ti/Al, Ti/Al/Mo/Au...を含んでもよい。そして、高温アニール工程を、即ち、800~900の温度で行って、オーミック・ソースおよびドレインコンタクト7を形成する。この場合、ソースお

50

よびドレインコンタクト7の導電材料と第2活性層3との間で反応が生ずることができ、これによりソースおよびドレインコンタクト7は第2活性層3を通過して第1活性層2に延びる(図3(c)を参照)。

【0108】

そして、ゲートコンタクト22の形成は、繰り返したシングルダマシンプロセスを用いることによって、第1および第2実施形態で記載したものと同様に行ってもよい。最初に、酸化物または窒化物でもよいパッシベーション層5を堆積し平坦化してもよい(図3(d)を参照)。このパッシベーション層5は、ゲート溝8を形成するためにパターン形成してもよい(図3(e)を参照)。これは、例えば、エッチングによって行ってもよい。形成すべきゲートの長さは、20nm~5μm、好ましくは50nm~2μmでもよい。ゲート溝8は、図3(e)に示すように、パッシベーション層5を完全に通過してエッチングしてもよく、これにより第2活性層3上で停止する。他の実施形態によれば、ゲート溝8は、パッシベーション層5を部分的に通過してエッチングしてもよく、溝8の底にはパッシベーション層5の絶縁材料が依然として存在することになる。

10

【0109】

そして、バリア層9を堆積してもよい。バリア層9に使用するのに適した材料の例は、Ta, TaN, Ti, TiN, WN, WNC, WSiN, Ru, Os, Mg...またはこれらの組合せでもよい。しばしば2つの異なる材料を用いてバリア層9を形成する。適切な組合せの例は、Ti/TiN, TaN/Ta, Ta/TaN...でもよい。バリア層9の厚さは、5nm~50nm、10nm~40nm、20~30nmでもよい。バリア層9が2つの異なる層からなる場合、各層の厚さは、2nm~48nm、3nm~40nm、5nm~20nmまたは10nm~15nmの範囲で変化できる。そして、導電材料10を堆積してもよい(図3(f)を参照)。導電材料10は、好ましくは、例えば、Cu, Al, Au, Pt...などの低い抵抗率の金属でもよい。これは、例えば、電気メッキによって行ってもよい。内部拡散(in-diffusion)なしで、十分な接着性および良好な信頼性で、導電材料10がショットキーバリアを形成する場合、バリア層9を省略してもよい。

20

【0110】

本発明の実施形態によれば、バリア層9と導電材料10の間に、シード(seed)材料、例えば、Cuなどの低い抵抗率のシード金属が必要であろう。そして、余分な導電材料10は、例えば、CMPによって除去してもよく(図3(g)を参照)、これによりゲート10aを形成する。

30

【0111】

ゲート抵抗を下げるために、第2のシングルダマシンプロセスを実施することによってT字状ゲート22を形成できる。従って、形成すべきT字状ゲート22の上部プレート15を規定するために、第2絶縁体層12を堆積し、パターン形成してもよい(図3(h)を参照)。そして、バリア層14を堆積してもよい。そして、バリア層14の上部に、導電材料15を堆積し平坦化してもよい。こうしてT字状ゲート22が、繰り返したシングルダマシンプロセスを用いることによって形成される(図3(i)を参照)。

40

【0112】

また、本発明の実施形態によれば、先に説明したように、T字状ゲート22は、デュアルダマシンプロセスによっても形成できる。デュアルダマシンプロセスによって形成されたT字状ゲート22を含むデバイスは、図3(j)に示している。

【0113】

以下、本発明を説明するために、幾つかの実験例について説明する。これは説明目的に過ぎず、本発明を限定することは意図していない。

【0114】

(実験:ゲート用TaN/Cuショットキーコンタクト)

上述のように、これらの材料の堆積がダマシン技術について最適化され、即ち、20nm~100nmの幅を持つ小さな孔または溝を充填するのに最適化されている場合、ゲート

50

コンタクト10aと下地のHEMTの間にショットキーコンタクトを形成することは容易ではない。

【0115】

以下の実験では、AlGa_N/Ga_N HEMT構造の上に形成されたTa_Nバリア層9を備えたCuゲートコンタクト10aが、大きいバリア高さに対してショットキーコンタクトを形成することを実証しており、この組合せが、本発明の実施形態に係る方法を用いてゲートコンタクト10aを形成するために使用できることを意味する。Ta_Nの仕事関数は、4.4 eV ~ 5 eVの範囲であり、化合物の化学量論に依存する。

【0116】

Cuは、室温で 1.7×10^{-9} cmの低い抵抗率に起因して、ゲートコンタクト10aを形成するのに適した材料であろう。Ta_Nは、バリア層9としてCuの下に用いられ、下地層、即ち、この場合はAlGa_N/Ga_N HEMT構造へのCuの拡散を制限する。化学量論的なTa_N、即ち、50%のTaと50%のNの場合、文献(J.R. Hayes et al. in "Thermal stability of TaN Schottky contacts on n-GaN" in Acta Materialia 51, p.653 - 663, 2003.)に記載されているように、ショットキーバリア高さは800まで安定している。

【0117】

本例に従って、HEMTデバイスの形成は下記のように行った。熱膨張および格子不整合を克服するために、高抵抗(10^6 / cmより高い抵抗率)のGa_Nバッファ層2を備えた4インチSi(111)基板1の上に、AlGa_N/Ga_Nヘテロ構造を成長させた。これは、低圧有機金属化学気相成長(MOCVD)プロセスを用いて行った。高抵抗Ga_Nバッファ層2の厚さは、約1.3 μmであった。そして、22 nm厚のAl_{0.3}Ga_{0.7}NをGa_Nバッファ層2の上に堆積した。トリメチルガリウム(TM_G)、トリメチルアルミニウム(TMA)およびアンモニア(NH₃)をGa, AlおよびNの原料としてそれぞれ用いた。その場(In-situ)で、3.5 nm厚の窒化物パッシベーション層5を堆積した。成長した層は、滑らかで(~0.2 nmのRMS粗さ)で、クラック無しであった。良好な電気特性が得られた。シート抵抗は250 / 、不均一性はSiウエハに渡って1.5%未満であった。

【0118】

MOCVDプロセスの後、ウエハを標準の200 mm Si CMOSプロセスラインに移送した。成長したヘテロ構造の上部に、Ta_NおよびCuを堆積した。従って、その場(in-situ)3分の脱ガスを350で行い、続いて60秒のH₂/Heリアクティブ・プレクリーン(reactive pre-clean)を行い、最後に15 nmのIMP(Ionized Metal Plasma)のTa_Nと100 nmの電気メッキCuを堆積した。Cuを用いてゲート抵抗を下けている。ゲートのパターン形成をウェットエッチングによって行った。良好なショットキー挙動特性が測定された。これは、図4に示しており、AlGa_N/Ga_N-on-Si HEMT上のTa_N/Cuゲート10aの順方向および逆方向のI-V特性を示す。

【0119】

(実験：ソースおよびドレイン用Ta_N/Cuオーミックコンタクト)

ダマシンプロセスを用いてAlGa_N/Ga_N HEMTの上にTa_N/Cuオーミックコンタクトをさらに形成する実現可能性を示すために、上記実験で説明したものと同様な実験を行った。この場合、ソースおよびドレインコンタクト7を形成するために、80%のTaと20%のNを持つ、非化学量論的でTaリッチのTa_Nで用いた。窒素雰囲気、500、60秒のアニール工程の後、図5に示すようなオーミック挙動が観測された。

【0120】

(実験：2回のシングルダマシンプロセスを用いたCMOSプロセスフロー)

熱膨張および格子不整合を克服するために、Ga_Nバッファ層2を備えた8インチまたは200 mmのSi(111)基板1の上に、低圧有機金属化学気相成長(MOCVD)プロセスを用いて、AlGa_N/Ga_Nヘテロ構造を成長させる。これは、第1の実験に

10

20

30

40

50

ついて記載したように行った。

【0121】

MOCVDプロセスの後、ウエハを標準の200mm Si CMOSプロセスラインに移送する。ヘテロ構造の上部に、Ti/Alオーミックソースおよびドレインコンタクト7およびTa₂N/Cuショットキーゲートコンタクト10aをダマシン技術を用いて生成する。

【0122】

最初に、50nmのSiCと200nmのSiNを含む絶縁体スタックを、3.5nmのその場(in-situ)成長窒化物の上部に堆積する。その後、オーミックコンタクト7を規定するためにリソグラフ工程を行う。絶縁体スタック内での溝のエッチングを2工程のプロセスで行った。第1工程は、O₂/CHF₃/CF₄プラズマを使用し、続いて、50nmのSiC層に向かって高いエッチング選択性を持つAr/O₂/C₄F₈中で第2エッチング工程を行う。その結果、SiC層が、3.5nm厚のその場(in-situ)成長窒化物層に対して選択的であるAr/N₂/CHF₃/CF₄/O₂プラズマ中で開放される。レジストは、CF₄/O₂プラズマ中で剥離する。

【0123】

文献(D. Qiao et al, "Low resistance ohmic contacts on AlGaIn/GaN structures and the advancing Al/Ti metallization" in Applied Physics Letters 74, p.2652-2654, 1999)に記載されたように、オーミック領域の外側にあるパターン化したパッシベーション層によってマスクした、オーミックエリアにおいて40keV、1×16cm⁻²のSi注入を行う。注入は、1150、30秒、N₂雰囲気中で活性化した。溝6内において、50nmのTa、50nmのTiおよび500nmのAlを含む金属スタックをPVDで堆積した。余分なTiとAlを、Al₂O₃研磨粒子をベースとしたスラリー中でCMPによって除去した。続いて、オーミックコンタクト7を形成するため、650、40秒、850、40秒、950、4分でアニールを行った。こうして低いコンタクト抵抗のオーミックコンタクト7が得られる。

【0124】

その後、ゲートコンタクト10aを200nm~2mmの範囲のゲート長サイズで形成する。従って、ゲート溝8を2工程プロセスを用いてエッチングする。第1工程は、O₂/CHF₃/CF₄プラズマを使用し、続いて、50nmのSiC層に向かって高いエッチング選択性を持つAr/O₂/C₄F₈中で第2エッチング工程を行う。その結果、SiC層が、3.5nm厚のその場(in-situ)成長窒化物層に対して選択的であるAr/N₂/CHF₃/CF₄/O₂プラズマ中で開放される。レジストは、CF₄/O₂プラズマ中で剥離する。

【0125】

そして、Ta₂N/Ta金属バリア層9およびCuシード層をPVDによってゲート溝8内に堆積した。バリア層9は、下記のステップを用いて堆積した。その場(in-situ)3分の脱ガスを350で行い、続いて60秒のH₂/Heリアクティブ・プレクリーン(reactive pre-clean)を行い、15/10nmのTa₂N/Ta IMP(Ionized Metal Plasma)を用いて金属スタックを堆積した。その後、電気メッキを用いてゲート溝8を600nmのCuで充填した。余分なCuとTa₂Nを2工程CMPプロセスによって除去した。最初に、市販されているスラリー(Hitachi C430-A18)を用いてTa₂Nに対してCuを選択的に除去し、続いて別の市販されているスラリー(Arch Cu10k)を用いてTa₂Nの除去を行った。こうして200nm~2mmの長さで100・mm未満の低い抵抗率を持つ小さなショットキーバリアのゲートコンタクト10aが得られた。

【0126】

ゲート抵抗をさらに下げるために、ゲートを形成するための上述したステップを繰り返すことによってT字状ゲート22が生成でき、これにより小さなゲートコンタクト10aの上部に、より大きなCuプレート15aを製作する。従って、50nmのSiCNと2

10

20

30

40

50

00nmの酸化物を含む絶縁体スタック12が堆積される。

【0127】

SiCNは、Cuについての絶縁拡散バリアとして機能し、絶縁体スタックの接着性を改善し、第2シングルダマシンプロセスのためのエッチング停止層として機能する。そして、リソグラフを用いて溝13を形成する。これは、後でT字状ゲート22のプレート15aを形成する。これらの溝13は、ゲート長さに依存して1 μ m~3 μ mの長さを有してもよい。

【0128】

プレート15aを形成するための溝13を2工程プロセスでエッチングする。第1工程は、O₂/CHF₃/CF₄プラズマを使用し、続いて、50nmのSiCN層に向かっ
10
て高いエッチング選択性を持つAr/O₂/C₄F₈中で第2エッチング工程を行う。その結果、SiCN層は、Ar/N₂/CHF₃/CF₄/O₂プラズマ中で開放され、続いてCF₄/O₂ドライ剥離を行う。これらの溝13は、TaN/Taバリア層14およびCuで充填される。最初に、下記ステップを用いてバリア層14を堆積する。その場(in-situ)3分の脱ガスを350で行い、続いて60秒のArリアクティブ・プレクリーン(reactive pre-clean)を行い、15/10nmのTaN/Ta IMP(Ionized Metal Plasma)を用いて金属スタックを堆積した。

【0129】

その後、ゲート溝13を電気メッキを用いて600nmのCuで充填する。余分なCuとTaNを2工程CMPプロセスによって除去した。最初に、市販されているスラリー(Hitachi C430-A18)を用いてTaNに対してCuを選択的に除去し、
20
続いて別の市販されているスラリー(Arch Cu10k)を用いてTaNの除去を行った。こうして小型で極めて低抵抗のショットキーバリアゲートが生成される。

【0130】

ここでは、好ましい実施形態、特定の構造および構成ならびに材料を本発明に係るデバイスについて検討しているが、本発明の範囲から逸脱することなく、添付した請求項によって規定されるものとして形態および詳細での種々の変化または変更が可能であると理解すべきである。

【 1 (a) 】

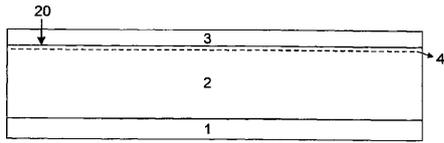


FIG. 1(a)

【 1 (d) 】

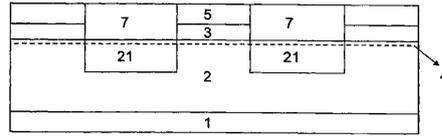


FIG. 1(d)

【 1 (b) 】

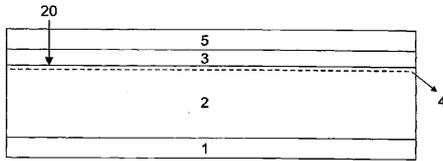


FIG. 1(b)

【 1 (e) 】

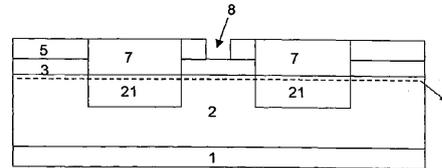


FIG. 1(e)

【 1 (c) 】

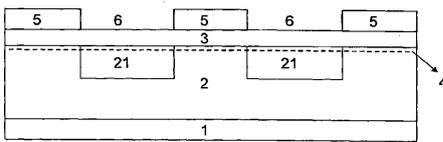


FIG. 1(c)

【 1 (f) 】

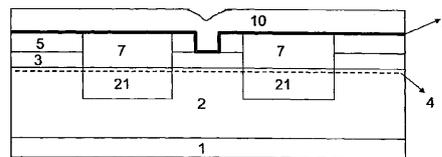


FIG. 1(f)

【 1 (g) 】

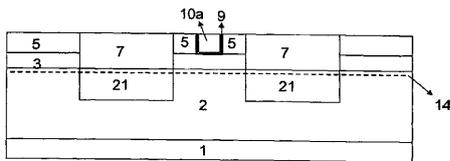


FIG. 1(g)

【 1 (j) 】

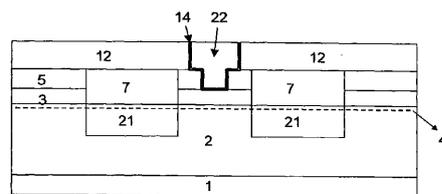


FIG. 1(j)

【 1 (h) 】

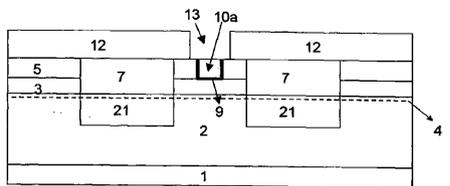


FIG. 1(h)

【 2 (a) 】

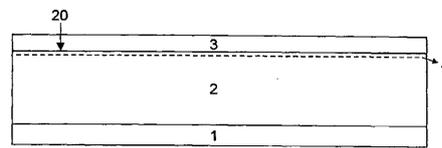


FIG. 2(a)

【 1 (i) 】

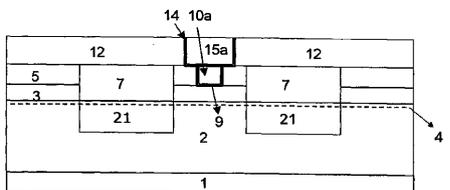


FIG. 1(i)

【 2 (b) 】

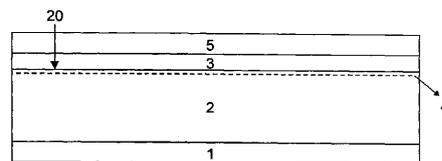


FIG. 2(b)

【 2 (c) 】

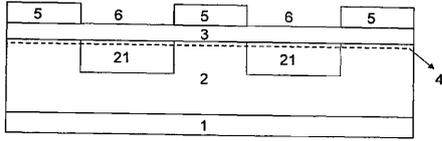


FIG. 2(c)

【 2 (d) 】

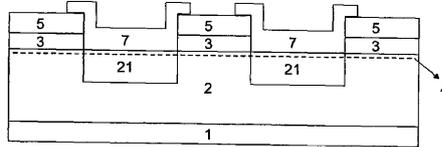


FIG. 2(d)

【 2 (e) 】

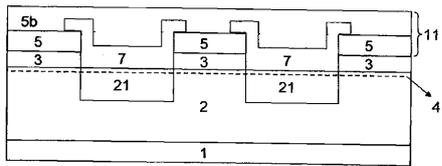


FIG. 2(e)

【 2 (i) 】

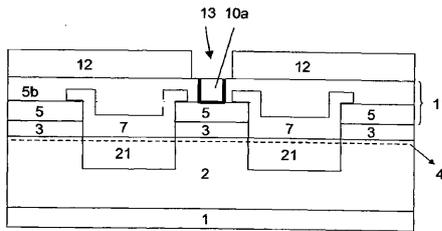


FIG. 2(i)

【 2 (j) 】

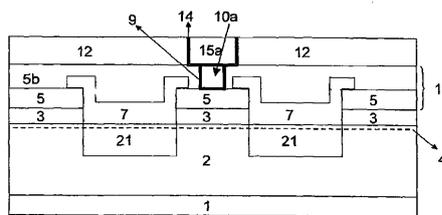


FIG. 2(j)

【 2 (f) 】

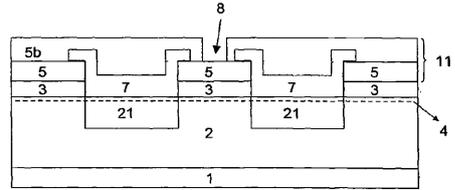


FIG. 2(f)

【 2 (g) 】

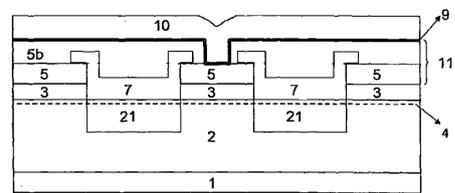


FIG. 2(g)

【 2 (h) 】

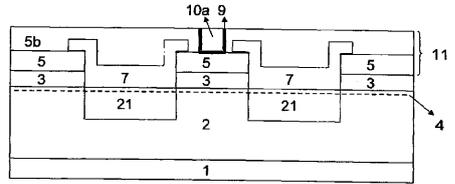


FIG. 2(h)

【 2 (k) 】

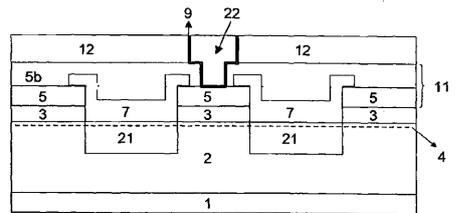


FIG. 2(k)

【 3 (a) 】

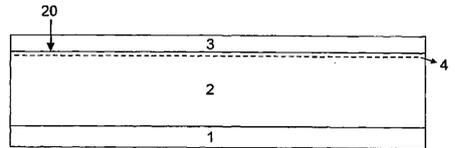


FIG. 3(a)

【 3 (b) 】

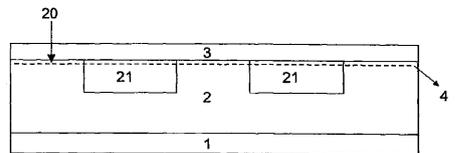


FIG. 3(b)

【 3 (c) 】

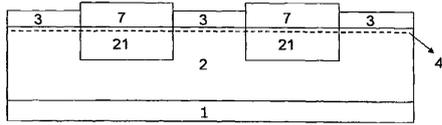


FIG. 3(c)

【 3 (f) 】

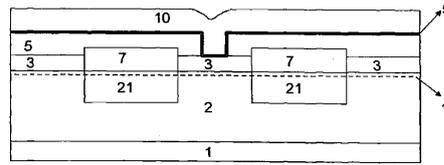


FIG. 3(f)

【 3 (d) 】

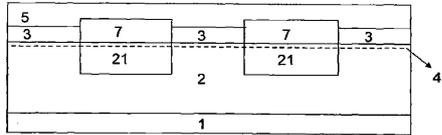


FIG. 3(d)

【 3 (g) 】

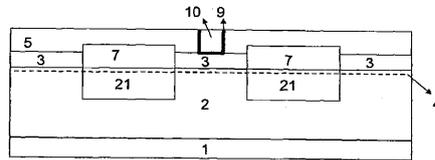


FIG. 3(g)

【 3 (e) 】

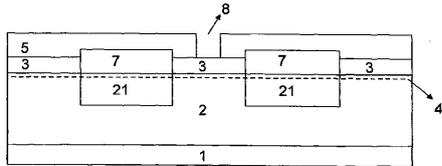


FIG. 3(e)

【 3 (h) 】

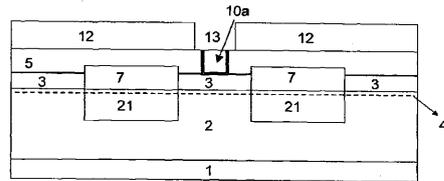


FIG. 3(h)

【 3 (i) 】

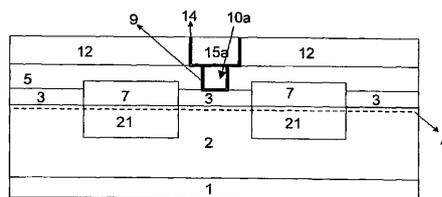


FIG. 3(i)

【 4 】

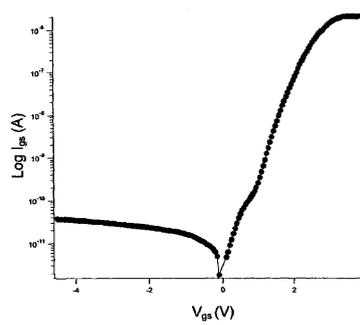


FIG. 4

【 3 (j) 】

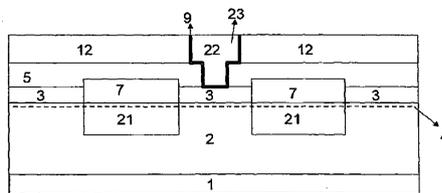


FIG. 3(j)

【 5 】

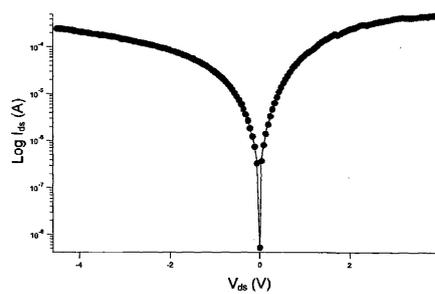


FIG. 5

フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/28</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/28</i> <i>3 0 1 B</i>
<i>H 0 1 L</i>	<i>29/417</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/28</i> <i>L</i>
			<i>H 0 1 L</i>	<i>29/50</i> <i>J</i>

(72)発明者 ヨフ・デルライン
ベルギー、ペー - 1 0 0 0ブリュッセル、ハルモニースタート26番、デー3

審査官 儀同 孝信

(56)参考文献 特開2003-124234(JP,A)
特開2001-284992(JP,A)
特開2002-110595(JP,A)
特開2005-116592(JP,A)
特開2007-173686(JP,A)
特開2005-347472(JP,A)
特開2003-109971(JP,A)
特開2002-319618(JP,A)
特開2002-151690(JP,A)
特開2006-080354(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L *2 1 / 3 3 8*
H 0 1 L *2 1 / 2 8*
H 0 1 L *2 1 / 8 2 3 8*
H 0 1 L *2 7 / 0 9 2*
H 0 1 L *2 9 / 4 1 7*
H 0 1 L *2 9 / 7 7 8*
H 0 1 L *2 9 / 8 1 2*