

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2020-526965
(P2020-526965A)

(43) 公表日 令和2年8月31日(2020.8.31)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 3/193 (2006.01)	H03F 3/193	5H770
H02M 7/48 (2007.01)	H02M 7/48 P	5J500
H03F 3/68 (2006.01)	H03F 3/68 210	

審査請求 未請求 予備審査請求 未請求 (全 31 頁)

(21) 出願番号 特願2019-572800 (P2019-572800)
 (86) (22) 出願日 平成30年6月29日 (2018. 6. 29)
 (85) 翻訳文提出日 令和2年1月31日 (2020. 1. 31)
 (86) 国際出願番号 PCT/US2018/040498
 (87) 国際公開番号 W02019/006428
 (87) 国際公開日 平成31年1月3日 (2019. 1. 3)
 (31) 優先権主張番号 62/527, 348
 (32) 優先日 平成29年6月30日 (2017. 6. 30)
 (33) 優先権主張国・地域又は機関 米国 (US)

(71) 出願人 519463514
 エアリティイー・テクノロジーズ・インコーポレイテッド
 AIRITY TECHNOLOGIES, INC.
 アメリカ合衆国94061カリフォルニア州レッドウッド・シティ、ウッドサイド・ロード1505番
 (74) 代理人 100145403
 弁理士 山尾 憲人
 (74) 代理人 100132241
 弁理士 岡部 博史

最終頁に続く

(54) 【発明の名称】 抵抗性出力インピーダンスのための高利得共振増幅器

(57) 【要約】

第1の誘導性入力及び第1の誘導性出力を有する第1のインダクタ(107)と、第2の誘導性入力及び第2の誘導性出力を有する第2のインダクタ(109)と、前記第1の誘導性出力に結合された第1のスイッチ(110)と、前記第2の誘導性出力に結合された第2のスイッチ(112)とを含む共振増幅器回路(100)を備える装置が提供される。ここで、前記第1のスイッチと前記第2スイッチは位相がずれて駆動され、前記第1のインダクタは、前記第1のスイッチに関連する第1のキャパシタンスと共振するように構成され、第2のインダクタは、第2のスイッチに関連する第2のキャパシタンスと共振するように構成される。関連するシステム及び製品も提供される。

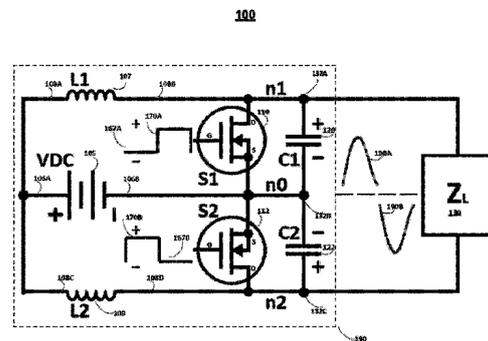


FIG. 1A

【特許請求の範囲】**【請求項 1】**

第 1 の誘導性入力及び第 1 の誘導性出力を有する第 1 のインダクタと、
第 2 の誘導性入力及び第 2 の誘導性出力を有する第 2 のインダクタと、
前記第 1 の誘導性出力に結合された第 1 のスイッチと、
前記第 2 の誘導性出力に結合された第 2 のスイッチとを備え、
前記第 1 のスイッチと前記第 2 のスイッチは位相がずれて駆動され、
前記第 1 のインダクタは、前記第 1 のスイッチに関連する第 1 のキャパシタンスと共振するように構成され、
前記第 2 のインダクタは、前記第 2 のスイッチに関連する第 2 のキャパシタンスと共振するように構成される、
共振増幅器回路。

10

【請求項 2】

前記第 1 のスイッチの第 1 の端子及び前記第 2 のスイッチの第 1 の端子は、電源に結合される、
請求項 1 に記載の共振増幅器。

【請求項 3】

第 1 の出力及び第 2 の出力を有する電源をさらに備える、
先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 4】

前記第 1 の出力は前記電源の負の出力を備え、
前記第 2 の出力は前記電源の正の出力を備え、
前記正の出力は、前記第 1 の誘導性入力及び前記第 2 の誘導性入力に並列に結合される、
請求項 3 に記載の共振増幅器。

20

【請求項 5】

前記負の電源出力は、前記第 1 のスイッチの第 1 の端子と、前記第 2 のスイッチの第 1 の端子とに並列に結合される、
請求項 4 に記載の共振増幅器。

【請求項 6】

前記第 1 の誘導性出力は、前記第 1 のスイッチの第 2 端子と、第 1 の外部キャパシタンスとに並列に連結される、
先行する請求項のうちのいずれかに記載の共振増幅器。

30

【請求項 7】

前記第 2 の誘導性出力は、前記第 2 のスイッチの第 2 端子と、第 2 の外部キャパシタンスとに並列に接続される、
請求項 6 に記載の共振増幅器。

【請求項 8】

前記負の電源出力はさらに、第 1 の外部キャパシタンス及び/又は第 2 の外部キャパシタンスに並列に結合される請求項 4 に記載の共振増幅器回路。

40

【請求項 9】

前記第 1 のキャパシタンスは、前記第 1 のスイッチの第 1 の端子及び第 2 の端子の間における第 1 キャパシタンス値を有し、

前記第 2 のキャパシタンスは、前記第 2 のスイッチの第 1 の端子及び第 2 の端子の間における第 2 キャパシタンス値を有する、

先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 10】

前記第 1 のキャパシタンスは、前記第 1 のスイッチの固有キャパシタンスを備え、

前記第 2 のスイッチキャパシタンスは、前記第 2 のスイッチの固有キャパシタンスを備える、

50

先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 1 1】

前記固有キャパシタンスは、前記第 1 のスイッチのドレイン - ソース間のキャパシタンスと、前記第 1 のスイッチのゲート - ドレイン間のキャパシタンスである、請求項 1 0 に記載の共振増幅器。

【請求項 1 2】

前記第 1 のキャパシタンスは、第 1 の外部キャパシタンスをさらに備え、前記第 2 のキャパシタンスは、第 2 の外部キャパシタンスをさらに備える、先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 1 3】

前記第 1 のスイッチ及び前記第 2 のスイッチはそれぞれ電界効果トランジスタを備える、

先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 1 4】

前記第 1 のスイッチ及び前記第 2 スイッチはそれぞれ、高電子移動度トランジスタ (H E M T)、窒化ガリウム (G a N) H E M T、ガリウムヒ素 (G a A s) H E M T、バイポーラ接合型トランジスタ (B J T)、絶縁ゲート型バイポーラトランジスタ (I G B T)、接合ゲート型電界効果トランジスタ、サイリスタ、金属酸化物半導体電界効果トランジスタ (M O S F E T)、炭化ケイ素 (S i C) (M O S F E T)、シリコン (S i) (M O S F E T)、ダイオード、及び / 又はシリコン制御整流器である、先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 1 5】

前記第 1 のスイッチと前記第 2 のスイッチとの間に結合された負荷をさらに備える、先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 1 6】

前記負荷は複数の負荷を備え、前記電源の出力は、前記複数の負荷の少なくとも一部に結合される、請求項 1 5 に記載の共振増幅器。

【請求項 1 7】

前記第 1 の誘導性出力及び前記第 2 の誘導性出力に結合された負荷整合回路をさらに備える、

先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 1 8】

前記負荷整合回路は、少なくとも 1 つのブロッキングキャパシタにさらに結合される、請求項 1 7 に記載の共振増幅器。

【請求項 1 9】

前記負荷整合回路は、少なくとも 1 つのインダクタ、少なくとも 1 つのキャパシタ、及び / 又は少なくとも 1 つのトランスを備える、請求項 1 6 に記載の共振増幅器。

【請求項 2 0】

負荷に直流出力を提供するように構成された整流回路をさらに備える、先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 2 1】

第 1 のブロッキング入力及び第 1 のブロッキング出力を有する第 1 のブロッキングキャパシタであって、前記第 1 のブロッキング入力少なくとも前記第 1 のスイッチに結合されかつ前記第 1 のブロッキング出力が負荷に結合される、前記第 1 のブロッキングキャパシタ、及び / 又は

第 2 のブロッキング入力及び第 2 のブロッキング出力を有する第 2 のブロッキングキャパシタであって、前記第 2 のブロッキング入力少なくとも前記第 2 のスイッチに結合されかつ前記第 2 のブロッキング出力が負荷に結合される、前記第 2 のブロッキングキャパ

10

20

30

40

50

シタを備える、

先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 2 2】

前記第 1 のインダクタ及び / 又は第 2 のインダクタはそれぞれトランスを備える、

先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 2 3】

前記第 1 のスイッチ及び前記第 2 のスイッチは 1 8 0 度だけ位相がずれて駆動される、

先行する請求項のうちのいずれかに記載の共振増幅器回路。

【請求項 2 4】

前記共振増幅器回路は、並列及び / 又は直列に接続された複数の共振増幅器回路のアレイを備える、

先行する請求項のうちのいずれかに記載の共振増幅器。

先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 2 5】

前記第 1 のスイッチは複数の第 1 のスイッチを備える、

先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 2 6】

前記複数の第 1 のスイッチは、前記複数の第 1 のスイッチを同時にオン及び / 又はオフするように構成された共通クロックを共有する、

請求項 2 5 に記載の共振増幅器。

【請求項 2 7】

前記第 2 のスイッチは複数の第 2 のスイッチを備える、

先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 2 8】

前記複数の第 2 のスイッチは、前記複数の第 2 のスイッチを同時にオン及び / 又はオフするように構成された共通クロックを共有する、

請求項 2 7 に記載の共振増幅器。

【請求項 2 9】

前記第 1 のスイッチは複数の第 1 のスイッチを備え、

前記第 2 のスイッチは複数の第 2 のスイッチを備える、

先行する請求項のうちのいずれかに記載の共振増幅器。

【請求項 3 0】

前記複数の第 1 のスイッチのうちの複数のスイッチの 1 つと、前記複数の第 2 スイッチにおける別のスイッチは時間間隔を共有し、

前記時間間隔の第 1 の部分において、前記複数の第 1 のスイッチのうちの複数のスイッチの 1 つはオン及びオフされるようにゲート制御され、

次いで、前記時間間隔の第 2 の部分において、前記複数の第 2 のスイッチにおける別のスイッチがオン及びオフされるようにゲート制御される、

請求項 2 9 に記載の共振増幅器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

関連出願への相互参照 .

この出願は、2 0 1 7 年 6 月 3 0 日に出願され、「抵抗性出力インピーダンスのための高利得共振増幅器」と題された米国仮特許出願シリアル番号 6 2 / 5 2 7 , 3 4 8 の利益を主張し、当該米国仮特許出願はその全体が参照により本明細書に組み込まれる。

【0 0 0 2】

技術分野 .

本明細書で説明される主題は、一般に共振増幅器に関する。

【背景技術】

【0 0 0 3】

10

20

30

40

50

高いパフォーマンスで高電圧（HV）の無線周波数（RF）増幅器は、多くの場合、大きく重く非効率的であり、出力を負荷に合わせるために追加のコンポーネントが必要である。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許出願番号第15/199326号明細書（ルーク・レイモンドほか、「広範囲の電力変換とインピーダンス整合のための分離されたマルチレベル共振トポロジー」と題された）

【発明の概要】

【発明が解決しようとする課題】

【0005】

高いパフォーマンスの高電圧RF増幅器は、電力を伝送する太いケーブルと、所定のインピーダンスへの出力インピーダンスを調整する高価な整合回路網とを含む場合がある。

【課題を解決するための手段】

【0006】

いくつかの実施形態では、第1の誘導性入力及び第1の誘導性出力を有する第1のインダクタと、第2の誘導性入力及び第2の誘導性出力を有する第2のインダクタと、第1の誘導性出力に結合された第1のスイッチと、第2の誘導性出力に結合された第2スイッチとを含む共振増幅器回路を備えた装置が提供される。ここで、第1のスイッチと第2スイッチは位相がずれて駆動され、第1のインダクタは第1のスイッチに関連する第1のキャパシタンスと共振するように構成され、第2のインダクタは第2のスイッチに関連する第2のキャパシタンスと共振するように構成される。

【0007】

いくつかの変形例では、以下の特徴を含む本明細書で開示される1つ又は複数の特徴は、任意の実行可能な組み合わせに任意で含めることができる。第1のスイッチの第1の端子及び第2のスイッチの第1の端子は、電源に結合される。電源は第1の出力と第2の出力を有してもよい。第1の出力は電源の負の出力を備え、第2の出力は電源の正の出力を備え、ここで、正の出力は、第1の誘導性入力及び第2の誘導性入力に並列に結合される。負の電源出力は、第1のスイッチの第1の端子と第2のスイッチの第1の端子に並列に結合される。第1の誘導性出力は、第1のスイッチの第2の端子及び第1の外部キャパシタンスに並列に結合される。第2の誘導性出力は、第2のスイッチの第2の端子及び第2の外部キャパシタンスに並列に結合される。負の電源出力はさらに、第1の外部キャパシタンス及び/又は第2の外部キャパシタンスに並列に結合される。第1のキャパシタンスは、第1のスイッチの第1の端子と第2の端子との間の第1のキャパシタンス値を含む。第2のキャパシタンスは、第2のスイッチの第1端子と第2端子との間の第2のキャパシタンス値を含む。第1のキャパシタンスは、第1のスイッチの固有のキャパシタンスを含み、第2のスイッチキャパシタンスは、第2スイッチの固有キャパシタンスを含み。固有のキャパシタンスは、第1のスイッチのドレイン-ソース間のキャパシタンスと、第1のスイッチのゲート-ドレインキャパシタンスを含む。第1のキャパシタンスは第1の外部キャパシタンスをさらに含み、第2のキャパシタンスは第2の外部キャパシタンスを含む。第1のスイッチ及び第2のスイッチはそれぞれ、電界効果トランジスタを含む。第1のスイッチ及び第2スイッチはそれぞれ、高電子移動度トランジスタ（HEMT）、窒化ガリウム（GaN）HEMT、ガリウムヒ素（又はヒ化ガリウム）（GaAs）HEMT、バイポーラ接合型トランジスタ（BJT）、絶縁ゲート型バイポーラトランジスタ（IGBT）、接合ゲート型電界効果トランジスタ、サイリスタ、金属酸化物半導体電界効果トランジスタ（MOSFET）、炭化ケイ素（SiC）（MOSFET）、シリコン（Si）（MOSFET）、ダイオード、及び/又はシリコン制御整流器を含む。負荷は、第1のスイッチと第2のスイッチの両端に結合されてもよい。負荷は複数の負荷を含み、ここで、電源の出力は、複数の負荷の少なくとも一部に結合される。負荷整合回路は、第1の

10

20

30

40

50

誘導性出力及び第2の誘導性出力に結合されてもよい。負荷整合回路は、少なくとも1つのブロッキングキャパシタにさらに結合される。負荷整合回路は、少なくとも1つのインダクタ、少なくとも1つのキャパシタ、及び/又は少なくとも1つのトランスを含む。整流回路は、負荷に直流出力を提供するように構成することができる。第1のブロッキングキャパシタは第1のブロッキング入力と第1のブロッキング出力を有し、第1のブロッキング入力は少なくとも第1のスイッチに結合され、第1のブロッキング出力は負荷に結合される。第2のブロッキングキャパシタは第2のブロッキング入力と第2のブロッキング出力を有し、第2のブロッキング入力は少なくとも第2のスイッチに結合され、第2のブロッキング出力は負荷に結合される。第1のインダクタ及び/又は第2のインダクタはそれぞれトランスを含む。第1のスイッチと第2のスイッチは180度だけ位相がずれて駆動される。共振増幅器回路は、並列及び/又は直列に接続された共振増幅器回路のアレイを含む。第1のスイッチは複数の第1のスイッチを含む。複数の第1のスイッチは、複数の第1のスイッチを同時にオン及び/又はオフにするように構成された共通クロックを共有する。第2のスイッチは複数の第2のスイッチを含む。複数の第2のスイッチは、複数の第2のスイッチを同時にオン及び/又はオフにするように構成された共通クロックを共有する。第1のスイッチは、複数の第1のスイッチを含み、第2のスイッチは複数の第2のスイッチを含む。複数の第1のスイッチのうちの複数のスイッチの1つと、複数の第2のスイッチにおける別のスイッチは時間間隔を共有する。時間間隔の第1の部分において、複数の第1のスイッチのうちの複数のスイッチの1つがオン及びオフされるようにゲート制御され、次いで、時間間隔の第2の部分において、複数の第2のスイッチにおける別のスイッチがオンされるようにゲート制御される。

【0008】

現在の主題の実施形態は、本明細書で提供される説明と一致する方法を含み得るが、これらに限定されず、1台以上のマシン(例えばコンピュータなど)に対して動作可能な、有形に具現化された機械可読媒体を備える物品又は製品も同様に含み、これにより記述された機能の1つ以上を実装する動作を実行することができる。

【0009】

本明細書で説明される主題の1つ又は複数の変形の詳細は、添付の図面及び以下の説明に記載される。本明細書に記載される主題の他の特徴及び利点は、説明及び図面から、及び特許請求の範囲から明らかになるであろう。現在開示される主題の特定の機能は、ウェブアプリケーションのユーザーインターフェースに関連して説明のために説明されるが、容易な機能を限定することを意図していないことを理解すべきである。この開示に続く特許請求の範囲は、保護された主題の範囲を定義することを意図している。

【0010】

本明細書に組み込まれ、本明細書の一部を構成する添付図面は、本明細書に開示される主題の特定の態様を示し、説明とともに、開示される実施形態に関連する原理の一部を説明するのに役立つ。

【図面の簡単な説明】

【0011】

【図1A】例示的な実施形態に係る共振増幅器回路の例を示す。 40

【図1B】例示的な実施形態に係る共振増幅器回路の例を示す。

【図1C】例示的な実施形態に係る共振増幅器回路の例を示す。

【図1D】例示的な実施形態に係る共振増幅器回路の例を示す。

【図1E】例示的な実施形態に係る共振増幅器回路の例を示す。

【図2】いくつかの例示的な実施形態に係る、図1Aの共振増幅器回路の実施形態の一例を示す。

【図3】いくつかの例示的な実施形態に係る、共振増幅器回路を含むDC-DCコンバータの例を示す。

【図4】いくつかの例示的な実施形態に係る、図1Aの回路から得られたタイミング図の例を示す。

【図 5】いくつかの例示的な実施形態に係る、図 1 A の回路の出力波形のプロットの一例を示す。

【図 6】いくつかの例示的な実施形態に係る、共振増幅器回路の別の例を示す。

【図 7】いくつかの例示的な実施形態に係る、共振増幅器回路のさらに別の例を示す。

【図 8】いくつかの例示的な実施形態に係る、整合回路網を含む共振増幅器回路の例を示す。

【図 9】いくつかの例示的な実施形態に係る、図 8 の回路から得られるタイミング図の例を示す。

【図 10】いくつかの例示的な実施形態に係る、図 8 の共振増幅器回路の実施形態の一例を示す。

10

【図 11】従来の製品の実施形態と比較される、いくつかの例示的な実施形態に係る、図 10 の実施形態のための仕様の例示的なセットを示す。

【図 12】いくつかの例示的な実施形態に係る、誘導結合プラズマを駆動する図 10 の例示的な共振増幅器を示す。

【図 13】いくつかの例示的な実施形態に係る、整合回路網及び共振整流器を含む共振増幅器回路の例を示す。

【図 14】いくつかの例示的な実施形態に係る、図 3 の共振コンバータの詳細な回路図を示す。

【図 15】いくつかの例示的な実施形態に係る、図 3 の共振コンバータのパフォーマンス特性を示す。

20

【図 16】従来の製品と比較される、いくつかの例示的な実施形態に係る、図 3 の共振 DC - DC コンバータの立ち上がり時間パフォーマンス特性を示す。

【図 17】従来の製品と比較される、いくつかの例示的な実施形態に係る、図 16 の共振 DC - DC コンバータの実施形態を示す。

【図 18】従来の製品と比較される、いくつかの例示的な実施形態に係る、図 17 の共振 DC - DC コンバータの電気的属性を示す。

【図 19】いくつかの例示的な実施形態に係る、図 13 の回路の別の実施例を示す。

【図 20】図 13 の回路の別の実施例を示す。

【発明を実施するための形態】

【0012】

30

実用的な場合において、類似の参照番号は類似の構造、機能、又は素子を示す。

【0013】

詳細な説明。

前述のように、高いパフォーマンスで高電圧の RF 増幅器は、多くの場合、大きく、重く、非効率的であり、多くの場合、追加の整合コンポーネントが必要である。そのため、これらの高電圧 RF 増幅器のサイズと複雑さを軽減し、効率とパフォーマンスが向上した、よりシンプルで低コストのデバイスを生み出すことができる新しい RF 増幅器技術が必要である。本明細書に開示されるこの新しい増幅器技術は、小さなフォーマットを必要とする RF 増幅器技術の種々のアプリケーションを可能にすることで、負荷に近接して配置する技術を可能にすることができる。これにより、一部の実施形態では、整合回路網及び / 又は高電圧 / 電力ケーブルを排除でき、これは、コストと電力損失に関してさらなるコスト削減につながる可能性がある。一部のアプリケーションには、例えば、並列に動作することができるが、制御、チューニングを改善するために電圧、周波数、位相、及びパルス動作に関して個別にチューニングできる RF 信号源のレイが含まれ、これにより改善された精度、よりよいプロセス制御をもたらすことができる。

40

【0014】

いくつかの例示的な実施形態では、小型のプリント回路基板 (PCB) の実装に適しかつ小型で効率的な回路トポロジーと、電圧、周波数、電力及び負荷などの動作パラメータの広い範囲で 사용할ことができるように構築された、コスト効果が高い RF 電源とを含む HV RF 増幅器技術が提供される。

50

【 0 0 1 5 】

E級増幅器などの従来の共振増幅器では、適切な共振動作を実現するために、インダクタ、トランスなどの複数の大きな値の誘導素子が必要になる場合がある。さらに、誘導性負荷タンク回路を使用して、特に無線周波数範囲での効率的な動作のために、パワー半導体（電力半導体）の共振出力波形を整形するのに役立てることができる。誘導性素子は物理的に大きく、回路の基本利得を減衰させる場合がある。

【 0 0 1 6 】

いくつかの例示的な実施形態では、例えば（本明細書に記載されるよう調整されてもよい）共振増幅器回路などの増幅器回路が提供される。いくつかの例示的な実施形態では、HV共振増幅器回路は、高電圧（例えば、5キロボルト（kV））及び高周波数（例えば、RF周波数）で動作し、回路の負荷線における誘導素子に依存することなく共振動作を提供するように構成されてもよい。主に入力インダクタ（ L_1 及び L_2 ）とデバイスのキャパシタンス（追加のキャパシタンスを含む C_1 及び C_2 ）の係りに依存することにより、基本周波数の利得は、ローパス（低域通過）フィルタリング又は整合回路網の前において、比較的少ない高調波成分で負荷に最大化される。

10

【 0 0 1 7 】

L_1 と L_2 の値が比較的小さいため、例えばRF周波数（例えば、20kHz～300MHz）、例えば1MHzを超える周波数などの特定のパターンの周波数で、複数の金属トレースと複数のビアを使用して、空芯及び/又はプリント回路基板（PCB）に実装する物理サイズを十分小さくすることができる。

20

【 0 0 1 8 】

図1Aは、いくつかの例示的な実施形態に係る、共振増幅器回路100などの増幅器回路の例を示す。

【 0 0 1 9 】

回路100は、直流（DC）電源105などの電源と、第1のインダクタ107と、第2のインダクタ109と、第1のスイッチ110と、第2のスイッチ112と、第1のキャパシタ120と、第2のキャパシタ122と、インピーダンス負荷（ Z_L ）130、抵抗性負荷などの負荷を含んでもよい。図1はDC電源を示すが、他のタイプの電源も同様に使用することができる。

30

【 0 0 2 0 】

直流電源105の正の出力106Aは、第1のインダクタ（ L_1 ）107の入力108A（例えば、端子、接点など）及び第2のインダクタ（ L_2 ）109の入力108Cに並列に結合されてもよい。

【 0 0 2 1 】

電源105の負出力106Bはノードn0 132Bに並列に結合されてもよく、ノードn0 132Bはさらに、第1のスイッチ110のソース（「S」とラベル付けされる）端子、第2のスイッチ112のソース（「S」とラベル付けされる）端子、キャパシタ120の負（又は「-」とラベル付けされる）の入力、及び第2のキャパシタ122の負入力に並列に結合されてもよい。

40

【 0 0 2 2 】

第1のインダクタ107の出力108Bはノードn1 132Aに結合されてもよく、ノードn1 132Aはさらに、第1のスイッチ110の端子（「D」とラベル付けされる）、第1キャパシタ（ C_1 ）120の正入力（又は+とラベル付けされるアノード）、及び負荷130に並列に結合されてもよい。例えば、金属酸化物半導体電界効果トランジスタ（MOSFET）の場合、「D」というラベルの付いた端子はドレインになる。

【 0 0 2 3 】

第2のインダクタ109の出力108Dはノードn2 132Cに結合されてもよく、ノードn2 132Cはさらに、第2のスイッチ112の端子（「D」とラベル付けされる）、第2のキャパシタ（ C_2 ）122の正入力、及び負荷130に並列に結合されてもよい。スイッチ「MOSFET」として実装される場合、端子「D」は、スイッチ112

50

のドレイン端子であってもよい。

【0024】

いくつかの例示的な実施形態では、第1のスイッチ110及び第2のスイッチ112は、外部で制御できる（例えば、スイッチ111及び113の191を参照）スイッチとして動作する半導体デバイスとして実装されてもよい。代替的又は追加的に、スイッチ110及び112は、アプリケーションに依存して、高電子移動度トランジスタ（HEMT）、窒化ガリウム（GaN）HEMT、ガリウムヒ素（GaAs）HEMT、バイポーラ接合型トランジスタ（BJT）、絶縁ゲート型バイポーラトランジスタ（IGBT）、接合ゲート型電界効果トランジスタ、サイリスタ、金属酸化物半導体電界効果トランジスタ（MOSFET）、炭化ケイ素（SiC）（MOSFET）、シリコン（Si）（MOSFET）、ダイオード、及び/又はシリコン制御整流器などの技術を使用して実装されてもよい。また、スイッチ110及び112は、2つ以上の組み合わせられたデバイスの組み合わせ、例えば、双方向スイッチ用のMOSFET及びダイオードとして実装されてもよい。

10

【0025】

与えられた例では、MOSFETはゲート端子（「G」とラベル付けされる）、ドレイン端子（「D」とラベル付けされる）及びソース端子（「S」とラベル付けされる）を含む。本明細書で使用される「ゲート」という用語は、他の技術で使用される「ベース」端末を含む他の同様のタイプの端末も含むために使用されてもよい。同様に、本明細書で使用される「ソース」という用語は、他の技術で使用される「コレクタ」端末を含む他の同様のタイプの端末も含むために使用されてもよい。また、「ドレイン」という用語は、他の技術で使用される「エミッタ」端子を含む他の同様のタイプの端子も含むために使用される場合がある。

20

【0026】

ここで説明する例の一部はNPN型デバイスを参照しているが、PNP型デバイスは極性の適切な変更と同様に使用できることを理解することができる。

【0027】

図1Aは単一の負荷130を示すが、負荷は複数の負荷を備えていてもよい。例えば、第1の負荷はノードn1 132A及びn0 132Bの両端に接続され（この例では、電源105の出力はノードn0及び負荷の一部に結合する）、第2の負荷はノードn0 a 132B及びノードn2 132Cの両端に接続されてもよい。

30

【0028】

図1Aは、回路190の各脚部に1つずつある2つのスイッチを示し、各脚部（例えば、上部及び下部）は複数のスイッチを含んでもよい。図1Bは、上部脚部166Aは複数のスイッチ110、115A及び116Aを含み、下部脚部166Bは、複数のスイッチ112、115B、及び116Bを備える例示的な実施形態を示す。図1Bの例では、上部脚部166Aにおけるスイッチ110、115A、116Aは、共通クロック167Aを共有する。同様に、下部脚部166Bのスイッチ112、115B、116Bは共通クロック167Bを共有するため、上部脚部の複数のスイッチはともにゲート制御される。一方、下部脚部の複数のスイッチはともにゲート制御される。クロック167A及び167Bは、図1Aに関して上記で説明したのと同様の方法で実装されてもよい。図1Bに示すように、各脚部166A及び166Bにおける複数のスイッチの使用は、190と比較した場合、回路192のより高い電力動作を可能にし得る。図1Bは、特定の数のスイッチを示すが、他の数量も同様に使用することができる。

40

【0029】

図1Cは、いくつかの点で回路192と同様であるが、回路193が複数のスイッチを個別にゲート制御するための個別のクロック信号を提供する共振増幅器回路193を示す。例えば、N個のスイッチのセットS1-1（117A）、S1-2（118A）、最大S1-N（119A）の間でゲート信号183A-Nを交互に切り替え、別のN個のスイッチのセットS2-1（117B）、S2-2（118B）、最大S2-N（119B）

50

のゲート信号 184 A - N を交互に切り替えることにより、交互動作は、図 1 C の 193 のタイミング図に示されるように実現されてもよい。具体的には、1つの完全な周期 P は N 個の時間期間に分割され、ここで、各時間期間で、複数のスイッチの一对 (例えば、S 1 - 1 [117 A] と S 2 - 1 [117 B]) の半分の時間期間が 1つの全出力サイクルを生成するためにそれぞれ交互にオンされる。例えば、スイッチ S 1 - 1 及びスイッチ S 2 - 1 は、時間期間の第 1 の部分の間においてスイッチ S 1 - 1 がオンになってからオフになり、時間期間の次の部分においてスイッチ S 2 - 1 がオンになってからオフになるように構成される。同様に、別の時間期間 (例えば、時間の周期) において、別の一对のスイッチ (例えば、S 1 - 2 [118 A] 及び S 2 - 2 [118 B]) がそれぞれ交互に半分の時間期間でオンされ、1つの完全な出力サイクルを生成する。また、別の時間期間において、別の一对のスイッチ (例えば、S 1 - N [119 A] 及び S 2 - N [119 B]) がそれぞれ交互に時間期間の半分でオンされて、1つの完全な出力サイクルが生成される。図 1 C は、190 の動作周波数が複数のスイッチ及び / 又は複数のゲート制御デバイスの特定の特性による制限され、例えば個々のスイッチ及びゲートドライブは、1秒毎のイベント切り替えの最大数に熱的に制限することができる場合において、より高い動作周波数を可能にする。図 1 C は、特定の数量のスイッチを示すが、他の数量も同様に使用されてもよい。

10

20

30

40

50

【0030】

図 1 D は、いくつかの点で回路 190 と同様であるが、回路 191 は、第 1 のスイッチ 111 と、より一般的である第 2 のスイッチ 113 とを含む共振増幅器回路 191 を示す。従って、これらの複数のスイッチは、アプリケーションに応じて、例えば MOSFET、GaN HEMT、BJT、IGBT、JFET、サイリスタ、SCR 及び / 又はその他のデバイス等に係る技術を使用して実装できる。さらに、複数のスイッチは混合タイプであってもよい (例えば、スイッチ 111 は MOSFET である一方、スイッチ 113 は複数の SCR を使用して実装してもよい)。

【0031】

図 1 E は、いくつかの例示的な実施形態に係る、共振増幅器回路 190 のアレイ 194 の例を示す。図 1 E はアレイ内の 194 ~ 196 を図示するが、例えば 191、192、193 及び / 又は同様のデバイスなどの他の共振増幅器回路はアレイに含まれてもよい。並列共振増幅器回路のアレイ 194 は、アレイを使用しない場合と比較した場合、負荷へのより高い電力を可能にし得る。さらに、インピーダンス整合回路網又は他の素子は、アレイの各個々の整流器 190 の出力 (例えば、136 A と 140 の間、136 C と 141 の間などに接続される) 及び / 又は出力ノード 140 と 140 及び Z_L の間に挿入されてもよい。

【0032】

いくつかの例示的な実施形態では、インダクタ 107 及び 109 の値は、1 ナノヘンリー (nH) ~ 1,000,000 nH の範囲内であってもよく、キャパシタ 120 及び 122 の値は、1 ピコ (pF) ~ 1,000,000 pF の範囲内であってもよく、DC 電源 150 の電圧は -100 kV ~ 100 kV までの範囲内であってもよい。動作周波数 (クロック信号によって規定される) は 20 kHz ~ 3 GHz の範囲であり、負荷全体の出力電力は 1 mW ~ 1 MW の範囲であるが、これらのコンポーネントの他の範囲 / 値も実現してもよい。増幅器 100 の実施例では、インダクタ 107 及び 109 の値は 150 nH であり、キャパシタ 120 及び 122 の値はスイッチングデバイスのキャパシタンスに加えて 200 pF の外部キャパシタンスを含み、DC 電源 105 の電圧は 0 ~ 200 V の範囲で変更でき、スイッチングデバイスは GaN HEMT であり、スイッチング周波数は約 13.56 MHz である。図 1 A の例では、回路 100 は、最大 3 キロワット (kW) の電力で、130 で示された 50 の抵抗性負荷でテストされた。

【0033】

図 2 は、いくつかの例示的な実施形態に係る、回路 100 のプロトタイプ実装 200 の例を示す。図 2 の例では、インダクタ 210 は L1 107 及び L2 109 (図 1) に

対応し、215はスイッチ110及び112に対応し、220A及び220Bは負荷130（ヒートシンクが取り付けられた状態）を表す。図2において、インダクタ210（107と109に対応）の値は31マイクロヘンリー（ μH ）であり、キャパシタ120と122の値は30pFである（図2の例では電圧源として実装されていた）電源105の電圧は、0から500Vまで変えることができる。スイッチング素子は炭化ケイ素（SiC）MOSFETであり、スイッチング周波数は2.75MHz程度である。（この例では130に相当する）抵抗性負荷220-Bは、0～320Wの範囲の電力で4,000～400,000の範囲である。

【0034】

図3はいくつかの例示的な実施形態に係る、DC-DCコンバータの例を示す。正面図305、背面図306、及び側面図307が図示される。システム300は、銅ヒートスプレッド308及び電力コネクタ309を含んでもよい。システム300は、単一のPCB（前面310及び背面311）に実装してもよく、その空芯インダクタは、直接312が埋め込まれている。図3の例では、インダクタ312の値（図1の107と109に対応）は130nHであり、キャパシタ120と122の値は1nFである。電流源105の電圧は0から35Vまで変えることができ、スイッチングデバイスはGaN HEMTであり、他の値も同様に実施することができるが、スイッチング周波数は、8MHzである。図3の例では、回路100は整流回路に結合されて、最大250Wの電力で最大4kVのDC出力電圧を生成することができる。本明細書で使用する場合、特に明記しない限り、結合することは介在するコンポーネント又はデバイスを排除しない。図3の回路設計は次の通りであり、インダクタ107と109に対して10～40,000nHの値、キャパシタ120と122に対して0～100ナノファラッド（nF）の値、DC電源105の電圧に対して0～1,000Vの値、及び20kHz～3GHzの動作周波数を含む広範囲の値をサポートするが、範囲は他の値も実装できる。

【0035】

再び図1を参照すれば、回路100は、交流（AC）波形が例えば負荷130などの出力の両端で望ましい共振パワーエレクトロニクスアプリケーションに使用することができる。この回路は、対応するスイッチ電圧又は電流がゼロ又はゼロ近傍のときにオンとオフ110及び112のスイッチを切り替えるソフトスイッチングを提供するために実装されてもよい。ソフトスイッチングにより、回路100を例えばRF周波数などの高周波で動作させることができる。

【0036】

さらに、（あるとしても）追加のコンポーネントがほとんどない抵抗性負荷130で共振動作する回路100の能力とともに、回路100に関連する基本的な電圧利得は、AC増幅/合成、RFアプリケーション、ステップアップコンバータ、トランスに結合されたステップアップコンバータ、インピーダンス整合回路網及び/又は整流器、及び/又はその他の種々のアプリケーションを含むために適応された回路100を生成する。

【0037】

動作中において、第1のスイッチ110及び第2のスイッチ112は、所望の動作の基本周波数で位相が180度だけずれて駆動される。そして、関連するクロック信号167A/Bは、約50%のデューティサイクルを有してもよい。例えば、第1のスイッチ110の制御端末（例えば、ゲート（「G」とラベル付けされる）又はベース）は、例えばクロック信号167Aなどの制御信号で駆動されてもよい。クロック信号167Aは、クロックの正の部分170Aの間に第1のスイッチを「オン」にする。同様に、第2のスイッチ112のゲート（「G」とラベル付けされる）は、例えばクロック信号167Bである制御信号で駆動されてもよい。クロック信号167Bは、クロックの正の170B部分の間において第2のスイッチを「オン」にする。要するに、クロック信号167A-Bはスイッチ110及び112を駆動することで、複数のスイッチは180度だけ位相がずれる。

【0038】

10

20

30

40

50

前の例では、デューティサイクルが50%で動作周波数が8MHzのクロック信号167A-Bを参照しているが、クロック信号は他のデューティサイクルと周波数を持っている場合もある。例えば、6.78MHz、13.56MHz、27.12MHz、40.68MHzの産業、科学、及び医療（ISM）無線帯域などの周波数を実装でき、他の周波数も同様に実装することができる。いくつかの例示的な実施形態では、クロック周波数は、成分値が適宜選択されていれば、20kHz～3GHzの範囲のうちの任意の値に指定することができる。いくつかの例示的な実施形態では、連続した正弦波交流出力が望ましくないときに、クロック信号のデューティサイクルが正確に50%でなくてもよい。

【0039】

いくつかの例示的な実施形態では、第1のインダクタ107 (L_1)及び第2のインダクタ109 (L_2)は、それぞれスイッチ110及び112のスイッチングデバイスの出力キャパシタンス（MOSFETの場合には C_{oss} と呼ばれることもある）と共振してもよい。第1のスイッチ110の出力キャパシタンスは、ドレイン又は出力でのキャパシタンス (C_{d1}) と呼ばれる一方、第2のスイッチ112の出力キャパシタンスは、ドレイン又は出力 (C_{d2}) でのキャパシタンスと呼ばれる。MOSFETについてさらに説明するために、第1のスイッチ110のドレイン（D）端子とソース（S）端子との間のキャパシタンスを C_{d1} として使用してもよい。代替的又は追加的に、第1のスイッチの出力キャパシタンス C_{d1} は、第1のスイッチのゲート-ドレイン間のキャパシタンス (C_{gd}) も含み、第2のスイッチの出力キャパシタンス C_{d2} は、第2のスイッチのゲート-ドレイン間のキャパシタンス (C_{dcgd}) を含む。従って、いくつかの実施形態では、キャパシタC1120によって表される出力キャパシタンスは事実上 C_{d1} であり、キャパシタC2122によって表される出力キャパシタンスは事実上 C_{d2} である。MOSFETなどのスイッチの固有のキャパシタンスは、スイッチの端子間のスイッチ自体の物理的なキャパシタンスを表す。例えば、 C_{oss} はスイッチ自体の固有の物理キャパシタンスを表す。前の例では、スイッチの出力キャパシタンスを説明するためにMOSFETを使用した。他のタイプのスイッチも出力キャパシタンスを持っていることが理解できる。

【0040】

いくつかの例示的な実施形態では、追加の外部キャパシタンスを回路100に追加することができ、例えば、キャパシタ120 (C_1)及びキャパシタ122 (C_2)は、スイッチの出力キャパシタンス (C_{d1} と及び C_{d2} を)に加えて、外付けキャパシタ $C_{external1}$ と $C_{external2}$ を含む。言い換えれば、キャパシタC1120によって表される出力キャパシタンスは、実際には C_{d1} と $C_{external1}$ の合計であり、キャパシタC2122によって表される出力キャパシタンスは実際には $C_{d2} + C_{external2}$ の合計である。代替的又は追加的に、第1のスイッチ及び/又は第2のスイッチの出力キャパシタンス (C_{oss}) の値も、チューニングのために構成又は選択されてもよい。多くの場合、回路を正確に調整するために回路100に追加のキャパシタンス ($C_{external1}$ 及び $C_{external2}$ など)が含まれるため、 C_1 及び C_2 には ($C_{d1} + C_{external1}$)及び ($C_{d2} + C_{external2}$)が含まれることがよくある。

【0041】

動作中において、スイッチキャパシタンス C_1 120及び C_2 122は、それぞれインダクタ L_1 107及び L_2 109と共振し、出力インピーダンス Z_L 130が実質的に抵抗性であるときに、出力ドレイン電圧波形190A-Bを波形整形する。出力波形190A-Bは、ソフトスイッチング（例えば、実質的にゼロの電圧スイッチング又は実質的にゼロの電流スイッチング）を介して達成され得る出力を表す。ただし、 Z_L が主に抵抗性ではなく、誘導性又はキャパシタンス性の場合、スイッチ波形の両端の電圧が影響を受ける可能性があり、ゼロ電圧スイッチングが失われる可能性がある。そのような条件下で追加の誘導性又はキャパシタンス性素子を補償するためには、 C_1 と C_2 及び/又は L_1 と L_2 の値は、ゼロ電圧スイッチングと適切な動作を取り戻すために、同等の量

10

20

30

40

50

又は必要に応じてスイッチング周波数を変えることにより調整できる。図1Aの実施形態に関して上述したように、150のインダクタンスnHのスイッチング素子のキャパシタンスに加えて、200pF程度の外部キャパシタンスは、共振動作のために選択してもよく、図2の実施形態では、値31μH及び30pFが使用された。図3の実施形態において、130nHと1nFの値が使用された。従って、これらの異なる値は、チューニング（調整）のためにキャパシタンスやインダクタンスを変化させる例を表す。

【0042】

いくつかの例示的な実施形態では、インダクタL1 107及びインダクタL2 109は、開始点として以下の等式に従って選択されてもよく、増幅器回路の動作に応じて追加の反復調整を必要とする場合がある。

【0043】

$L1 = 1 / (4 * \pi^2 * f^2 * C1)$; 及び
 $L2 = 1 / (4 * \pi^2 * f^2 * C2)$ 。

【0044】

ここで、fは周波数に対応し、C1はキャパシタC1 120に対応し、C2はキャパシタC2 122に対応し、*は乗算に対応し、「/」は除算に対応する。

【0045】

図4は、回路100に関連し、特に図2に示された装置のタイミング図の例を示す。上部の2つのトレースは、180度だけ位相がずれているS1 168A (V_{G1})及びS2 168B (V_{G2})のゲート制御クロック信号電圧を示す。次の2つのトレース168C-Dは、n1とn0 (V_{S1}, 168C)の間のスイッチS1の両端電圧と、n2とn0 (V_{S2}, 168D)の間のスイッチS2の両端電圧をそれぞれ示す。これらの波形も180度位相がずれている。この例では、ゲート電圧の変化と同時に電圧が0Vに達してゼロ電圧スイッチングを実現し、スイッチング損失を削減する（排除しない場合）。スイッチS1 (I_{S1}, 168E)及びスイッチS2 (I_{S2}, 168F)に対応する電流も表示される。スイッチS1及びS2の両端の合成電圧 (V_{out} = V_{S1} - V_{S2}, 168G)は、任意のフィルタリング素子を追加することなく、ほぼ正弦波である。負荷は抵抗性であるため、対応する出力電流 (I_{out}, 168H)はV_{out}と同相である。周期 (T₂ - T₀)は、動作周波数の逆数に等しくなる。例として、周期は363.4nsで、半周期 (T₁ - T₀)は181.8nsであり、2.75MHzのスイッチング周波数に対応する。

【0046】

再び図1を参照する。図1Aに示すように、コンポーネントの選択は、共振増幅器回路100を調整して、実質的に半正弦波190A-Bに対応するAC信号を提供してもよい。出力キャパシタンスC_{d1}及びC_{d2}は、選択したスイッチのタイプに依存する場合がある（例えば、スイッチの物理的特性であり、この例ではMOSFETであるが、他のタイプも使用できる）。そのため、回路100の1次的なチューニングは、インダクタンスL1 107及びL2 109を調整することで実行できる。ただし、一部のタイプの負荷値では、外部キャパシタC_{external1}及びC_{external2}を追加しないと、上記のようにチューニングできない場合がある。スイッチ110と112が、180度だけ位相がずれて駆動されると、n1 132Aとn2 132Cの間の電圧波形は、例えば190A-B/168C-Dの半正弦波などのAC正弦波に近い場合がある。前述のように、この半正弦波の形状は、168Gに示すように、比較的低い高調波歪みを実現するために、フィルタリングがほとんどない場合（存在する場合）である。

【0047】

いくつかの例示的な実施形態では、ノードn1 132Aとノードn2 132Cとの間のDC電位差は約ゼロである。そのため、ノードn1、n2 132A/132Cと、負荷130との間で、例えばDCブロッキングキャパシタ又は他の分離機構などのDCフィルタリングの必要はないかもしれない。ただし、一部の実施形態では、DCフィルタ（例えば、DCブロッキングキャパシタ、又は他の形態の絶縁）は、例えば、フィルタリン

10

20

30

40

50

グ、出力絶縁及び/又はその他のものなどを提供するために実装されてもよい。

【0048】

図5は、回路100の負荷130の両端の出力電圧のプロットの別の例を示し、特に、図3の実施形態のプロットを示す。出力電圧のプロットは、ノードn1 132A及びn2 132Cに対応し、130で20の抵抗性負荷になる。追加のフィルタリング素子を追加することなく、電圧波形の正弦波特性を実現できる。

【0049】

図6は、いくつかの例示的な実施形態に係る回路600の例を示す。回路600は、いくつかの点で回路100に類似しているが、回路600は、190の出力と負荷130との間にDCブロッキングキャパシタ605及び610を含むブロッキング回路650をさらに含む。DCブロッキングキャパシタ605及び610は、いくつかのDCフィルタリング(例えば、DCが負荷130に到達しないようにDCをブロックし、並びに回路190と負荷130との間の追加の出力分離を提供する。図6の例において、ブロッキングキャパシタ(Cb1)605は、ノードn1 132Aと出力負荷130との間に結合される。ブロッキングキャパシタ605は、DCが出力負荷130に到達することをブロック(例えば、フィルタリング)し得る。同様に、ブロッキングキャパシタ(Cb2)610は、ノードn2 132Cと出力負荷130との間に結合される。ブロッキングキャパシタ610は、DCが出力負荷130に到達することをブロックできる。図6は回路190を示すが、191~194などの他の回路も同様に使用することができる。

【0050】

図7は、いくつかの例示的な実施形態に係る、磁気結合750A-Bを含む回路700の例を示す。磁気結合は、トランスの一次側の形態をとってもよいが、磁気加熱負荷、プラズマ負荷などを含む他のタイプの磁気結合も同様に使用されてもよい。磁気結合を追加すると、入力電源に対する増幅器出力のガルバニック絶縁が可能になる。図7の場合、トランス707の一次巻線705A及び二次巻線705Bが実装され、トランス712の一次巻線710A及び二次巻線710Bも実装される。図7は回路190を示すが、191~194などの他の回路も同様に使用することができる。

【0051】

回路700は、いくつかの点で回路100に類似しているが、回路700は、それぞれトランス707及び712の一次705A及び710Aの形態の磁気結合を(第1のインダクタ107及び第2のインダクタ109として)含む。回路700では、トランス707及び712は調整された誘導素子であり、磁場の形で共振エネルギーを蓄積する。このように、トランス707及び712は、複数のトランスの二次705Bの両端の負荷、及び/又は二次710Bの両端の負荷に対して送信エネルギーを使用してもよい。より大きな二次対一次巻線比はまた、回路700の利得を増加させ得る。代替的に又は追加的に、より低い二次対一次巻線比を使用して回路700の利得を減少させてもよい。さらに、複数の二次巻線は直列に接続され得る又は、より高い電圧又はより高い電流をそれぞれ得るために並列に接続されてもよい。

【0052】

トランス750Aは、一方の側で電源105に結合され、他方の側でスイッチ110に結合された一次巻線705Aを含んでもよい。二次705Bは負荷に結合されてもよい。トランス750Bは、一方の側で電源105に結合され、他方の側でスイッチ112に結合された一次巻線710Aを含んでもよい。二次710Bは負荷に結合されてもよい。

【0053】

図7は、一定量の一次巻線及び一定量の二次巻線を示すが、他の量も同様に実装することができる。さらに、他の量の磁気結合750A-Bが実装されてもよい(例えば、750A-Bで2つより少ない又は多いトランスが使用されてもよい)。また、図7は、磁気結合750A-Bにおける同じ負荷を示すが、異なる負荷も存在してもよい。さらに、単一の負荷130のみが、磁気結合750A-Bの一方のみに存在してもよい。

【0054】

10

20

30

40

50

いくつかの例示的な実施形態では、ノード n_1 及び n_2 の出力などの共振回路 190 の出力は、負荷 130 として出力負荷に供給される前に、インピーダンス整合回路網に結合されてもよい。

【0055】

図 8 は、いくつかの例示的な実施形態に係る、インピーダンス整合回路 850 を含むシステム 800 の例を示す。システム 800 は、いくつかの点で、図 1A に示される共振回路 190 に類似している。しかし、共振回路 190 のノード n_1 及び n_2 での出力は、インダクタ 805A 及び 805B 並びにキャパシタ 810 を含むインピーダンス整合回路 850 に結合されて、負荷 815 などの所定の負荷にインピーダンス整合を提供してもよい。図 8 は、2つのインダクタ 805A 及び 805B を示すが、これらのインダクタは、回路 800 の動作を変更することなく単一のインダクタに組み合わせることができる。

10

【0056】

図 8 の例示的な実施形態では、第 1 のインダクタ 805A は、第 1 の誘導性入力及び第 1 の誘導性出力を含む。第 1 の誘導性入力は n_1 132A に結合される（これは、第 1 のスイッチ 110 のドレイン及びキャパシタ 120 にさらに並列に結合される）。第 1 の誘導性出力は、キャパシタ 810 及び負荷 815 に並列に結合される。第 2 のインダクタ 805B は、第 2 の誘導性入力及び第 2 の誘導性出力を含む。第 2 の誘導性入力は n_2 132C に結合される（これはさらに、第 2 のスイッチ 112 のドレイン及びキャパシタ 122 に並列に結合される）。第 2 の誘導性出力は、キャパシタ 810 及び負荷 815 に並列に結合される。

20

【0057】

図 8 の実施形態では、インダクタ 107 及び 109 の値は 150 nH であり、キャパシタ 120 及び 122 の値は 680 pF であり（これはスイッチキャパシタンスに加えらる）、インダクタ 805A 及び 805B の値は 180 nH であり、キャパシタ 810 の値は 510 pF である。DC 電流源 105 の電圧は、0 から 120 V まで変えることができる。複数のスイッチは GaN HEMPT であり、負荷 815 は 50Ω であり、スイッチング周波数は 13.56 MHz である。しかし、他の値は、ここで開示される教示に従って実装されてもよい。図 8 は回路 190 を示すが、191 から 194 などの他の回路も同様に使用することができる。

【0058】

図 9 は、回路 800 に関連するタイミング図の例を示す。上部の 2 つのトレース 901A - B は、 S_1 168A (V_{G1} 901A) 及び S_2 168B (V_{G2} 901B) のゲート制御クロック信号電圧を示し、これらは 180 度だけ位相がずれている。次の 2 つのトレース 901C - D は、スイッチ S_1 (V_{S1} 901C) とスイッチ S_2 (V_{S2} 901D) の電圧を示し、これらの波形も 180 度だけ位相がずれている。この例では、ゲート電圧の変化と同時に電圧が 0 V に達してゼロ電圧スイッチングを実現し、スイッチング損失を排除する。

30

【0059】

トレース 901E - F は、スイッチ S_1 (I_{DS1} 901E) 及びスイッチ S_2 (I_{DS2} , 901F) のそれぞれに流れる電流を示す。トレース 901G は、実質的に正弦波であるスイッチ S_1 と S_2 の合成電圧 ($V_{S1} - V_{S2}$) を示す。トレース 901H は、低域通過整合回路網 805 によるフィルタリング後の結果の出力電圧 (V_{out} 901H) を示す。低域通過整合回路網 850 の後段の対応する出力電流 (I_{out} , 901I) も示される。時点 T_0 、 T_2 、及び T_4 は、最大出力電圧の時間を表す。時間期間 ($T_2 - T_0$) は、動作周波数の逆数に等しくなる。例として、 13.56 MHz の動作周波数の場合、時間期間は 73.74 ns であり、半周期 ($T_1 - T_0$) は 36.9 ns である。

40

【0060】

図 10 は、図 8 の例示的な実施形態のプリント回路基板 (PCB) 1005 実装 100 の例を示す。図 8 の整合回路 850 を使用してもよく、例えば 650 及び / 又はその他の

50

ものなどのインピーダンス整合回路の他のタイプを代わりに使用することができる。

【0061】

図10において、インダクタ805A及び805Bは1006で示され、インダクタ107は1007で示され、インダクタ109は1009で示される。これらのインダクタは、高いパフォーマンスの埋め込み空芯トロイダルインダクタとして実装される。805A及び805Bのインダクタは、PCBの異なる層の上及び間にトレース及び/又は平面(プレーン)及び/又はビアによる巻線を実現することにより、トロイダルインダクタに近似している。代替的又は追加的に、インダクタはPCB内又はPCB上に他の形で実装されて、1つ以上の層上又は間で他の構造(例えばソレノイド、スパイラルなど)に近づけることができる。

10

【0062】

上記のように、抵抗性負荷のチューニングの性質により、E級増幅器に見られるような従来の「チョーク」インダクタとして機能する場合よりも、 L_1 と L_2 の値をはるかに小さくすることができる。ドレイン電圧波形の共振動作のため、負荷130又は815(図1又は8)において結果として得られるRMS電圧は、(例えば、チューニングに応じて2~4回程程度)DCバス電圧よりも有意に高く、ほとんどフィルタリング(もしあれば)必要としない。

【0063】

図11は、例示的な実施形態1100(これは図8と同様であって、図10に1000で図示されたもの)と、従来のE級増幅器1120との比較を示す。

20

【0064】

設計1100と1120の両方には、同じ又は類似の品質係数(Q)の低域通過整合回路網が含まれている。どちらの設計も50の負荷に1000Wを供給するが、回路1100のより高い利得では、同じ又は同様の出力電力を実現するためにはるかに低い入力電圧(73ボルト(V)対289V)が必要になる場合がある。さらに、回路1100の効率はより高く(92%対85%)、E級1120と比較して、回路1100の出力信号における最大の高調波は(41dB対30dBで)著しく低い。さらに、回路1100は、より高い電力密度(両方の設計についてヒートシンクなしで計算される)を有してもよい。E級回路1120と比較した場合、一部には、従来のE級1120に必要なより大きな値の誘導素子が必要であるためである。より具体的には、回路1100の最大のインダクタは180nHであり、インダクタ1100を空芯インダクタとして実装し、PCBに埋め込むことができる。一方、E級回路1120における最大インダクタは(20,000nHで)非常に大きすぎる。図11はパフォーマンス結果の例を示すが、これらは一例であるため、結果は実施例によって異なる場合がある。

30

【0065】

システム1100は、PCBの正面図1105、PCBの側面図1106、及び埋め込まれた空芯インダクタ1107を示す。従来のシステム1120は、大きなチョークインダクタ1111及び大きなインダクタ1112を含む。パラメータの例を表1115にリスト化し、これは、整合回路網の同一のパワー及び品質係数に対して、回路1100の入力電圧はほぼ4倍低く、効率は高く、従来の回路1120では動作中にほぼ2倍の損失が発生することを示している。さらに、最大のインダクタのインダクタンスは前の回路1120と比較した場合、回路1100で100倍以上低く、電力密度は1桁以上高い。

40

【0066】

図12は、いくつかの例示的な実施形態に係る、回路1000(図10)を含む実施形態の例を示す。図12は、ガラス管1215内の低真空誘導結合室素プラズマ1210に電力を供給する回路1000(1205に位置する)を示す。図12のプラズマは、20~2,000mTorrの圧力で生成され、ピーク電力は1kWになる。

【0067】

図13は、いくつかの例示的な実施形態に係る共振増幅器回路1300を示す。共振回路190は、出力n1 132A及びn2 132CでDCブロッキング回路650に結

50

合してフィルタリングを提供する。DCブロッキング回路出力は、インピーダンス整合回路1305（「固体状態整合回路網」とラベル付けされる）に出力を提供して、負荷130にインピーダンス整合を提供することができる。インピーダンス整合回路105の出力は、増幅器回路190のAC出力を、例えばDC出力など整流出力に変換するために、整流器1310（「多段共振整流器モジュール」とラベル付けされる）に提供されてもよい。整流器モジュール1310は、多段共振整流器として実装されてもよい。多段共振整流器の例は、図14に記載される。

【0068】

図13は、ブロッキングキャパシタ605及び610を示すが、ブロッキングキャパシタは省略されてもよく、ここで、ノードn1の132A及びノード132C固体整合回路網1305に直接結合する。図13は回路190を示すが、191-194などの他の回路も同様に使用することができる。

10

【0069】

上記のように、例えば100、600、700、800、1300、1400などの、本明細書で開示する共振回路は、プリント回路基板（PCB）形式のファクタで実装して、他の同等の増幅器と比較した場合より小さなサイズを可能にする。また、図10及び図20とともに、1000（図3）で図示されたPCB形式を含むこれらの回路は、種々の技術アプリケーションで実装されて、ユニークで驚くべき結果を提供する。

【0070】

図14は、図3に示す例示的な実施形態のための例示的な回路実施例1400を示す。図14は図1及び図3も参照する。

20

【0071】

システム1400は、クレジットカードと同様の寸法（例えば、図3に示すように長さ約86mm、幅54mm）でPCBに埋め込まれるRF増幅器190及び整流器1499を含む。

【0072】

回路190の正弦波AC出力をDCに整流するために異なるタイプの整流器を使用することができるが、整流器の例は特許文献1に見出すことができ、その全体が参照により本明細書に組み込まれる。

【0073】

システム1400は、DC-DC変換を達成するために整流器1499に結合されたRF共振増幅器回路190を含んでもよい。RF増幅器190の一方の出力は（インダクタ1405を含むように）132Aで整流器1499に接続されてもよく、190の他方の出力は132Cで整流器1499に接続されてもよい。

30

【0074】

整流回路1499は、入力1406及び132Cでキャパシタンス性に見える場合がある。インダクタ1405は、キャパシタンスと共振して、整流器1499とインダクタ1405との組み合わせがRF増幅器190の接続点132A及び132Cで抵抗性を示すように選択することができる。インダクタ1405は、より低い周波数（例えば、約5MHz未満）では省略されてもよい。整流器1499は、1450で出力負荷に結合されてもよい。

40

【0075】

回路1499は、それぞれが一对の直列キャパシタ（例えば、1410A及び1411A）及び一对のダイオード（例えば、1421B及び1431A）を含む複数のユニット1477A-Cを含んでもよい。各ユニットは、ダイオードの固有キャパシタンスを表す追加のキャパシタ（例えば、1422B及び1432A）を含む。各ユニット1477A-Cは、出力リップルの低減を提供するためにキャパシタ（例えば、1440A）を含んでもよい。各ユニットの直列キャパシタ（例えば、1410A及び1411A）は、DCブロッキングを提供し、その結果、複数のユニットを1406及び132Cで並列接続された入力及び直列の出力と組み合わせることができる。各ユニット1477A-Cの出力

50

は直列に接続されるため、1450での合計出力電圧は各ユニットの整流された出力電圧の合計（例えばV_oなど）になる。同様に、各整流器ユニットの入力は並列に接続されるため、1406及び132Cで測定された1499の入力インピーダンスは、各ユニットの入力インピーダンス（例えば、1410A及び1411Aの入力ノードで測定）をユニット全数で除算したものと等価になる。この入力インピーダンスの低減により、共振DC-DCコンバータで一般的に必要とされる追加の受動整合回路網ステージを必要とせずにより高い全体的な電圧利得を実現できる。必要に応じて、109～1499の間に受動整合回路網ステージを追加して、さらに高い利得を実現できる。図14は、ユニット1477A-Cでの3つの段階を示すが、ユニット1477A～Cの他の分割段数は、1450での出力において実装及び結合することができる。また、図14は回路190を示すが、191-194などの他の回路も同様に使用することができる。

10

【0076】

図15はパフォーマンス結果の例のプロットを示す。この例の結果は、図3の装置300（及び対応する回路1400）に対応する。結果は、2kV、4kVの動作での種々の入力電圧と電力の効率を示す。2kVの1505では、35～65Wの範囲で動作し、入力電圧が約12～18Vの場合、効率は86%を超える場合がある。4kVの1510では、130～250Wの範囲で動作し、入力電圧が約32～35Vの場合、効率は85%を超える場合がある。1515で、プロットは、図3の装置300の変換比と電力対電圧を示す。図15はパフォーマンス結果の例を示す。これらは一例であるため、結果は実施形態によって異なる場合がある。

20

【0077】

図16は、入力電圧、出力電圧、電力に関して同等の仕様の以前の高電圧電源と比較した場合において、本明細書に開示される図14の回路1400などの回路のいくつかに従って、過渡応答のどれだけ高速を達成できるかを示すプロットを示す。1605のプロットは、1ms間隔でオン/オフした場合（1msオン後に1msオフ）において回路1400がどれほど速く応答して1msの端数で2kVのフル出力電圧設定ポイントに達することを示す。1610は、同様の定格の市販の高電圧電源に関連する出力電圧のターンオン過渡時間を示す。図16はパフォーマンス結果の例を示すが、これらは一例であるため、結果は実施形態によって異なる場合がある。

【0078】

図17は、装置300（図3）などの例示的な実装と、比較可能な（電力及び電圧定格に関して）従来の電力増幅器1700との間の物理的比較を示す。装置300は、従来の増幅器1700と比較した場合、47%低い損失（40W対70W）を示した。そして、装置300は、従来の増幅器1700と比較した場合、約20倍小さくなり得る。図3の装置は、従来の増幅器1700よりもはるかに高い周波数で動作するが、装置300の内部エネルギー貯蔵は、より小さい受動部品によりはるかに低くなる場合がある。図17はパフォーマンスの結果の例を示すが、これらは一例であるため、結果は実施形態によって異なる場合がある。

30

【0079】

図18は、2つの電力増幅器300及び1700（図17）内に蓄積された電荷を比較するプロット1800を提供する。従来のパワー増幅器1700には、標準IEC61010-1で概説される危険限界1805を超える電荷が蓄積され、装置300は、IEC61010-1に対して安全な設計を示す限界1805を下回る。図18はパフォーマンス結果の例を示すが、これらは一例であるため、実施形態によって結果が異なる場合がある。

40

【0080】

図19は、いくつかの例示的な実施形態に係る、13.56MHzのスイッチング周波数を有するシステム1300の例示的な実装を示す。システム1900は、システム1300の一例である。システム1900は、ゲート制御信号発生器1905、多段整流器1907、整流器出力キャパシタ1910、及び抵抗ダミー負荷1920を含む。図13に

50

において整合回路網を含めることができるが、図19の実施形態において、例えば整合回路網1305などの整合回路網は、実装されていない、図19の例では、多段共振整流器モジュール1310に対応する共振整流器モジュール1907は、500Wの出力電力で75V～15kVのDC-DC変換のために33段を含む。図19の例におけるDC-RF効率は、RF負荷セルで約93%であると測定され、DC-DC効率は約87%であった。

【0081】

図20は、いくつかの例示的な実施形態に係る、システム2000の別の例示的な実装を示す。システム2000は、単一のインバータと、その前面2005において24段の整流器ステージを備える。反対側2008は、インバータ、整流器、及び整合インダクタ2010を示す。それらの値は、整流器出力キャパシタ2020に対して3.3nF、抵抗負荷2030に対して8.9MΩである。ここでは、24段の整流器部分に追加の電圧利得を提供するために、その入力でまだ抵抗性を示している整合回路網が含まれる。DC-DCコンバータは、2kVのピーク電力で120VDCを50kVDCに変換するように設計された。最大40kVのテストに成功した。

10

【0082】

ここで説明されるRF増幅器回路は、高出力RF用途を含む様々な技術アプリケーションで使用されてもよい。高出力RFアプリケーションの例には、多くの異なるアプリケーション用のプラズマ生成、及び高出力無線増幅器が含まれる。本明細書で説明されるRF増幅器回路は、整合回路網、整流器などの他の回路に結合されることで、高いパフォーマンスとコンパクトな高電圧の直流電源を可能にする。本明細書で説明されるRF増幅器回路は、誘導加熱及び/又は容量加熱又は表面処理において、近距離/遠距離無線電力伝送、イオン及び電子加速(これにより、1つ又は複数の電極がRF増幅器によって駆動され、イオン又は電極が加速器を通過するときにイオン又は電極を加速する電界が生成される)において、集束イオンビーム装置内でのイオン生成において、及び/又は衛星推進ユニットにおいて実装されてもよい。

20

【0083】

ここで説明するRF増幅器回路は、高電圧DCアプリケーションでも使用でき、ここで、高効率、低コスト、及び/又は小型軽量は、イオン(プロペラに比べて)優れた推力からエネルギーへのパフォーマンスを誇る航空機(例えば、「イオン風ドローン」)の推進において、サイレント動作で低レーダ及び赤外線プロファイルにおいて、高速でより機敏な制御において、並びに、垂直離着陸との長い操作において含むことが望ましい。

30

【0084】

また、ここで説明するRF増幅器回路は、静電集塵機、特にサイズが重要なモバイルアプリケーション、又は排出要件が微粒子削減の高い効率を必要とする自動車や海運産業などの規制された商業分野でも使用してもよい。

【0085】

さらに、ここで説明するRFアンプ回路は、特に電源をリフティングモジュールに組み込むことができ、高速過渡応答が制御とフィードバック機能の処理にメリットをもたらすアジャイルロボットシステムで、静電付着にも使用してもよい。

40

【0086】

加えて、ここで説明されるRF増幅器回路は、半導体ウェーハチャックの静電接着にも使用されてもよい。

【0087】

さらに、ここで説明するRF増幅器回路は、電気光学偏向器、電気光学変調器、ポッケルスセル、進行波管(TWT)、レーダ装置などの高電圧装置の駆動;イオン又は電子を加速及び制御するために高電圧が使用されるEビーム及びイオンビーム装置の駆動;X線の生成;及び/又は、RFと高電圧イオン加速の組み合わせによる衛星推進にも使用できる。

【0088】

50

ここで説明されるRF増幅器回路は、高速のターンオン及びターンオフ時間を可能にする高周波を使用してもよい。これにより、いくつかのアプリケーションで高速パルスが可能になる。例えば、ここで説明されるRF増幅器回路は、水、ミルク、又は他の液体のパルスフィールド滅菌を提供するために使用されてもよい。液体は、隣接する電極を備えたチューブを通過する際に、高電界のパルスにさらされる。電界は細菌細胞を溶解し、細菌負荷を数桁減らすことができ、病気や牛乳や他の液体物質の汚染の可能性を制限する。同様に、ここに記載のRF増幅器回路は、医療アプリケーションのパルス場で使用することもでき、それにより、癌細胞などの細胞がヒト又は動物対象内で選択的に破壊される。

【0089】

パルスを上記の電気集塵機に組み合わせて、電界破壊の危険を冒すことなく沈殿効率を高めることもできる。ここで説明されるRF増幅器に基づくコンパクトなDC電源を、nsスケールのパルスを送達することができるパルサーユニットと組み合わせる場合、いくつかの用途が提供されてもよい。例えば、この組み合わせにより、ナノ秒反復パルスプラズマなどの低温大気プラズマの生成が可能になる。これらのプラズマは、大気を大幅に加熱することなく、周囲条件の空気から直接生成できる。また、ヘリウム、アルゴン、窒素などのガスの範囲で使用して、同様の電力要件のRF信号源と比較して、プラズマ密度を高め、温度を下げることもできる。同様に、患者の患部創傷部位に低温プラズマを適用することにより、創傷の滅菌及び創傷治癒の刺激が提供されてもよい。そして、表面又は機器の滅菌が提供されてもよい。

10

【0090】

高温で分解する生体材料又は他の敏感な材料のプラズマ支援堆積も提供されてもよい。これには、抗生物質、成長因子、キトサン、コラーゲン、又は創傷を殺菌するか、創傷治癒を促進する他の化合物のヒトの皮膚又は創傷への送達が含まれる。

20

【0091】

プラズマ中のフリーラジカルを使用して燃焼効率を向上させる、又は燃焼火炎を安定させてより効率的な運転を可能にするプラズマ支援燃焼も提供されてもよい。これには、飛行機のジェットエンジン、自動車のエンジン、及び発電所のパフォーマンスの向上が含まれる。

【0092】

飛行機又は他の乗り物のプラズマ支援フロー制御も提供される（それにより、空気又は他のガスの流れは、車両の表面の部品上又は部品の近くで生成されるプラズマによって制御される）。

30

【0093】

上記のナノ秒パルスは、人間又は動物の組織の選択的破壊に適用できる。

【0094】

プラズマ化学も提供される。これにより、有用な化学種が、ガス、液体、又は気液界面で生成されるか、破壊される。これは、高電界と電界によって生成されたプラズマの助けを借りて行われます。例には、水と空気の界面での空気からの肥料生成、空気中のオゾン生成、CO₂の分解が含まれる。

【0095】

上記の説明及び請求項では、「少なくとも1つ」又は「1つ以上」などのフレーズが出現し、その後素子又は機能の接続リストが続く場合がある。「及び/又は」という用語は、2つ以上の素子又は機能のリストにも現れる場合がある。使用するコンテキストによって暗黙的又は明示的に矛盾しない限り、そのような表現は、列挙された素子又は特徴のいずれかを個々に、又は列挙された素子又は特徴のいずれかを他の列挙された素子又は特徴のいずれかと組み合わせて意味するものとする。例えば、「AとBの少なくとも1つ」、「AとBの1つ又は複数」、及び「A及び/又はB」という語句は、それぞれ「A単独、B単独、又はAとBの組み合わせ」を意味する。同様の解釈は、3つ以上の項目を含むリストにも意図される。例えば、「A、B、及びCの少なくとも1つ」、「A、B、及びCの1つ以上」、及び「A、B、及び/又はC」という語句は、それぞれ「Aのみ」、「

40

50

Bのみ」、「Cのみ」、「AとB一緒」、「AとC一緒」、「BとC一緒」、もしくは「AとBとC一緒」を意味するものである。上記及び特許請求の範囲における「に基づいて」という用語の使用は、「少なくとも部分的に基づいて」を意味するものとする。そのような列挙されていない特徴又は素子も許される。

【0096】

ここで説明する主題は、所望の構成に応じて、システム、装置、方法、及び/又は物品で実施することができる。前述の説明で述べた実装は、本明細書で説明した主題と一致するすべての実施形態（又は実施例）を表すものではない。代わりに、それらは説明された主題に関連する側面と一致するいくつかの例にすぎません。いくつかの変形例が上記で詳細に説明されたが、他の修正又は追加が可能である。特に、本明細書に記載されたものに加えて、さらなる特徴及び/又は変形例を提供することができる。例えば、上記の実施は、開示された特徴の様々な組み合わせ及びサブコンビネーション及び/又は上記で開示された、いくつかのさらなる特徴の組み合わせ及びサブコンビネーションに向けられ得る。加えて、添付の図面に示され、及び/又はここで説明される論理フローは、望ましい結果を達成するために、示された特定の順序または連続的な順序を必ずしも必要としない。他の実施形態（又は実施例）は、以下の特許請求の範囲内にあり得る。

【図1A】

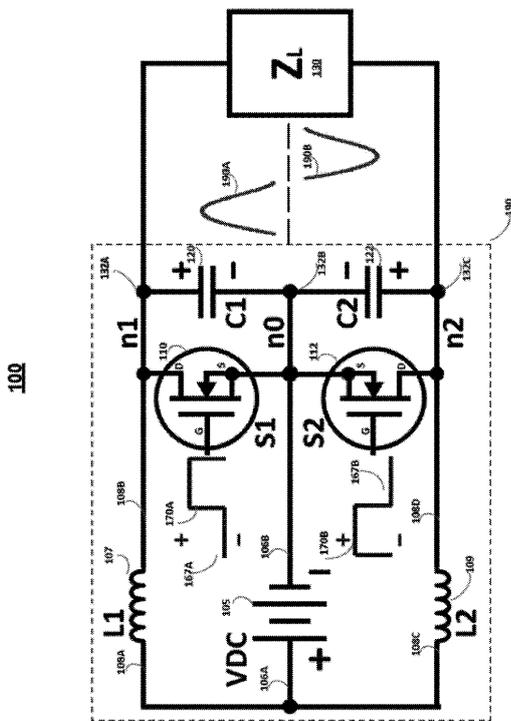


FIG. 1A

【図1B】

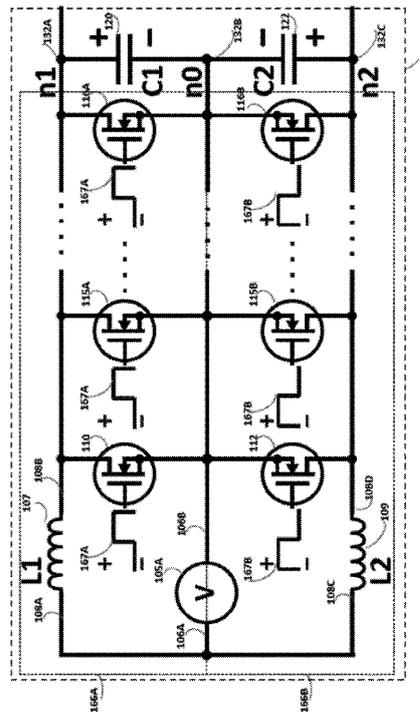


FIG. 1B

【 図 1 C 】

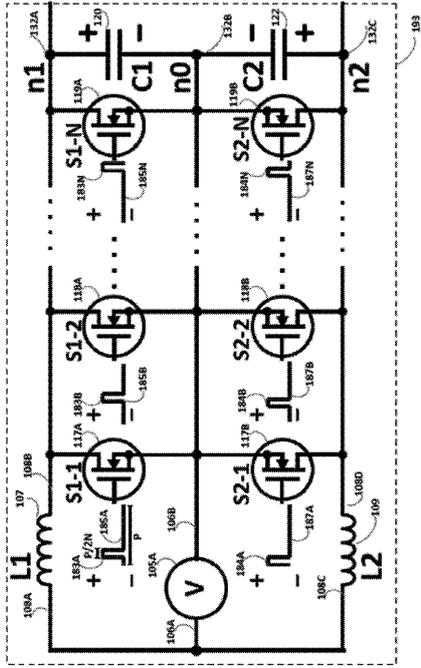


FIG. 1C

【 図 1 D 】

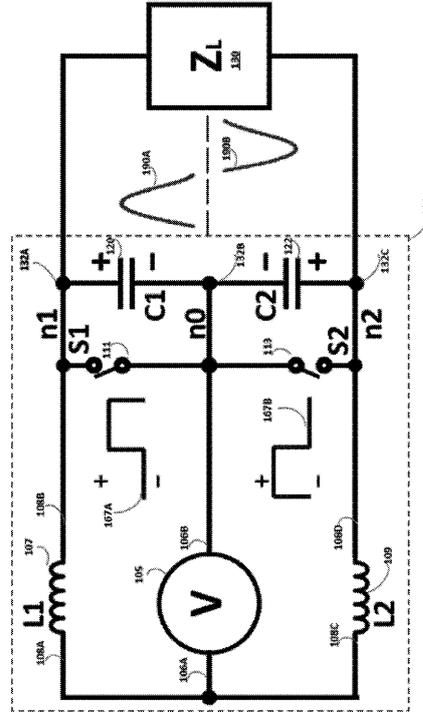


FIG. 1D

【 図 1 E 】

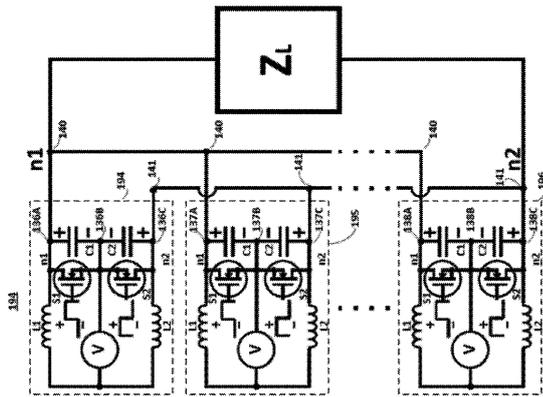
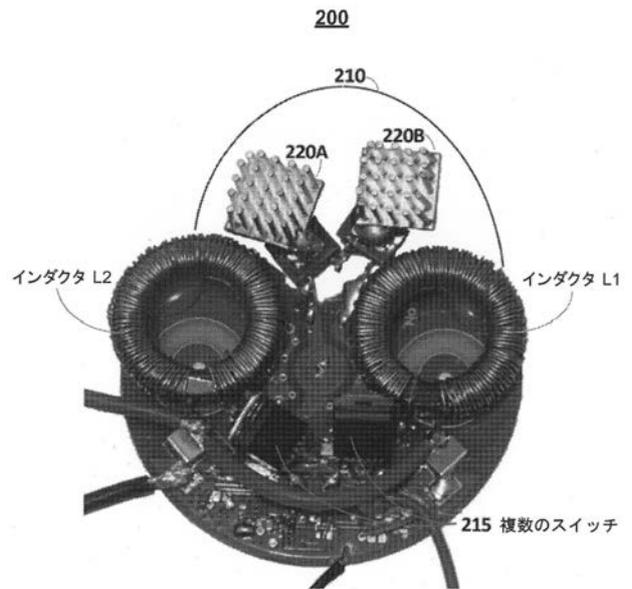


FIG. 1E

【 図 2 】



【 図 3 】

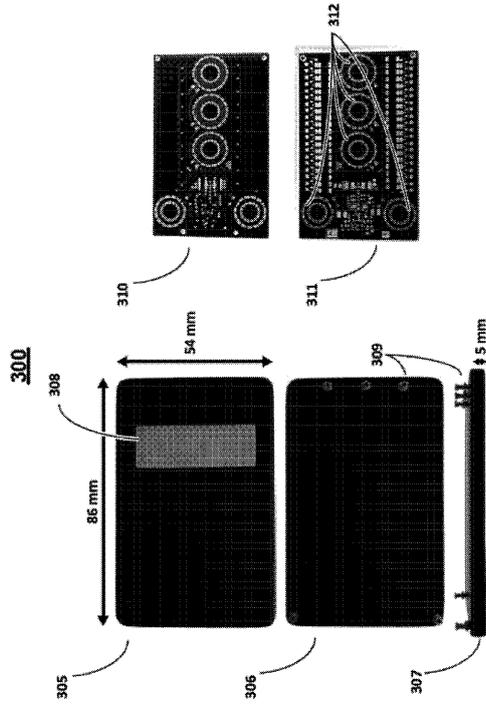


FIG. 3

【 図 4 】

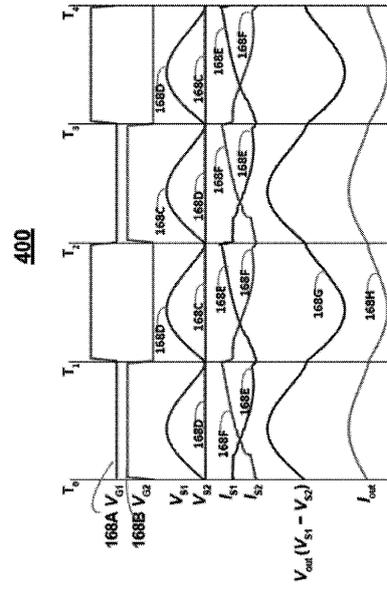
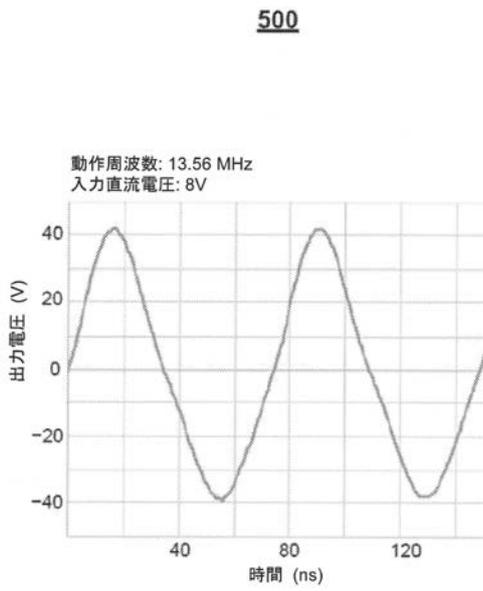


FIG. 4

【 図 5 】



【 図 6 】

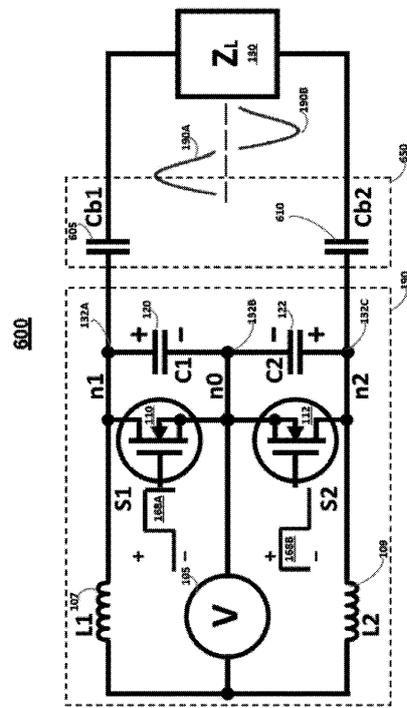
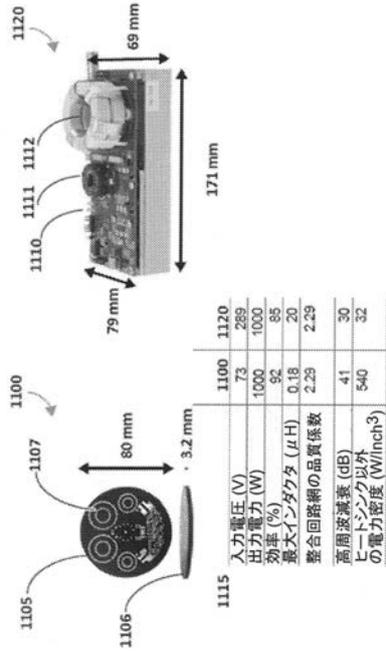


FIG. 6

【 図 1 1 】



【 図 1 2 】

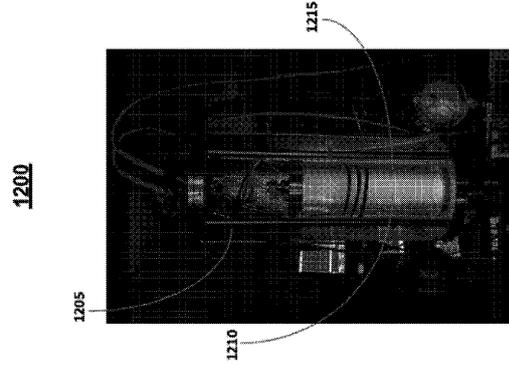
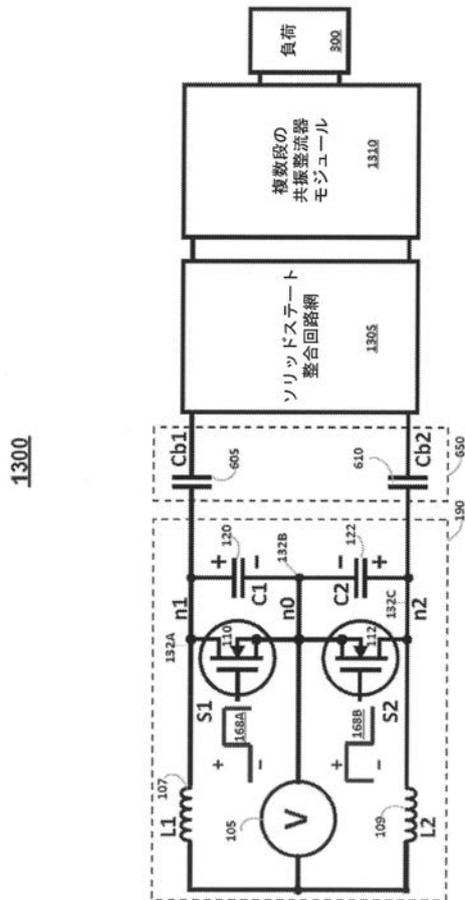


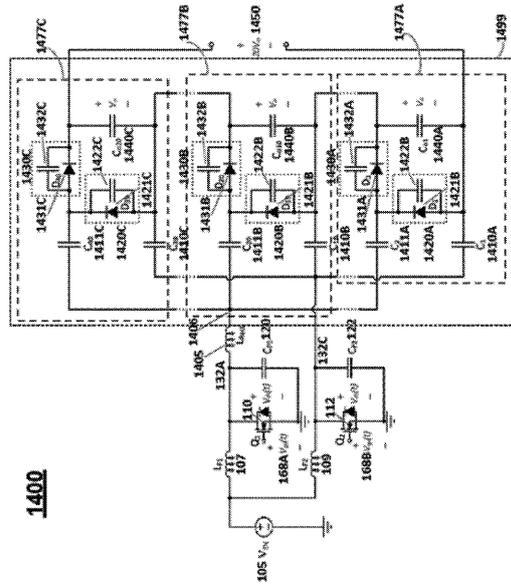
FIG. 12

【 図 1 3 】



1300

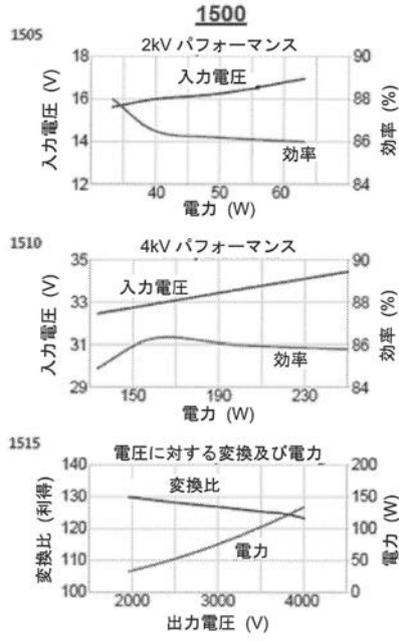
【 図 1 4 】



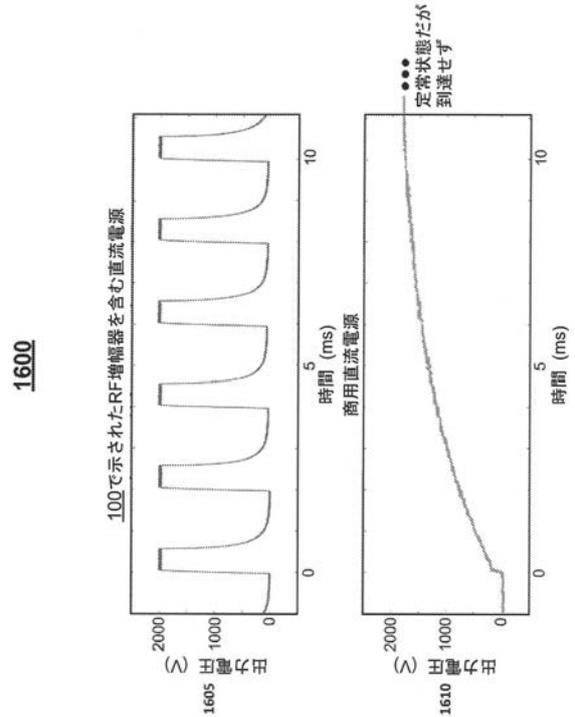
1400

FIG. 14

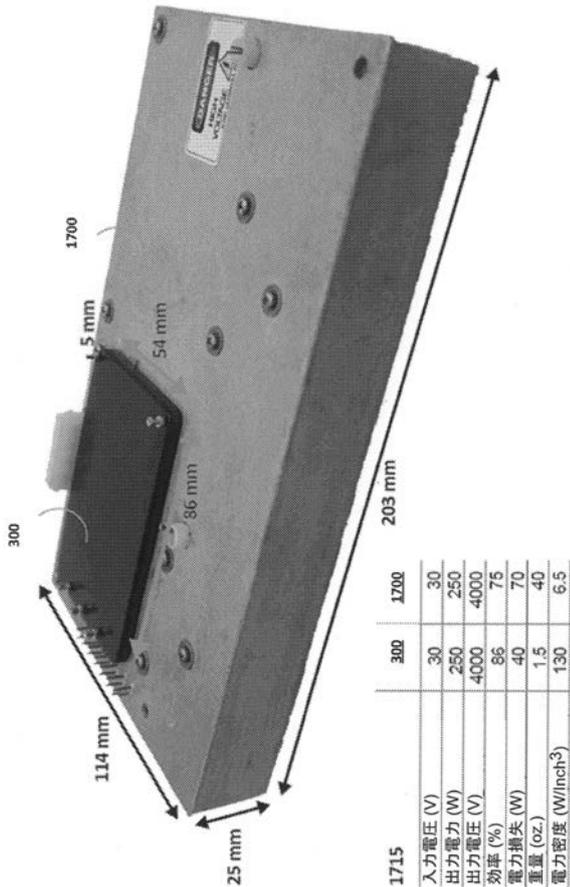
【 図 1 5 】



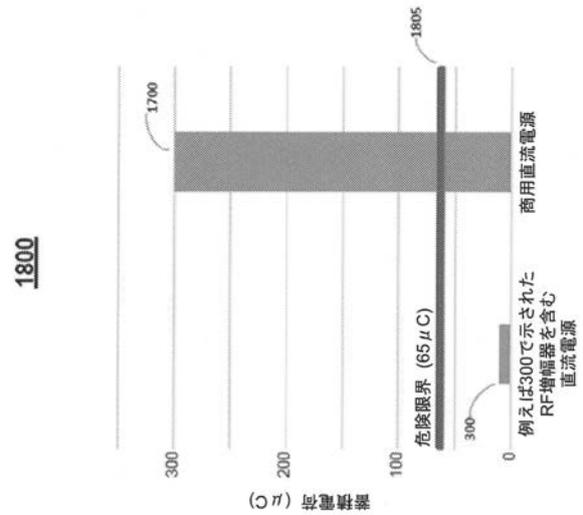
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



【 図 19 】

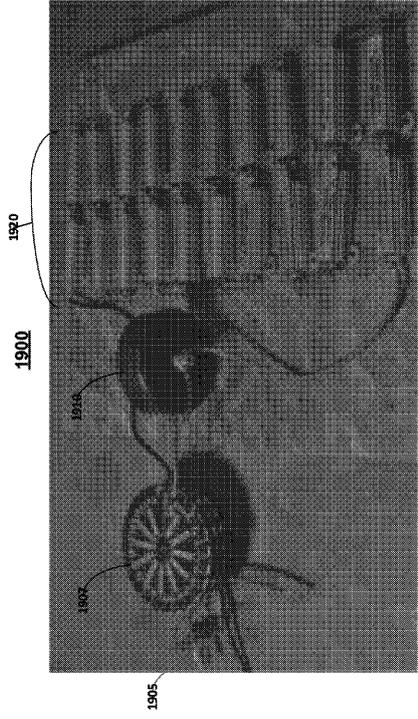


FIG. 19

【 図 20 】

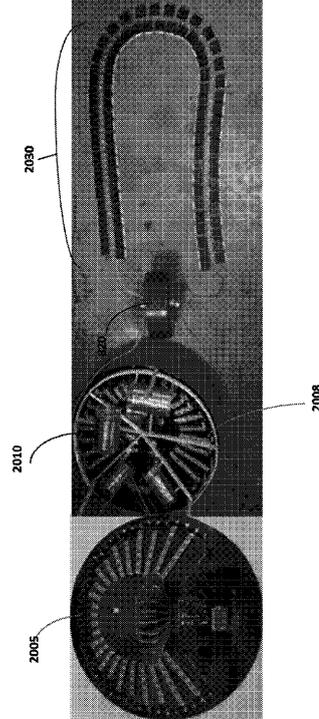


FIG. 20

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2018/040498

A. CLASSIFICATION OF SUBJECT MATTER		
INV. H03F3/193 H03F3/217 H02M7/48 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03F H02M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	
	Relevant to claim No.	
X	US 2017/085189 A1 (MADSEN MICKEY P [DK]) 23 March 2017 (2017-03-23) abstract figures 1,3b,4-5 paragraph [0002] - paragraph [0003] paragraph [0023] - paragraph [0076] -----	1-30
X	US 2015/381057 A1 (LUU KY [US]) 31 December 2015 (2015-12-31) abstract figures 6-8,30,32 paragraph [0001] - paragraph [0012] paragraph [0062] - paragraph [0144] ----- -/--	1-19, 22-30
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date		"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means		"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
8 October 2018	15/10/2018	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Mouanda, Thierry	

2

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2018/040498

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2009/154544 A1 (POTSCHER THOMAS [AT] ET AL) 18 June 2009 (2009-06-18) figures 3,6 paragraph [0022] - paragraph [0023] -----	1-3, 9-17,19, 22,23 4-8,18, 20,21, 24-30

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2018/040498

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2017085189 A1	23-03-2017	CN 106233606 A	14-12-2016
		EP 3132531 A1	22-02-2017
		JP 2017511679 A	20-04-2017
		KR 20170002447 A	06-01-2017
		TW 201611505 A	16-03-2016
		US 2017085189 A1	23-03-2017
		WO 2015158699 A1	22-10-2015
US 2015381057 A1	31-12-2015	CN 106797177 A	31-05-2017
		EP 3161948 A1	03-05-2017
		JP 2017521032 A	27-07-2017
		KR 20170027714 A	10-03-2017
		SG 11201609153Q A	29-12-2016
		US 2015381057 A1	31-12-2015
		WO 2016003914 A1	07-01-2016
US 2009154544 A1	18-06-2009	DE 102008062306 A1	02-07-2009
		US 2009154544 A1	18-06-2009

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 ルーク・クリストファー・レイモンド
アメリカ合衆国 9 4 0 6 1 カリフォルニア州レッドウッド・シティ、ウッドサイド・ロード 1 5 0
5 番

(72)発明者 ヨハン・オスカー・レナルト・アンダーソン
アメリカ合衆国 9 4 0 6 1 カリフォルニア州レッドウッド・シティ、ウッドサイド・ロード 1 5 0
5 番

(72)発明者 ウェイ・リアン
アメリカ合衆国 9 4 0 6 1 カリフォルニア州レッドウッド・シティ、ウッドサイド・ロード 1 5 0
5 番

Fターム(参考) 5H770 BA20 DA11 DA18 DA22 DA30 DA43 DA45 JA10X JA19X
5J500 AA01 AA23 AC36 AC92 AH10 AH29 AH33 AH39