



(12) 发明专利

(10) 授权公告号 CN 102227001 B

(45) 授权公告日 2013. 03. 06

(21) 申请号 201110170991. 4

(22) 申请日 2011. 06. 23

(73) 专利权人 北京大学

地址 100871 北京市海淀区颐和园路 5 号

(72) 发明人 黄如 李志强 安霞 郭岳 张兴

(74) 专利代理机构 北京万象新悦知识产权代理
事务所(普通合伙) 11360

代理人 张肖琪

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/47(2006. 01)

H01L 21/336(2006. 01)

审查员 吴海涛

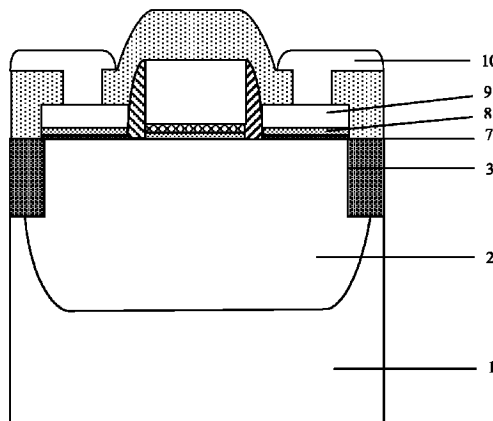
权利要求书 1 页 说明书 3 页 附图 5 页

(54) 发明名称

一种锗基 NMOS 器件及其制备方法

(57) 摘要

本发明提供一种锗基 NMOS 器件结构及其制备方法。该方法在源、漏区与衬底之间淀积了二氧化锗(GeO₂)和金属氧化物双层介质材料。本发明不但降低了锗基肖特基 NMOS 源漏处电子的势垒高度,改善了锗基肖特基晶体管的电流开关比,提升了锗基肖特基 NMOS 晶体管的性能,而且制作工艺与硅 CMOS 技术完全兼容,保持了工艺简单的优势。相对于现有工艺制备方法,本发明结构及其制造方法简单、有效地提升锗基肖特基 NMOS 晶体管的性能。



1. 一种锗基肖特基 NMOS 晶体管,其特征在於,在源、漏区域之上的衬底上依次淀积二氧化锗层和金属氧化物层,具体为:在衬底上淀积一层二氧化锗,在二氧化锗层上淀积一层金属氧化物,金属源、漏位于金属氧化物层上,所述金属氧化物界面氧原子密度与 GeO_2 界面氧原子密度比小于 0.8。

2. 如权利要求 1 所述的锗基肖特基 NMOS 晶体管,其特征在於,所述二氧化锗层的厚度范围为 0.5 ~ 4nm。

3. 如权利要求 1 所述的锗基肖特基 NMOS 晶体管,其特征在於,所述金属氧化物层的厚度范围为 0.5 ~ 4nm。

4. 如权利要求 1 所述的锗基肖特基 NMOS 晶体管,其特征在於,所述金属氧化物选自氧化锶、氧化钡或氧化镭。

5. 一种锗基肖特基 NMOS 晶体管的制备方法,步骤如下:

1-1) 在锗基衬底上制作 MOS 结构;

1-2) 在源、漏区域之上的衬底上依次淀积形成 GeO_2 和金属氧化物层;

1-3) 溅射低功函数金属薄膜,刻蚀形成金属源、漏,所述低功函数金属薄膜为铝、钛或钇;

1-4) 在金属源、漏上形成二氧化硅层,经刻蚀形成接触孔,然后在接触孔内溅射金属形成连接金属源、漏的金属连线。

6. 如权利要求 5 所述的方法,其特征在於,步骤 1-1) 具体包括:

2-1) 在衬底上制作隔离区;

2-2) 淀积栅介质层以及栅;

2-3) 形成栅结构;

2-4) 形成栅结构的侧墙结构。

7. 如权利要求 5 所述的方法,其特征在於,所述步骤 1-1) 的锗基衬底包括体锗衬底、锗覆绝缘衬底或外延锗衬底。

8. 如权利要求 5 所述的方法,其特征在於,所述步骤 1-2) 金属氧化物材料的界面氧原子密度与 GeO_2 界面氧原子密度比小于 0.8,选自氧化锶、氧化钡或氧化镭。

一种锗基 NMOS 器件及其制备方法

技术领域

[0001] 本发明属于超大规模集成电路 (ULSI) 工艺制造技术领域,具体涉及一种锗基 NMOS 器件结构及其制备方法。

背景技术

[0002] 在摩尔定律的推动下,传统硅基 MOS 器件在不断提高集成度的同时也面临诸多挑战和限制:如迁移率退化、载流子速度饱和以及 DIBL 效应等,其中迁移率退化成为影响器件性能进一步提升的关键因素之一。为了解决器件尺寸缩小所带来的问题,必须采用高迁移率沟道材料。目前,锗基肖特基 MOS 晶体管成为了研究热点之一:首先,锗材料的电子和空穴迁移率比硅材料高,而且锗沟道器件的制备工艺与传统 CMOS 工艺兼容;同时肖特基源漏结构替代传统的高掺杂源漏不仅避免了锗材料中杂质固溶度低和扩散快的问题,而且还能减小源漏电阻率。因此,锗基肖特基 MOS 晶体管有望突破传统硅基器件的限制而获得优良的器件性能。

[0003] 然而,锗基肖特基 MOS 晶体管也存在亟待解决的问题:锗基肖特基 MOS 晶体管源漏与衬底的界面处存在的大量悬挂键以及金属(或金属锗化物)在锗禁带中产生的金属诱导带隙态(MIGS)使费米能级被钉扎在价带附近,导致电子势垒较大。较大的电子势垒限制了锗基肖特基 NMOS 晶体管性能的提升:开态时源/沟道较大的电子势垒限制了器件的电流驱动能力;而关态时漏/沟道的较低的空穴势垒导致器件的泄漏电流增大;同时,较大的电子势垒使源端的电子主要以隧穿的方式进入沟道,导致器件的亚阈值斜率变大。因此,电子势垒高度成为影响锗基肖特基 NMOS 晶体管性能的决定因素之一。

发明内容

[0004] 针对上述锗基肖特基 NMOS 晶体管存在的问题,本发明通过在源漏区与衬底间淀积二氧化锗(GeO_2)和金属氧化物双层介质薄膜来减弱费米能级钉扎效应,降低电子势垒,改善锗基肖特基 NMOS 晶体管的性能。

[0005] 下面简述此发明的锗基肖特基 NMOS 晶体管的一种制备方法,步骤如下:

[0006] 1-1) 在锗基衬底上制作 MOS 结构;

[0007] 1-2) 淀积源漏区域的 GeO_2 和金属氧化物薄层;

[0008] 1-3) 溅射低功函数金属薄膜,刻蚀形成金属源漏;

[0009] 1-4) 形成接触孔、金属连线。

[0010] 步骤 1-1) 具体包括:

[0011] 2-1) 在衬底上制作隔离区;

[0012] 2-2) 淀积栅介质层以及栅;

[0013] 2-3) 形成栅结构;

[0014] 2-4) 形成侧墙结构。

[0015] 所述步骤 1-1) 的锗基衬底包括体锗衬底、锗覆绝缘衬底(GOI)或外延锗衬底等。

[0016] 所述步骤 1-2) 的金属氧化物采用低氧原子面密度的材料, 要求此介质材料氧原子面密度与 GeO_2 氧原子面密度比小于 0.8, 如氧化锶 (SrO)、氧化钡 (BaO)、氧化镭 (RaO) 等。

[0017] 所述步骤 1-3) 的金属薄膜为铝膜或其他低功函数金属膜。

[0018] 与现有技术相比, 本发明的有益效果是:

[0019] 此方法可以减弱费米能级钉扎效应, 降低电子势垒, 进而改善锗基肖特基 NMOS 器件的性能。首先, 在 GeO_2 上淀积一薄层金属氧化物, 由于金属氧化物界面处的氧原子面密度比 GeO_2 的低, GeO_2 界面处的氧原子向金属氧化物界面一侧移动, 导致在界面处产生由 GeO_2 指向金属氧化物方向的偶极子, 而偶极子产生的电场有助于肖特基电子势垒的调节; 其次, 在众多介质中, GeO_2 能与 Ge 衬底形成较好的界面接触, 有效钝化锗表面的悬挂键, 降低界面态密度; 再者, 在金属源漏与衬底之间的金属氧化物和 GeO_2 , 可以阻挡金属或金属锗化物在锗禁带中产生金属诱导带隙态 (MIGS), 从而达到进一步减弱费米能级钉扎效应、调节肖特基势垒高度的目的。

[0020] 一般金属氧化物与 GeO_2 界面处的氧原子面密度比越小, 产生的偶极子越强, 势垒调节越显著。而金属氧化物的氧原子面密度与金属阳离子的半径有关: 金属阳离子半径越大, 氧原子面密度越小。本发明采用的氧化锶 (SrO)、氧化钡 (BaO)、氧化镭 (RaO) 等材料的金属离子半径都大于 1.1 \AA , 与 GeO_2 界面处的氧原子面密度比小于 0.8, 进而产生较强的偶极子调节肖特基势垒。与采用单层绝缘介质材料如氧化铝 (Al_2O_3) 等相比, 本实施方案能更有效地调节肖特基势垒, 提升器件性能。

附图说明

[0021] 图 1(a)–图 1(j) 为本发明提出的制备锗基肖特基晶体管的流程图。

[0022] 图中: 1–衬底; 2–P 阱区域; 3–隔离区; 4–栅极介质层; 5–金属栅; 6–侧墙结构; 7– GeO_2 薄层; 8–绝缘氧化物薄膜; 9–金属源漏; 10–金属连线层。

具体实施方式

[0023] 下面结合附图和具体实施方式对本发明作进一步详细描述:

[0024] 图 1 为本发明一优选实施例制作锗基肖特基晶体管的方法流程图。本发明制作锗基肖特基晶体管的方法包括如下步骤:

[0025] 步骤 1: 提供一块锗基衬底。如图 1(a) 所示, 一块 N 型半导体锗衬底 1, 其中衬底 1 可采用体锗、锗覆绝缘 (GOI) 或外延锗衬底等。

[0026] 步骤 2: 制作 P 阱区域。在锗衬底上淀积氧化硅和氮化硅层, 首先通过光刻定义 P 阱区域并反应离子刻蚀掉 P 阱区域的氮化硅, 然后离子注入 P 型杂质如硼等, 再退火驱入制作 P 阱 2, 最后去掉注入掩蔽层, 完成后如图 1(b) 所示。

[0027] 步骤 3: 实现沟槽隔离。如图 1(c) 中隔离区 3, 首先在锗片上淀积氧化硅和氮化硅层, 然后通过光刻定义并利用反应离子刻蚀技术刻蚀氮化硅、氧化硅以及锗形成沟槽, 再利用化学气相淀积 (CVD) 方法淀积氧化硅回填隔离槽, 最后采用化学机械抛光技术 (CMP) 将表面磨平, 实现器件间的隔离。器件隔离不局限于浅槽隔离 (STI), 也可以采用场氧隔离等技术。

[0028] 步骤 4: 在所述有源区上形成栅极介质层。栅介质层可以采用高 K 介质、二氧化锗、

氮氧化锆等材料。在淀积栅介质之前,一般需要用 PH_3 、 NH_3 以及 F 等离子体等进行表面钝化处理,或淀积一层界面层如硅 (Si)、氮化铝 (AlN)、氧化钇 (Y_2O_3) 等。本优选实施例先在锆衬底上制作一薄层氧化钇 (Y_2O_3) 作为界面层,然后采用原子层淀积 (ALD) 方法得到氧化铪 (HfO_2) 栅介质层 4,如图 1(d) 所示。

[0029] 步骤 5:在所述栅极介质层上形成栅极。栅可以采用多晶硅栅、金属栅、FUSI 栅或全锆化物栅等,本实施例采用淀积氮化钛 (TiN) 制备金属栅,然后光刻定义并刻蚀形成栅结构,如图 1(e) 所示。

[0030] 步骤 6:在栅极两侧制备侧墙。可以通过淀积 SiO_2 或 Si_3N_4 并刻蚀的方式制备侧墙,也可依次淀积 Si_3N_4 和 SiO_2 形成双侧墙结构。如图 1(f) 所示,本实施例采用淀积 SiO_2 并采用干法刻蚀的方法,在栅的两侧形成侧墙结构 6。

[0031] 步骤 7:形成源漏区域的 GeO_2 薄层。此薄层可以通过 ALD、射频溅射、热氧化和臭氧氧化等方式获得。此处优选 ALD 淀积方式, GeO_2 厚度约为 0.5 ~ 4nm,如图 1(g) 所示。

[0032] 步骤 8:淀积源漏区域的金属氧化物薄膜。要求此介质材料界面氧原子密度与 GeO_2 界面氧原子密度比小于 0.8,如氧化锶 (SrO)、氧化钡 (BaO)、氧化镭 (RaO) 等,本实施优选例采用氧化锶 (SrO)。此层材料同样可以通过 ALD 淀积的方式得到,其厚度约为 0.5 ~ 4nm,如图 1(h) 所示。

[0033] 步骤 9:制备金属源漏。可以采用物理气相淀积方式如蒸镀或溅射,在半导体衬底上淀积一层低功函数金属薄膜如铝 (Al)、钛 (Ti)、钇 (Y) 等。本优选实施例为铝,其厚度范围在 100nm ~ 1 μm ,通过光刻定义并刻蚀得到金属源漏,如图 1(i) 所示。

[0034] 步骤 10:形成接触孔、金属连线。首先用 CVD 淀积氧化层,光刻定义出开孔位置并刻蚀二氧化硅形成接触孔;然后溅射金属层如 Al、Al-Ti 等,再光刻定义出连线图形并刻蚀形成金属连线图形,最后进行金属化处理,获得金属连线层 10,如图 1(j) 所示。

[0035] 本发明提出了一种锆基 NMOS 器件结构及其制备方法。此方法不但可以降低锆基肖特基 NMOS 源漏处电子的势垒高度,提升锆基肖特基 NMOS 晶体管的性能,而且制备工艺简单并与硅 CMOS 技术完全兼容。与现有技术相比,所述半导体器件结构及其制备方法能简单地提升锆基肖特基 NMOS 晶体管的性能。

[0036] 以上通过优选实施例详细描述了本发明,本领域的技术人员应当理解,以上所述仅为本发明的优选实施例,在不脱离本发明实质的范围内,可以对本发明的器件结构做一定的变形或修改,例如源漏结构也可采用提升、凹陷源漏结构或其他新结构如双栅、FinFET、 Ω 栅、三栅和围栅等;其制备方法也不限于实施例中所公开的内容,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

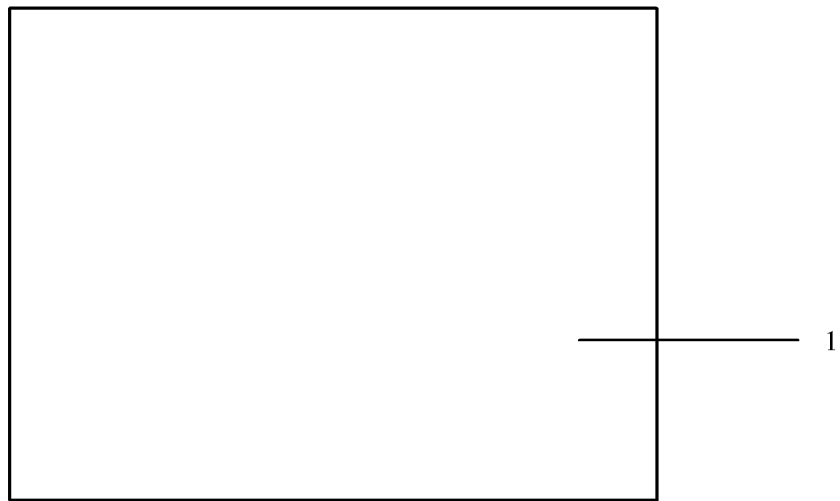


图 1(a)

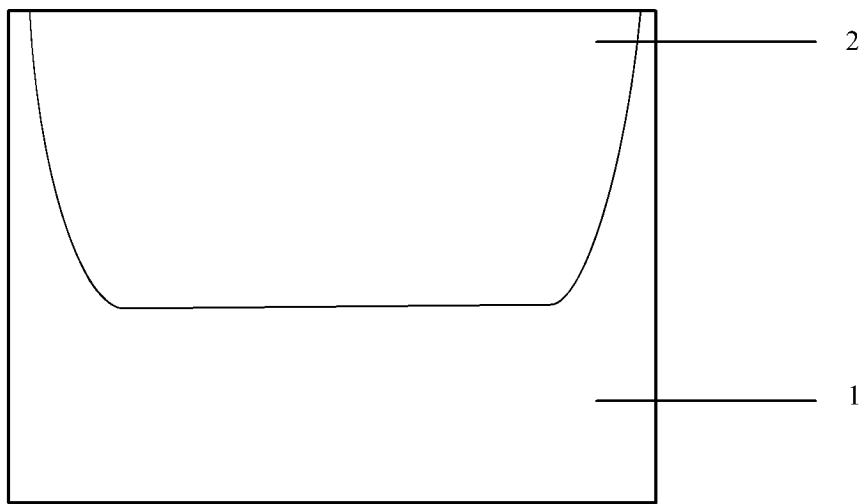


图 1(b)

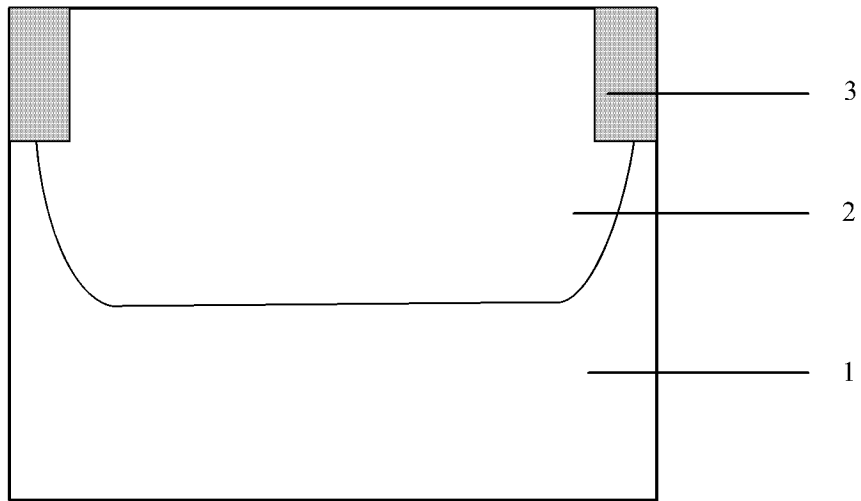


图 1(c)

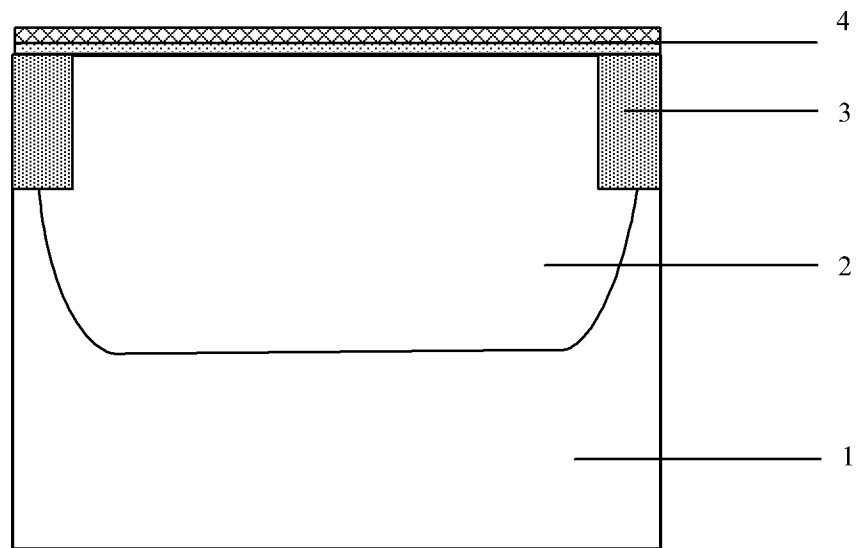


图 1(d)

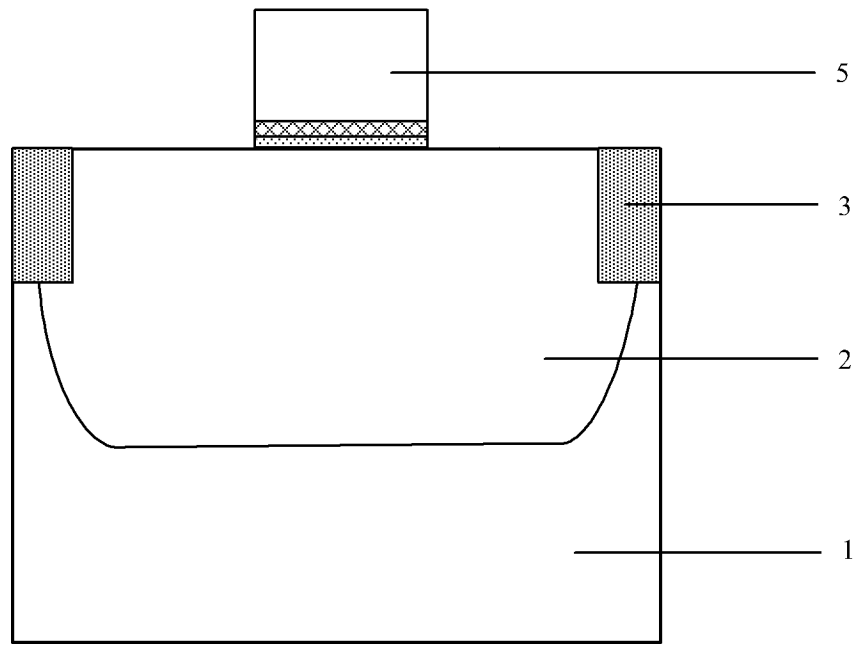


图 1(e)

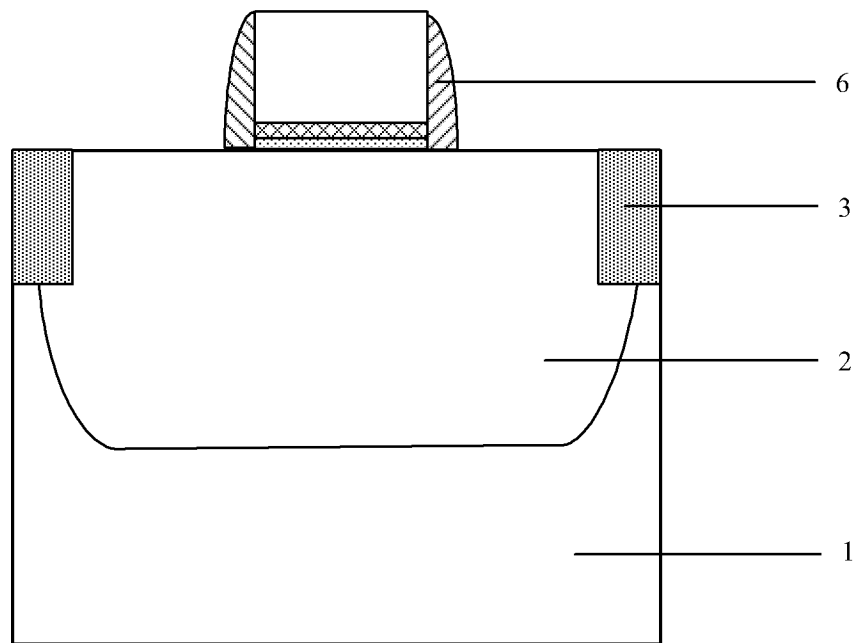


图 1(f)

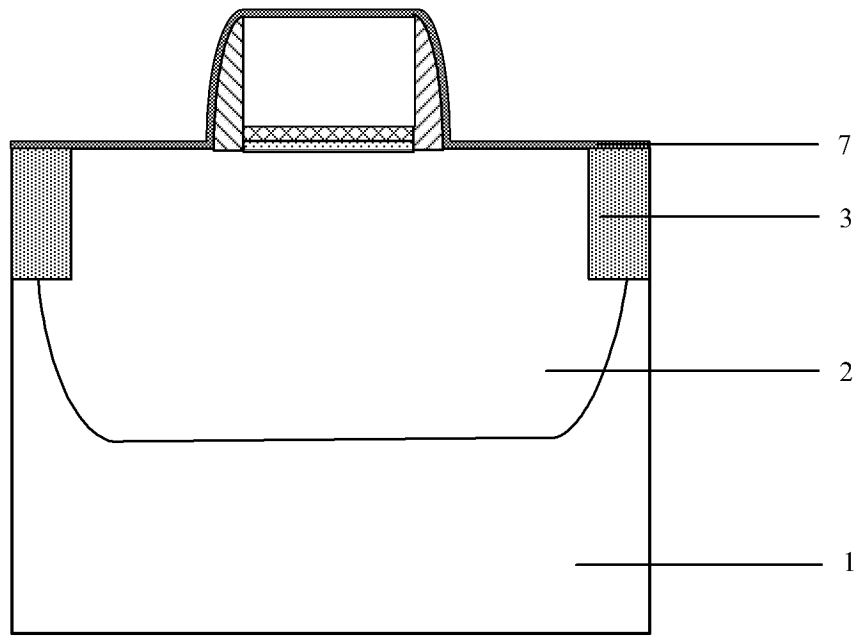


图 1(g)

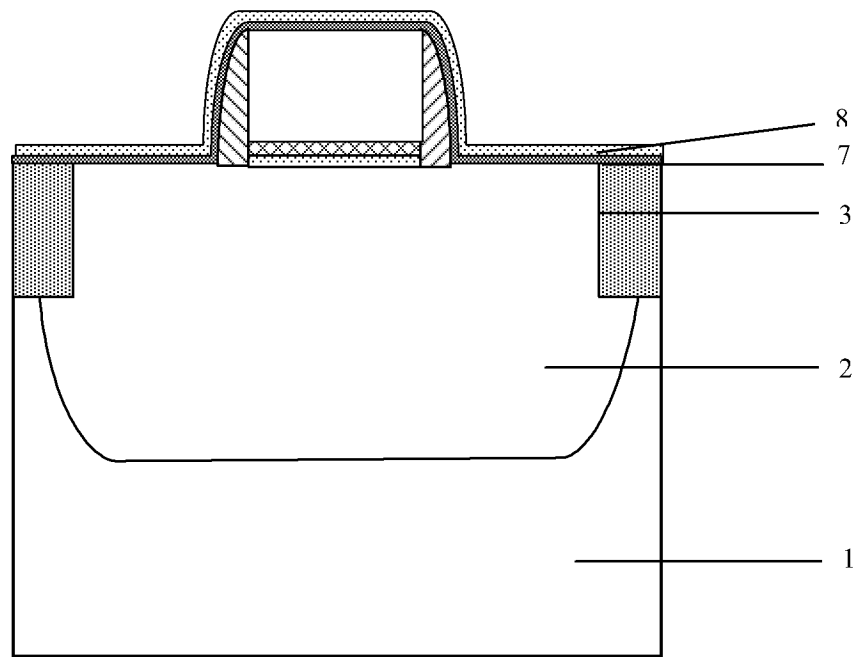


图 1(h)

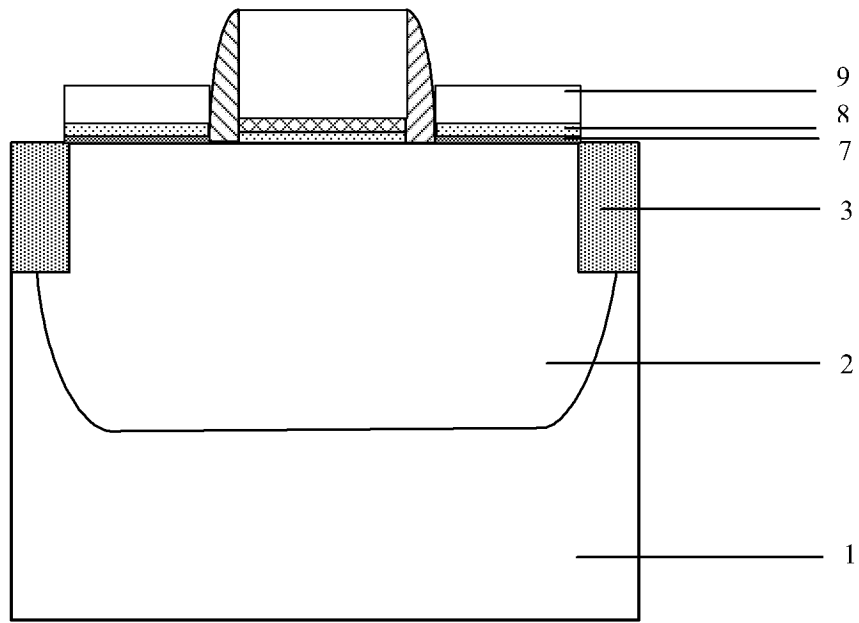


图 1(i)

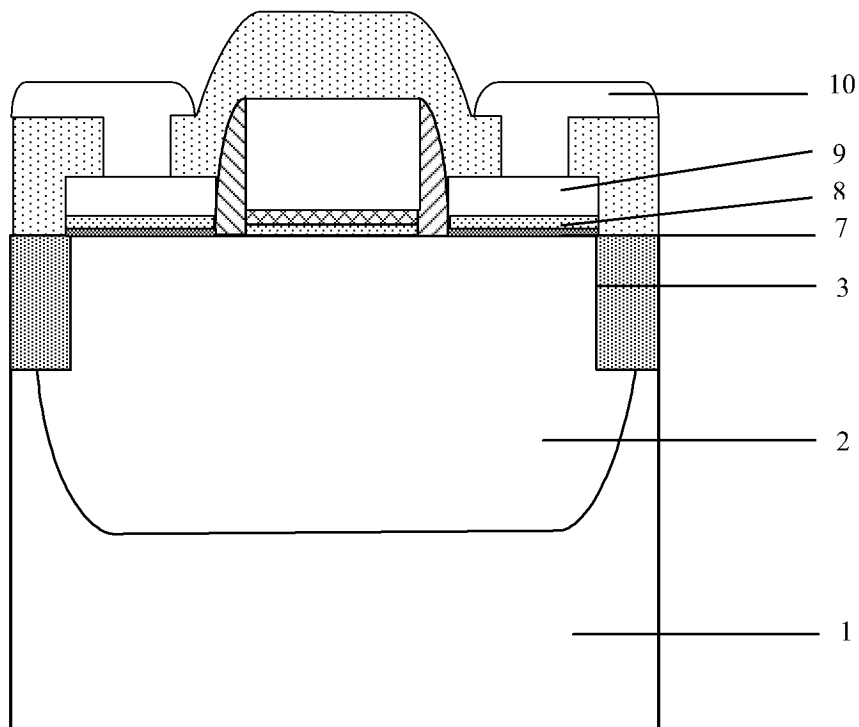


图 1(j)