



PCT

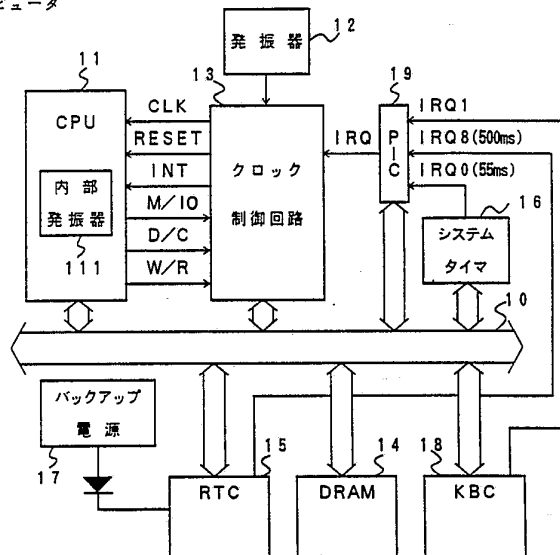
特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 5 G06F 1/06, 1/08, 1/32 G06F 9/46</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 93/06543</p> <p>(43) 国際公開日 1993年4月1日 (01.04.1993)</p>
<p>(21) 国際出願番号 PCT/JP92/01219 (22) 国際出願日 1992年9月25日(25.09.92)</p> <p>(30) 優先権データ 特願平3/249140 1991年9月27日(27.09.91) JP 特願平3/251825 1991年9月30日(30.09.91) JP 特願平3/251826 1991年9月30日(30.09.91) JP 特願平3/278634 1991年9月30日(30.09.91) JP 特願平3/278635 1991年9月30日(30.09.91) JP</p> <p>(71) 出願人(米国を除くすべての指定国について) 株式会社 東芝(KABUSHIKI KAISHA TOSHIBA)[JP/JP] 〒210 神奈川県川崎市幸区堀川町72番地 Kanagawa, (JP)</p> <p>(72) 発明者;および (75) 発明者/出願人(米国についてのみ) 中村伸隆(NAKAMURA, Nobutaka)[JP/JP] 〒198 東京都青梅市木野下2-190-3 Tokyo, (JP) 二宮良次(NINOMIYA, Ryoji)[JP/JP] 〒197 東京都福生市福生2409 高笠アパート2F2号室 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 鈴江武彦, 外(SUZUYE, Takehiko et al.) 〒100 東京都千代田区霞が関3丁目7番2号 鈴業内外国特許事務所内 Tokyo, (JP)</p>	<p>(81) 指定国 DE, US.</p> <p>添付公開書類 国際調査報告書</p>	

(54) Title : PORTABLE COMPUTER HAVING FUNCTION OF SWITCHING OVER CPU CLOCK

(54) 発明の名称 CPUクロックの切り替え機能を有するポータブルコンピュータ

- 12 ... oscillator
- 13 ... clock control circuit
- 16 ... system timer
- 17 ... backup power supply
- 111 ... internal oscillator



(57) Abstract

A personal portable computer of a laptop or a notebook type, which can be driven by a battery and has a CPU (11), a clock oscillator (12) for feeding a clock to the CPU (11). To switch over the clock of the CPU (11) in the state the operation of the CPU (11) is ensured, the feed of a clock (CLK) is stopped in the state of the CPU (11) being reset, and thereby, the CPU (11) is set in a sleep mode. In the sleep mode, the consumption current of the CPU (11) is reduced largely because the clock (CLK) is stopped. When the CPU (11) is reset, the contents of the registers of the CPU (11) are saved. When the feed of the clock (CLK) is restarted and the reset signal is changed from an active state to an inactive one, the contents of the registers, which have been saved, are restored.

(57) 要約

コンピュータは、ラップトップタイプまたはノートブックタイプのバッテリー駆動可能なパーソナルポータブルコンピュータであり、CPU (11) と、このCPU (11) にクロックを供給するクロック発振器 (12) とを有する。このポータブルコンピュータにおいては、CPU (11) の動作を保証した状態でそのCPU (11) のクロックを切り替えるために、CPU (11) をリセットした状態でクロック (CLK) の供給が停止され、これによってCPU 11 はスリープモードに設定される。このスリープモードにおいては、クロック (CLK) が停止されているのでCPU (11) の消費電流は大幅に低減される。CPU (11) をリセットする際にはそのCPU (11) のレジスタ内容が退避され、そしてこの退避されたレジスタ内容はクロック (CLK) の供給が再開され、リセット信号がアクティブからインアクティブに遷移された際に復帰される。

情報としての用途のみ

PCTに基づいて公開される国際出願のハンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FI	フィンランド	MR	モーリタニア
AU	オーストラリア	FR	フランス	MW	マラウイ
BB	バルバドス	GA	ガボン	NL	オランダ
BE	ベルギー	GB	イギリス	NO	ノルウェー
BF	ブルキナファソ	GN	ギニア	NZ	ニュージーランド
BG	ブルガリア	GR	ギリシャ	PL	ポーランド
BJ	ベナン	HU	ハンガリー	PT	ポルトガル
BR	ブラジル	IE	アイルランド	RO	ルーマニア
CA	カナダ	IT	イタリア	RU	ロシア連邦
CF	中央アフリカ共和国	JP	日本	SD	スーダン
CG	コンゴ	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CH	スイス	KR	大韓民国	SK	スロヴァキア共和国
CI	コートジボアール	LI	リヒテンシュタイン	SN	セネガル
CM	カメルーン	LK	スリランカ	SU	ソヴェエト連邦
CS	チェコスロヴァキア	LU	ルクセンブルグ	TD	チャード
CZ	チェコ共和国	MC	モナコ	TG	トーゴ
DE	ドイツ	MG	マダガスカル	UA	ウクライナ
DK	デンマーク	ML	マリ	US	米国
ES	スペイン	MN	モンゴル		

## 明 細 書

CPUクロックの切り替え機能を有する  
ポータブルコンピュータ

## 技術分野

この発明はラップトップタイプまたはノートブックタイプのパーソナルポータブルコンピュータに関し、特にCPUクロック切り替え機能を有するポータブルコンピュータに関する。

## 背景技術

近年、携行が容易でバッテリーにより動作可能なラップトップタイプまたはノートブックタイプのパーソナルポータブルコンピュータが種々開発されている。この種のポータブルコンピュータに於いては、無駄な消費電力を低減するために、所定の条件下においてはCPUの動作速度を自動的に低下させるスリープモード機能が設けられている。

このスリープモード機能は、例えば、一定時間の間オペレータによるキーボード操作が実行されなかった場合に、CPUを低周波数の動作クロックによって駆動させるものである。

このようなスリープモード機能は、特にバッテリー駆動タイプのポータブルコンピュータに有効に利用されている。

しかしながら、このようにCPUの動作クロックを切り替

える従来のスリープモード機能は、すべての種類のCPUに対して適用できるものではない。なぜなら、CPUを構成するマイクロプロセッサのシステム構成によっては、クロックの周波数の切替えにより、CPU内での誤動作が引き起こされる場合があるからである。

特に、インテル社により開発され製造販売されているマイクロプロセッサ“i80486”や、インモス社により開発され製造販売されているマイクロプロセッサ“トランスピュータ”のように、外部から供給される外部クロックよりも速いクロックで動作するマイクロプロセッサをCPUとして使用する場合については、クロックの切り替えによって誤動作が引き起こされる危険が高い。これは、次のような理由によるものである。

すなわち、このようなプロセッサは、PLL回路を含む内部発振器を持ち、外部から供給されるクロックに同期した高速クロックをそのPLL回路により発生させ、それを利用して高速動作を実現している。このため、このようなマイクロプロセッサが正常に動作するためには、外部から供給されるクロックの位相が安定していることが必要とされる。さもないと、PLL回路の同期動作に異常が来たされるからである。

したがって、もし、このようにPLL回路を含む内部発振器を持つCPUに対して従来のスリープモード機能をそのまま適用すると、クロック周波数の切り替え時におけるクロック位相の不連続によって、CPUの動作が保証されなくなるという不具合が生じる。

また、クロック周波数の切り替えはこのようなスリープモードによる省電力化の目的のみならず、コンピュータシステムの互換性確保の目的でも利用されている。

すなわち、遅いクロックで動作するように構成されたアプリケーションソフトウェアやハードウェアオプション類は、高速クロックで動作するCPUの下では利用できない事がある。この場合、通常時はCPUを高速クロックで動作させ、これら特定のアプリケーションソフトやハードウェアオプション類を使用する場合だけ、CPUを低速クロックで動作させるといった利用形態が必要となる。

しかしながら、このように互換性確保を目的としたクロック切替えについても、前述したスリープモードの場合のクロック周波数の切替えと同様に、PLL回路を含む内部発振器を持つCPUに適用した場合にはそのCPUの動作が保証されなくなるという不具合が生じる。

したがって、この発明は、CPUの動作を保証した状態でそのCPUに供給されるクロックの周波数を切り替えられるようにし、消費電力の低減および低速システムとの互換性確保の実現に適したポータブルコンピュータを提供することを目的とする。

#### 発明の開示

この発明の第1の見地によれば、CPUと、このCPUにクロックを供給するクロック発生回路と、システムバスを介して前記CPUに接続される各種周辺回路を有するポータブ

ルコンピュータであって、前記CPUをスリープモードに設定するための所定のモード設定条件の成立の有無を判別し、条件成立にตอบสนองして前記CPUのレジスタのデータをメモリに退避する手段と、前記データの退避にตอบสนองして、前記CPUに供給されるリセット信号をアクティブステートに設定することによって前記CPUをリセットすると共に、前記クロックの供給を停止するクロック停止手段と、前記周辺回路から前記CPUへの割り込み要求にตอบสนองして、前記クロックの供給を再開すると共に、前記CPUを再スタートさせるために前記リセット信号をインアクティブステートに設定する手段と、前記リセット信号のインアクティブステートの設定にตอบสนองして、前記メモリから前記CPUにデータを復帰する手段とを具備するポータブルコンピュータが提供される。

このポータブルコンピュータにおいては、CPUをリセットした状態でクロックの供給が停止されるので、消費電力低減のためにそのクロックを停止しても、CPUはそのクロック停止に何等影響されることはない。また、CPUをリセットする際にはそのCPUのデータが退避される。この退避されたデータは、クロック供給が再開されてリセットが解除された際にCPUに復帰される。このため、クロック停止前の状態からCPU動作を開始することができる。したがって、CPUの動作を保証した状態で、そのCPUの動作を停止させるという新たなスリープモード機能を実現できるようになり、ポータブルコンピュータの消費電力を十分に低減することが可能となる。

この発明の第2の見地によれば、CPUと、このCPUにクロックを供給するクロック発生回路と、システムバスを介して前記CPUに接続される各種周辺回路を有するポータブルコンピュータであって、前記CPUをスリープモードに設定するための所定のモード設定条件の成立の有無を判別し、条件成立に回答して前記CPUのレジスタのデータをメモリに退避する手段と、前記データの退避に回答して、前記CPUに供給されるリセット信号をアクティブ状態に設定することによって前記CPUをリセットすると共に、前記CPUへの電源供給を停止する電源停止手段と、前記周辺回路から前記CPUへの割り込み要求に回答して、前記CPUへの電源供給を再開すると共に、前記リセット信号をインアクティブ状態に設定することによって前記CPUを再スタートさせる手段と、前記リセット信号のインアクティブ状態の設定に回答して、前記メモリから前記CPUにデータを復帰する手段とを具備するポータブルコンピュータが提供される。

このポータブルコンピュータにおいては、CPUをリセットした状態でそのCPUの電源がオフされるので、CPUの動作に影響を及ぼすことなく、CPUの消費電力を十分に低減することができる。また、CPUをリセットする際にはそのCPUのレジスタのデータが退避される。この退避されたデータは、電源がオン状態に再設定されてリセットが解除された際にCPUに復帰される。このため、電源をオフする前の状態からCPU動作を開始することができる。したがって、

C P Uの動作を保証した状態で、そのC P Uへの電源供給を停止させるという新たなスリープモード機能を実現できるようになり、データ処理装置の消費電力を著しく低減することが可能となる。

この発明の第3の見地によれば、C P Uと、システムバスを介して前記C P Uに接続される各種周辺回路と、第1クロックおよびそれよりも低周波数の第2のクロックを発生するクロック発生回路とを有するポータブルコンピュータであって、前記C P Uをスリープモードに設定するための所定のモード設定条件の成立の有無を判別し、条件成立に回答して前記C P Uのレジスタのデータをメモリに退避する手段と、第1のタイミング信号に回答して、前記C P Uに供給されるリセット信号をアクティブに設定することによって前記C P Uをリセットするリセット手段と、第2のタイミング信号に回答して、前記C P Uに供給するクロックを前記第1クロックから前記第2クロックに切り替える第1のクロック切替え手段と、前記データの退避に回答して前記第1のタイミング信号を発生し、前記第1のタイミング信号を所定時間遅延させることによって前記第2のタイミング信号を発生する第1の遅延回路と、第3のタイミング信号に回答して、前記C P Uに供給するクロックを前記第2クロックから前記第1クロックに切り替える第2のクロック切替え手段と、第4のタイミング信号に回答して、前記リセット信号をインアクティブステートに設定することによって前記C P Uを再スタートさせるリセット解除手段と、前記周辺回路から前記C P Uへの割



り込み要求に応答して前記第3のタイミング信号を発生し、前記第3のタイミング信号を所定時間遅延させることによって前記第4のタイミング信号を発生する第2の遅延回路と、前記リセット信号のインアクティブ状態の設定に応答して、前記メモリから前記CPUにデータを復帰する手段とを具備するポータブルコンピュータが提供される。

このポータブルコンピュータにおいては、高周波数の第1クロックと低周波数の第2クロックがCPUのクロックとして選択的に使用され、クロックの切替えはCPUがリセットされた状態で行なわれる。この場合、CPUがリセットされてからクロックが第1クロックから第2クロックに切り替えられるまでの時間は、第1の遅延回路の遅延時間によって規定される。また、クロックが第2クロックから第1クロックに切り替えられてからリセット信号がインアクティブに設定されるまでの時間は、第2の遅延回路の遅延時間によって規定される。このため、これら遅延回路の遅延時間の設定によって、CPUの仕様にあった適切なタイミング制御が可能となる。したがって、CPUの動作を保証した状態で、そのCPUの動作速度を切り替えることが可能となり、互換性および省電力化に優れたポータブルコンピュータを実現できる。

この発明の第4の見地によれば、外部から供給されるクロックに応じた動作速度で駆動されるCPUを有するポータブルコンピュータであって、制御電圧に応じて発振周波数が可変設定される電圧制御発振器と、前記CPUからのクロックの切替え要求に応じて、前記電圧制御発振器に供給される前

記制御電圧の値を上昇または下降させる電圧制御手段とを具備し、前記電圧制御発振器の発振出力が前記CPUに前記クロックとして供給されるポータブルコンピュータが提供される。

このポータブルコンピュータにおいては、電圧制御発振器の発振出力がCPUの動作クロックとして使用されており、その動作クロックは電圧制御発振器の発振周波数を可変設定することによって例えば高速クロックから低速クロックに切替えられる。この場合、電圧制御発振器の発振出力の周波数は連続的に徐々に変化するので、CPUの動作クロックは高速クロックから低速クロックに瞬時に切り替わることはない。このため、クロックが高速クロックから低速クロックに切り替わる時における位相の不連続等の問題が解消され、CPUの動作を保証することができる。したがって、CPUの動作を保証した状態でそのCPUのクロックを切り替えられるようになり、ポータブルコンピュータの消費電力の低減および互換性の確保を実現できる。

この発明の第5の見地によれば、通常動作モードと低消費電流モードとが切替え可能なCPUを備えたポータブルコンピュータであって、第1の周期で定期的に割り込み要求を発生する第1のタイマ手段と、前記第1の周期よりも長い第2周期で定期的に割り込み要求を発生する第2のタイマ手段と、前記第1または第2のタイマ手段からの割り込み要求に应答して、前記CPUを前記低消費電流モードから前記通常モードに切り替えるためのタイマ割り込み信号を発生する手段と、

前記CPUが前記低消費電流モードにある時は前記第1のタイマ手段の割込み要求が禁止され、前記第2のタイマ手段の割込み要求が許可されるように、前記CPUが前記低消費電流モードか前記通常動作モードかに応じて前記第1のタイマ手段の割込み要求を選択的にマスクする割り込みマスク手段とを具備するポータブルコンピュータ。

#### 図面の簡単な説明

第1図はこの発明の第1実施例に係るポータブルコンピュータのシステム構成を示すブロック図。

第2図は同第1実施例のシステムの設けられているクロック制御回路の具体的構成の一例を示すブロック図。

第3図は同第1実施例のシステムにおけるスリープモードへの移行動作を説明するフローチャート。

第4図は同第1実施例のシステムにおけるスリープモードからの復帰動作を説明するフローチャート。

第5図は同第1実施例のシステムの動作タイミングを示すタイミングチャート。

第6図は同第1実施例のシステムの設けられているクロック制御回路の具体的構成の他の例を示すブロック図。

第7図は同第1実施例のシステムにおけるスリープモードへの移行動作の他の例を説明するフローチャート。

第8図は同第1実施例のシステムにおけるスリープモードからの復帰動作の他の例を説明するフローチャート。

第9図はこの発明の第2実施例に係るポータブルコンピュ

ータのシステム構成を示すブロック図。

第10図は同第2実施例のシステムに設けられているバスコントローラの具体的構成の一例を示すブロック図。

第11図は同第2実施例のシステムにおけるスリープモードへの移行動作を説明するフローチャート。

第12図は同第2実施例のシステムにおけるスリープモードからの復帰動作を説明するフローチャート。

第13図は同第2実施例のシステムの動作タイミングを示すタイミングチャート。

第14図は同第2実施例のシステムの設けられているバスコントローラの他の具体的構成例を示すブロック図。

第15図は同第2実施例のシステムにおけるスリープモードへの移行動作の他の例を説明するフローチャート。

第16図は同第2実施例のシステムにおけるスリープモードからの復帰動作の他の例を説明するフローチャート。

第17図はこの発明の第3実施例に係るポータブルコンピュータのシステム構成を示すブロック図。

第18図は同第3実施例のシステムに設けられたタイミング制御回路の動作を説明するタイミングチャート。

第19図は同第3実施例のシステムにおけるスリープモードへの移行動作を説明するフローチャート。

第20図は同第3実施例のシステムにおけるスリープモードからの復帰動作を説明するフローチャート。

第21図は同第3実施例のシステムにおけるクロック切替え時の全体の動作の流れを説明するフローチャート。

第22図は同第3実施例のシステムに設けられたタイミング制御回路の変形例を説明するブロック図。

第23図は第22図に示したタイミング制御回路によって実行される高速クロックから低速クロックへのクロック切替え動作を説明するタイミングチャート。

第24図は第22図に示したタイミング制御回路によって実行される低速クロックから高速クロックへのクロック切替え動作を説明するタイミングチャート。

第25図は同第3実施例のシステムにおけるスリープモードへの移行動作の他の例を説明するフローチャート。

第26図は同第3実施例のシステムにおけるスリープモードからの復帰動作の他の例を説明するフローチャート。

第27図はこの発明の第4実施例に係るシステム構成を示すブロック図。

第28図は同第4実施例のシステムにおける高速クロックから低速クロックへのクロック切替え動作を説明するタイミングチャート。

第29図は同第4実施例のシステムにおける低速クロックから高速クロックへのクロック切替え動作を説明するタイミングチャート。

第30図は同第4実施例のシステムに設けられた電圧切り替え回路の第1の構成例を示すブロック図。

第31図は同第4実施例のシステムに設けられた電圧切り替え回路の第2の構成例を示すブロック図。

第32図は同第4実施例のシステムに設けられた電圧切り

替え回路の第3の構成例を示すブロック図。

第33図は同第4実施例のシステムにおけるクロック切り替え動作の一例を示すタイミングチャート。

第34図は同第4実施例のシステムにおけるクロック切り替え動作の他の一例を示すタイミングチャート。

第35図はこの発明の第5実施例に係わるシステム構成を示すブロック図。

第36図は同第5実施例に於けるCPUスリープモードへの移行動作およびそのCPUスリープモードからの復帰動作を説明するフローチャート。

第37図は同第5実施例のシステムに設けられた第1のRTCレジスタの構成の一例を示す図。

第38図は同第5実施例のシステムに設けられた第2のRTCレジスタの構成の一例を示す図。

第39図は同第5実施例のシステムに設けられた第1の割り込みマスクレジスタの構成の一例を示す図。

第40図は同第5実施例のシステムに設けられた第2の割り込みマスクレジスタの構成の一例を示す図。

第41図は同第5実施例に設けられた割り込みコントローラの具体的構成の一例を示す図。

#### 発明を実施するための最良の形態

この発明を、添付図面を参照して詳細に説明する。

第1図には、この発明の第1実施例に係わるポータブルコンピュータのシステム構成が示されている。このポータブル

コンピュータは、AC商用電源またはコンピュータ本体に着脱自在に装着されるバッテリーによって駆動されるコンピュータであり、CPU（中央処理装置）11、クロック発振器12、クロック制御回路13、ダイナミックRAM（DRAM）14、リアルタイムクロック（RTC）15、システムタイマ16、バックアップ用電源17、キーボードコントローラ（KBC）18、およびプログラマブル割り込みコントローラ（PIC）19、を備えている。

CPU11はこのシステム全体の制御を司るものであり、システムバス10を介して各コンポーネント、すなわち、クロック制御回路13、ダイナミックRAM（DRAM）14、リアルタイムクロック（RTC）15、およびシステムタイマ16、キーボードコントローラ（KBC）18、およびプログラマブル割り込みコントローラ（PIC）19に接続されている。このCPU11は、例えば前述のマイクロプロセッサ80486から構成されるものであり、内部的に高速クロックを生成するために、PLL回路を含む内部発振器111を備えている。すなわち、このCPU11は、クロック制御回路13を介して供給されるクロックCLKの数倍のクロックを内部発振器111によって内部的に生成し、それを利用して高速動作する構成である。

また、CPU11は、実行中のアプリケーションプログラムによってコールされるBIOS（Basic Input Output System）プログラムの実行により、スリープモード設定条件の設定の有無を判断し、条件成立時には、CPU

11内のレジスタ内容の退避処理、スリープモードへ移行することを示すスリープモード識別情報（クロック停止フラグ）の設定処理、およびH a l t命令の実行を順次行う。スリープモードの設定条件は、例えば、一定期間以上オペレータによるキー入力操作が行なわれなかった場合等に成立する。

C P U 1 1の各レジスタのデータは、ダイナミックR A M（D R A M）14に退避される。また、スリープモード識別情報（クロック停止フラグ）は、リアルタイムクロック（R T C）15内のメモリに格納される。

C P U 1 1がプログラムの実行を停止するためのH a l t命令を実行すると、C P U 1 1が停止状態に設定されたことを通知するために、C P U 1 1は、信号M / I Oを“L”レベル、信号D / Cを“L”レベル、信号W / Rを“H”レベルに設定する。ここで、信号M / I Oはメモリと入出力装置のどちらをアクセスするかを示すステータス信号であり、コントロール信号D / Cはデータとコマンドのどちらを出力するかを示すステータス信号であり、信号W / Rは書き込みと読み出しのどちらかを行うかを示すステータス信号である。

クロック発振器12は、クロックC L Kを発生する。このクロックC L Kの周波数は、例えば32MHまたは16MHZである。このクロック発振器12からのクロックC L Kは、クロック制御回路13の制御の下にC P U 1 1に供給される。

クロック制御回路13は、クロックC L K、リセット信号R E S E T、および割り込み信号I N TをC P U 1 1に供給



する。このクロック制御回路13は、通常はCPU11を動作させるためにクロックCLKをCPU11に対して供給しているが、CPU11がスリープモードの間中はそのクロックCLKの供給を停止する。また、クロック制御回路13は、そのクロックCLKの停止に先立って、リセット信号RESETをアクティブにし、これによってCPU11をリセット状態に設定する。リセット信号RESETがアクティブの間中（すなわち、CPU11がリセット状態の間）はずっと、CPU11による命令の実行やCPU11によるシステムバス10の付勢は生じない。

このようにCPU11をリセット状態にしてからクロックCLKの供給を停止する理由は、クロックCLKの供給停止によるクロック位相のずれ等に起因して、CPU11が誤動作するのを防止するためである。

CPU11がスリープモードに移行可能な状態になったことは、CPU11からの信号M/I O、D/C、W/Rが、“L”、“L”、“H”に設定されることによって認識される。

すなわち、スリープモードに移行可能な状態になると、前述したようにCPU11はH a l t命令を実行し、信号M/I Oを“L”レベル、信号D/Cを“L”レベル、信号W/Rを“H”レベルにする。このため、クロック制御回路13は、これら信号のレベルを検出することによって、CPU11がスリープモードに移行可能な状態になったことを認識できる。

また、クロック制御回路13は、割り込みコントローラ19からハードウェア割り込み要求IRQを受け取った時、CPU11をスリープモードから通常の動作モードに戻すために、次の処理を行う。すなわち、クロック制御回路13は、最初に、クロックCLKの供給を再開し、次いで、CPU11の動作が再開されるようにリセット信号RESETをインアクティブにする。また、この後、クロック制御回路13は、CPU11に対して割り込み信号INTを供給する。

ダイナミックRAM(DRAM)14はCPU11によって実行されるアプリケーションプログラム等を格納するためのものであり、スリープモードへの移行時には、このダイナミックRAM(DRAM)14にCPU11の各レジスタのデータが退避される。

リアルタイムクロック(RTC)15は、時計機能やカレンダー機能を実現するためのモジュールであり、その内部メモリには電源遮断時にもその記憶内容が消失されないように、バックアップ用電源17が常時供給されている。また、このリアルタイムクロック(RTC)15のメモリには、前述したスリープモード識別情報(クロック停止フラグ)が格納される。

スリープモード識別情報(クロック停止フラグ)は、CPU11がスリープモードから通常モードに復帰したのか、あるいはシステムがパワーオンされたのかを識別するために使用される。すなわち、リセット信号RESETのアクティブステートからインアクティブステートの遷移は、CPU

11がスリープモードから通常モードに復帰する時だけでなく、システムの電源が投入された時にも発生される。電源投入時には通常のブートストラップ処理を行うだけで退避されているデータをCPU11のレジスタに復帰する必要はないが、スリープモードから復帰した際にはレジスタ内容をCPU11に復帰する必要がある。このため、CPU11は、リセット信号RESETがアクティブステートからインアクティブステートに遷移した時、リアルタイムクロック(RTC)15のスリープモード識別情報(クロック停止フラグ)をチェックし、これによってスリープモードからの復帰であるか否かを判別する。

また、リアルタイムクロック(RTC)15は、例えば500msの周期で定期的にタイマ割り込み要求IRQ8を発生する。このタイマ割り込み要求IRQ8は、割り込みコントローラ19に供給される。

システムタイマ16は、例えば55msの周期で定期的にタイマ割り込み要求IRQ0を発生するタイマである。このタイマ割り込み要求IRQ0は、割り込みコントローラ19に供給される。

キーボードコントローラ(KBC)18は、このポータブルコンピュータ本体に組み込まれたキーボードを制御する樽のものであり、キーボードのキーマトリクスをスキャンして押下キーに対応するキーデータ(スキャンコード)を生成する。また、この時、キーボードコントローラ(KBC)18はキー入力をCPU11に通知するために、キー入力割り

込み要求 I R Q 1 を発生する。このキー入力割り込み要求 I R Q 1 は、割り込みコントローラ 19 に供給される。

割り込みコントローラ 19 は、ハードウェア割り込み要求 I R Q をクロック制御回路 13 を CPU 11 に供給する。すなわち、割り込みコントローラ 19 は、タイマ割り込み要求 I R Q 0、キー入力割り込み要求 I R Q 1、タイマ割り込み要求 I R Q 8 のいずれかを受信した時、ハードウェア割り込み要求 I R Q を発生する。この場合、タイマ割り込み要求 I R Q 0 とタイマ割り込み要求 I R Q 8 の一方は、割り込みコントローラ 19 内の割り込みマスクレジスタによって選択的にマスク可能である。

図 2 には、クロック制御回路 13 の具体的構成の一例が示されている。このクロック制御回路 13 は、図示のように、クロック切替え回路 131、リセット信号発生回路 132、割り込み信号発生回路 133、および R-S フリップフロップ 135 によって構成されている。

クロック切替え回路 131 は、クロック CLK または GND レベルの出力のいずれかを選択して出力するものであり、フリップフロップ 135 がリセットされた時には、GND レベル出力することによって CPU 11 へのクロック CLK の供給を停止する。一方、フリップフロップ 135 がセットされた時には、クロック切替え回路 131 は、クロック CLK を選択してそれを CPU 11 に供給する。

ゲート回路 134 は、信号 M/I O、D/C、W/R がそれぞれ “L” レベル、“L” レベル、“H” レベルに設定さ

れたこと、つまりCPU 11がHalt命令を実行しことを認識した時、フリップフロップ135をリセットする。また、フリップフロップ135のセットは、割り込みコントローラ19からのハードウェア割り込み要求IRQによって行なわれる。

リセット信号発生回路132は、フリップフロップ135をリセットするためのゲート回路134の出力に応答し、リセット信号RESETをアクティブにする。また、リセット信号発生回路132は、割り込み要求IRQに応答してリセット信号RESETをインアクティブに設定する。割り込み信号発生回路133は、割り込み要求IRQに応答して割り込み信号INTを発生する。

このクロック制御回路13においては、信号M/I O、D/C、W/Rがそれぞれ“L”レベル、“L”レベル、“H”レベルに設定された事が検出されると、ゲート回路134の出力によってリセット信号RESETがアクティブ状態に設定され、またフリップフロップ135がリセットされることによってクロック切替え回路131の出力がクロックCLKからGNDに切り替えられる。この状態で、割り込み要求IRQが入力されると、フリップフロップ135がセットされてクロック切替え回路131の出力がGNDからクロックCLKに切り替えられると共に、そのクロック切り替えから一定時間（例えば1ms）経過後にリセット信号RESETがインアクティブに設定される。そして、割り込み信号発生回路133から、割り込み信号INTが発生される。

次に、図3乃至図5を参照して、図1のポータブルコンピュータにおけるスリープモードへの移行動作とそのスリープモードからの復帰動作について説明する。

まず、図3のフローチャートを参照して、スリープモードにおいてCPU11のクロックCLKを停止する場合の動作について説明する。

CPU11がアプリケーションプログラムの実行中に例えばキー入力待ち状態になると、通常、図3に示すような割り込み待ちファンクションのルーチンがアプリケーションプログラムによってコールされる。この割り込み待ちファンクションは、BIOSプログラムによって提供されるものである。

割り込み待ちファンクションルーチンでは、まず、CPU11は、キー入力割り込みの発生の有無を判断する（ステップS11）。この判断処理は、CPU11に割り込み信号INTが供給された時に、CPU11がその割り込みの要因を調べることによって実行される。割り込みの要因がキー入力割り込み要求IRQ1によるものか否かは、例えば、割り込みコントローラ19のステータスレジスタをリードすることによって決定される。キー入力割り込みが発生した時には、CPU11はキーボードコントローラ(KBC)18からキーコードを読み取り（ステップS12）、その後、アプリケーションプログラムの実行に戻る。

一方、キー入力割り込みが発生しなかった場合には、CPU11は、スリープモード設定条件が成立されたことを認識し、スリープモード設定のためのサブルーチンを実

行する。ここでは、CPU 11は、まず、その時のレジスタ内容をダイナミックRAM (DRAM) 14にセーブする(ステップS13)。次いで、CPU 11は、“1”のスリープモード識別情報(クロック停止フラグ)をリアルタイムクロック(RTC)のメモリ15に格納する(ステップS14)。この後、CPU 11は動作停止のためのHalt命令(HLT)を実行する(ステップS15)。このHalt命令は、CPU 11がシステムバス10を使用することを防止する。

CPU 11は、Halt命令を実行すると、CPU 11が停止状態になったことを通知するために、信号M/I Oを“L”、信号D/Cを“L”、信号W/Rを“H”にする。そして、リスタートされない限り、Haltの状態を維持する。

クロック制御回路13は、これら信号(M/I O、D/C、W/R)を監視しており、CPU 11がHALT命令を実行したことが分かると、リセットRESET信号をアクティブにしてCPU 11をリセットする。リセットRESET信号がアクティブになると、CPU 11の全ての動作が終結される。この後、クロック制御回路13は、CPU 11へのクロックCLKの供給を停止する。これによって、CPU 11はクロックCLKの供給が停止されたスリープモード状態となる。

この後、クロック制御回路13は、割り込みコントローラ19からのハードウェア割り込み要求IRQに応答して、ク

ロックCLKの供給を再開し、その後、約1ms経過後にリセット信号RESETをアクティブからインアクティブに遷移させる。この結果、クロックCLKの供給が再開されてから約1ms経過するまで、リセット信号RESETはアクティブに維持される。このように、クロックCLKの供給再開から一定期間リセット信号RESETをアクティブに維持するのは、CPU11の適切な動作を確実にするためである。

リセット信号RESETがインアクティブに遷移すると、CPU11は、動作を開始して、内部のレジスタを初期化して特定番地から命令をフェッチする。これにより、第4図のルーチンが実行される。この第4図のルーチンは、CPU11を初期状態に強制設定するためのリセットスイッチが投入された時や、電源投入時に実行されるものと同じのルーチンである。

この第4図のルーチンでは、まず、CPU11は、リアルタイムクロック(RTC)15のメモリに格納されているスリープモード識別情報(クロック停止フラグ)の内容をチェックする(ステップS21)。もしスリープモード識別情報(クロック停止フラグ)が“0”ならば、スリープモードからの復帰ではなく、電源投入またはリセットスイッチ投入による通常のシステム起動であるので、CPU11はブートストラップ処理を実行する(ステップS22)。このブートストラップ処理では、周辺回路の初期設定、およびオペレーティングシステムの起動等が実行される。

一方、スリープモード識別情報(クロック停止フラグ)



が“1”ならば、スリープモードからの復帰であるので、CPU 11は、リアルタイムクロック(RTC) 15のスリープモード識別情報(クロック停止フラグ)を“0”に書き替え(ステップS 23)、その後、退避したレジスタ内容をダイナミックRAM(DRAM) 14から内部レジスタにロードしてそのレジスタ内容を元に戻す(ステップS 24)。そして、CPU 11は、図3で説明したキー入力割り込みチェック処理(ステップS 11)に移行し、これによってスリープモード設定前の状態に戻る。

このように、この実施例のスリープモード機能は、CPU 11をリセットした状態でクロックCLKを停止し、そのクロックCLKの停止によってCPU 11の消費電流を低減している。

図5には、以上説明したスリープモード動作の動作タイミングが示されている。図示のように、通常モードからスリープモードに移行する場合には、まず、CPU 11によってHalt命令が実行され、これに回答してリセット信号RESET信号がアクティブ“HIGH”にされ、これによってCPU 11がリセットされる。そして、この後、CPU 11がリセットされている状態で、クロックCLKの供給が停止される。

また、スリープモードから通常モードに復帰する場合には、ハードウェア割り込み要求IRQに回答して、まず、クロックCLKの供給が再開される。その後、リセットRESET信号がインアクティブにされ、これによって

CPU 11の動作が再開される。

次に、図6を参照して、クロック制御回路13の他の具体的構成の一例を説明する。

図2のクロック制御回路13は、Halt命令の実行によって出力される信号(M/I O、D/C、W/R)によりCPU 11がクロック停止可能な状態になったこと、つまりレジスタの退避が終了したことを認識したが、この図6のクロック制御回路13は、CPU 11から発行される通知データに基づいて、CPU 11がクロック停止可能な状態になったことを認識する構成である。

すなわち、クロック制御回路13は、ゲート回路134の代わりに、デコーダ201とレジスタ202を備えている。デコーダ201は、CPU 11からのアドレスをデコードし、そのアドレスが所定の値の時にレジスタ202にバス10上の所定の1ビットの通知データをセットする。レジスタ202に通知データがセットされると、リセット信号発生回路132によってリセットRESET信号がアクティブにされ、またフリップフロップ135がリセットされることによりクロックCLKの供給が停止される。

このような構成のクロック制御回路13を使用すれば、CPU 11がたとえHalt命令を実行しなくても、CPU 11がレジスタ退避を終了してクロック停止可能状態になったことを認識することが可能となる。

以上説明したように、この第1実施例のポータブルコンピュータにおいては、CPU 11をリセットした状態でクロック

ク C L K の供給を停止しているので、C P U 1 1 がそのクロック C L K の停止によって誤動作するといった事態を防止できる。また、通常のスリープモードのようにクロック C L K の周波数を低下させるのではなく、クロック C L K を停止しているので、消費電力を大幅に低減できるようになる。

さらに、C P U 1 1 をリセットする際にはその C P U 1 1 のレジスタ内容が退避され、この退避されたレジスタ内容はクロック C L K の供給が再開され、リセットがインアクティブに設定された際に復帰される。このため、クロック C L K 停止前の状態から C P U 1 1 を動作開始させることができ、C P U 1 1 の正常動作を確実に保証することができる。

なお、このようなクロック切替えシステムは、内部発振器を持つ C P U のスリープモード機能の実現に特に適しているが、P L L 回路を含む内部発振器をもたず外部クロックに同期して動作する C P U に適用しても同様して誤動作を招くことなく消費電力を低減できることはもちろんである。

また、この第 1 実施例では、C P U 1 1 がスリープモードから復帰したのかあるいはシステムの電源が投入されたのかを識別するためにスリープモード識別情報を C P U 1 1 によってソフトウェア的に設定したが、例えば、クロック制御回路 1 3 内にフリップフロップ等を用意し、このフリップフロップにスリープモード識別情報をハードウェア的に設定することも可能である。

さらに、スリープモードの期間を長く維持するために、スリープモードの期間中のシステムタイマ割り込み要求 I R Q

0は、割り込みコントローラ19によってマスクする事が好ましい。このようにすれば、55ms単位で発生されるシステムタイマ割り込み要求IRQ0が禁止される。このため、スリープモードの期間を55ms以上に設定可能となり、電力消費をより低減できる。

この場合、通常モードからスリープモードに移行する場合のCPU11の処理は、第7図のように行われる。

すなわち、この場合には、第3図に示したスリープモード移行のためのサブルーチンのステップS13～S15に、ステップS100、およびステップS101が加えられる。ステップS100においては、CPU11は、リアルタイムクロック(RTC)15のタイマ割り込み周期を500msにセットする。これは、500msを示すデータをリアルタイムクロック(RTC)15内の所定のレジスタに書き込むことによって実現される。ステップS101においては、CPU11は、システムタイマ16のタイマ割り込みをディセーブル、リアルタイムクロック(RTC)15のタイマ割り込みをイネーブルにする。これは、割り込みコントローラ(PIC)19の割り込みマスクレジスタに所定のマスクデータをライトすることによって実現される。

この結果、スリープモードにおいては、55ms単位で発生されるシステムタイマ割り込み要求IRQ0が禁止され、500ms単位で発生されるリアルタイムクロック(RTC)15のタイマ割り込み要求IRQ8が許可される。このため、スリープモードの設定期間を55ms以上に設定可能となり、

電力消費をより低減することができる。

ここで、リアルタイムクロック (RTC) 15のタイマ割り込み周期を500msにセットした理由は、アプリケーションプログラムの時計機能をサポートするためである。すなわち、表示画面上に時刻をデジタル表示する機能を持つアプリケーションプログラムを実行している場合には、少なくとも1s以内にタイマカウントを更新することが必要とされる。このため、ここでは、500ms単位のタイマ割り込みを利用することによって、スリープモードの最大設定期間を500msに制限している。

また、このようにシステムタイマ割り込み要求IRQ0を禁止してスリープモードに移行した場合においては、通常モードからスリープモードに移行するためのCPU11の処理は、第8図のように行われる。

すなわち、この場合には、第4図に示したステップS23、S24に加え、ステップS102が実行される。ステップS102においては、CPU11は、システムタイマ16のタイマ割り込みをイネーブル、リアルタイムクロック (RTC) 15のタイマ割り込みをディセーブルにする。これは、割り込みコントローラ (PIC) 19の割り込みマスクレジスタに所定のマスクデータをライトすることによって実現される。これによって、通常モードにおいては、55ms単位でのタイマ割り込みが有効になる。

以下、この発明の第2実施例を説明する。

図9には、この発明の第2実施例に係わるポータブルコン

コンピュータのシステム構成が示されている。この第2実施例のポータブルコンピュータは、スリープモードにおいてCPUへの電源供給を停止するように構成されている。

すなわち、このポータブルコンピュータは、AC商用電源またはコンピュータ本体に着脱自在に装着されるバッテリーによって駆動されるコンピュータであり、図示のように、CPU 11A、スイッチ回路 12A、バスコントローラ 13A、ROM 14A、ダイナミックRAM (DRAM) 15A、リアルタイムクロック (RTC) 16A、キーボードコントローラ (KBC) 17A、電源回路 18A、AC電源アダプタ 19A、バッテリー 20A、バックアップ用電源 21A、クロック切替え回路 22A、クロック発振器 23A、プログラマブル割り込みコントローラ (PIC) 24A、およびシステムタイマ 25Aを備えている。

CPU 11Aはこのシステム全体の制御を司るものであり、システムバス 10bを介して周辺回路を成す各コンポーネント、すなわち、ROM 14A、ダイナミックRAM (DRAM) 15A、リアルタイムクロック (RTC) 16A、キーボードコントローラ (KBC) 17A、割り込みコントローラ (PIC) 24A、およびシステムタイマ 25Aに接続されている。このCPU 11Aは、例えばマイクロプロセッサ (80486) から構成されるものであり、高速クロックを内部で生成して動作するために、PLL回路を含む内部発振器 111Aを備えている。すなわち、このCPU 11Aは、クロック切替え回路 22Aを介してクロック

ク発振器 23A から供給されるクロック CLK の数倍の高速クロックを内部発振器 111A によって内部的に生成し、それを利用して高速動作する構成である。

また、CPU 11A は、実行中のアプリケーションプログラムによってコールされる BIOS (Basic Input Output System) プログラムの実行により、スリープモード設定条件の設立の有無を判断し、条件成立時には、CPU 11A 内の各レジスタのデータの退避、スリープモードへ移行することを示すスリープモード識別フラグの設定、および Halt 命令の実行を順次行う。スリープモード設定条件は、例えば、一定期間以上オペレータによるキー入力操作が行なわれなかった場合等に成立する。

CPU 11A のレジスタのデータは、ダイナミック RAM (DRAM) 15A に退避される。また、スリープモード識別フラグは、リアルタイムクロック (RTC) 16A 内部のメモリに格納される。

CPU 11A がプログラムの実行やバスアクセスを停止するための Halt 命令を実行すると、CPU 11A が停止状態に設定されたことを通知するために、CPU 11A は、信号 M/I O を "L" レベル、信号 D/C を "L" レベル、信号 W/R を "H" レベルに設定する。ここで、前述したように、信号 M/I O はメモリと入出力装置のどちらをアクセスするかを示すものであり、信号 D/C はデータとコマンドのどちらを出力するかを示すものであり、信号 W/R は書き込みと読み出しのどちらを行うかを示すものである。

クロック発振器22Aは、CPU11Aに供給するクロックCLKとして例えば32MHzまたは16MHzのクロックを発生する。このクロック発振器22AからのクロックCLKは、クロック切替え回路22Aに送られる。クロック切替え回路22Aは、CPU11Aに対してクロックCLKまたはGNDレベル出力をそのCPU11Aの動作クロックとして供給する。

バスコントローラ13Aは、CPUバス（ローカルバス）10aとシステムバス10bとの接続／分離を制御すると共に、CPU11Aに対するリセット信号RESETと割り込み信号INTの供給、およびクロックCLKの供給、並びにCPU11Aへの電源供給を制御する。

このバスコントローラ13Aは、通常はCPU11Aを動作させるためにスイッチ回路12AをオンにしてCPU11Aに電源電圧Vccを供給すると共に、クロック切替え回路22Aを制御してCPU11AにクロックCLKを供給する。しかし、CPU11Aをスリープモードに設定する時には、バスコントローラ13Aは、そのクロックCLKの供給を停止すると共に、電源電圧Vccの供給も停止する。また、このようにクロックCLKおよび電源電圧Vccの供給を停止する際には、バスコントローラ13Aは、その停止に先立ってリセット信号RESETをアクティブにし、これによってCPU11Aをリセットする。このようにCPU11Aをリセット状態にしてからクロックCLKおよび電源電圧Vccの供給を停止する理由は、クロックCLKの供給



停止によるクロック位相のずれや電源遮断によって、CPU 11 Aが誤動作するのを防止するためである。

さらに、このようにクロックCLKおよび電源電圧Vccの供給を停止する際には、バスコントローラ13 Aは、CPUバス10 aとシステムバス10 bとを切り離し、これによって、システムバス10 bに接続されている各種周辺回路からCPU 11 Aへの無駄な電流の流れ込みを防止することができる。

バスコントローラ13 Aは、CPU 11 Aがスリープモードに移行可能な状態になったことを、CPU 11 Aからのバスステータス信号M/I O、D/C、W/Rによって認識する。

すなわち、スリープモードに移行可能な状態になると、前述したようにCPU 11 AはH a l t命令を実行し、信号M/I Oを“L”レベル、信号D/Cを“L”レベル、信号W/Rを“H”レベルにする。このため、バスコントローラ13 Aは、これら信号のレベルを検出することによって、CPU 11 Aがスリープモードに移行可能な状態になったことを認識できる。

また、バスコントローラ13 Aは、スリープモード期間中（クロックCLKおよび電源電圧Vccの供給が停止されている）に割り込みコントローラ（P I C）24 Aからハードウェア割り込みの要求I R Qを受け取ると、CPU 11 Aをスリープモードから通常の動作モードに復帰させるために、電源電圧VccおよびクロックCLKの供給を再開すると共

に、リセット信号RESETをアクティブからインアクティブに遷移させる。また、この後、バスコントローラ13Aは、CPU11Aに対して割り込み信号INTを供給する。

ROM14Aには、キー入力待ちファンクションサブルーチン等のBIOS (Basic Input Output System)プログラムが格納されている。ダイナミックRAM (DRAM) 15AはCPU11Aによって実行されるアプリケーションプログラム等を格納するためのものであり、スリープモードへの移行時には、このダイナミックRAM (DRAM) 15AにはCPU11Aのレジスタ内容が退避される。

リアルタイムクロック (RTC) 16Aは、時計機能やカレンダー機能を実現するためのモジュールであり、そのメモリには電源遮断時にもその記憶内容が消失されないように、バックアップ用電源17Aが常時供給されている。このリアルタイムクロック (RTC) 16Aのメモリには、前述したスリープモード識別フラグが格納される。

このスリープモード識別フラグは、スリープモードから復帰か否かを識別するために使用される。すなわち、リセット信号RESETがアクティブステートからインアクティブステートに遷移したとき、CPU11Aは内部状態の初期化を実行する。この場合、通常の電源投入時にはブートストラップ処理を行うだけで退避されているレジスタ内容を復帰する必要はないが、スリープモードから復帰した際にはレジスタ内容をCPU11Aに復帰する必要がある。このため、CPU11Aは、リセット信号RESETがアクティブステ

ートからインアクティブ状態に遷移することによって動作を再開した時、まず、リアルタイムクロック（RTC）16Aのスリープモード識別フラグをチェックし、これによってスリープモードからの復帰であるか否かを判別する。

また、リアルタイムクロック（RTC）16Aは、例えば500msの周期で定期的にタイマ割り込み要求IRQ8を発生する。このタイマ割り込み要求IRQ8は、割り込みコントローラ（PIC）24Aに供給される。

キーボードコントローラ（KBC）17Aは、図示しないキーボードからのキー入力があると、CPU11Aにキー入力割り込み要求IRQ1をアクティブにする。このキー入力割り込み要求IRQ1は、割り込みコントローラ（PIC）24Aに供給される。

システムタイマ25Aは、例えば55msの周期で定期的にタイマ割り込み要求IRQ0を発生するタイマである。このタイマ割り込み要求IRQ0は、割り込みコントローラ（PIC）24Aに供給される。

割り込みコントローラ（PIC）24Aは、ハードウェア割り込み要求IRQをバスコントローラ13Aに供給する。すなわち、割り込みコントローラ（PIC）24Aは、タイマ割り込み要求IRQ0、キー入力割り込み要求IRQ1、タイマ割り込み要求IRQ8のいずれかを受信した時、ハードウェア割り込み要求IRQを発生し、それをバスコントローラ13Aに供給する。この場合、タイマ割り込み要求IRQ0とタイマ割り込み要求IRQ8の一方は、割り込み

コントローラ ( P I C ) 2 4 A 内の割り込みマスクレジスタによって選択的にマスク可能である。

電源回路 1 8 A は、 D C - D C コンバータを含んでいる。この D C - D C コンバータは、 A C 商用電源を D C 電源に変換する A C 電源アダプタ 1 9 A からの D C 電源電圧またはバッテリー 2 0 からの D C 電源電圧を受け、それを所望の D C 電源電圧  $V_{cc}$  に変換する。

第 1 0 図には、バスコントローラ 1 3 A の具体的構成の一例が示されている。このバスコントローラ 1 3 A は、図示のように、電源切替え回路 1 3 1 A、リセット信号発生回路 1 3 2 A、割り込み信号発生回路 1 3 3 A、 R - S フリップフロップ 1 3 5 A、バス接続 / 分離回路 1 3 6 A によって構成されている。

電源切替え回路 1 3 1 A は、スイッチ回路 1 2 A をオン / オフ制御して C P U 1 1 A への電源  $V_{cc}$  の供給を制御するためのものであり、フリップフロップ 1 3 5 A がリセットされた時には、スイッチ信号 S W 1 を “ H ” レベルにしてスイッチ回路 1 2 A をオフさせる。一方、フリップフロップ 1 3 5 A がセットされた時には、電源切替え回路 1 3 1 A は、スイッチ信号 S W 1 を “ L ” レベルにしてスイッチ回路 1 2 A をオンさせる。

また、フリップフロップ 1 3 5 A の出力は、制御信号 S W 2 としてクロック切替え回路 2 2 A に供給される。クロック切替え回路 2 2 A は、フリップフロップ 1 3 5 A がリセットされた時には C P U 1 1 A へのクロック C L K の供給を停止

し、フリップフロップ135Aがセットされた時にはクロックCLKの供給を再開する。

ゲート回路134Aは、信号M/I O、D/C、W/Rがそれぞれ“L”レベル、“L”レベル、“H”レベルに設定されたこと、つまりCPU11AがH a l t命令を実行しことを認識した時、フリップフロップ135Aをリセットする。また、フリップフロップ135Aのセットは、割り込みコントローラ(P I C) 24Aからの割り込み要求I R Qによって行なわれる。

リセット信号発生回路132Aは、フリップフロップ135Aをリセットするためのゲート回路134Aの出力“1”に应答し、リセット信号R E S E Tをアクティブにする。また、リセット信号発生回路132Aは、割り込み要求I R Qに应答してリセット信号R E S E Tをインアクティブに設定する。割り込み信号発生回路133Aは、割り込み要求I R Qに应答して割り込み信号I N Tを発生する。

バス接続/分離回路136AはCPUバス10aとシステムバス10b間の接続/分離を行うためのものであり、CPU11Aの電源遮断時に周辺回路からCPU11Aに電流が流れ込まないように、フリップフロップ135Aがリセットされた時にCPUバス10aとシステムバス10b間を分離する。この分離状態では、CPUバス10aがシステムバス10bから分離されると共に、CPU11Aに繋がっているCPUバス10aがGNDレベルに固定される。このようなCPU11への無駄な電流の流れ込み防止は、CPU

11Aの消費電流を大幅に低減する。また、実際には、CPUバス10aのみならず、CPU11Aに繋がるすべての信号線についてGNDレベルに固定することが好ましい。

このように構成されバスコントローラ13Aにおいては、信号M/I O、D/C、W/Rがそれぞれ“L”レベル、“L”レベル、“H”レベルに設定された事が検出されると、ゲート回路134の出力“1”に応答してリセット信号RESETがアクティブ状態に設定される。またフリップフロップ135AがリセットされることによってクロックCLKを停止するための制御信号SW2が発生されると共に、電源切替え回路131Aによって電源スイッチ回路12Aをオフするための制御信号SW1が発生される。

この状態で、割り込み要求(I R Q)が入力されると、フリップフロップ135AがセットされてクロックCLKの供給を再開するための制御信号SW2が発生され、また電源スイッチ回路12Aをオンするための制御信号SW1が電源切替え回路131Aから発生される。また、電源スイッチ回路12Aをオンしてから一定時間(例えば1ms)経過後に、リセット信号RESETがインアクティブに設定される。そして、割り込み信号発生回路133Aから、割り込み信号INTが発生される。

次に、第11図乃至第13図を参照して、図9のポータブルコンピュータにおけるスリープモードへの移行動作とそのスリープモードからの復帰動作について説明する。

まず、第11図のフローチャートを参照して、CPU

11Aの消費電流を低減するために、スリープモードに移行する場合の動作について説明する。

CPU11Aがアプリケーションプログラムの実行中に例えばキー入力待ち状態になると、通常、第11図に示すようなBIOSによる割り込み待ちファンクションのルーチンがアプリケーションプログラムによってコールされる。この割り込み待ちファンクションは、BIOSプログラムによって提供されるものである。

割り込み待ちファンクションルーチンでは、まず、CPU11Aは、キー入力割り込みの発生の有無を判断する（ステップS11-1）。この判断処理は、CPU11Aに割り込み信号INTが供給された時に、CPU11Aがその割り込みの要因を調べることによって実行される。割り込みの要因がキー入力割り込み要求IRQ1によるものか否かは、例えば、割り込みコントローラ24Aのステータスレジスタをリードすることによって決定される。キー入力割り込みが発生した時には、CPU11Aはキーボードコントローラ（KBC）117Aからキーコードを読み取り（ステップS12-1）、その後、アプリケーションプログラムの実行に戻る。

一方、キー入力割り込みが一定時間発生しなかった場合には、CPU11Aは、スリープモード設定条件が成立されたことを認識し、スリープモード設定のためのサブルーチンを実行する。ここでは、CPU11Aは、まず、その時のレジスタのデータをダイナミックRAM（DRAM）15Aにセ

ープする（ステップS13-1）。次いで、CPU11Aは、“1”のスリープモード識別情報をリアルタイムクロック（RTC）16Aに格納する（ステップS14-1）。この後、CPU11Aは動作停止のためのHalt命令を実行する（ステップS15-1）。このHalt命令は、CPU11Aがシステムバス10を使用をすることを防止する。

CPU11Aは、Halt命令を実行すると、CPU11Aが停止状態になったことを通知するために、信号M/I0を“L”、信号D/Cを“L”、信号W/Rを“H”にする。そして、リスタートされない限り、Haltの状態を維持する。

バスコントローラ13Aは、これら信号（M/I0、D/C、W/R）を監視しており、CPU11AがHalt命令を実行したことが分かると、リセットRESET信号をアクティブにしてCPU11Aをリセットする。次に、クロックCLKの供給を停止し、そして電源電圧Vccの供給を停止する。さらに、バスコントローラ13Aは、CPUバス10aをシステムバス10bから切り離すと共にそれをGNDレベルに固定し、周辺回路からCPU11Aへの電流の流れ込みを防止する。このようにして、CPU11Aは電源電圧Vcc供給が停止されたスリープモード状態となる。

この後、バスコントローラ13Aは、割り込みコントローラ19からのハードウェア割り込み要求IRQに回答して、CPU11Aへの電源電圧Vccの供給を再開し、次いでクロックCLKの供給を再開し、この後、CPUバス10aを



システムバス10bに接続する。

以上の処理が終了してから、約1msウエイト後、バスコントローラ13Aは、リセット信号RESETをアクティブ状態からインアクティブ状態に遷移させる。

リセット信号RESETがインアクティブに遷移すると、CPU11Aは、動作を開始して、内部レジスタを初期化して特定番地から命令をフェッチする。これにより、第12図のルーチンが実行される。この第12図のルーチンは、CPU11Aを初期状態に強制設定するためのリセットスイッチが投入された時や、電源投入時に実行されるものと同一のルーチンである。

この第12図のルーチンでは、まず、CPU11Aは、リアルタイムクロック(RTC)16Aに格納されているスリープモード識別フラグの内容をチェックする(ステップS21-1)。スリープモード識別フラグが“0”の場合には、スリープモードからの復帰ではなく、システムの電源投入またはリセットスイッチの投入による通常のシステム起動であるので、CPU11Aはブートストラップ処理を実行する(ステップS22-1)。

一方、スリープモード識別フラグが“1”の場合にはスリープモードからの復帰であるので、CPU11Aは、リアルタイムクロック(RTC)16Aのスリープモード識別フラグを“0”に書き替え(ステップS23-1)、その後、回避したレジスタ内容をダイナミックRAM(DRAM)15Aからロードしてレジスタ内容を元に戻す(ステップ

S 2 4 - 1 ) 。 そ し て 、 C P U 1 1 A は 、 ス リ ー プ モ ー ド 設 定 前 の 状 態 に 戻 り 、 割 り 込 み 信 号 I N T に 対 応 す る 所 定 の 割 り 込 み 処 理 を 実 行 す る 。

こ の よ う に 、 こ の 実 施 例 の ス リ ー プ モ ー ド 機 能 は 、 C P U 1 1 A を リ セ ッ ト し た 状 態 で そ の C P U 1 1 A へ の 電 源 電 圧 V c c の 供 給 を 停 止 し 、 そ の 電 源 V c c の 供 給 停 止 に よ っ て C P U 1 1 A の 消 費 電 流 を 低 減 し て い る 。

第 1 3 図 に は 、 以 上 説 明 し た ス リ ー プ モ ー ド 動 作 の 動 作 タ イ ミ ン グ が 示 さ れ て い る 。 図 示 の よ う に 、 通 常 モ ー ド か ら ス リ ー プ モ ー ド に 移 行 す る 際 に は 、 C P U 1 1 A に よ っ て H a l t 命 令 が 実 行 さ れ た 後 、 リ セ ッ ト R E S E T 信 号 が ア ク テ ィ ブ に さ れ 、 こ れ に よ っ て C P U 1 1 A を リ セ ッ ト し た 状 態 で ク ロ ッ ク C L K が 停 止 さ れ 、 そ し て C P U 1 1 A へ の 電 源 V c c の 供 給 も 停 止 さ れ る 。

ま た 、 ス リ ー プ モ ー ド か ら 通 常 モ ー ド に 復 帰 す る 際 に は 、 ハ ー ド ウ ェ ア 割 り 込 み 要 求 ( I R Q ) が 発 生 さ れ た 後 、 ま ず 、 C P U 1 1 A へ の 電 源 電 圧 V c c が オ ン さ れ て 、 ク ロ ッ ク C L K の 供 給 が 再 開 さ れ 、 そ の 後 リ セ ッ ト 信 号 R E S E T が イ ン ア ク テ ィ ブ に さ れ 、 こ れ に よ っ て C P U 1 1 A の 動 作 が 再 開 さ れ る 。

な お 、 C P U 1 1 A へ の 電 源 電 圧 V c c の 供 給 停 止 期 間 に お い て は 、 点 線 で 図 示 さ れ て い る よ う に リ セ ッ ト 信 号 R E S E T を 一 時 的 に イ ン ア ク テ ィ ブ に 設 定 し て も よ い 。 こ れ は 、 例 え ば 、 バ ス コ ン ト ロ ー ラ 1 3 A が 、 C P U 1 1 A に よ る H a l t 命 令 の 実 行 に 応 答 し て 、 一 定 期 間 ア ク テ ィ ブ ス

## 4.1

テートを維持するリセットパルスを出力し、またハードウェア割り込み要求 I R Q に応答して、一定期間アクティブステートを維持するリセットパルスを出力することによって実現できる。

次に、第 1 4 図を参照して、バスコントローラ 1 3 A の他の具体的構成の一例を説明する。

第 1 0 図のバスコントローラ 1 3 A は、H a l t 命令の実行によって出力される信号 (M / I O、D / C、W / R) により C P U 1 1 A が電源停止可能な状態になったこと、つまりレジスタの退避が終了したことを認識したが、この第 1 4 図のバスコントローラ 1 3 A は、C P U 1 1 A から発行される通知データに基づいて、C P U 1 1 A が電源停止可能な状態になったことを認識する構成である。

すなわち、バスコントローラ 1 3 A は、ゲート回路 1 3 4 A の代わりに、デコーダ 2 0 1 A とレジスタ 2 0 2 A を備えている。デコーダ 2 0 1 A は、C P U 1 1 A からのアドレスをデコードし、そのアドレスが所定の値の時にレジスタ 2 0 2 A にバス 1 0 b 上の所定の 1 ビットの通知データをセットする。レジスタ 2 0 2 A に通知データがセットされると、リセット信号発生回路 1 3 2 A によってリセット信号 R E S E T がアクティブにされ、その後、フリップフロップ 1 3 5 A がリセットされることにより電源電圧 V c c の供給を停止するための制御信号 S W 1、およびクロック C L K を停止するための制御信号 S W 2 が発生される。

このような構成のバスコントローラ 1 3 A を使用すれ

ば、CPU 11AがたとえばHalt命令を実行しなくても、CPU 11Aが電源停止可能状態になったことを認識することが可能となる。

以上説明したように、この第2実施例のポータブルコンピュータにおいては、CPU 11Aをリセットした状態でそのCPU 11Aへの電源電圧Vccの供給をオフしているので、CPU 11Aがその電源供給の停止によって誤動作するといった事態を防止できる。また、通常のスリープモードのようにクロックCLKの周波数を低下させるのではなく、CPU 11Aの電源電圧Vccをオフしているので、消費電力を大幅に低減できるようになる。

さらに、CPU 11Aをリセットする際にはそのCPU 11Aのレジスタ内容が退避され、この退避されたレジスタ内容は、電源Vccの供給が再開され、リセット信号RESETがインアクティブに設定された際に復帰される。このため、クロックCLKの停止前の状態からCPU 11Aを動作開始させることができ、CPU 11Aの正常動作を確実に保証することができる。

なお、このようなCPUの電源制御システムは、内部発振器を持つCPUのスリープモード機能の実現に特に適しているが、PLL回路を含む内部発振器をもたずに外部クロックに同期して動作するCPUに適用しても同様にして誤動作を招くこと無く、消費電力を低減できることはもちろんである。

また、この第2実施例では、CPU 11Aがスリープモードから復帰したのか、あるいはシステムの電源が投入された

のかを識別するためにスリープモード識別フラグをCPU 11Aによってソフトウェア的に設定したが、例えば、バスコントローラ13A内にフリップフロップ等を用意し、このフリップフロップにスリープモード識別フラグをハードウェア的に設定することも可能である。

さらに、この第2実施例では、CPU 11Aの電源電圧Vccをオフするだけでなく、クロックCLKの供給も停止するスリープモードについて説明したが、電源Vccだけをオフしてもよい。

また、スリープモードの期間を長く維持するために、スリープモードの期間中のシステムタイマ割り込み要求IRQ0は、割り込みコントローラ24Aによってマスクする事が好ましい。このようにすれば、55ms単位で発生されるシステムタイマ割り込み要求IRQ0が禁止される。このため、スリープモードの期間を55ms以上に設定可能となり、電力消費をより低減できる。

この場合、通常モードからスリープモードに移行する場合のCPU 11Aの処理は、第15図のように行われる。

すなわち、この場合には、第11図に示したスリープモード移行のためのサブルーチンのステップS13-1~S15-1に、ステップS100-1、およびステップS101-1が加えられる。ステップS100-1においては、CPU 11Aは、リアルタイムクロック(RTC)16Aのタイマ割り込み周期を500msにセットする。これは、500msを示すデータをリアルタイムクロック(RTC)16A

内の所定のレジスタに書き込むことによって実現される。ステップS101-1においては、CPU11Aは、システムタイマ25Aのタイマ割り込みをディセーブル、リアルタイムクロック(RTC)15Aのタイマ割り込みをイネーブルにする。これは、割り込みコントローラ(PIC)24Aの割り込みマスクレジスタに所定のマスクデータをライトすることによって実現される。

この結果、スリープモードにおいては、55ms単位で発生されるシステムタイマ割り込み要求IRQ0が禁止され、500ms単位で発生されるリアルタイムクロック(RTC)16Aのタイマ割り込み要求IRQ8が許可される。このため、スリープモードの設定期間を55ms以上に設定可能となり、電力消費をより低減することができる。

ここで、リアルタイムクロック(RTC)16Aのタイマ割り込み周期を500msにセットした理由は、アプリケーションプログラムの時計機能をサポートするためである。すなわち、表示画面上に時刻をデジタル表示する機能を持つアプリケーションプログラムを実行している場合には、少なくとも1s以内にタイマカウントを更新することが必要とされる。このため、ここでは、500ms単位のタイマ割り込みを利用することによって、スリープモードの最大設定期間を500msに制限している。

また、このようにシステムタイマ割り込み要求IRQ0を禁止してスリープモードに移行した場合においては、通常モードからスリープモードに移行するためのCPU11Aの処

理は、第16図のように行われる。

すなわち、この場合には、第16図に示したステップS23-1、S24-1に加え、ステップS102-1が実行される。ステップS102-1においては、CPU11Aは、システムタイマ25Aのタイマ割り込みをイネーブル、リアルタイムクロック(RTC)16Aのタイマ割り込みをディセーブルにする。これは、割り込みコントローラ(PIC)24Aの割り込みマスクレジスタに所定のマスクデータをライトすることによって実現される。これによって、通常モードにおいては、55ms単位でのタイマ割り込みが有効になる。

以下、第3実施例を説明する。

第17図には、この発明の第3実施例に係わるポータブルコンピュータのシステム構成が示されている。このポータブルコンピュータは、2個の遅延回路を利用して、リセット信号のアクティブからインアクティブへの遷移タイミング、およびリセット信号をアクティブに設定してからクロックCLKの周波数を切り替えるタイミングを最適に制御できるように構成されている。

このポータブルコンピュータは、AC商用電源またはコンピュータ本体に着脱自在に装着されるバッテリーによって駆動されるコンピュータであり、CPU11B、リセット発生回路12B、クロック切替え回路13B、タイミング制御回路14B、クロック発振器15B、分周回路16B、トリガ回路17B、ラッチ回路18B、ダイナミックRAM

(DRAM) 19B、プログラマブル割り込みコントローラ (PIC) 20B、キーボードコントローラ (KBC) 21B、システムタイマ 22B、およびリアルタイムクロック (RTC) 23Bを備えている。

CPU 11Bはこのシステム全体の制御を司るものであり、システムバス 10Bを介して各コンポーネント、すなわち、タイミング制御回路 14B、DRAM 19B、割り込みコントローラ 20B、キーボードコントローラ (KBC) 21B、システムタイマ 22B、リアルタイムクロック (RTC) 23Bに接続されている。このCPU 11Bは、例えば前述のマイクロプロセッサ 80486から構成されるものであり、PLL回路を含む内部発振器 111Bを備えている。すなわち、このCPU 11Bは、クロック切替え回路 13Bを介して供給されるクロック CLKの数倍のクロックを内部発振器 111Bによって内部的に生成し、それを利用して高速動作する構成である。

また、CPU 11Bは、実行中のアプリケーションプログラムによってコールされるBIOS (Basic Input Output System)プログラムの実行により、スリープモード設定条件の設立の有無を判断し、条件成立時には、CPU 11B内の各レジスタのデータの退避、およびHalt命令の実行を順次行う。スリープモード設定条件は、例えば、一定期間以上オペレータによるキー入力操作が行なわれなかった場合等に成立する。CPU 11Bのレジスタ内容は、DRAM 19Bに退避される。



CPU 11 Bがプログラムの実行およびバスアクセスを停止するためのHalt命令を実行すると、CPU 11 Bは、CPU 11 Bが停止状態に設定されたことをタイミング制御回路14 Bに通知する。

リセット発生回路12 Bは、CPU 11 Bに対してリセット信号RESETを供給するためのものであり、タイミング制御回路14 Bの制御にしたがってリセット信号RESETをアクティブまたはインアクティブに設定する。リセット信号RESETがアクティブになるとCPU 11 Bはリセット状態になり、CPU 11 Bの全ての動作が停止される。またリセット信号RESETがアクティブからインアクティブに移移すると、CPU 11 Bは動作を再開する。

クロック切替え回路13 Bは、周波数の高い高速クロックCLK 1とそれよりも周波数の低い低速クロックCLK 2のいずれか一方を選択してそれをクロックCLKとしてCPU 11 Bに供給する。このクロック切替え回路13 Bは、通常はCPU 11 Bを高速動作させるために高速クロックCLK 1を選択しているが、CPU 11 Bをスリープモードに設定する時には、タイミング制御回路14 Bの制御にしたがってクロックCLKを高速クロックCLK 1から低速クロックCLK 2に切替える。低速クロックCLK 2の周波数は、高速クロックCLK 1の例えば1/2である。

高速クロックCLK 1はクロック発振器15 Bによって生成されるものであり、また、低速クロックCLK 2は、高速クロックCLK 1を分周回路16 Bによって分周することに

よって得られるものである。

タイミング制御回路14Bは、リセット発生回路12Bおよびクロック切替え回路13Bの動作タイミングを制御する。すなわち、CPU11Bをスリープモードに設定する時には、タイミング制御回路14Bは、リセット信号RESETがアクティブになることによってCPU11Bがリセットされた後にクロックCLKが高速クロックCLK1から低速クロックCLK2に切り替わるように、リセット発生回路12Bおよびクロック切替え回路13Bを制御する。また、CPU11Bをスリープモードから復帰させる時には、タイミング制御回路14Bは、クロックCLKが低速クロックCLK2から高速クロックCLK1に切り替えられた後に、リセット信号RESETがアクティブからインアクティブに遷移することによってCPU11Bが再動作されるように、クロック切替え回路13Bおよびリセット発生回路12Bの制御を行う。

このタイミング制御回路14Bは、図示のように、レジスタ141Bと、2個の遅延回路142B, 143Bを備えている。レジスタ141Bには、CPU11Bから発行される停止状態を示す通知データがセットされる。この通知データがセットされると、リセット信号RESETをアクティブにするためのリセットON信号がリセット発生回路12Bに送られ、この後、遅延回路143Bによって一定時間遅らされたタイミングで、クロックCLKを低速クロックCLK2に切替えるためのスイッチ信号SW1がクロック切替え回路

13Bに送られる。また、トリガ回路17Bからトリガ信号が入力されると、クロックCLKを低速クロックCLK2から高速クロックCLK1に戻すためのスイッチ信号SW2がクロック切替え回路13Bに送られ、この後、遅延回路142Bによって一定時間遅らされたタイミングで、リセットRESET信号をインアクティブにするためのリセットOFF信号がリセット発生回路12Bに送られる。

トリガ回路17Bは、割り込みコントローラ(PIT)20Bからハードウェア割り込み信号INTが発行された際、その割り込み信号INTに応答してトリガ信号を出力する。割り込みコントローラ(PIT)20Bからの割り込み信号INTは、ラッチ回路18Bにも送られる。ラッチ回路18Bは、トランスペアレント型のラッチ回路であり、割り込みコントローラ(PIT)20Bから出力された割り込み信号をそのまま出力し、その後、一定期間その割り込み信号INTを保持する。

DRAM19Bは、CPU11Bによって実行されるアプリケーションプログラム等を格納するためのものであり、スリープモードへの移行時には、このDRAM19BにはCPU11Bのレジスタ内容が退避される。

割り込みコントローラ(PIT)20Bは、キーボードコントローラ(KBC)21Bからのキー入力割り込み要求IRQ1、システムタイマ22Bからのタイマ割り込み要求IRQ0、リアルタイムクロック(RTC)23Bからのタイマ割り込み要求IRQ8のいずれかを受信した時、ハード

ウェア割り込み信号 I N T を出力する。

キーボードコントローラ ( K B C ) 2 1 B は、図示しないキーボードからのキー入力があると、 C P U 1 1 B にキー入力割り込みを通知するためにキー入力割り込み要求 I R Q 1 を発生する。キー入力割り込み要求 I R Q 1 は、割り込みコントローラ ( P I T ) 2 0 B に供給される。

システムタイマ 2 2 B は、例えば 5 5 m s の周期で定期的にタイマ割り込み要求 I R Q 0 を発生するタイマである。このタイマ割り込み要求 I R Q 0 は、割り込みコントローラ 2 0 B に供給される。

リアルタイムクロック ( R T C ) 2 3 B は、時計機能やカレンダー機能を実現するためのモジュールであり、その内部メモリには電源遮断時にもその記憶内容が消失されないように、バックアップ用電源 V B K が常時供給されている。また、このリアルタイムクロック ( R T C ) 2 3 B のメモリには、スリープモード識別フラグが格納される。このスリープモード識別フラグは、 C P U 1 1 B がスリープモードから通常モードに復帰したのか、あるいはシステムがパワーオンされたのかを識別するために使用される。すなわち、リセット信号 R E S E T のアクティブステートからインアクティブステートの遷移は、 C P U 1 1 B がスリープモードから通常モードに復帰する時だけでなく、システムの電源が投入された時にも発生される。電源投入時には通常のブートストラップ処理を行うだけで退避されているレジスタ内容を復帰する必要はないが、スリープモードから復帰した際にはレジスタ内

容をCPU 11 Bに復帰する必要がある。このため、CPU 11 Bは、リセット信号RESETがアクティブステートからインアクティブステートに遷移した時、リアルタイムクロック(RTC) 23 Bのスリープモード識別フラグをチェックし、これによってスリープモードからの復帰であるか否かを判別する。

また、リアルタイムクロック(RTC) 23 Bは、例えば500msの周期で定期的にタイマ割り込み要求IRQ8を発生する。このタイマ割り込み要求IRQ8は、割り込みコントローラ20 Bに供給される。

図18には、CPU 11 Bをスリープモードに設定する場合におけるタイミング制御回路14 Bの動作タイミングが示されている。

図示のように、CPU 11 Bを通常モードからスリープモードに移行する際には、まず、リセットON信号が発生され、これによってリセット信号RESETはアクティブになる。この結果、CPU 11 Bはリセット状態に設定される。この時は、クロックCLKは、まだ高速クロックCLK1のままである。CPU 11 Bは、リセット信号RESETがアクティブの期間中、全ての動作を停止している。次いで、遅延回路143 Bによる遅延時間だけ経過した後、スイッチ信号SW1が発生され、これによってCPU 11 BのクロックCLKは高速クロックCLK1から低速クロックCLK2に切替えられる。低速クロックCLK2がCPU 11 Bに送られている期間中は、CPU 11 Bの消費電流は極小に抑えら

れている。

この後、ハードウェア割り込みの発生によりトリガ信号が入力されると、スイッチ信号SW2が出力され、これによって、CPU11BのクロックCLKは低速クロックCLK2から高速クロックCLK1に切替えられる。

次いで、遅延回路142Bによる遅延時間だけ経過した後、リセットOFF信号が発生され、これによってリセット信号RESETはインアクティブになる。この結果、CPU11Bは、動作を再開する。なお、クロックCLKを低速クロックCLK2から高速クロックCLK2に切り替えてからリセット信号RESETをアクティブからインアクティブに遷移されるまでの時間は、CPU11Bの仕様にしたがって正確に規定する必要がある。もし、その時間が短すぎるとCPU11Bの誤動作を招き、逆に長すぎると、CPU11Bの動作開始タイミングが遅れることによってシステムの動作性能が低下されてしまう。

この第3実施例では、クロックCLKを低速クロックCLK2から高速クロックCLK2に切り替えてからリセット信号RESETをアクティブからインアクティブに遷移するまでの時間は、遅延回路142Bによってハードウェア的に適格に制御される。したがって、CPU11Bの誤動作を招かない範囲で、CPU11Bの動作開始タイミングを早めることができる。

次に、第19図乃至第21図のフローチャートを参照して、第3実施例のポータブルコンピュータにおけるスリープモー

ドへの移行動作とそのスリープモードからの復帰動作について説明する。

第19図のフローチャートはスリープモードへの移行する際のCPU11Bの動作を示しており、第20図のフローチャートはスリープモードから復帰する際のCPU11Bの動作を示している。また、第21図のフローチャートは、タイミング制御回路14Bの動作を含む全体の処理の流れを示している。

まず、第19図のフローチャートを参照して、スリープモードに移行する際のCPU11Bの動作を説明する。

CPU11Bがアプリケーションプログラムの実行中に例えばキー入力待ち状態になると、通常、第19図に示すような割り込み待ちファンクションのルーチンがアプリケーションプログラムによってコールされる。この割り込み待ちファンクションは、BIOSプログラムによって提供されるものである。

割り込み待ちファンクションルーチンでは、まず、CPU11Bは、キー入力割り込みの発生の有無を判断する（ステップS11-2）。この判断処理は、CPU11Bに割り込み信号INTが供給された時に、CPU11Bがその割り込みの要因を調べることによって実行される。割り込みの要因がキー入力割り込み要求IRQ1によるものか否かは、例えば、割り込みコントローラ20Bのステータスレジスタをリードすることによって決定される。キー入力割り込みが発生した時には、CPU11Bはキーボードコントロー

ラ (K B C) 2 1 B からキーコードを読み取り (ステップ S 1 2 - 2)、その後、アプリケーションプログラムの実行に戻る。

一方、キー入力割り込みが発生しなかった場合には、C P U 1 1 B は、スリープモード設定条件が成立されたことを認識し、スリープモード設定のためのサブルーチンを実行する。ここでは、C P U 1 1 B は、まず、その時のレジスタ内容をダイナミック R A M (D R A M) 1 9 B にセーブする (ステップ S 1 3 - 2)。次いで、C P U 1 1 B は、“1” のスリープモード識別フラグをリアルタイムクロック (R T C) 2 3 B のメモリに格納する (ステップ S 1 4 - 2)。この後、C P U 1 1 B は動作停止のための H a l t 命令 (H L T) を実行する (ステップ S 1 5 - 2)。この H a l t 命令は、C P U 1 1 B がシステムバス 1 0 B を使用することを防止する。

C P U 1 1 B は、H a l t 命令を実行すると、C P U 1 1 B が停止状態になったことを通知するために、タイミング制御回路 1 4 B のレジスタ 1 4 1 B に通知データをライトする。。

タイミング制御回路 1 4 B は、第 2 1 図に示されているように、レジスタ 1 4 1 B への通知データのセットに応答して、リセット発生回路 1 2 B を制御し、リセット信号 R E S E T をアクティブにする (ステップ S 2 1 - 2)。これによって、C P U 1 1 B はリセット状態に設定され、C P U 1 1 B の全ての動作が停止される。



次に、タイミング制御回路14Bは、遅延回路143Bの遅延時間だけ経過した時、クロック切替え回路13Bを制御してクロックCLKを高速クロックCLK1から低速クロックCLK2に切替える（ステップS22-2）。これによって、CPU11Bは低速クロックCLK2で駆動されるスリープモード状態となる。

この後、割り込みコントローラ20Bからハードウェア割り込み信号INTが発生されると（ステップS23-2）、トリガ信号がタイミング制御回路14Bに入力される。トリガ信号を受け取ると、タイミング制御回路14Bは、クロック切替え回路13Bを制御してクロックCLKを低速クロックCLK2から高速クロックCLK1に切替える（ステップS24-2）。この後、遅延回路142Bによる遅延時間（例えば1ms）経過した時、タイミング制御回路14Bは、CPU11Bを再動作させるために、リセット信号RESETをインアクティブにする。

リセット信号RESETがインアクティブになると、CPU11Bは、動作を開始し、内部レジスタを初期化して特定番地から命令をフェッチする。これにより、第20図のルーチンが実行される。この第20図のルーチンは、CPU11Bを初期状態に強制設定するためのリセットスイッチが投入された時や、電源投入時に実行されるものと同一のルーチンである。

この第20図のルーチンでは、まず、CPU11Bは、リアルタイムクロック（RTC）23Bのメモリに格納されて

いるスリープモード識別フラグの内容をチェックする（ステップS31-2）。もしスリープモード識別フラグが“0”ならば、スリープモードからの復帰ではなく、電源投入またはリセットスイッチ投入による通常のシステム起動であるので、CPU11Bはブートストラップ処理を実行する（ステップS32-2）。このブートストラップ処理では、周辺回路の初期設定、およびオペレーティングシステムの起動等が実行される。

一方、スリープモード識別フラグが“1”ならば、スリープモードからの復帰であるので、CPU11Bは、リアルタイムクロック（RTC）23Bのスリープモード識別フラグを“0”に書き替え（ステップS33-2）、その後、退避したレジスタ内容をダイナミックRAM（DRAM）19Bから内部レジスタにロードしてそのレジスタ内容を元に戻す（ステップS34-2）。そして、CPU11Bは、ラッチ回路18Bから出力されている割り込み信号INTを受取り、所定の割り込み処理を実行する。

このように、この第3実施例のスリープモード機能は、CPU11Bをリセットした状態で高速クロックCLK1から低速クロックCLK2に切替え、この低速クロックCLK2をクロックCLKとしてCPU11Bに供給することによってCPU11Bの消費電流を低減している。

次に、第22図を参照して、タイミング制御回路14Bの他の具体的構成の一例を説明する。

この第22図のタイミング制御回路14Bは、リセット

発生回路12Bおよびクロック切替え回路13Bを動作制御するための3つの動作モードを持つ。第1モードは、前述したようにCPU11Bを自動的にスリープモードに設定するためのモードである。第2モードは、オペレータから切替え要求があった時にCPU11Bを高速動作から低速動作に切替えて使用するためのモードである。第3モードは、同じくオペレータから切替え要求があった時に、CPU11Bを低速動作から高速動作に復帰させるモードである。オペレータからの切替え要求は、例えばセットアップ処理やポップアップ処理におけるオペレータによる所定のキーボード操作、またはコンピュータ本体のディップスイッチの操作によって、CPU11Bに通知される。

このタイミング制御回路14Bは、レジスタ201B、レジスタ202B、第1のタイミング制御回路203B、第2のタイミング制御回路204Bと、第3のタイミング制御回路205Bと、およびリセットタイマ206を備えている。レジスタ201Bには、CPU11Bが停止状態に設定されたことを示す通知データがセットされる。レジスタ202Bには、タイミング制御回路14Bの動作モードの1つを指定するためのデータがセットされる。第1のタイミング制御回路203Bは、第1モードでタイミング制御を行うためのものであり、スリープモードへの移行およびそのスリープモードからの復帰のために使用される。第2のタイミング制御回路204Bは、第2モードでタイミング制御を行うためのものであり、CPU11Bを高速動作から低速動作に切り

替える時に使用される。第3のタイミング制御回路205Bは、CPU11Bを低速動作から高速動作に切り替える時に使用される。リセットタイマ206は、第2または第3モードにおいてリセット信号RESETがアクティブに維持される期間を規定する。

第1モード（スリープモード）を指定する場合、CPU11Bはレジスタ202BにデータD1をセットする。また、第2モード（高速から低速への切替え）を指定する場合には、CPU11Bは、レジスタ202BにデータD2をセットする。さらに、第3モード（低速から高速への切替え）を指定する場合には、CPU11Bは、レジスタ202BにデータD3をセットする。データD1がセットされた場合には第1のタイミング制御回路203Bが動作可能状態に設定され、同様に、データD2がセットされた場合には第2のタイミング制御回路204Bが動作可能状態に設定され、データD3がセットされた場合には第3のタイミング制御回路205Bが動作可能状態に設定される。

これら3個のタイミング制御回路203B、204B、および205Bのうち、動作可能状態に設定されたタイミング制御回路は、CPU11Bによってレジスタ201BにCPU11Bの動作停止を示すデータがセットされた時に動作を開始する。

第1のタイミング制御回路203Bは、第17図で説明したタイミング制御回路14Bと同様に第1および第2の2つの遅延回路を含む構成であり、その動作タイミングもタイミ

ング制御回路14Bと同様である。すなわち、第1のタイミング制御回路203Bは、レジスタ201BにCPU11Bの動作停止を示すデータがセットされた時、まず、信号S1によってリセット発生回路12Bを制御し、リセット信号RESETをアクティブにする。次に、第1のタイミング制御回路203Bは、リセット信号RESETがアクティブになってから第1の遅延回路の遅延時間だけ経過した時、信号T1によってクロック切替え回路13Bを制御してクロックCLKを高速クロックCLK1から低速クロックCLK2に切替える。

そして、トリガ信号を受け取ると、第1のタイミング制御回路203Bは、信号T1によってクロック切替え回路13Bを制御し、クロックCLKを低速クロックCLK2から高速クロックCLK1に切替える。次に、第1のタイミング制御回路203Bは、クロックを切り替えてから第2の遅延回路の遅延時間だけ経過した時、信号S1によってリセット信号RESETをインアクティブにする。

次に、第23図を参照して、第2のタイミング制御回路204Bの動作を説明する。

ディップスイッチの操作や、セットアップ処理やポップアップ処理におけるキーボード操作によってオペレータが第2モードを指定すると、CPU11Bは、データD2をレジスタ202に設定すると共に、レジスタ退避、Halt命令の実行を行い、その後、レジスタ201Bに停止状態を示すデータをセットする。これによって、第2のタイミング制御回

路204Bが起動される。

この第2のタイミング制御回路204Bは、第23図のタイミングチャートに示されているように、まず、信号S2によりリセット発生回路12Bを制御してリセット信号RESETをアクティブにし、次に信号T2によりクロック切替え回路13Bを制御してクロックCLKを高速クロックCLK1から低速クロックCLK2に切替える。そして、リセットタイマ206Bによって規定される一定期間経過後、リセット信号RESETをインアクティブにする。

リセット信号RESETがインアクティブに遷移すると、CPU11Bは、退避したレジスタを復帰して元の動作状態に戻り、そしてクロックCLK2によって低速で動作する。

次に、第24図を参照して、第2のタイミング制御回路204Bの動作を説明する。

ディップスイッチの操作や、セットアップ処理やポップアップ処理におけるキーボード操作によってオペレータが第3モードを指定すると、CPU11Bは、データD3をレジスタ202Bに設定すると共に、CPU11B内のレジスタ退避、Halt命令の実行を行い、その後、レジスタ201Bに停止状態を示すデータをセットする。これによって、第3のタイミング制御回路205Bが起動される。

この第3のタイミング制御回路205Bは、第24図のタイミングチャートに示されているように、まず、信号S2によりリセット発生回路12Bを制御してリセット信号RESETをアクティブにし、次に信号T2によりクロック

切替え回路13Bを制御してクロックCLKを低速クロックCLK2から高速クロックCLK1に切替える。そして、リセットタイマ206Bによって規定される一定期間経過後、リセット信号RESETをインアクティブにする。

リセット信号RESETがインアクティブに遷移すると、CPU11Bは、退避したレジスタを復帰して元の動作状態に戻り、そしてクロックCLK1によって高速で動作する。

以上説明したように、この第3実施例のポータブルコンピュータにおいては、高速クロックCLK1と低速クロックCLK2の2つのクロックがCPU11BのクロックCLKとして選択的に使用される。

この場合、クロックCLKの切替えはCPU11Bがリセットされた状態で行なわれるので、CPU11Bの動作はクロック切替え時におけるクロックの位相の不連続には何等影響されない。また、CPU11Bをリセットする際にはそのCPU11のレジスタ内容が退避される。この退避されたレジスタ内容は、クロックの切替えが終了し、リセット信号がインアクティブに設定された際に復帰される。この場合、クロックが切替えられてからリセット信号がアクティブからインアクティブに遷移するまでの期間は、遅延回路の手段によって適切に規定される。したがって、クロックが切替えられてからリセット信号がアクティブに維持される期間が短すぎることに起因するCPU11Bの誤動作を防止できると共に、その期間が長過ぎることに起因する動作性能の低下を防止することができる。

なお、このようなクロック切替えシステムは、内部発振器を持つCPUのスリープモード機能の実現に特に適しているが、内部発振器をもたず外部クロックに同期して動作するCPUに適用しても同様して誤動作を招くことなく消費電力を低減できることはもちろんである。

また、ここでは、高速クロックCLK1と低速クロックCLK2の2つのクロック間での切替えを説明したが、動作速度の異なる3種類以上のクロックを使用し、それらクロック間で動作クロックを切替えることもできる。この場合、消費電力はクロックの周波数が低いほど低減できるで、スリープモード時には最も遅いクロックを使用することが好ましい。また、スリープモード時には、第1実施例のように、CPU11BにGNDレベルの直流信号を供給することによってCPU11Bへのクロックの供給を停止してもよい。このようにすれば、さらに消費電流を低減することができる。

さらに、スリープモードの期間を長く維持するために、スリープモードの期間中のシステムタイマ割り込み要求IRQ0は、割り込みコントローラ20Bによってマスクする事が好ましい。このようにすれば、55ms単位で発生されるシステムタイマ割り込み要求IRQ0が禁止される。このため、スリープモードの期間を55ms以上に設定可能となり、電力消費をより低減できる。

この場合、通常モードからスリープモードに移行する場合のCPU11Bの処理は、第25図のように行われる。

すなわち、この場合には、第19図に示したスリープモー



ド移行のためのサブルーチンのステップ S 1 3 - 2 ~ S 1 5 - 2 に、ステップ S 1 0 0 - 2、およびステップ S 1 0 1 - 2 が加えられる。ステップ S 1 0 0 - 2 においては、CPU 1 1 B は、リアルタイムクロック (RTC) 2 3 B のタイマ割り込み周期を 5 0 0 m s にセットする。これは、5 0 0 m s を示すデータをリアルタイムクロック (RTC) 2 3 B 内の所定のレジスタに書き込むことによって実現される。ステップ S 1 0 1 - 2 においては、CPU 1 1 B は、システムタイマ 2 2 B のタイマ割り込みをディセーブル、リアルタイムクロック (RTC) 2 3 B のタイマ割り込みをイネーブルにする。これは、割り込みコントローラ (PIC) 2 0 B の割り込みマスクレジスタに所定のマスクデータをライトすることによって実現される。

この結果、スリープモードにおいては、5 5 m s 単位で発生されるシステムタイマ割り込み要求 I R Q 0 が禁止され、5 0 0 m s 単位で発生されるリアルタイムクロック (RTC) 2 3 B のタイマ割り込み要求 I R Q 8 が許可される。このため、スリープモードの設定期間を 5 5 m s 以上に設定可能となり、電力消費をより低減することができる。

ここで、リアルタイムクロック (RTC) 2 3 B のタイマ割り込み周期を 5 0 0 m s にセットした理由は、アプリケーションプログラムの時計機能をサポートするためである。すなわち、表示画面上に時刻をデジタル表示する機能を持つアプリケーションプログラムを実行している場合には、少なくとも 1 s 以内にタイマカウントを更新することが必要とされる。

このため、ここでは、500ms単位のタイマ割り込みを利用することによって、スリープモードの最大設定期間を500msに制限している。

また、このようにシステムタイマ割り込み要求IRQ0を禁止してスリープモードに移行した場合には、通常モードからスリープモードに移行するためのCPU11Bの処理は、第26図のように行われる。

すなわち、この場合には、第20図に示したステップS23-2、S24-2に加え、ステップS102-2が実行される。ステップS102-2においては、CPU11Bは、システムタイマ22Bのタイマ割り込みをイネーブル、リアルタイムクロック(RTC)23Bのタイマ割り込みをディセーブルにする。これは、割り込みコントローラ(PIC)20Bの割り込みマスクレジスタに所定のマスクデータをライトすることによって実現される。これによって、通常モードにおいては、55ms単位でのタイマ割り込みが有効になる。

以下、この発明の第4実施例を説明する。

第27図には、この発明の第4実施例に係わるポータブルコンピュータのシステム構成が示されている。このポータブルコンピュータは、電圧制御発振機(VCO)を利用することによって、CPUのクロック周期数を滑らかに変化できるように構成されている。すなわち、このポータブルコンピュータは、システムバス10C、CPU11C、電圧切替え回路12C、電圧制御発振機(VCO)13C、リアルタ

イムクロック (RTC) 14C、キーボードコントローラ (KBC) 15C、システムタイマ16C、プログラマブル割り込みコントローラ (PIC) 17C、およびダイナミックRAM (DRAM) 18Cを備えている。

CPU11Cは、このポータブルコンピュータのこのシステム全体の制御を司るものであり、システムバス10Cを介して、電圧切り替え回路12C、リアルタイムクロック (RTC) 14C、キーボードコントローラ (KBC) 15C、システムタイマ16C、割り込みコントローラ (PIC) 17C、およびダイナミックRAM (DRAM) 18Cに接続されている。

CPU11Cは、例えばマイクロプロセッサ80486から構成されており、内部的に高速クロックを生成して動作するために、PLL回路を含む内部発振器111Cを備えている。すなわち、このCPU11Cは、電圧制御発振器 (VCO) 13Cから供給されるクロックCLKの数倍のクロックを内部発振器111Cによって内部的に生成し、それを利用して高速動作する構成である。

CPU11Cは、電圧切替え回路12Cに対してクロックCLKの切替え要求を発行する。このクロック切替え要求は、例えば、CPU11Cが高速クロックで動作する通常モードから低速クロックで動作するスリープモードに移行する時や、そのスリープモードから通常モードに復帰する時に発行される。

すなわち、CPU11Cは、実行中のアプリケーションブ

プログラムによってコールされるBIOS (Basic Input Output System)プログラムの実行により、スリープモード設定条件の設立の有無を判断し、条件成立時には、高速クロックから低速クロックへのクロック切替えを電圧切り替え回路12Cに指示する。スリープモード設定条件は、例えば、一定期間以上オペレータによるキー入力操作が行なわれなかった場合等、CPU11Cが待ち状態にある時に成立する。

また、低速クロックで動作しているスリープモード期間中に、割り込みコントローラ17Cからハードウェア割り込み信号INTが入力されると、CPU11Cは、スリープモードから復帰するために低速クロックから高速クロックへのクロック切替えを電圧切り替え回路12Cに指示する。

クロック切替えの指示は、この様にスリープモード機能を実行場合だけでなく、例えば、低速動作するように構成されたアプリケーションソフトやハードウェアオプション類を使用する場合にも行われる。この場合は、オペレータのキー入力操作等によってクロック切り替え要求がCPU11Cに通知され、それに応じてCPU11Cから電圧切り替え回路12Cにクロック切替え指示が発行される。

電圧切り替え回路12Cは、CPU11Cからのクロック切替え指示に応じて、電圧制御発振器(VCO)13Cに供給する制御電圧を変化させる。この場合、電圧切り替え回路12Cは、電圧制御発振器(VCO)13Cの発振周波数が連続的に変化するように制御電圧を徐々に上昇または下降させる。この電圧切り替え回路12Cの具体的構成については、

第30図乃至第32図を参照して後述する。

電圧制御発振器（VCO）13Cは、電圧切替え回路12Cからの制御電圧の値に応じて発振周波数が可変設定される構成のものであり、その発振出力はCPU11CにクロックCLKとして供給される。

第28図には、電圧切替え回路12Cから発生される制御電圧に対するクロックCLKの周期の変化特性が示されている。この例では、制御電圧が高くなるほど発振周波数が低くなるように電圧制御発振器（VCO）13Cが構成されている場合を想定している。

CPU11CのクロックCLKを高速クロックから低速クロックに切替える場合、制御電圧は、初めは、ある一定の低い電圧値V1で安定している（期間A）。この期間Aにおいては、電圧制御発振器（VCO）13Cは、高速のクロックCLKを発生している。

この状態で、制御電圧が徐々に上昇されると、これに伴ってクロックCLKの周波数は徐々に低下され、クロックCLKの周期が徐々に長くなるように変化していく（期間B）。そして、最後に、制御電圧がある一定の高い電圧V2で安定されると、以降、電圧制御発振器（VCO）13Cから出力されるクロックCLKも低周波数に安定され、CPU11Cには低速クロックが供給される（期間C）。

ここで、重要なことは、期間（B）においては、クロックCLKの周波数および位相が連続的に変化していることである。つまり、クロックCLKの周波数は急速に切り替わるの

ではなく、高周波数から例えばその1/2の低周波数に滑らかに連続して変化される。

また、CPU11CのクロックCLKを低速クロックから高速クロックに切替える場合も、クロックCLKの周波数および位相は、第29図に示されているように滑らかに連続して変化される。

第30図には、電圧切り替え回路12Cの第1の具体的が示されている。

この電圧切り替え回路12C-1は、D/A変換器を利用して制御電圧を変化させる構成のものであり、図示のように、レジスタ121Cと、D/A変換器122Cとから構成されている。レジスタ121Cには、CPU11Cから発行されるクロック周波数指示データが格納される。D/A変換器122Cは、レジスタ121Cに格納された指示データの値をデジタル値からアナログ値に変換する。例えば、指示データが高速クロックを指示するデータD1の場合には、D/A変換器122Cは、そのデータD1に対応するアナログ電圧V1を発生する。また、指示データが低速クロックを指示するデータD2（ここで、 $D1 > D2$ ）の場合には、D/A変換器122Cは、そのデータD2に対応するアナログ電圧V2を発生する。

レジスタ121CのデータがCPU11CによってD1からD2に更新された時、D/A変換器122Cから出力されるアナログ電圧は、電圧V1から電圧V2に徐々に変化される。また、レジスタ121CのデータがD2からD1に更新

された時には、D/A変換器122Cから出力されるアナログ電圧は、電圧V2から電圧V1に徐々に変化される。

第31図には、電圧切り替え回路12の第2の具体的が示されている。

この電圧切り替え回路12C-2は、比較的大きな時定数を有する積分回路を用いて制御電圧を変化させる構成のものであり、図示のように、デコーダ123C、Dフリップフロップ124C、および積分回路125Cによって構成されている。

この電圧切り替え回路12C-2においては、デコーダ123Cによってバス10C上のアドレスがデコードされ、そのアドレスが所定の値の時にバス10C上の所定の1ビットデータがDフリップフロップ124Cにラッチされる。この1ビットデータはクロックCLKの周波数を指定するものであり、データ“0”は高速クロックを示し、データ“1”は低速クロックを示す。Dフリップフロップ124Cのラッチデータがデータ“0”からデータ“1”に変化された時、Dフリップフロップ124Cは“H”レベルのQ出力を発生する。この場合、電圧制御発振器(VCO)13Cの制御電圧は、積分回路125Cの時定数によって、電圧V1から電圧V2に徐々に上昇される。また、Dフリップフロップ124Cのラッチデータがデータ“1”からデータ“0”に変化された時には、電圧制御発振器(VCO)13Cの制御電圧は、積分回路125Cの時定数によって、電圧V2から電圧V1に徐々に低下される。

第32図には、電圧切り替え回路12Cの第3の具体的が示されている。

この電圧切り替え回路12C-3は、電圧制御発振器(VCO)13Cの発振出力を負帰還入力することにより、時定数の大きいPLL回路を構成している。

すなわち、電圧切り替え回路12C-3は、レジスタ126C、D/A変換器127C、電圧制御発振器(VCO)128C、およびコンパレータ129Cを備えている。レジスタ126Cには、CPU11Cから発行されるクロック周波数指示データが格納される。D/A変換器127Cは、レジスタ126に格納された指示データの値をデジタル値からアナログ値に変換する。

このアナログ出力は、電圧制御発振器(VCO)128Cにその制御電圧として入力される。電圧制御発振器(VCO)128Cの発振出力周波数は、アナログ出力電圧の上昇に伴って低下される。電圧制御発振器(VCO)128Cの発振出力の周波数は、コンパレータ129Cによって電圧制御発振器(VCO)13Cから帰還されるクロックCLKの周波数と比較される。コンパレータ129Cは、電圧制御発振器(VCO)128Cの発振出力と電圧制御発振器(VCO)13Cから帰還入力されるクロックCLKの位相が一致するように、電圧制御発振器(VCO)13Cへの制御電圧を変化させる。この位相同期ループ(PLL)制御により、電圧制御発振器(VCO)13Cから出力されるクロックCLKは、周波数および位相が連続した状態で高速クロックから低速ク



ロックに変化される。

次に、第33図のフローチャートを参照して、第4実施例のポータブルコンピュータにおけるスリープモードへの移行動作とそのスリープモードからの復帰動作について説明する。

CPU11Cがアプリケーションプログラムの実行中に例えばキー入力待ち状態になると、通常、割り込み待ちファンクションのルーチンがアプリケーションプログラムによってコールされる。この割り込み待ちファンクションは、BIOSプログラムによって提供されるものである。

割り込み待ちファンクションルーチンでは、まず、CPU11Cは、キー入力割り込みの発生の有無を判断する（ステップS11-3）。この判断処理は、CPU11Cに割り込み信号INTが供給された時に、CPU11Cがその割り込みの要因を調べることによって実行される。割り込みの要因がキー入力割り込み要求IRQ1によるものか否かは、例えば、割り込みコントローラ17Cのステータスレジスタをリードすることによって決定される。キー入力割り込みが発生した時には、CPU11Cはキーボードコントローラ（KBC）15Cからキーコードを読み取り（ステップS12-3）、その後、アプリケーションプログラムの実行に戻る。

一方、キー入力割り込みが発生しなかった場合には、CPU11Cは、スリープモード設定条件が成立されたことを認識し、スリープモード設定のためのサブルーチンを実行する。ここでは、CPU11Cは、クロックCLKを高速ク

ロックから低速クロックに切り替えるために、電圧切り替え回路12Cに対して低速クロックを指定するデータを送信する(ステップS13-3)。これにより、電圧切り替え回路12Cから出力される制御電圧は、高速クロックに対応する電圧V1から低速クロックに対応する電圧V2に徐々に上昇され、これに伴って電圧制御発信機(VCO)13Cから出力されるクロックCLKの周波数は徐々に低下される。この結果、CPU11Cは、低速のクロックCLKによって動作されるスリープモードに設定される。

この後、割り込みコントローラ17Cからのハードウェア割り込み信号INTがCPU11Cに入力されると(ステップS14-3)、CPU11Cは、低速クロックから高速クロックに切り替えるために、電圧切り替え回路12Cに対して、高速クロックを指定するデータを送信する(ステップS15-3)。これにより、電圧切り替え回路12Cから出力される制御電圧は低速クロックに対応する電圧V2から高速クロックに対応する電圧V1に徐々に低下され、これに伴って電圧制御発振機(VCO)13Cから出力されるクロックCLKの周波数は徐々に上昇される。この結果、クロックCLKは高速クロックになり、CPU11Cはスリープモードから通常モードに復帰する。そして、CPU11Cは、ハードウェア割り込み信号INTに対応する割り込み処理を実行する(ステップS16-3)。

以上説明したように、この第4実施例のポータブルコンピュータにおいては、電圧制御発振器(VCO)13Cの発振

出力がCPU11CのクロックCLKとして使用されており、そのクロックCLKは電圧制御発振器(VCO)13Cの発振周波数を可変設定することによって、例えば高速クロックから低速クロックに切替えられる。この場合、電圧制御発振器(VCO)13Cの発振出力の周波数は、電圧切り替え回路12Cの制御により徐々に変化される。このため、クロックCLKが高速クロックから低速クロックに切り替わる時における位相の不連続等の問題が解消され、CPU11Cの動作を保証することができる。したがって、CPU11Cの動作を保証した状態でそのCPU11Cのクロックを切り替えられるようになり、ポータブルコンピュータの消費電力の低減および互換性の確保を実現できる。

なお、このようなクロック切替えシステムは、PLLを含む内部発振器を持つCPUのスリープモード機能の実現に特に適しているが、内部発振器をもたず外部クロックに同期して動作するCPUに適用しても同様して誤動作を招くことなく消費電力を低減できることはもちろんである。

また、ここでは、高速クロックと低速クロックの2つのクロック間での切替えを説明したが、使用する電圧制御発振器の発振周波数の変化幅の範囲であれば、動作速度の異なる3種類以上のクロック間での動作クロックの切替えを行うこともできる。この場合、消費電力はクロックの周波数が低いほど低減できるで、スリープモード時には最も遅いクロックを使用することが好ましい。

さらに、スリープモードの期間を長く維持するために、ス

リープモードの期間中のシステムタイマ割り込み要求 I R Q 0 は、割り込みコントローラ 1 7 C によってマスクする事が好ましい。このようにすれば、5 5 m s 単位で発生されるシステムタイマ割り込み要求 I R Q 0 が禁止される。このため、スリープモードの期間を 5 5 m s 以上に設定可能となり、電力消費をより低減できる。

この場合、C P U 1 1 C のスリープモードへの移行動作とそのスリープモードからの復帰動作は、第 3 4 図のように行なわれる。

すなわち、この場合には、第 3 3 図に示したスリープモード移行のためのステップ S 1 3 - 3 の前に、ステップ S 1 0 0 - 3、およびステップ S 1 0 1 - 3 が実行される。ステップ S 1 0 0 - 3 においては、C P U 1 1 C は、リアルタイムクロック (R T C) 1 4 C のタイマ割り込み周期を 5 0 0 m s にセットする。これは、5 0 0 m s を示すデータをリアルタイムクロック (R T C) 1 4 C 内の所定のレジスタに書き込むことによって実現される。ステップ S 1 0 1 - 3 においては、C P U 1 1 C は、システムタイマ 1 6 C のタイマ割り込みをディセーブル、リアルタイムクロック (R T C) 1 4 C のタイマ割り込みをイネーブルにする。これは、割り込みコントローラ (P I C) 1 7 C の割り込みマスクレジスタに所定のマスクデータをライトすることによって実現される。

この結果、スリープモードにおいては、5 5 m s 単位で発生されるシステムタイマ割り込み要求 I R Q 0 が禁止され、

500ms単位で発生されるリアルタイムクロック(RTC)14Cのタイマ割り込み要求IRQ8が許可される。このため、スリープモードの設定期間を55ms以上に設定可能となり、電力消費をより低減することができる。

ここで、リアルタイムクロック(RTC)14Cのタイマ割り込み周期を500msにセットした理由は、アプリケーションプログラムの時計機能をサポートするためである。すなわち、表示画面上に時刻をデジタル表示する機能を持つアプリケーションプログラムを実行している場合には、少なくとも1s以内にタイマカウントを更新することが必要とされる。このため、ここでは、500ms単位のタイマ割り込みを利用することによって、スリープモードの最大設定期間を500msに制限している。

また、通常モードからスリープモードに移行する時には、ステップS15-3とS16-3の間に、ステップS102-3が実行される。ステップS102-3においては、CPU11Cは、システムタイマ16Cのタイマ割り込みをイネーブル、リアルタイムクロック(RTC)14Cのタイマ割り込みをディセーブルにする。これは、割り込みコントローラ(PIC)17Cの割り込みマスクレジスタに所定のマスクデータをライトすることによって実現される。これによって、通常モードにおいては、55ms単位でのタイマ割り込みが有効になる。

次に、この発明の第5実施例を説明する。

この第5実施例のポータブルコンピュータのCPUスリー

プモードにおいては、クロックCLKの切り替えは行なわれず、CPUはHalt状態を維持する。Halt状態においてはCPUによるバスアクセスが実行されないので、クロックCLKの周波数を低下させなくても消費電力の低減を図ることができる。

第35図には、第5実施例のポータブルコンピュータの構成が示されている。このポータブルコンピュータは、AC商用電源またはコンピュータ本体に着脱自在に装着されるバッテリーによって駆動されるコンピュータであり、CPU11D、BIOS-ROM12D、システムタイマ13D、リアルタイムクロック(RTC)14D、キーボードコントローラ(KBC)15D、プログラマブル割り込みコントローラ(PIC)16D、ダイナミックRAM(DRAM)17Dを備えている。

CPU11Dはこのシステム全体の制御を司るものであり、システムバス10Dを介して各コンポーネント、すなわち、BIOS-ROM12D、システムタイマ13D、リアルタイムクロック(RTC)14D、キーボードコントローラ(KBC)15D、プログラマブル割り込みコントローラ(PIC)16D、ダイナミックRAM(DRAM)17Dに接続されている。このCPU11Dは、例えば前述のマイクロプロセッサ80486から構成されるものであり、内部的に高速クロックを生成するために、PLL回路を含む内部発振器111Dを備えている。すなわち、このCPU11Dは、クロックCLKの数倍のクロックを内部発振器111D

によって内部的に生成し、それを利用して高速動作する構成である。

また、CPU 11Dは、実行中のアプリケーションプログラムによってコールされるBIOS (Basic Input Output System)プログラムの実行により、スリープモード設定条件の設定の有無を判断し、条件成立時には、動作停止のためのHalt命令の実行を行う。スリープモードの設定条件は、例えば、一定期間以上オペレータによるキー入力操作が行なわれなかった場合等に成立する。

システムタイマ13Dは、例えば55msの周期で定期的にタイマ割り込み要求IRQ0を発生するタイマである。このタイマ割り込み要求IRQ0は、割り込みコントローラ16Dに供給される。リアルタイムクロック(RTC)14Dは、時計機能やカレンダー機能を実現するためのモジュールであり、その内部メモリには電源遮断時にもその記憶内容が消失されないように、バックアップ用電源が常時供給されている。また、リアルタイムクロック(RTC)14Dは、例えば500msの周期で定期的にタイマ割り込み要求IRQ8を発生する。このタイマ割り込み要求IRQ8は、割り込みコントローラ16Dに供給される。キーボードコントローラ(KBC)15Dは、このポータブルコンピュータ本体に組み込まれたキーボードを制御するためのものであり、キーボードのキーマトリクスをスキャンして押下キーに対応するキーデータ(スキャンコード)を生成する。また、この時、キーボードコントローラ(KBC)15Dはキー入力

をCPU 11Dに通知するために、キー入力割り込み要求IRQ 1を発生する。このキー入力割り込み要求IRQ 1は、割り込みコントローラ16Dに供給される。

割り込みコントローラ16Dは、ハードウェア割り込み信号INTをCPU 11Dに供給する。すなわち、割り込みコントローラ16Dは、タイマ割り込み要求IRQ 0、キー入力割り込み要求IRQ 1、タイマ割り込み要求IRQ 8のいずれかを受信した時、ハードウェア割り込み信号INTを発生する。この場合、タイマ割り込み要求IRQ 0とタイマ割り込み要求IRQ 8の一方は、割り込みコントローラ16D内の割り込みマスクレジスタ61Dによって選択的にマスク可能である。ダイナミックRAM (DRAM) 17DはCPU 11Dによって実行されるアプリケーションプログラム等を格納するためのものである。

次に、第36図のフローチャートを参照して、このポータブルコンピュータにおけるスリープモードへの移行動作とそのスリープモードからの復帰動作について説明する。

CPU 11Dがアプリケーションプログラムの実行中に例えばキー入力待ち状態になると、割り込み待ちファンクションのルーチンがアプリケーションプログラムによってコールされる。この割り込み待ちファンクションは、BIOSプログラムによって提供されるものである。

割り込み待ちファンクションルーチンでは、まず、CPU 11Dは、キー入力割り込みの発生の有無を判断する(ステップS 11-4)。この判断処理は、CPU 11Dに割り込



み信号 I N T が供給された時に、C P U 1 1 D がその割り込みの要因を調べることによって実行される。割り込みの要因がキー入力割り込み要求 I R Q 1 によるものか否かは、例えば、割り込みコントローラ 1 6 D のステータスレジスタをリードすることによって決定される。キー入力割り込みが発生した時には、C P U 1 1 D はキーボードコントローラ ( K B C ) 1 5 D からキーコードを読み取り ( ステップ S 1 2 - 4 ) 、その後、アプリケーションプログラムの実行に戻る。

一方、キー入力割り込みが発生しなかった場合には、C P U 1 1 D は、スリープモード設定条件が成立されたことを認識し、スリープモード設定のための処理を実行する。ここでは、C P U 1 1 D は、まず、リアルタイムクロック ( R T C ) 1 4 D のタイマ割り込み周期を 5 0 0 m s にセットする ( ステップ S 1 3 - 4 ) 。これは、5 0 0 m s を示すデータをリアルタイムクロック ( R T C ) 1 4 D 内の R T C レジスタ 4 1 D に書き込むことによって実現される。次いで、C P U 1 1 D は、システムタイマ 1 3 D のタイマ割り込みをディセーブル、リアルタイムクロック ( R T C ) 1 4 D のタイマ割り込みをイネーブルにする ( ステップ S 1 4 - 4 ) 。これは、割り込みコントローラ ( P I C ) 1 6 D の割り込みマスクレジスタ 6 1 D に所定のマスクデータをライトすることによって実現される。

この後、C P U 1 1 D は動作停止のための H a l t 命令 ( H L T ) を実行する ( ステップ S 1 5 - 4 ) 。この

H a l t 命令は、C P U 1 1 D がシステムバス 1 0 D を使用  
をすることを防止する。C P U 1 1 D の H a l t 状態は、割  
り込みコントローラ 1 6 D からハードウェア割り込み信号  
I N T が入力されるまで維持される。

C P U 1 1 D が H a l t 状態の期間においては、5 5 m s  
単位で発生されるシステムタイマ割り込み要求 I R Q 0 が禁  
止され、5 0 0 m s 単位で発生されるリアルタイムクロック  
(R T C) 1 6 D のタイマ割り込み要求 I R Q 8 が許可され  
ている。このため、C P U 1 1 D の H a l t 状態は、5 5  
m s 以上の期間維持することができる。

ここで、リアルタイムクロック (R T C) 1 4 D のタイマ  
割り込み周期を 5 0 0 m s にセットした理由は、アプリケー  
ションプログラムの時計機能をサポートするためである。すな  
わち、表示画面上に時刻をデジタル表示する機能を持つアプ  
リケーションプログラムを実行している場合には、少なくと  
も 1 s 以内にタイマカウントを更新することが必要とされる。  
このため、ここでは、5 0 0 m s 単位のタイマ割り込みを  
利用することによって、スリープモードの最大設定期間を  
5 0 0 m s に制限している。

この後、割り込みコントローラ 1 6 D からのハードウェア  
割り込み信号 I N T が C P U 1 1 D に入力されると (ステッ  
プ S 1 6 - 4)、C P U 1 1 D は、システムタイマ 1 3 D  
のタイマ割り込みをイネーブル、リアルタイムクロック  
(R T C) 1 4 D のタイマ割り込みをディセーブルにする  
(ステップ S 1 7 - 4)。そして、C P U 1 1 D は、割り込

み信号INTに対応する所定の割り込み処理を実行する（ステップS18-4）。

次に、リアルタイムクロック（RTC）14DのRTCレジスタ41Dの構成の一例を説明する。RTCレジスタ41Dは、第37図および第38図にそれぞれ示されている2個の8ビットレジスタ411、412から構成されている。レジスタ411に於いて、MSBのデータUIPは、タイマのアップデートが行なわれているか否かを示すものであり、“1”はタイマのアップデートが行なわれているか又は開始直前であることを示し、“0”はアップデートが行なわれていないことを示す。3ビット目から0ビット目までのデータRS3～RS0は、リアルタイムクロック（RTC）14Dのタイマ割込みの周期を示す設定情報であり、RS3、RS2、RS1、RS0 = “1111”のとき、割込み周期は500msとなる。

レジスタ412に於いて、ビット7のデータSETは、アップデートサイクルであるか否かを示すビット情報であり、“1”のとき、アップデートサイクルを中断して、データ設定を可能とする。6ビット目のデータPIEは、周期的タイマ割込み要求を許可／禁止するビット情報であり、“1”のとき、周期的割込み要求を許可し、“0”のとき、周期的割込み要求を禁止する。5ビット目のデータAIEは、アラーム割込み要求を許可／禁止するビット情報である。4ビット目のデータUIEは、アップデート割込み要求を許可／禁止するビット情報である。その他のビット情報の詳細はここで

は省略する。

次に、割り込みコントローラ16Dの割り込みマスクレジスタ61Dの構成の一例を説明する。割り込みマスクレジスタ61Dは、第39図および第40図にそれぞれ示されている2個の8ビットレジスタ611, 612から構成されている。

レジスタ611に於いて、1ビット目のデータKBは、キーボードコントローラ15Dからの割り込み要求IRQ1を許可/禁止するビット情報である。データKB = "1"の時、割り込み要求IRQ1は許可され、データKB = "0"の時、割り込み要求IRQ1は禁止される。0ビット目のデータSTM Rは、システムタイマ13Dからの割り込み要求IRQ0を許可/禁止するビット情報であり、データSTM R = "1"の時、割り込み要求IRQ0は許可され、データSTM R = "0"の時、割り込み要求IRQ0は禁止される。

レジスタ612に於いて、0ビット目のデータRTCは、リアルタイムクロック(RTC)14Dからのタイマ割り込み要求IRQ8を許可/禁止するビット情報であり、データRTC = "1"のとき、タイマ割り込み要求IRQ8が許可され、データRTC = "0"のとき、タイマ割り込み要求IRQ8が禁止される。

第41図には、割り込みコントローラ16Dの構成の一例が示されている。ここでは、2つのタイマ割り込み要求IRQ0, IRQ8の一方をマスクするための構成についてのみ示

されている。

割り込みコントローラ 16Dには、ANDゲートG1、G2、ORゲートG3が設けられている。ANDゲートG1の第1入力には、システムタイマ13Dからのタイマ割込み要求IRQ0が入力される。ANDゲートG1の第2入力は、割り込みマスクレジスタ61Dの所定ビット（第39図のレジスタ611の0ビット目）に接続されている。このANDゲートG1の出力は、ORゲートG3の第1入力に供給される。ANDゲートG2の第1入力には、リアルタイムクロック14Dからのタイマ割込み要求IRQ8が入力される。ANDゲートG2の第2入力は、割り込みマスクレジスタ61Dの所定ビット（第40図のレジスタ612の0ビット目）に接続されている。このANDゲートG2の出力は、ORゲートG3の第2入力に供給される。

以上のように、この第5実施例においては、CPU11DのHalt状態を延ばす構成としたことにより、クロックの切り替えを行なうことなく、CPU11Dの電力消費を簡単な構成で効果的に低減することができる。

また、第37図、第38図のRTCレジスタの構成、第39図、第40図の割り込みマスクレジスタ、および第41図の割り込みコントローラの構成は、前述の第1乃至第4実施例のシステムについても同様に適用することができる。

以上、この発明の実施例を図面を参照して説明したが、この発明の技術的範囲はこれら実施例に制限されるものではなく、種々変形可能であることは持ち論である。

#### 産業上の利用可能性

以上のように、この発明によれば、CPUの誤動作を招くことなく効率良くその消費電力を低減することができるので、特にバッテリー駆動型のポータブルコンピュータに好適である。

## 請求の範囲

1. CPUと、このCPUにクロックを供給するクロック発生回路と、システムバスを介して前記CPUに接続される各種周辺回路を有するポータブルコンピュータであって、

前記CPUをスリープモードに設定するための所定のモード設定条件の成立の有無を判別し、条件成立に回答して前記CPUのレジスタのデータをメモリに退避する手段と、

前記データの退避に回答して、前記CPUに供給されるリセット信号をアクティブステートに設定することによって前記CPUをリセットすると共に、前記クロックの供給を停止するクロック停止手段と、

前記周辺回路から前記CPUへの割り込み要求に回答して、前記クロックの供給を再開すると共に、前記リセット信号をインアクティブステートに設定することによって前記CPUを再スタートさせる手段と、

前記リセット信号のインアクティブステートの設定に回答して、前記メモリから前記CPUにデータを復帰する手段とを具備するポータブルコンピュータ。

2. 前記周辺回路は、前記CPUに第1周期で定期的に割り込み要求を発行するタイマを含む請求の範囲第1項記載のポータブルコンピュータ。

3. 前記データの退避に回答して、前記タイマからの発行される割り込み要求の周期を前記第1周期からそれよりも長い第2周期に変更する手段とをさらに具備する請求の範囲第

2項記載のポータブルコンピュータ。

4. CPUと、このCPUにクロックを供給するクロック発生回路と、システムバスを介して前記CPUに接続される各種周辺回路を有するポータブルコンピュータであって、

前記CPUをスリープモードに設定するための所定のモード設定条件の成立の有無を判別し、条件成立にตอบสนองして前記CPUのレジスタのデータをメモリに退避する手段と、

前記データの退避にตอบสนองして、前記CPUに供給されるリセット信号をアクティブステートに設定することによって前記CPUをリセットすると共に、前記CPUへの電源供給を停止する電源停止手段と、

前記周辺回路から前記CPUへの割り込み要求にตอบสนองして、前記CPUへの電源供給を再開すると共に、前記リセット信号をインアクティブステートに設定することによって前記CPUを再スタートさせる手段と、

前記リセット信号のインアクティブステートの設定にตอบสนองして、前記メモリから前記CPUにデータを復帰する手段とを具備するポータブルコンピュータ。

5. 前記CPUへの電源供給の停止にตอบสนองして、前記システムバスを介して前記周辺回路から前記CPUに流れ込む電流を遮断するために前記CPUを前記システムバスから電氣的に分離する手段をさらに具備する請求の範囲第4項記載のポータブルコンピュータ。

6. 前記周辺回路は、前記CPUに第1周期で定期的に割り込み要求を発行するタイマを含む請求の範囲第4項記載の



ポータブルコンピュータ。

7. 前記スリープモードの条件成立に応答して、前記タイマからの発行される割り込み要求の周期を前記第1周期からそれよりも長い第2周期に変更する手段とをさらに具備する請求の範囲第6項記載のポータブルコンピュータ。

8. CPUと、システムバスを介して前記CPUに接続される各種周辺回路と、第1クロックおよびそれよりも低周波数の第2のクロックを発生するクロック発生回路とを有するポータブルコンピュータであって、

前記CPUをスリープモードに設定するための所定のモード設定条件の成立の有無を判別し、条件成立に応答して前記CPUのレジスタのデータをメモリに退避する手段と、

第1のタイミング信号に応答して、前記CPUに供給されるリセット信号をアクティブに設定することによって前記CPUをリセットするリセット手段と、

第2のタイミング信号に応答して、前記CPUに供給するクロックを前記第1クロックから前記第2クロックに切り替える第1のクロック切替え手段と、

前記データの退避に応答して前記第1のタイミング信号を発生し、前記第1のタイミング信号を所定時間遅延させることによって前記第2のタイミング信号を発生する第1の遅延回路と、

第3のタイミング信号に応答して、前記CPUに供給するクロックを前記第2クロックから前記第1クロックに切り替える第2のクロック切替え手段と、

第4のタイミング信号に 응답して、前記リセット信号をインアクティブステートに設定することによって前記CPUを再スタートさせるリセット解除手段と、

前記周辺回路から前記CPUへの割り込み要求に 응답して前記第3のタイミング信号を発生し、前記第3のタイミング信号を所定時間遅延させることによって前記第4のタイミング信号を発生する第2の遅延回路と、

前記リセット信号のインアクティブステートの設定に 응답して、前記メモリから前記CPUにデータを復帰する手段とを具備するポータブルコンピュータ。

9. 前記周辺回路は、前記CPUに第1周期で定期的に割り込み要求を発行するタイマを含む請求の範囲第8項記載のポータブルコンピュータ。

10. 前記データの退避に 응답して、前記タイマから発行される割り込み要求の周期を前記第1周期からそれよりも長い第2周期に変更する手段とをさらに具備する請求の範囲第9項記載のポータブルコンピュータ。

11. 外部から供給されるクロックに応じた速度で動作するCPUを有するポータブルコンピュータであって、

制御電圧に応じて発振周波数が可変設定される電圧制御発振器と、

前記CPUからのクロックの切替え要求に応じて、前記電圧制御発振器に供給される前記制御電圧の値を上昇または下降させる電圧制御手段とを具備し、

前記電圧制御発振器の発振出力が前記CPUに前記クロッ

クとして供給されるポータブルコンピュータ。

12. 前記電圧制御発振器と前記電圧制御手段によって位相同期ループが構成されるように、前記電圧制御発振器の発振出力は前記電圧制御手段に帰還入力されている請求の範囲第11項記載のポータブルコンピュータ。

13. 通常動作モードと低消費電流モードとが切替え可能なCPUを備えたポータブルコンピュータであって、

第1の周期で定期的に割り込み要求を発生する第1のタイマ手段と、

前記第1の周期よりも長い第2周期で定期的に割り込み要求を発生する第2のタイマ手段と、

前記第1または第2のタイマ手段からの割り込み要求にตอบสนองして、前記CPUを前記低消費電流モードから前記通常モードに切り替えるためのタイマ割り込み信号を発生する手段と、

前記CPUが前記低消費電流モードにある時は前記第1のタイマ手段の割り込み要求が禁止され、前記第2のタイマ手段の割り込み要求が許可されるように、前記CPUが前記低消費電流モードか前記通常動作モードかに応じて前記第1のタイマ手段の割り込み要求を選択的にマスクする割り込みマスク手段とを具備するポータブルコンピュータ。

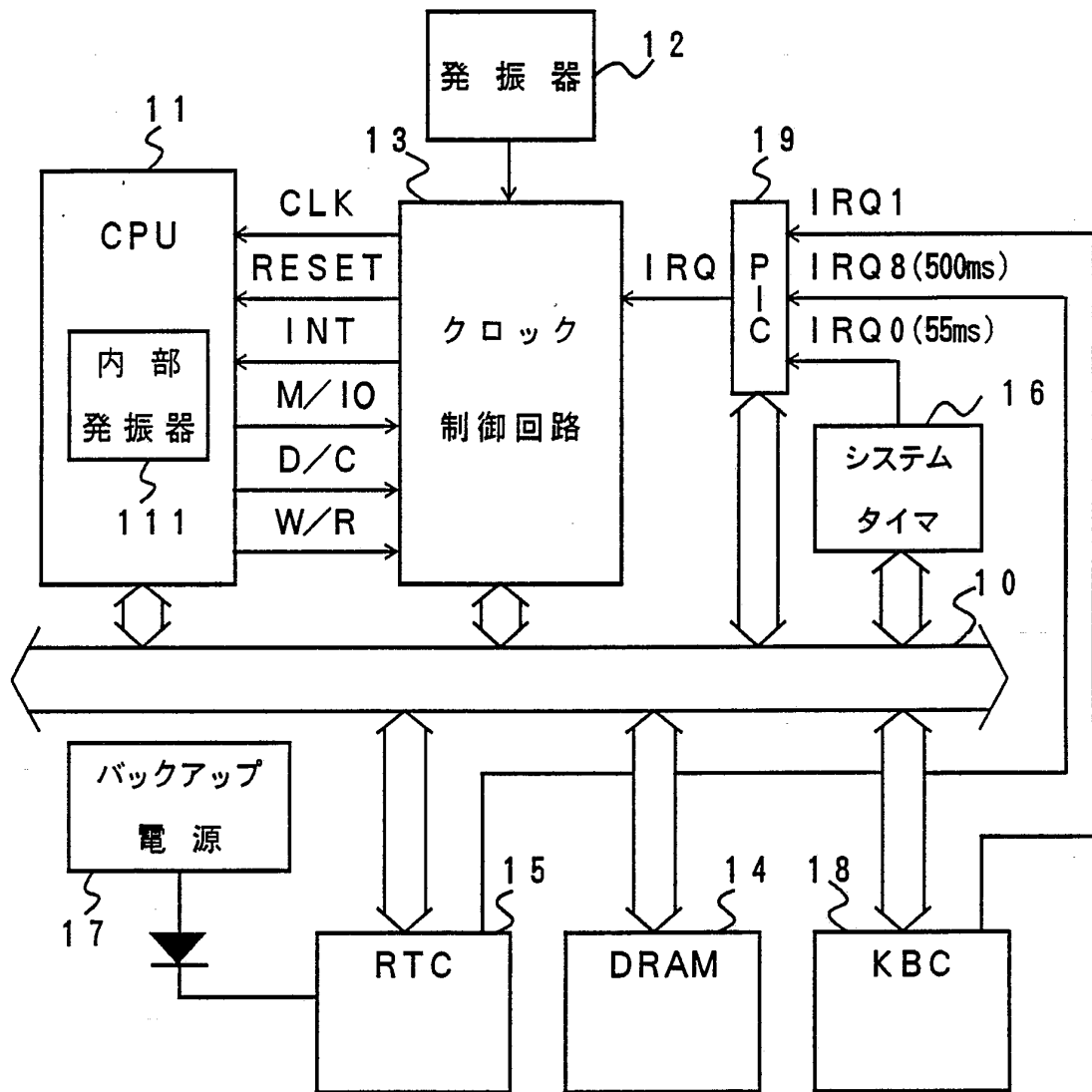


FIG. 1

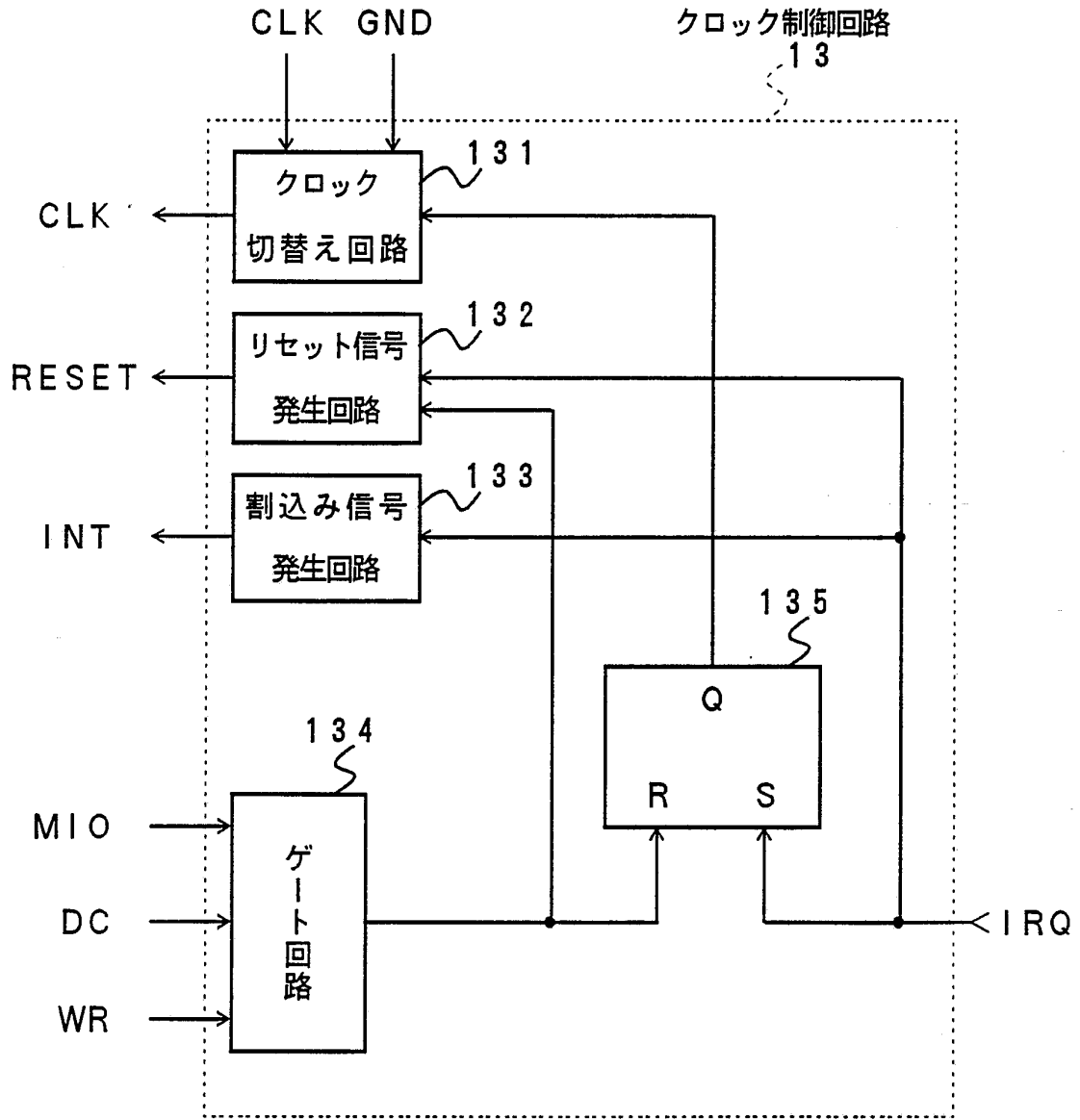


FIG. 2

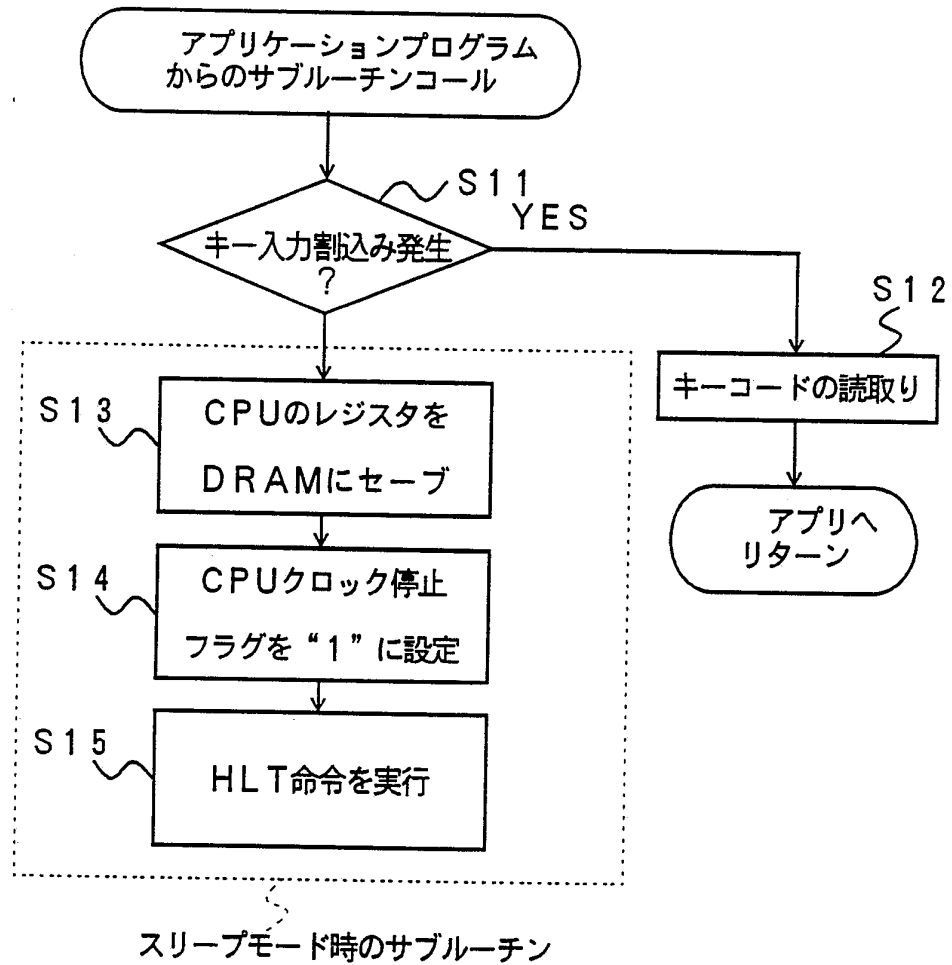


FIG. 3

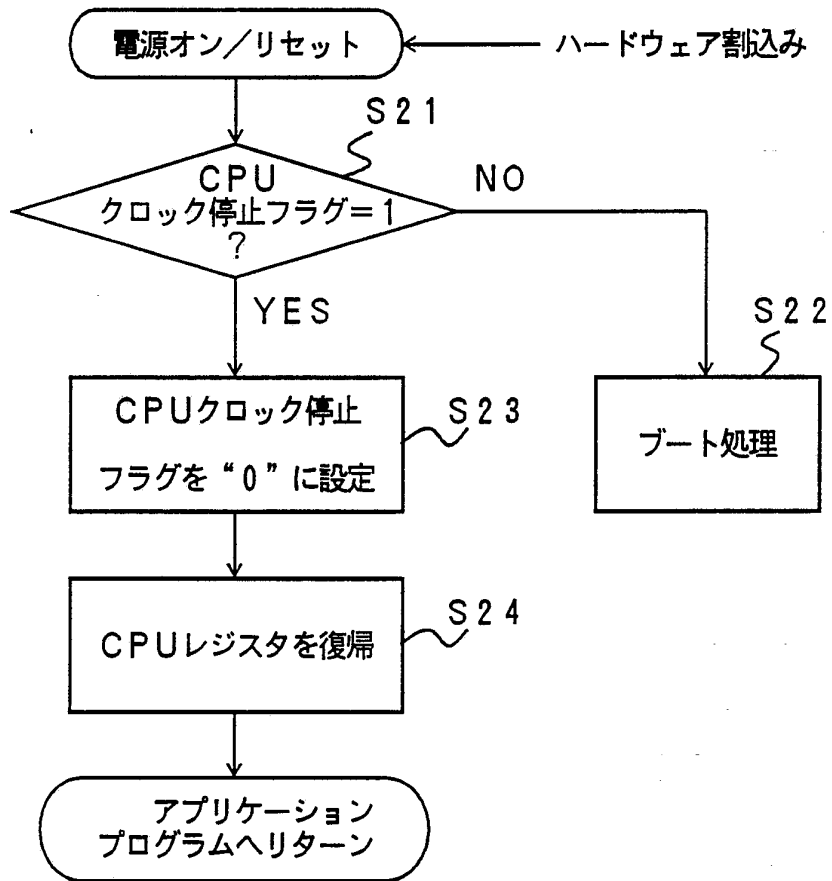


FIG. 4

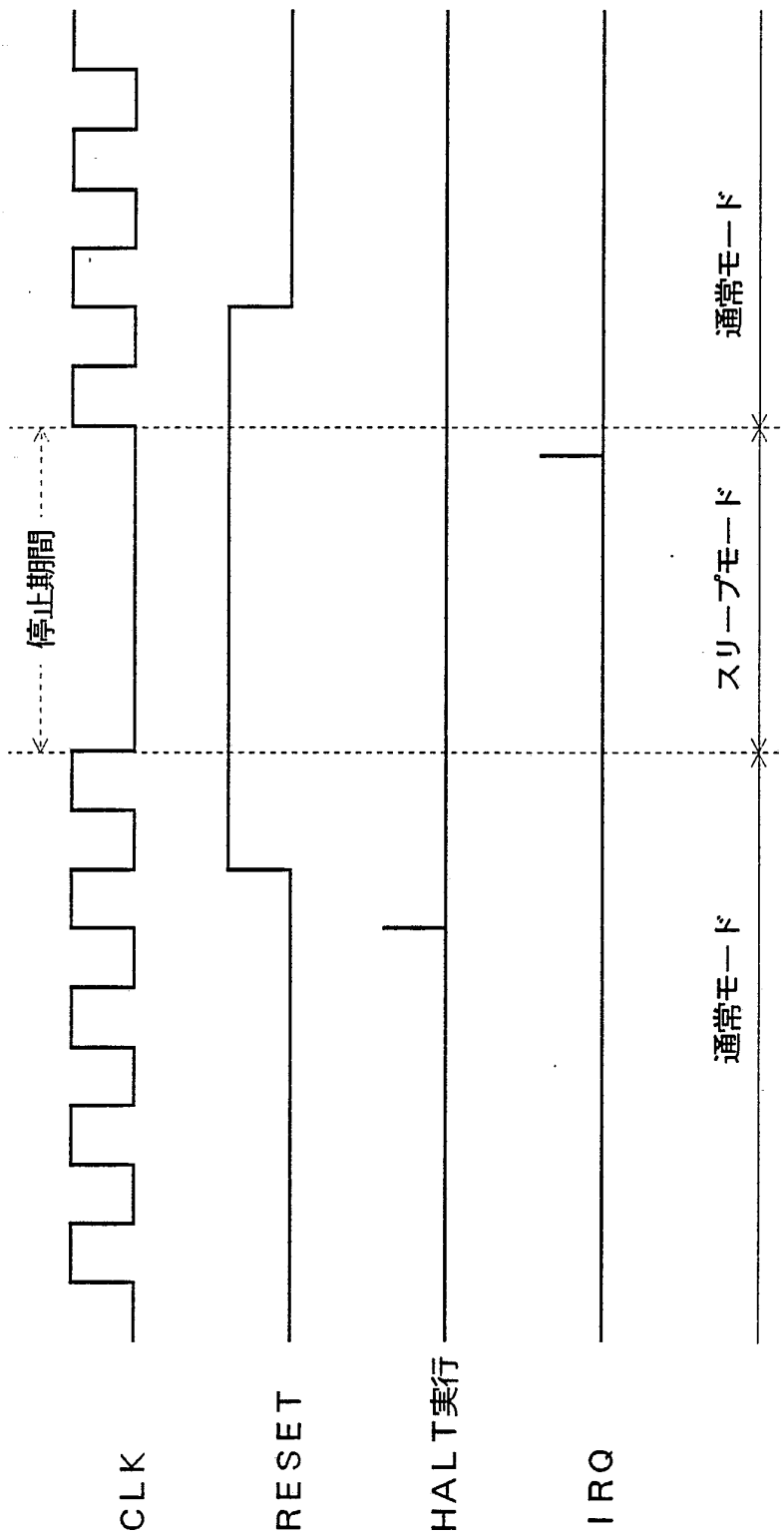


FIG. 5



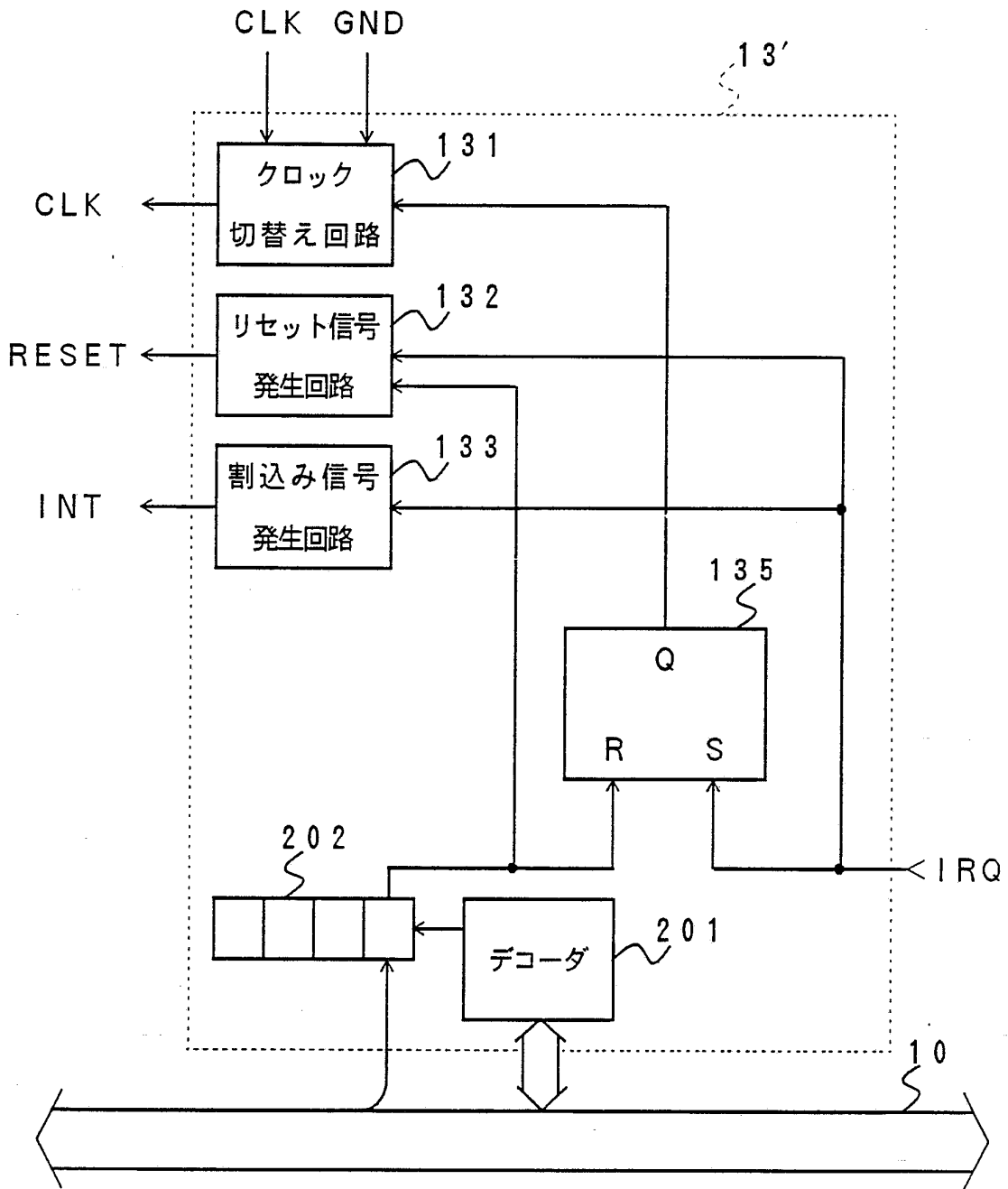


FIG. 6

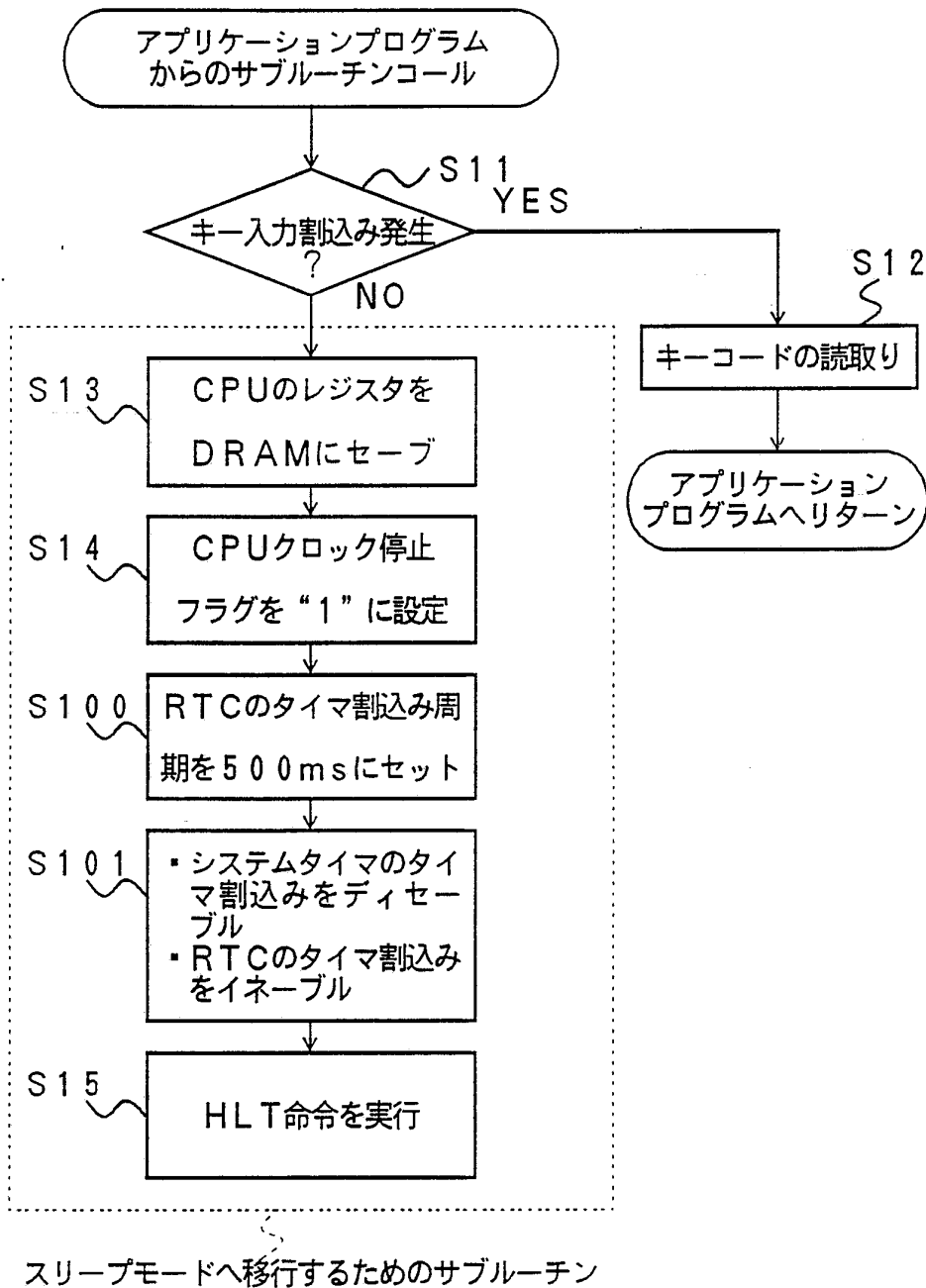


FIG. 7

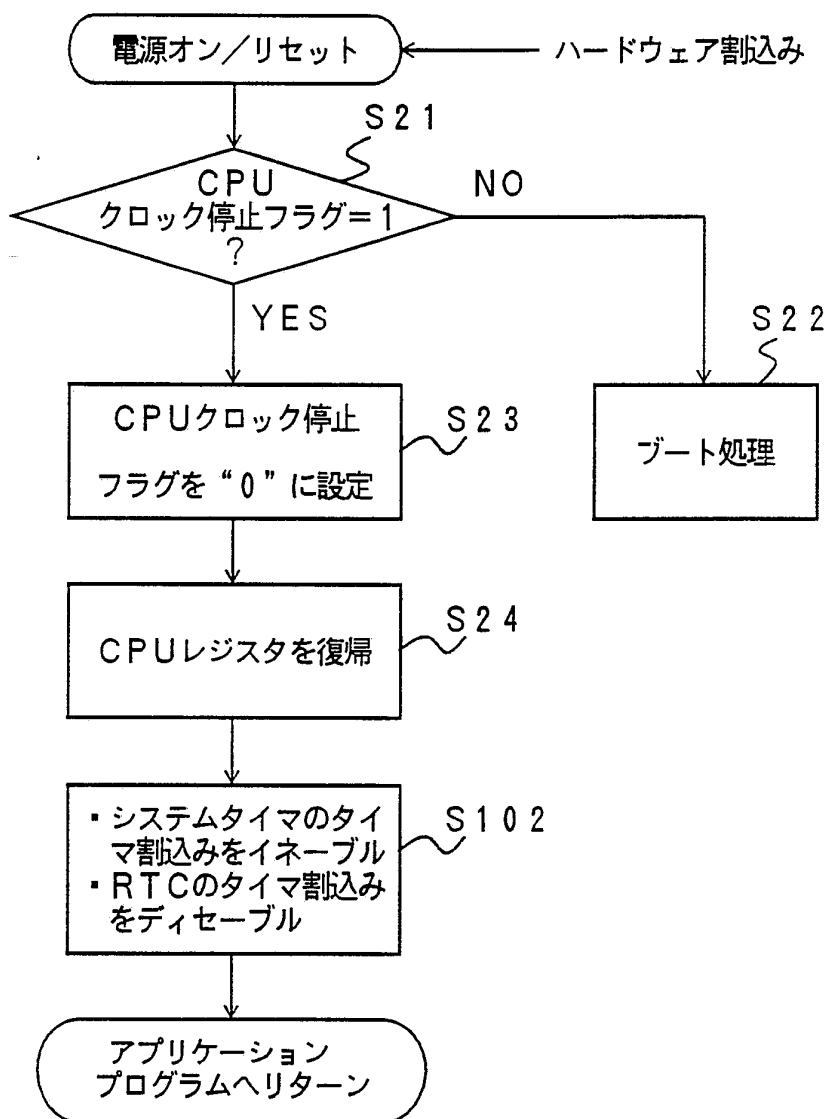


FIG. 8

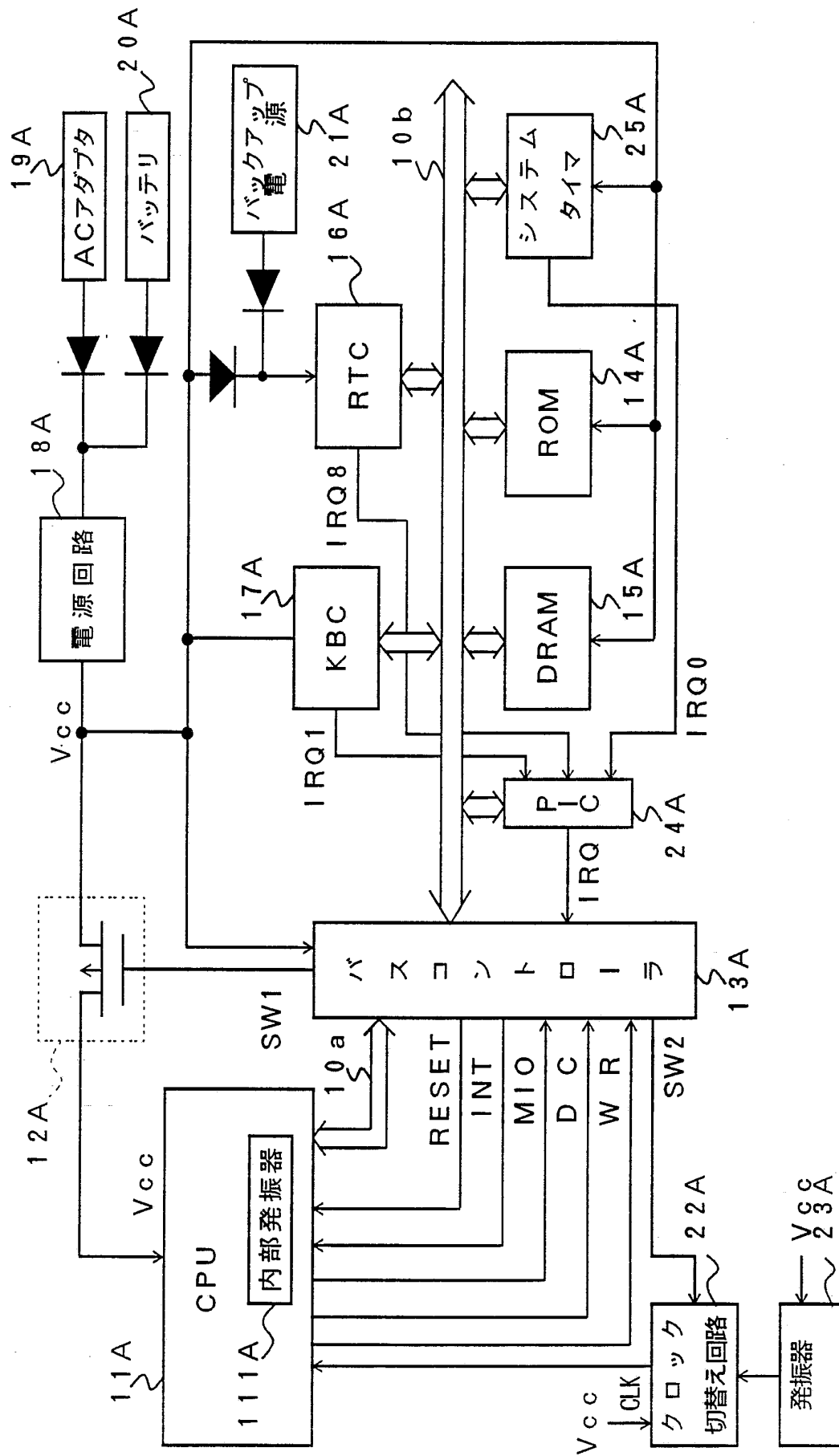


FIG. 9

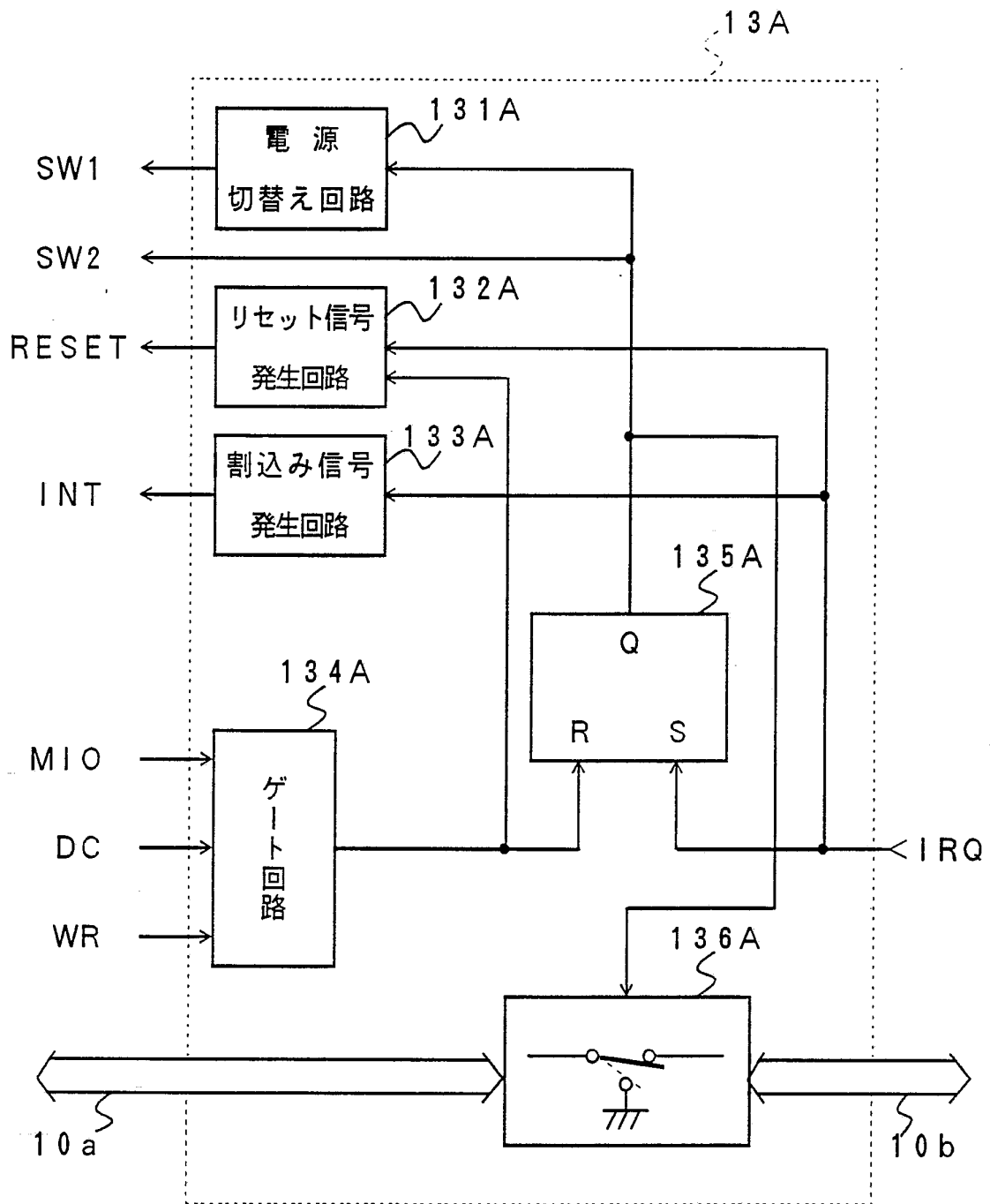


FIG. 10

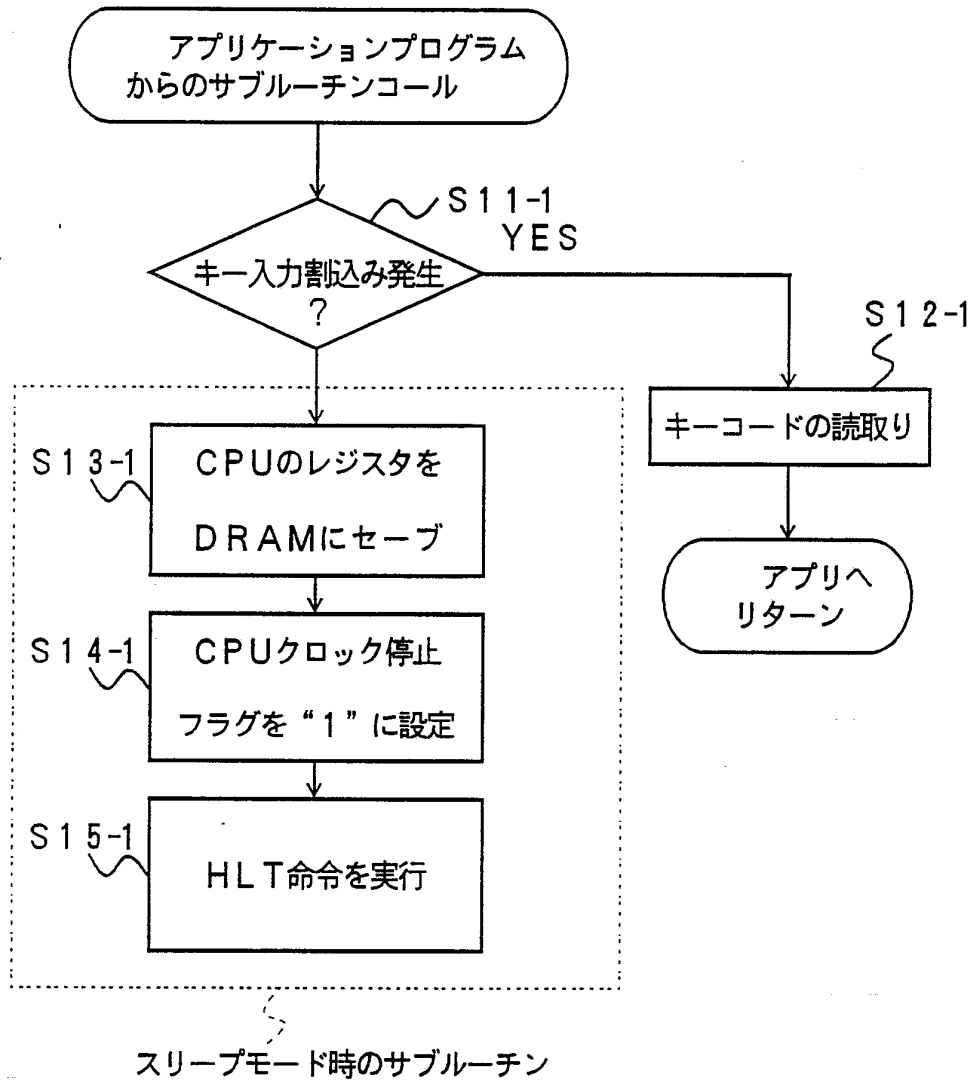


FIG. 11

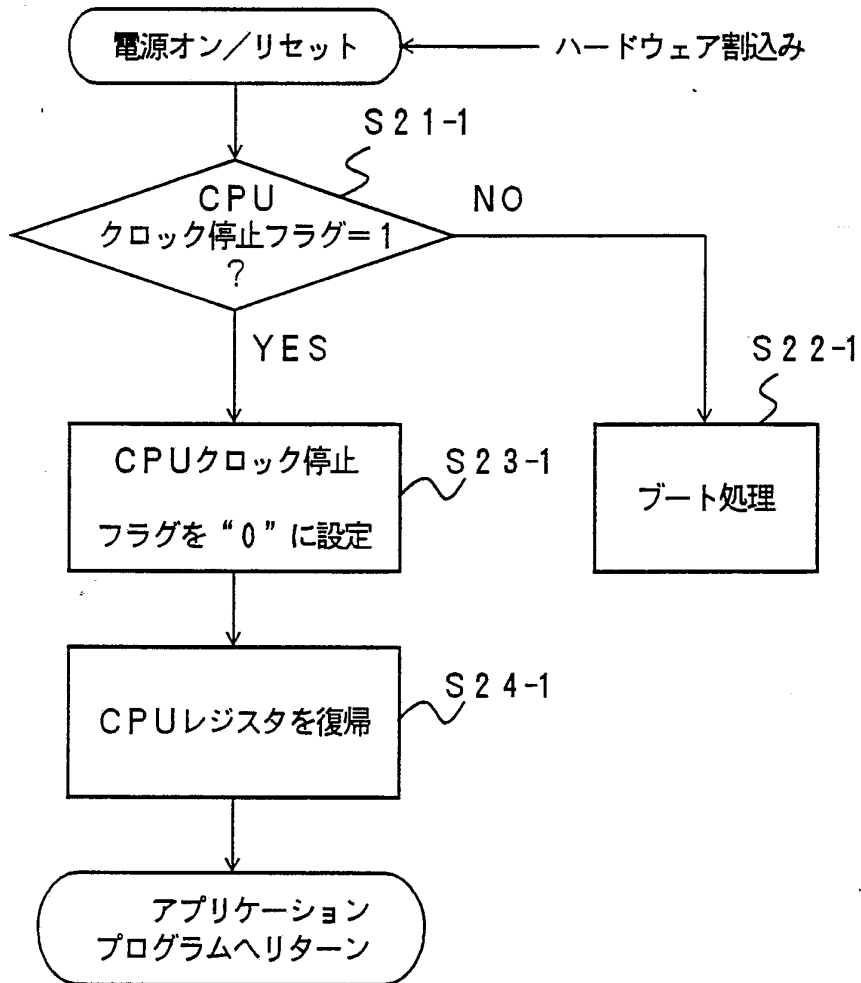


FIG. 12

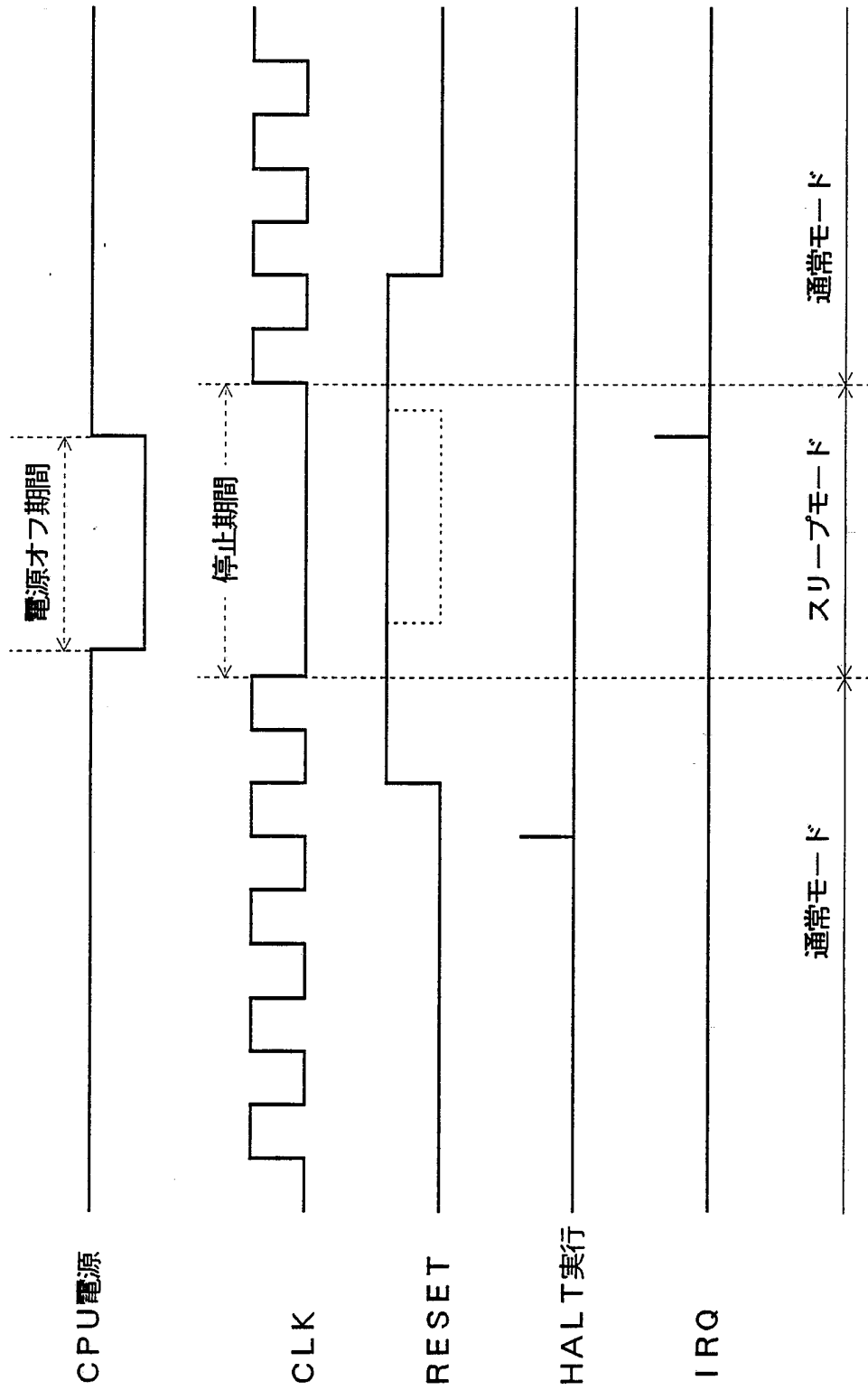


FIG. 13



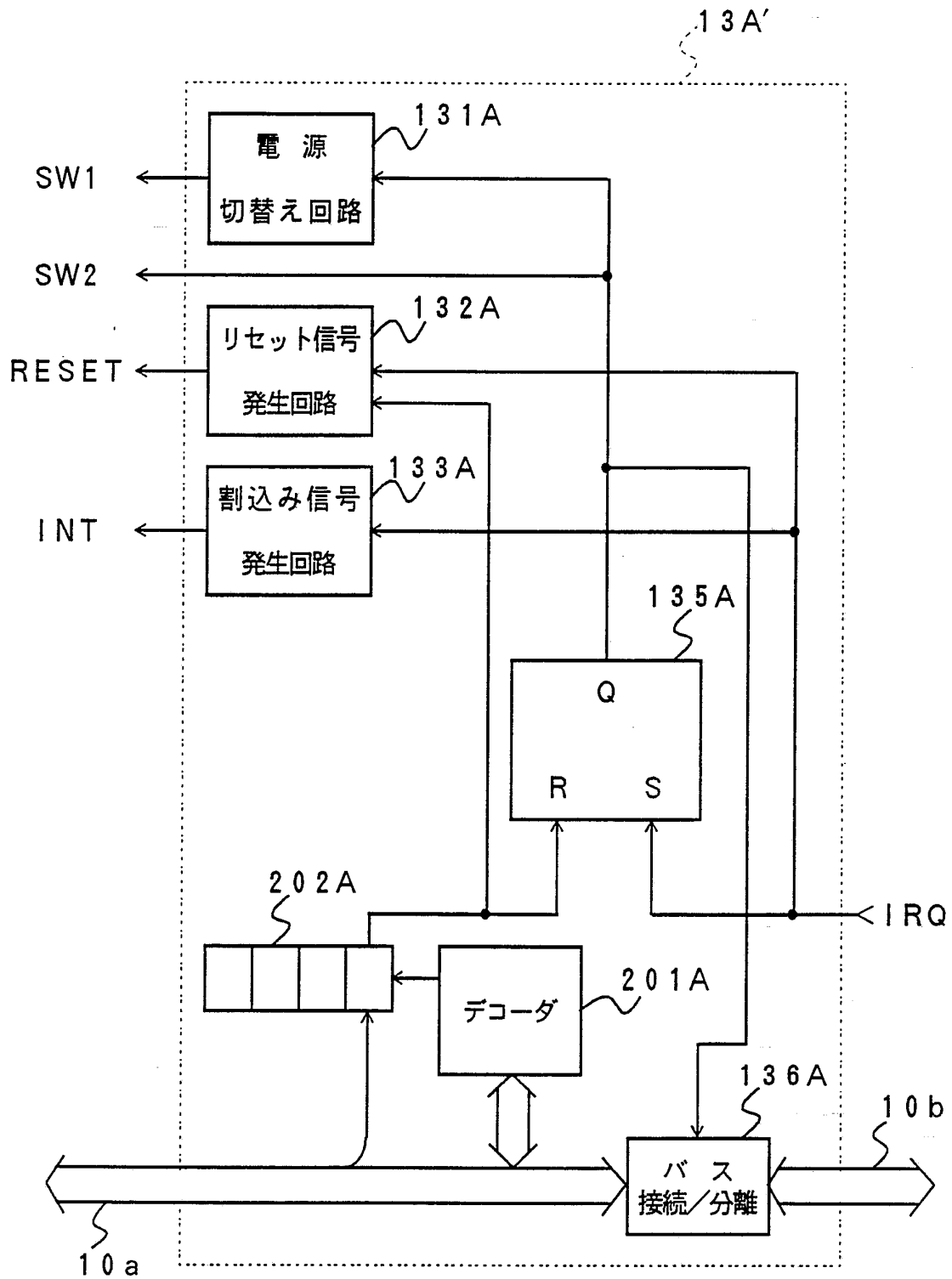


FIG. 14

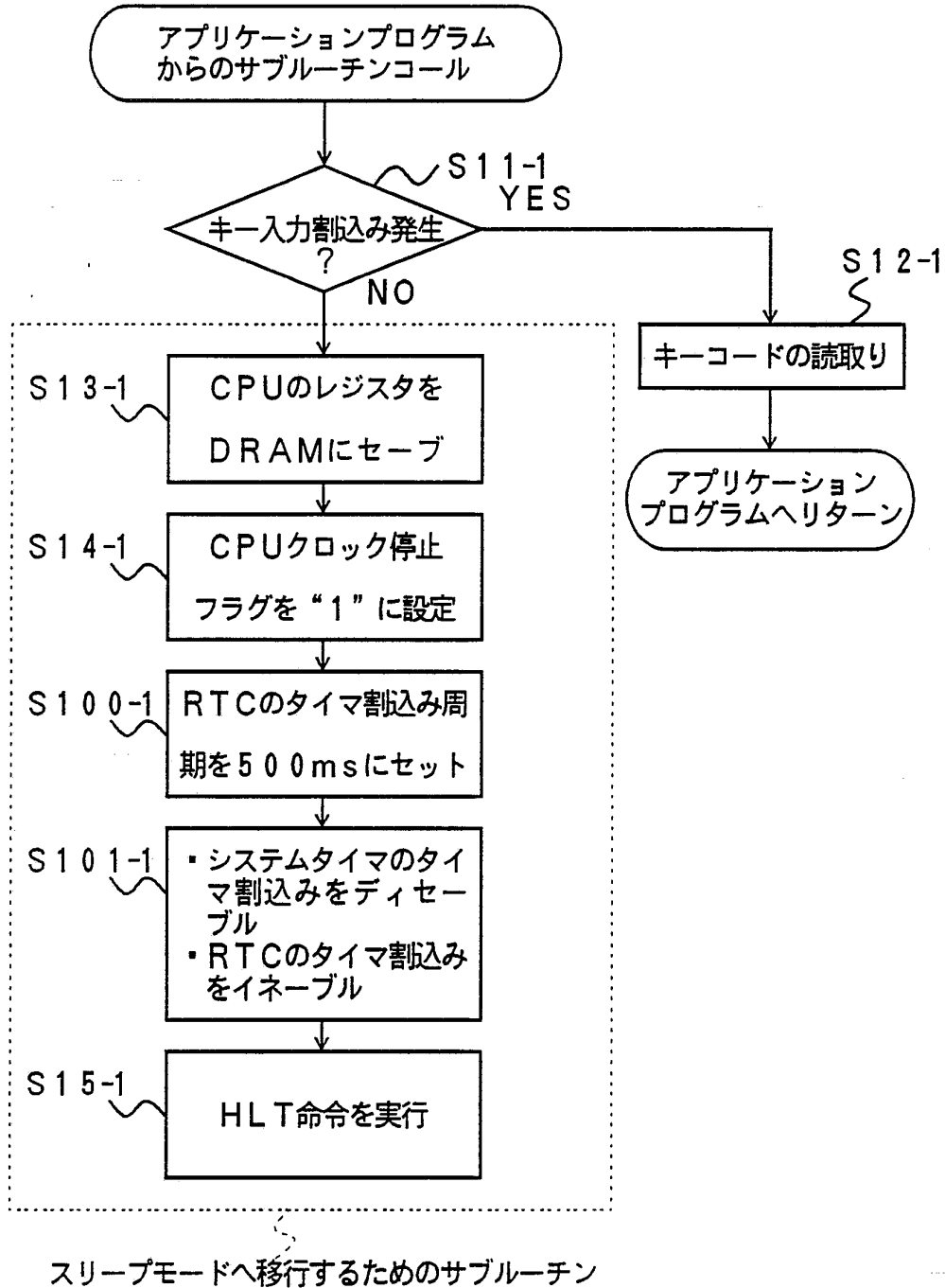


FIG. 15

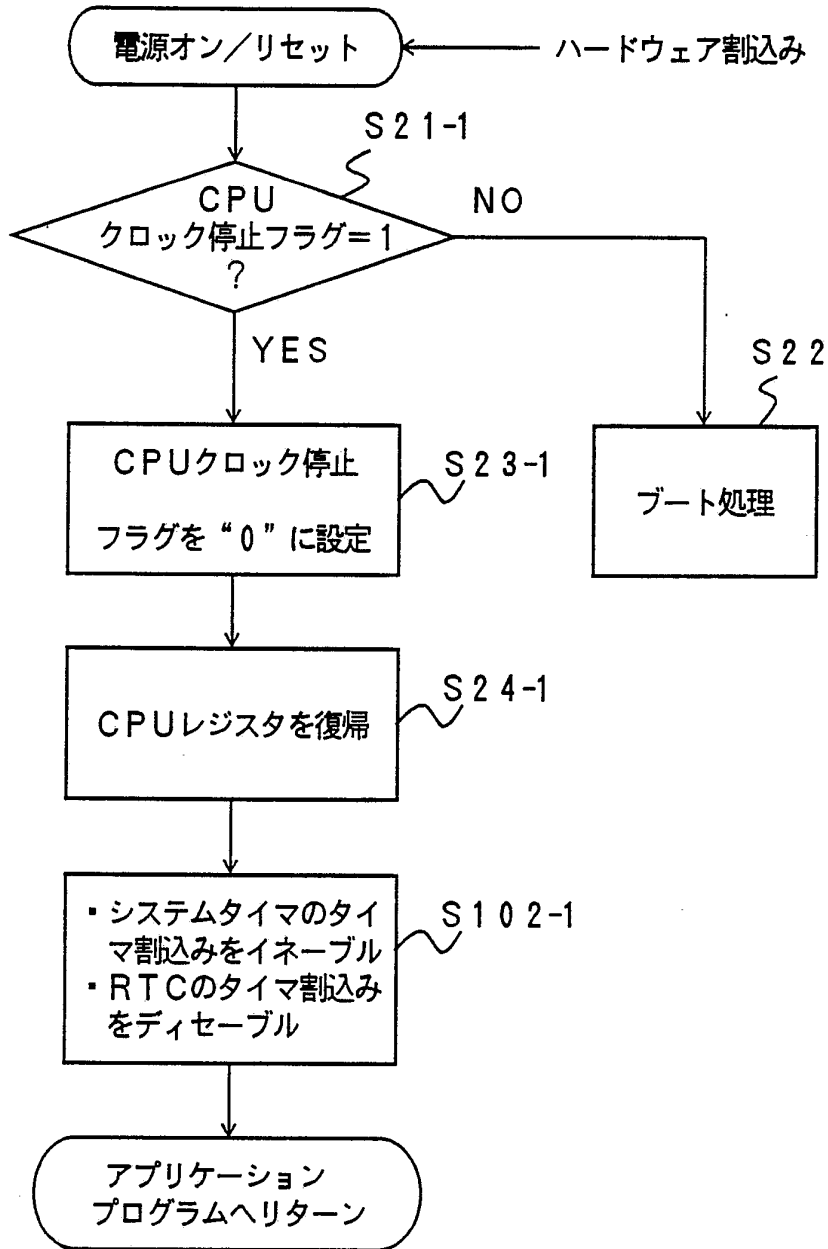


FIG. 16

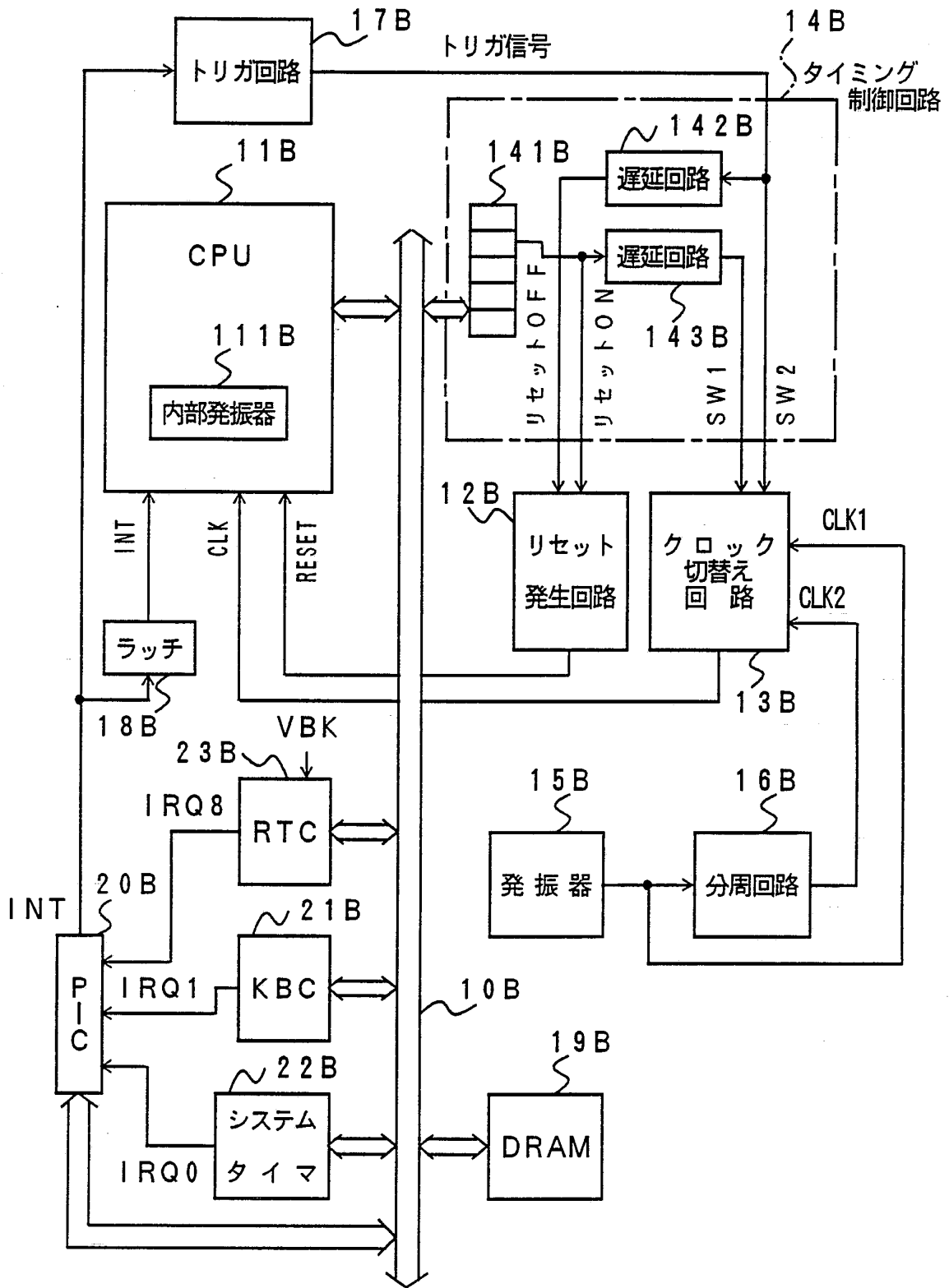


FIG. 17

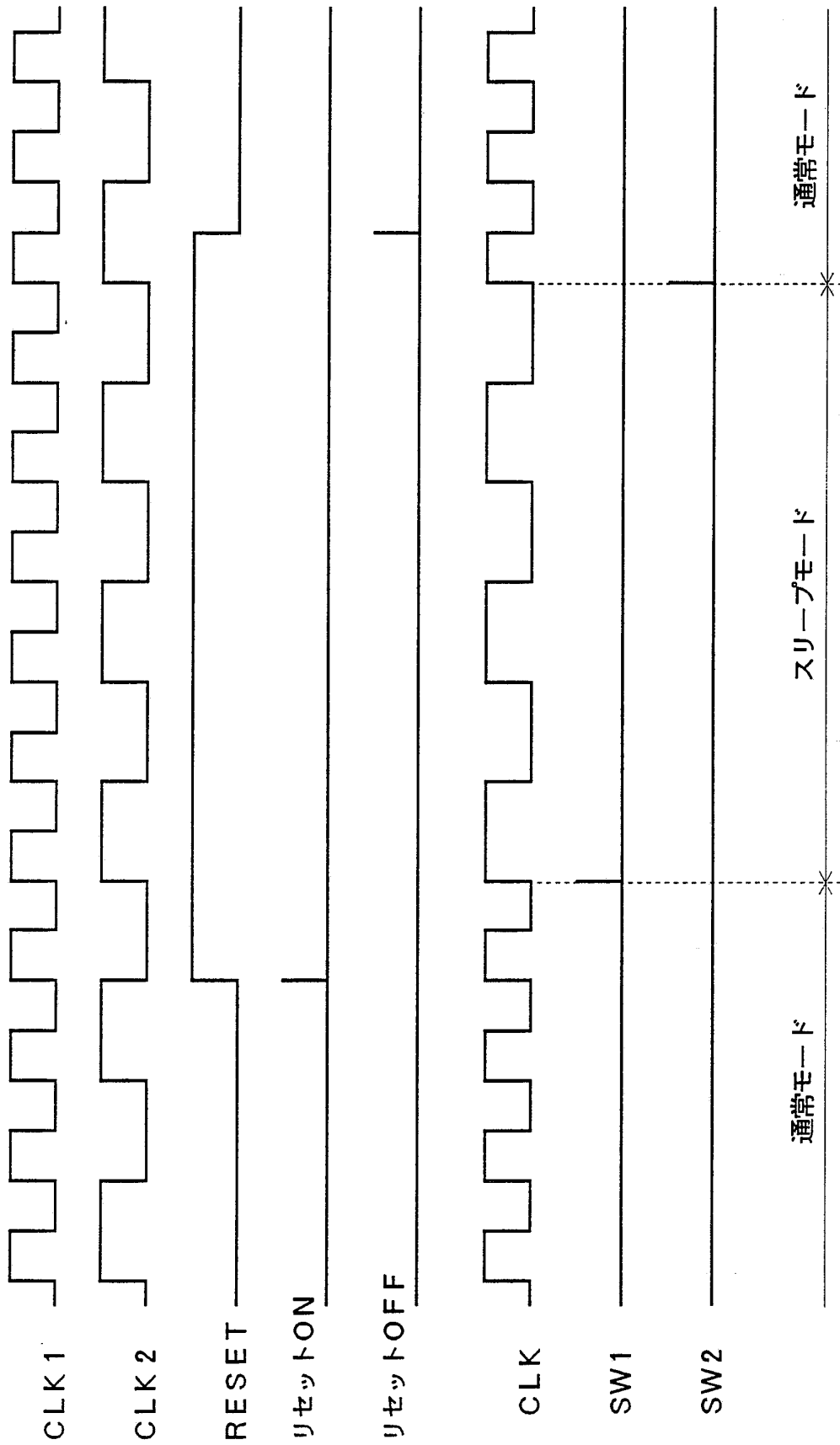


FIG. 18

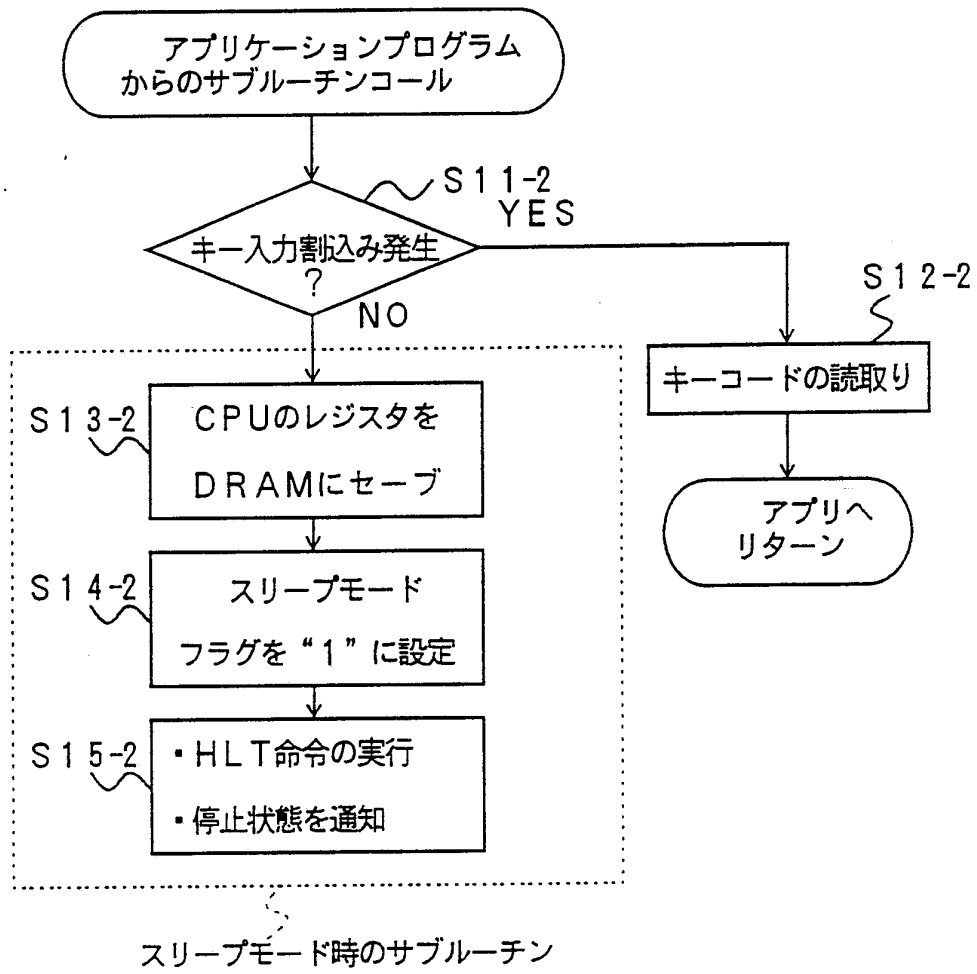


FIG. 19

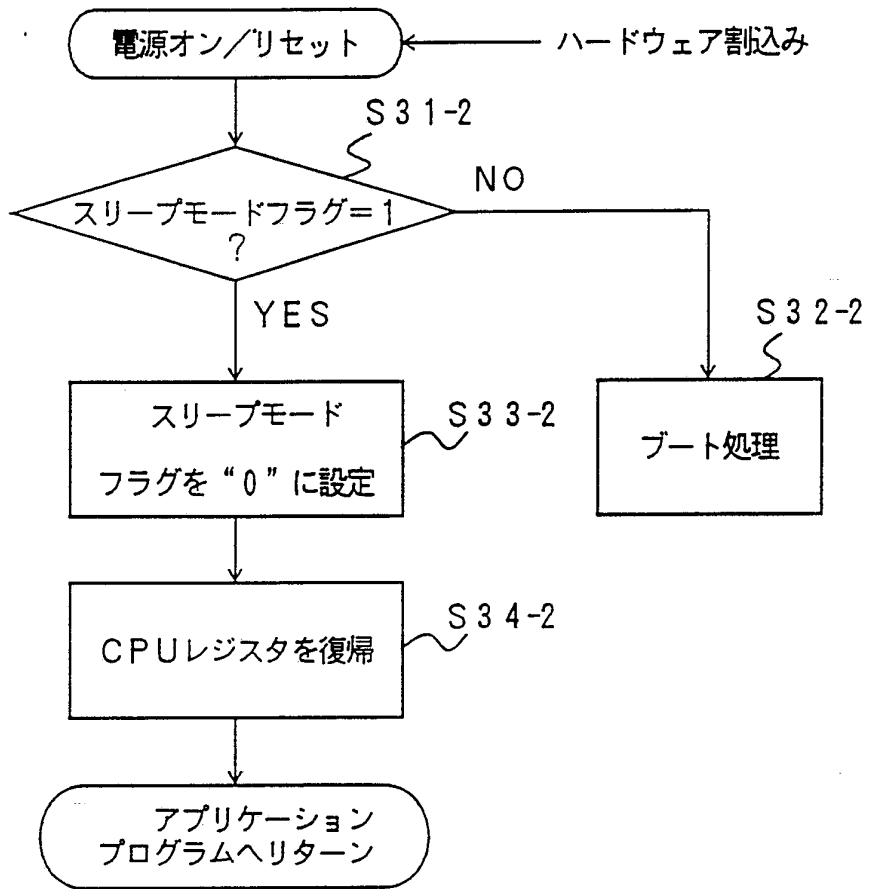


FIG. 20

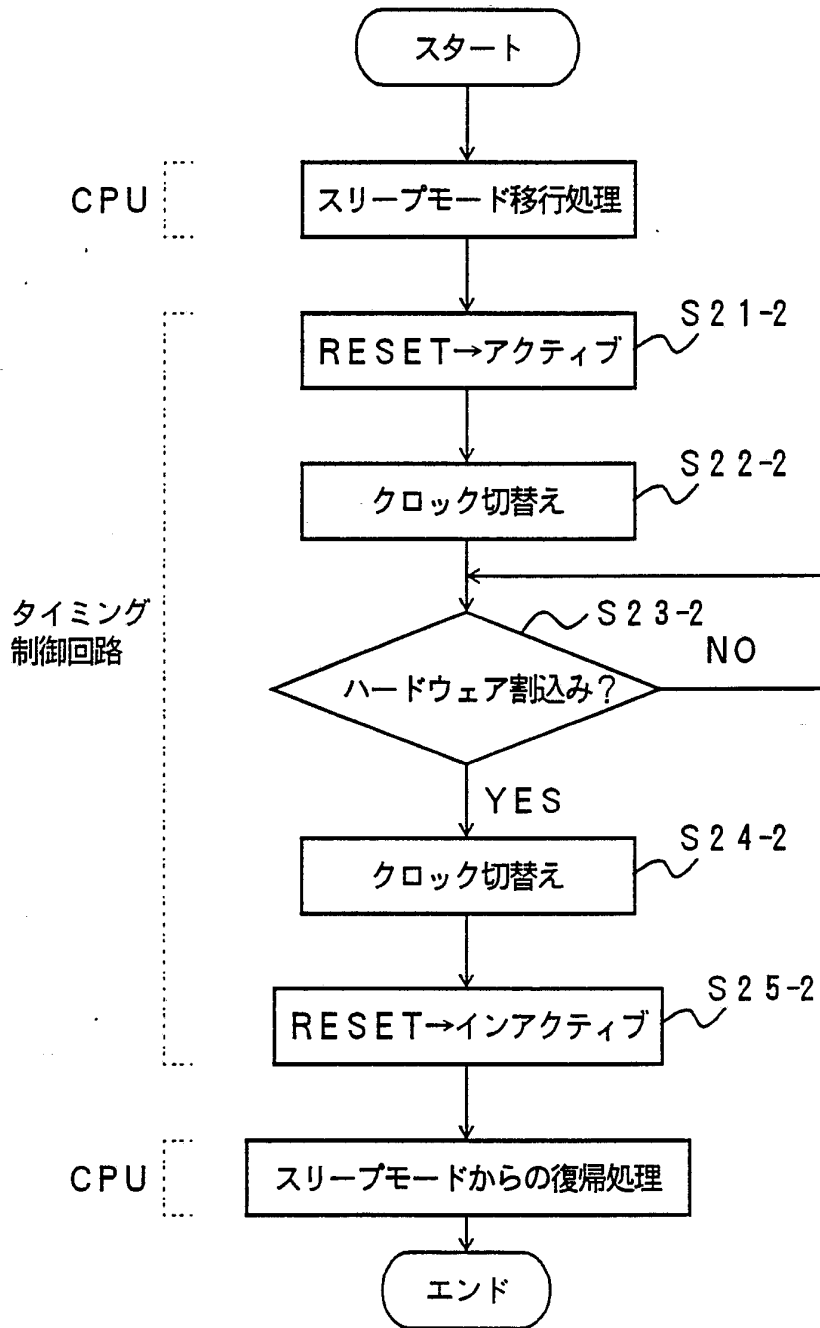


FIG. 21



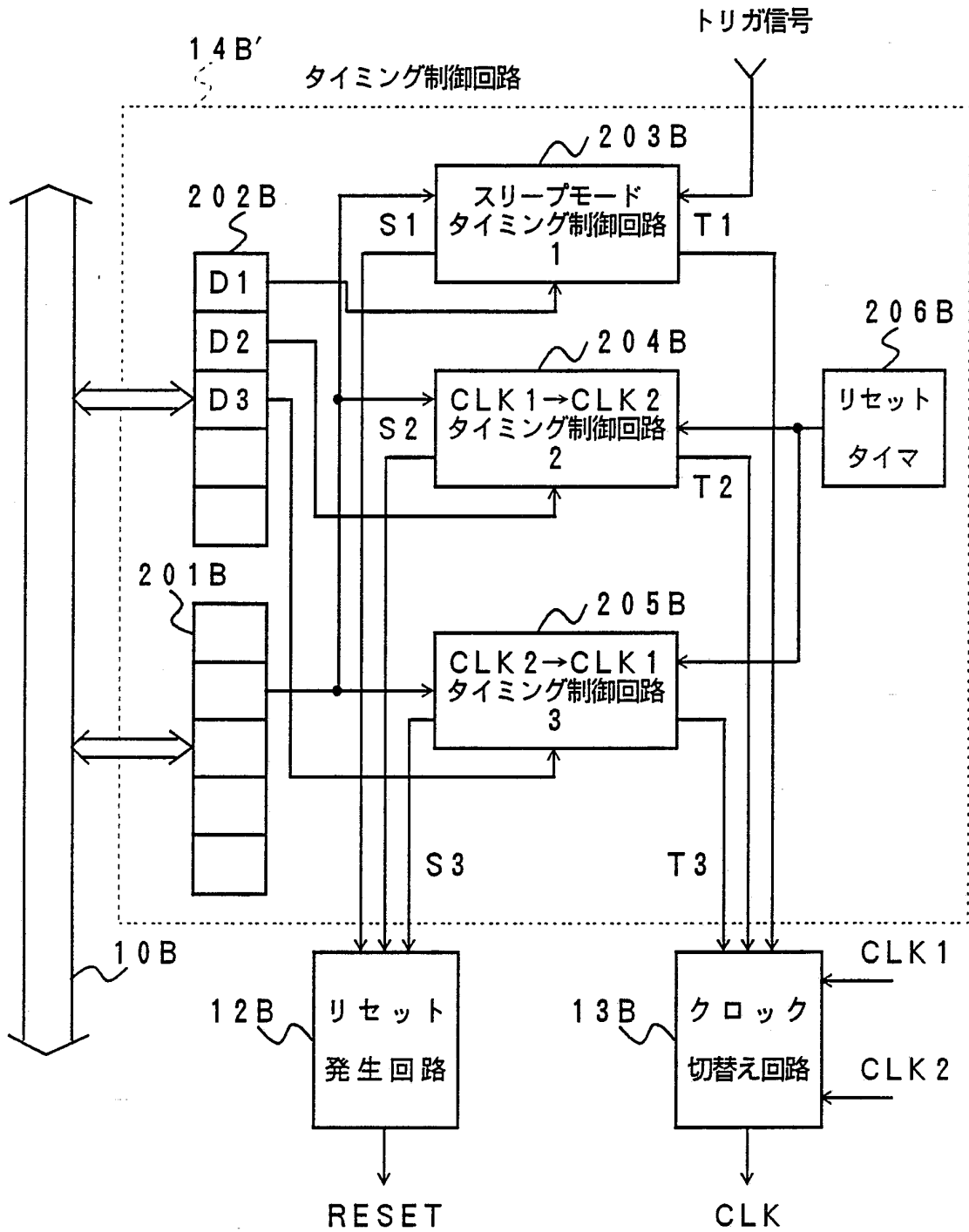


FIG. 22

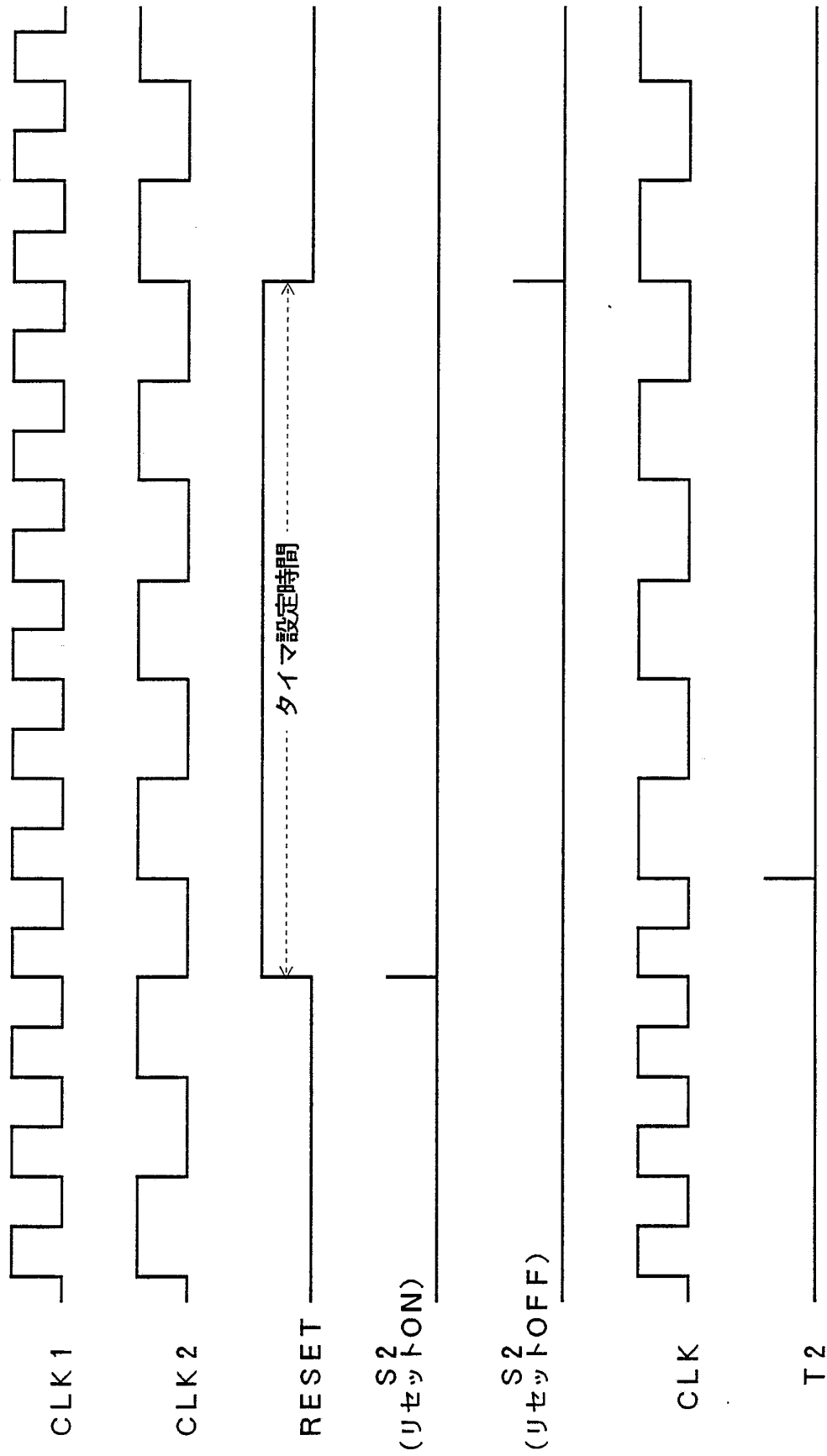


FIG. 23

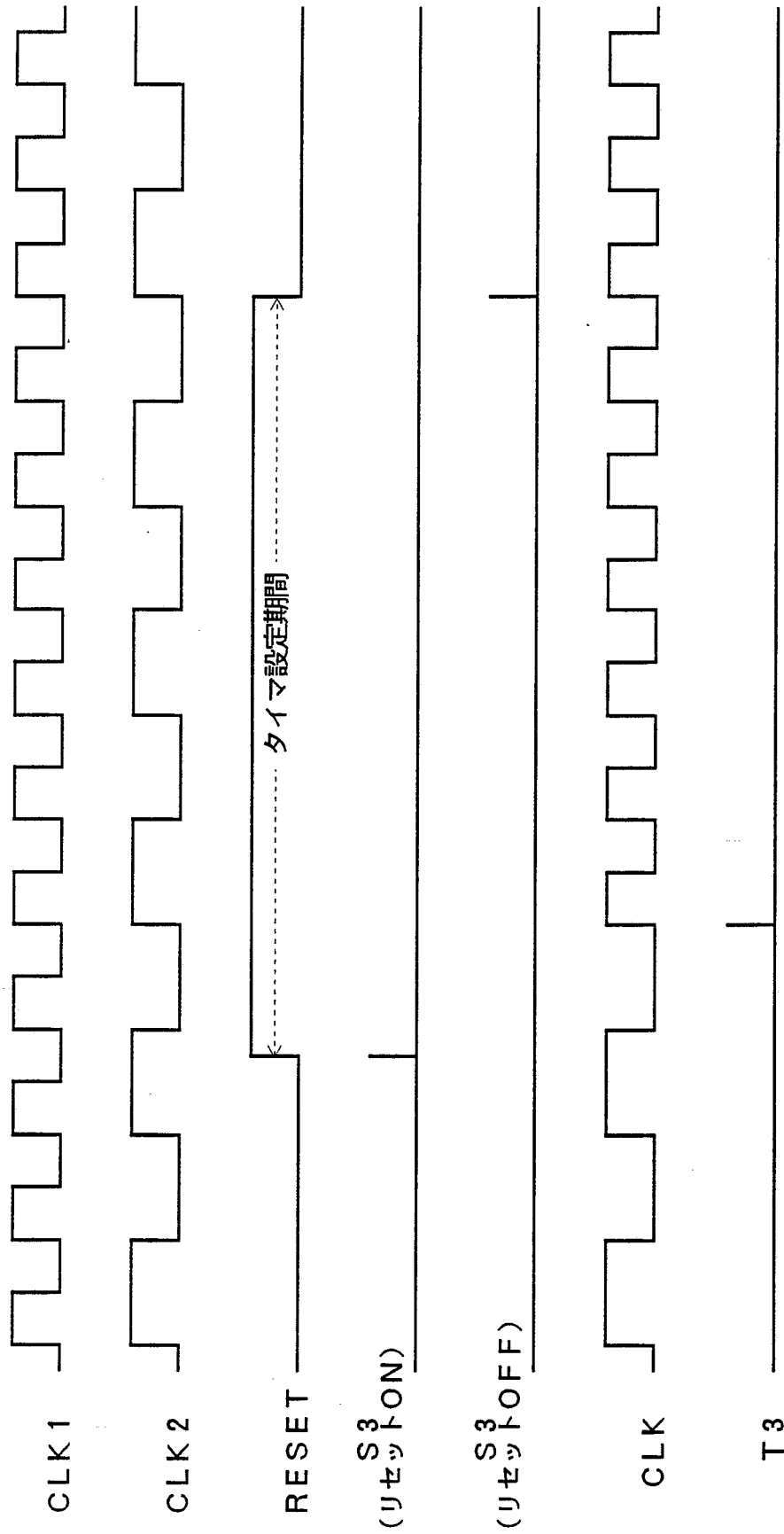
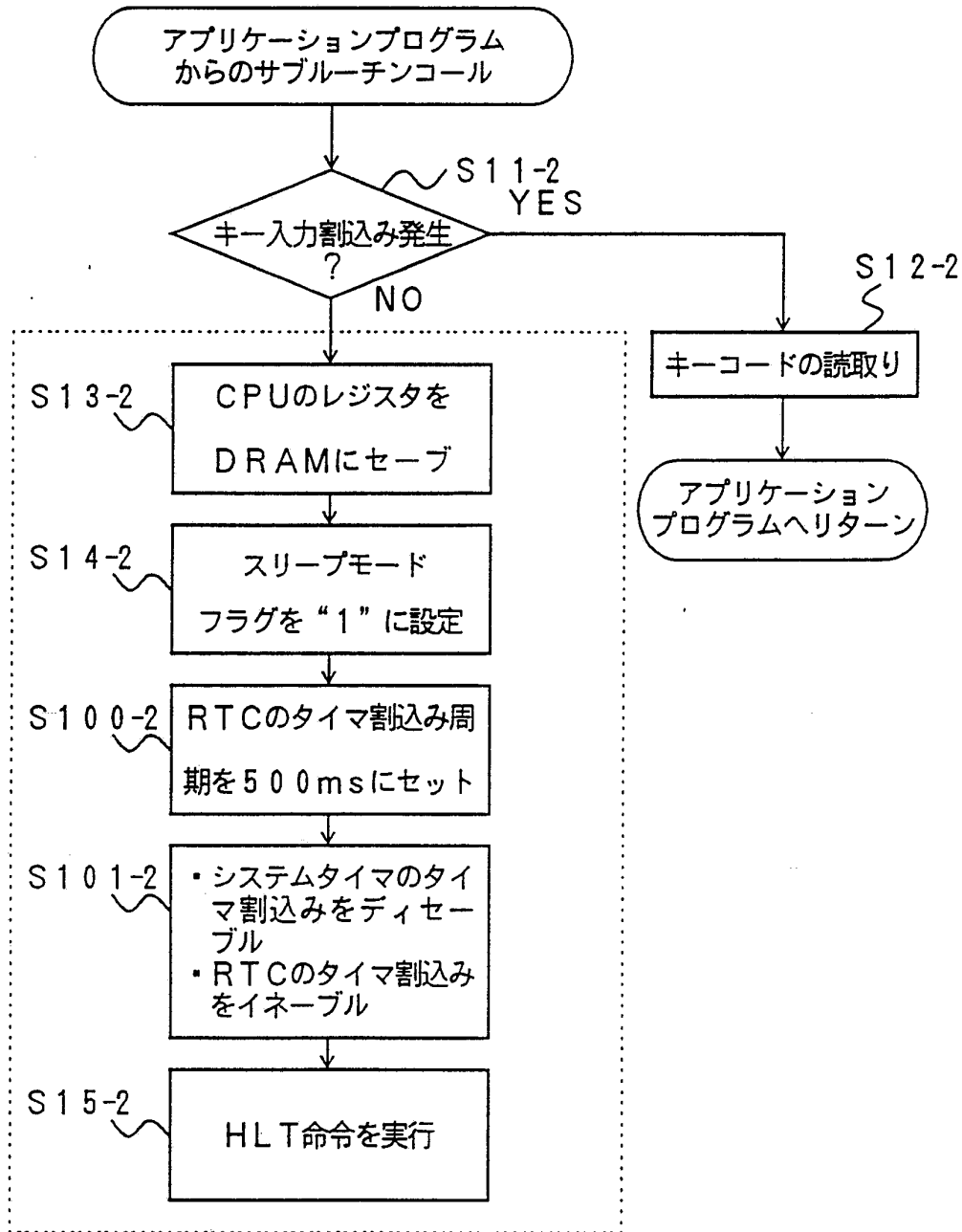


FIG. 24



スリープモードへ移行するためのサブルーチン

FIG. 25

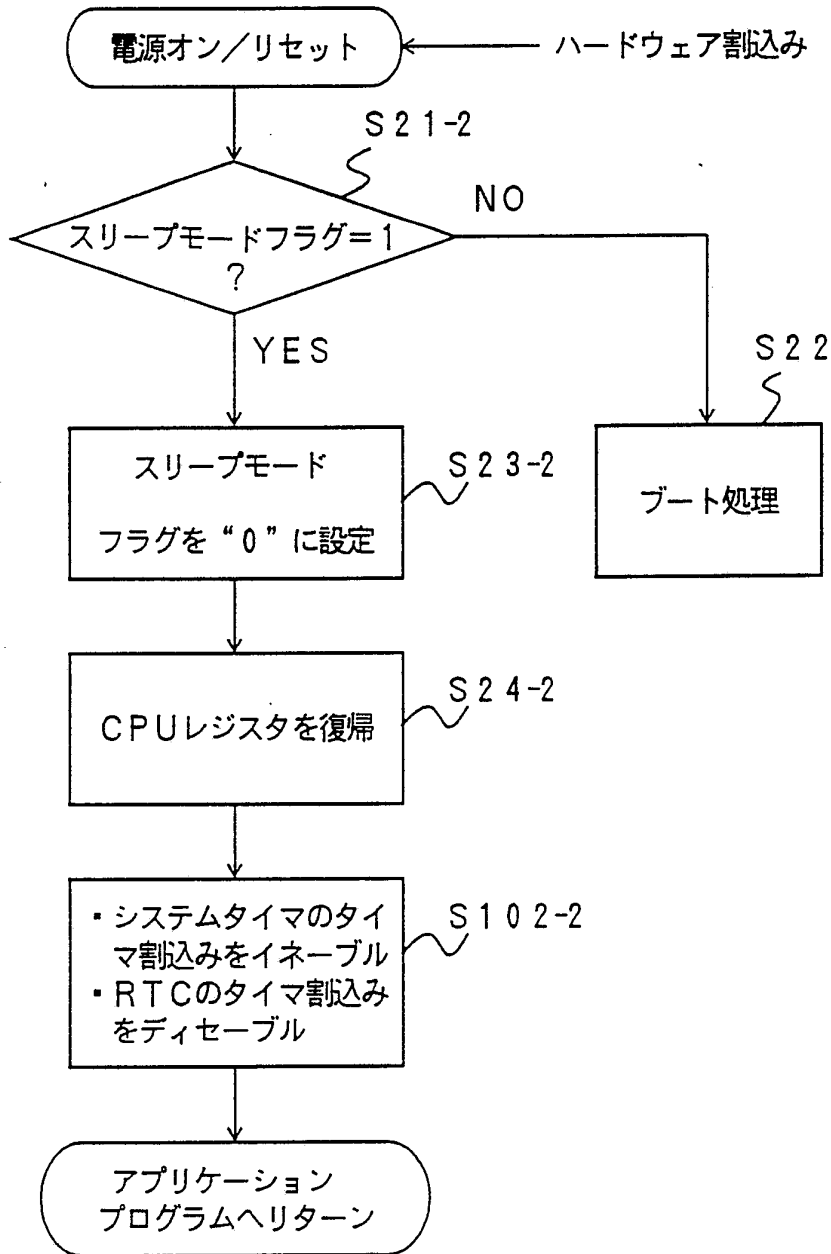


FIG. 26

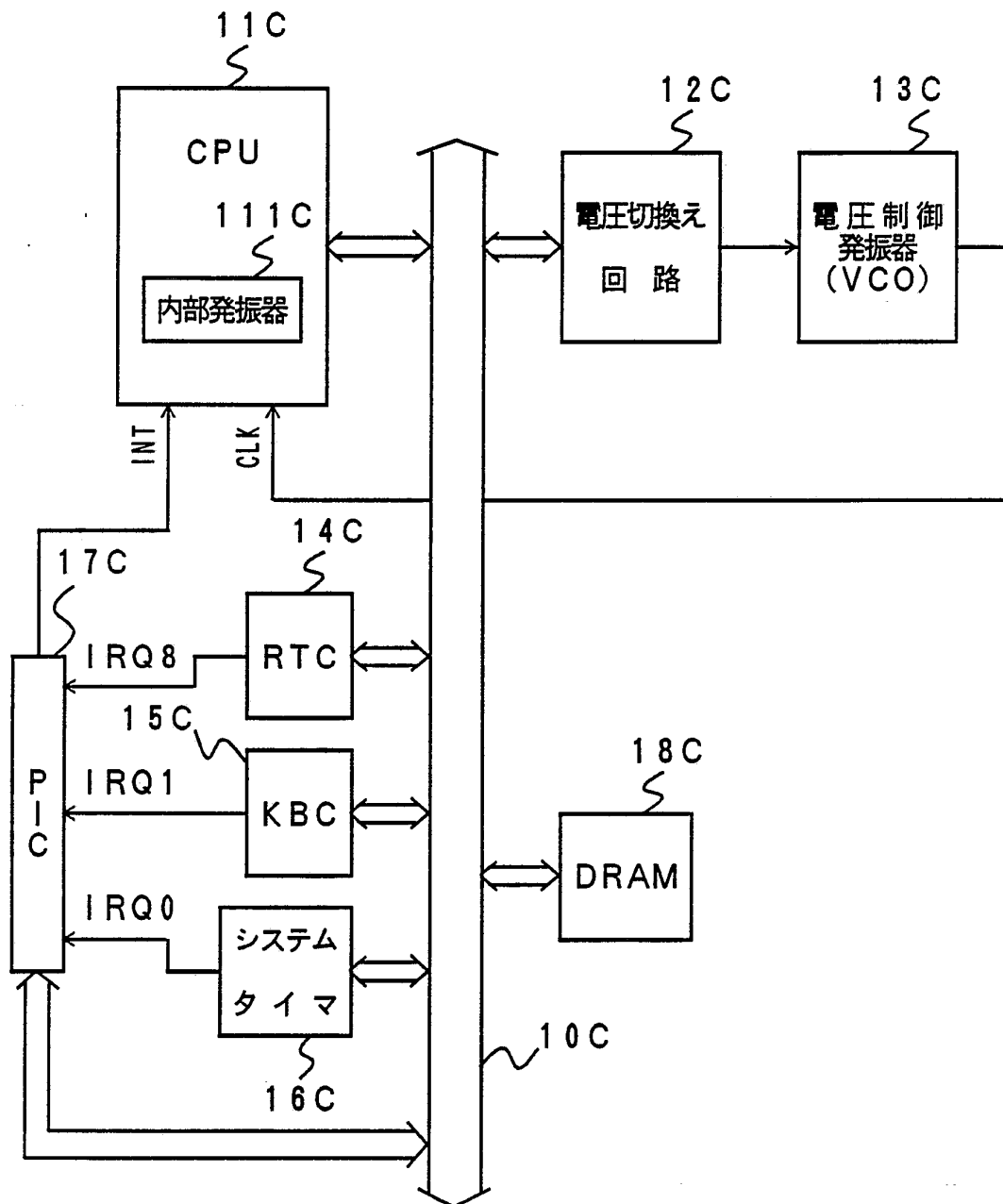


FIG. 27

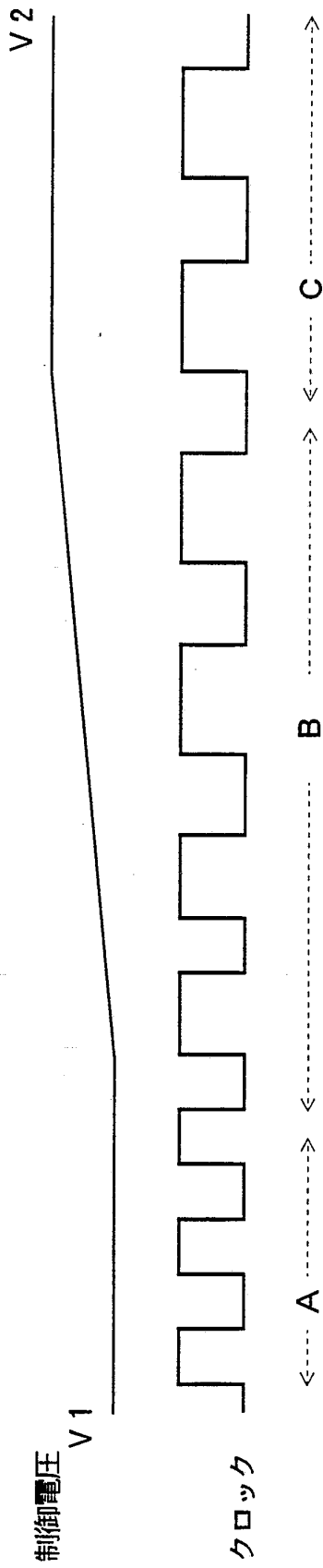


FIG. 28

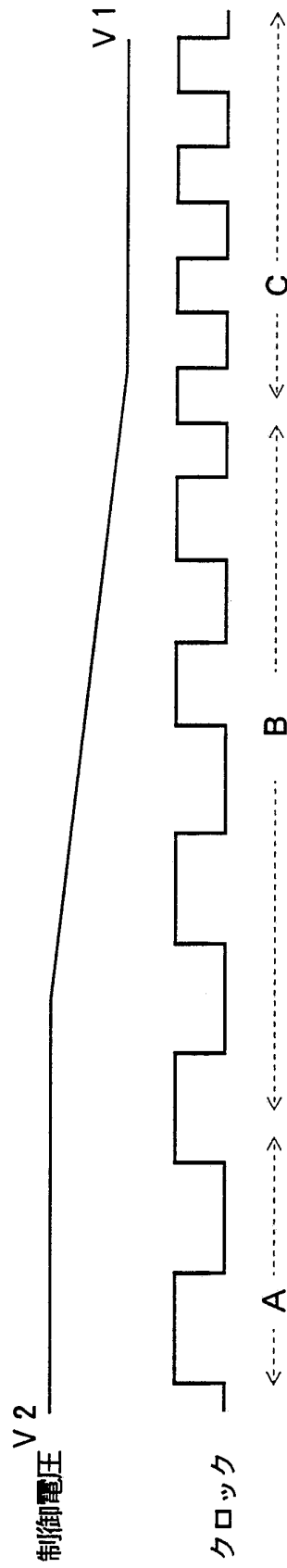


FIG. 29

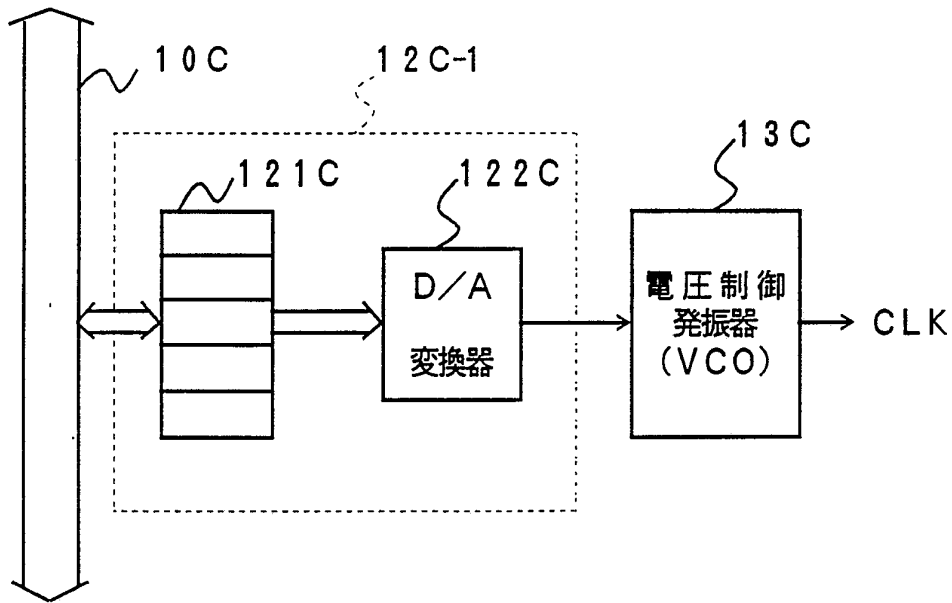


FIG. 30

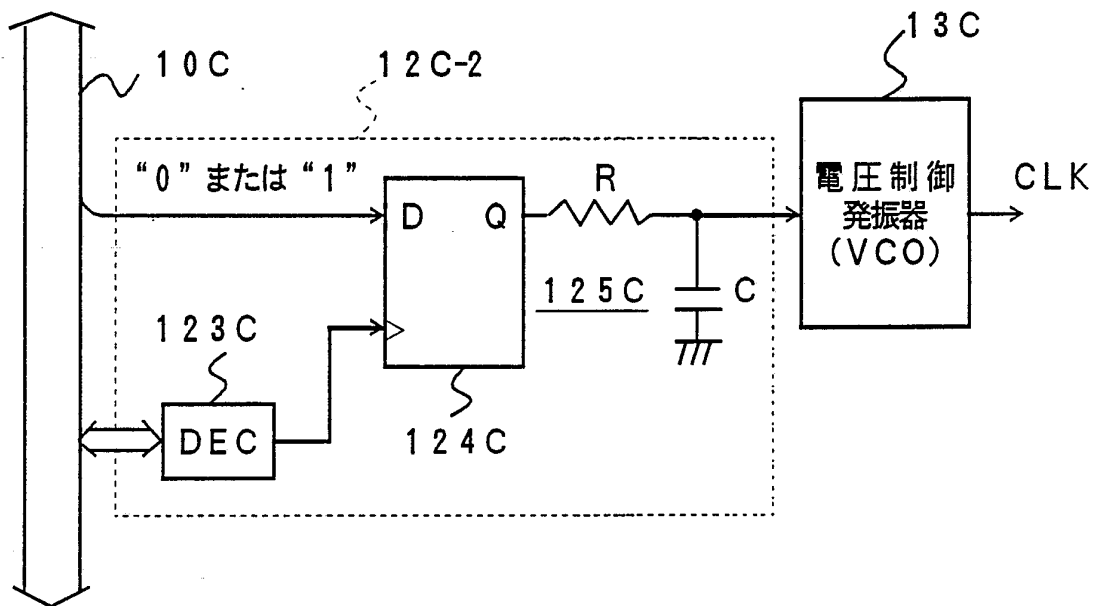


FIG. 31



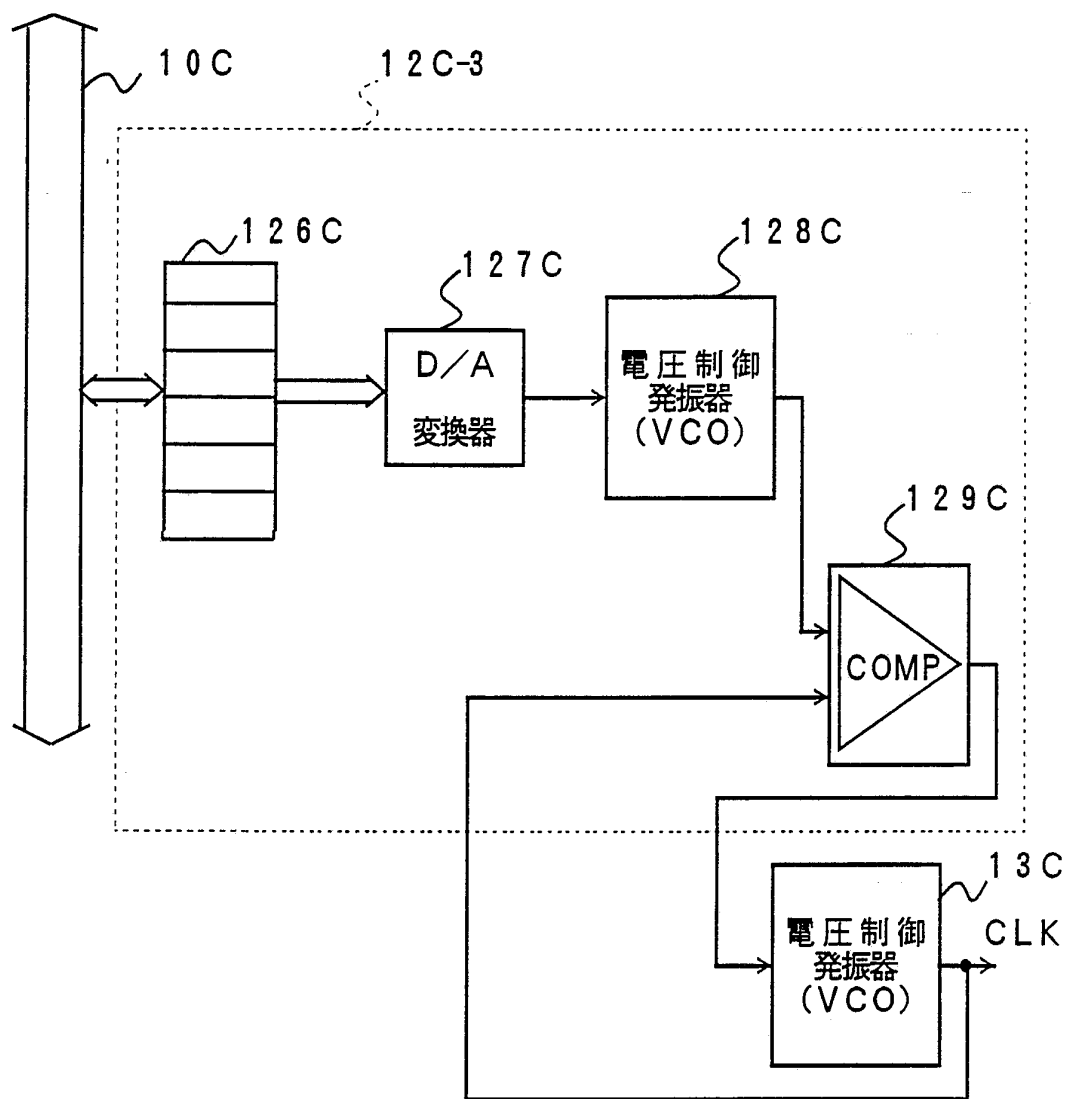


FIG. 32

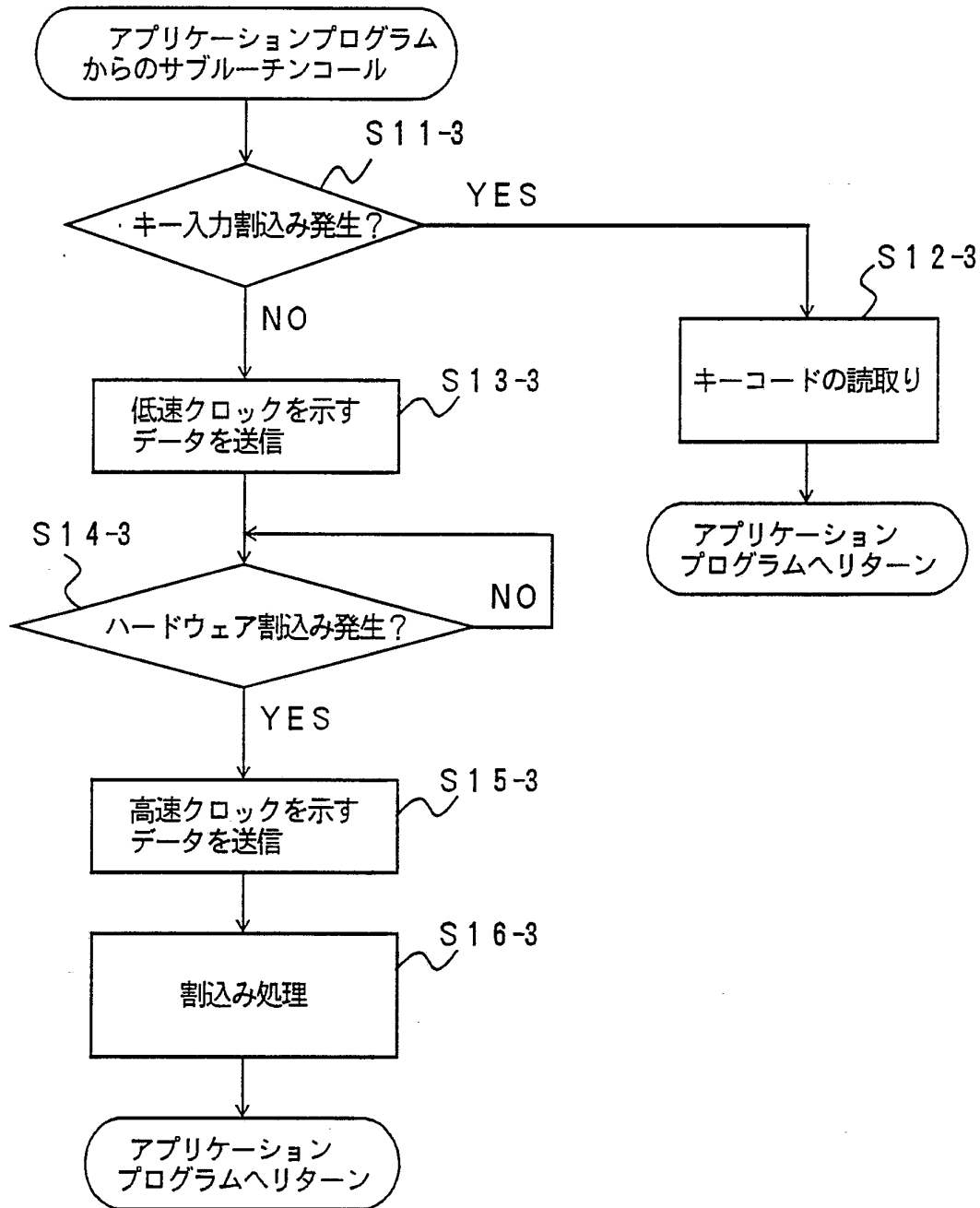


FIG. 33

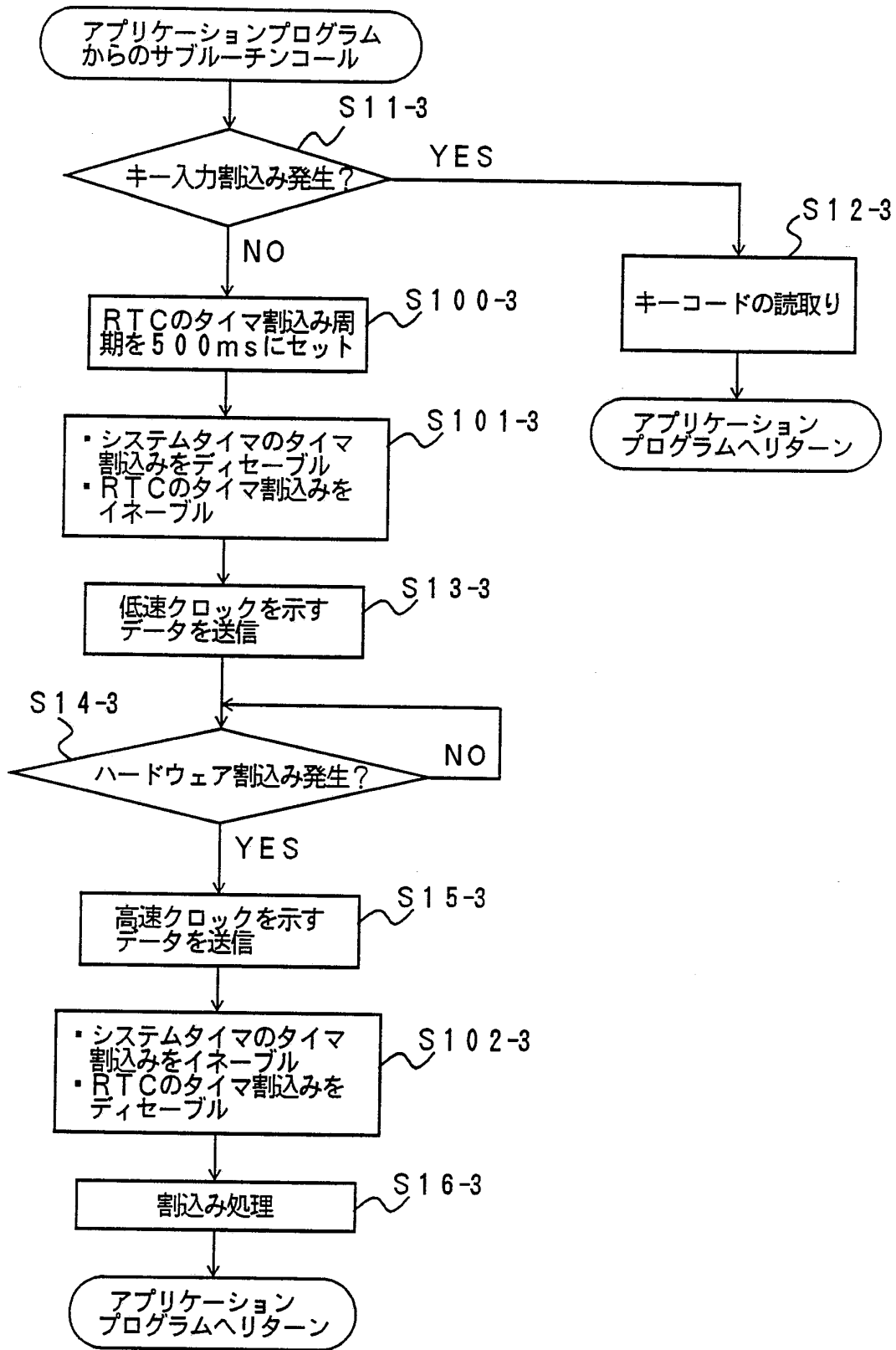


FIG. 34

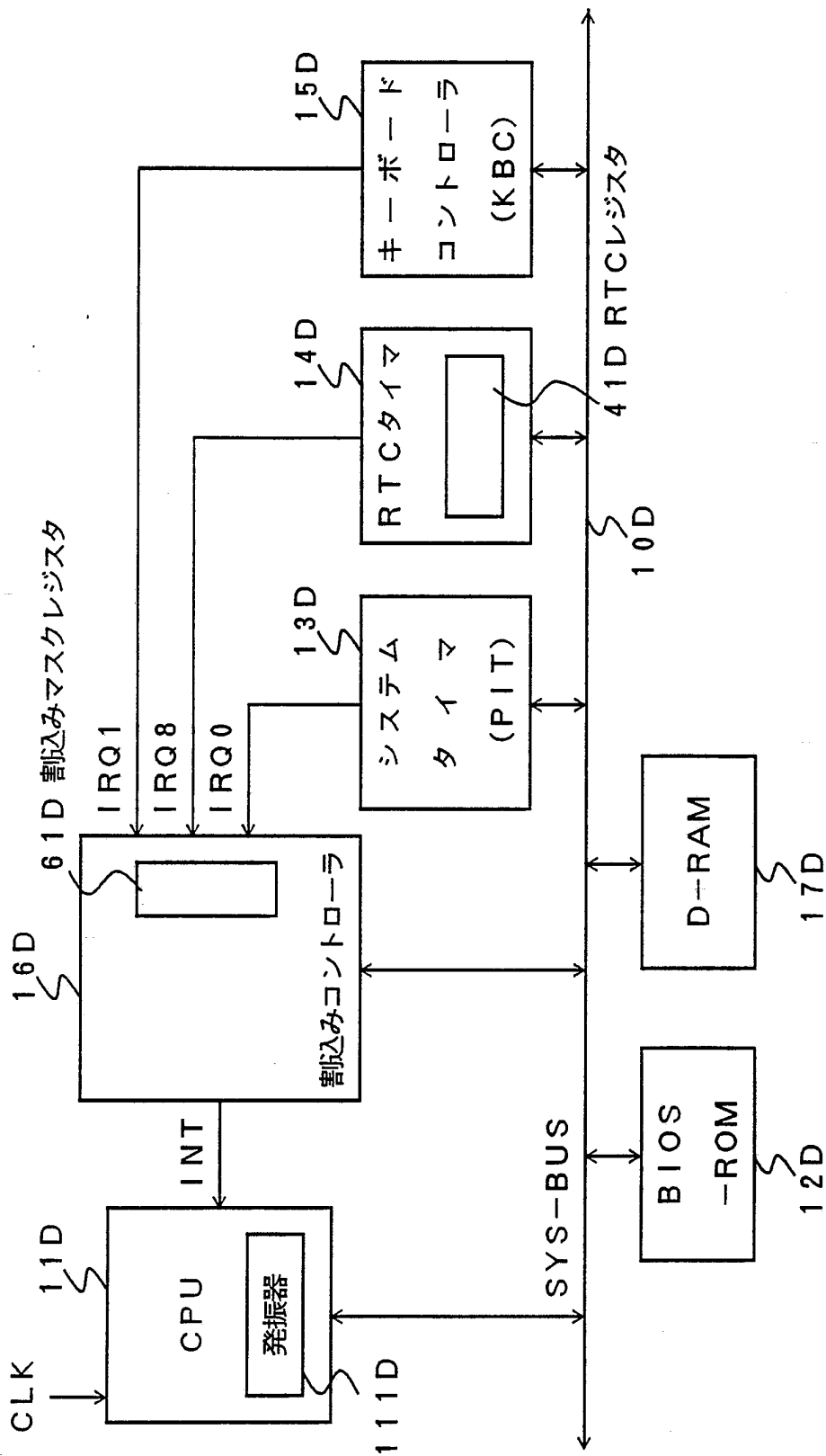


FIG. 35

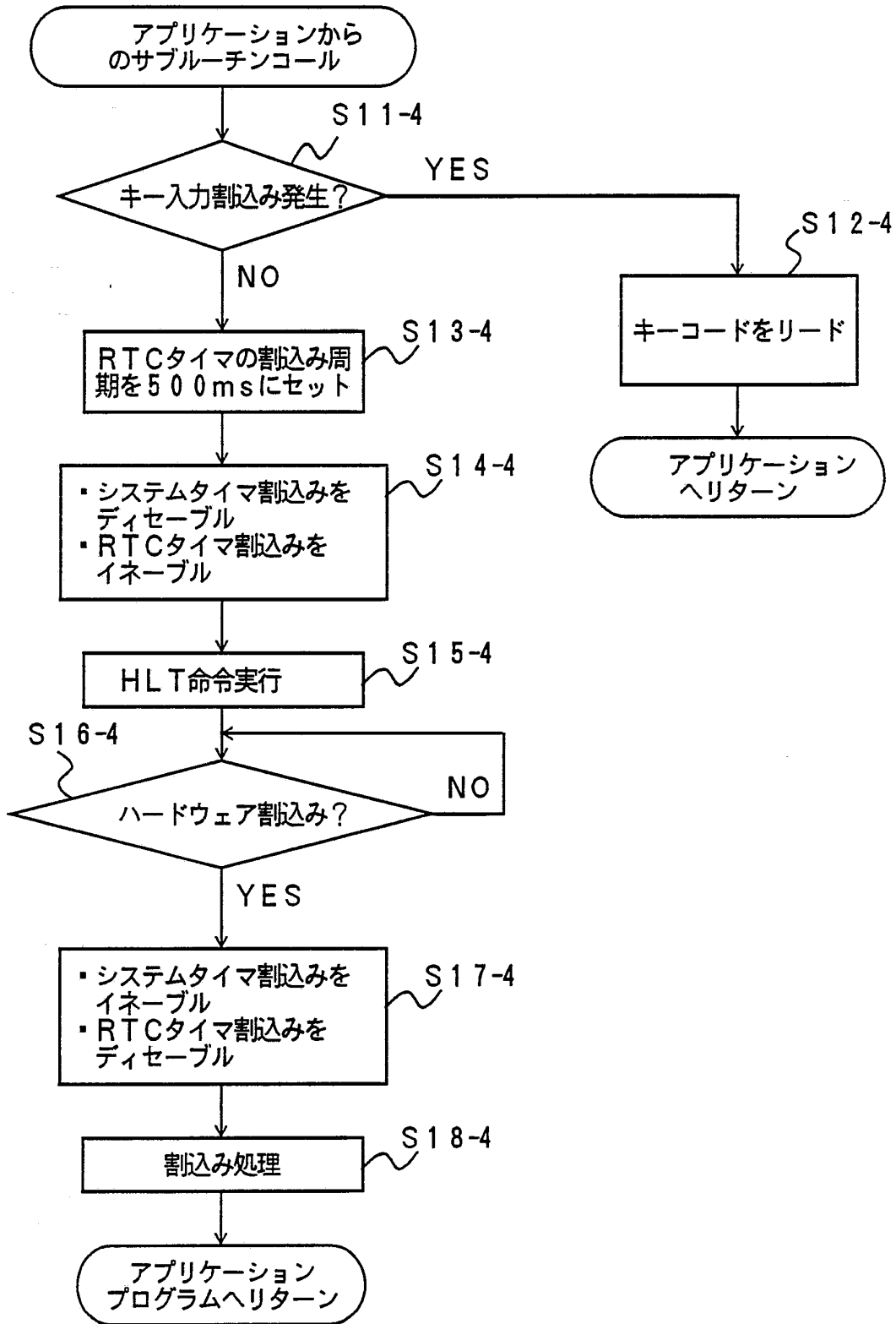


FIG. 36

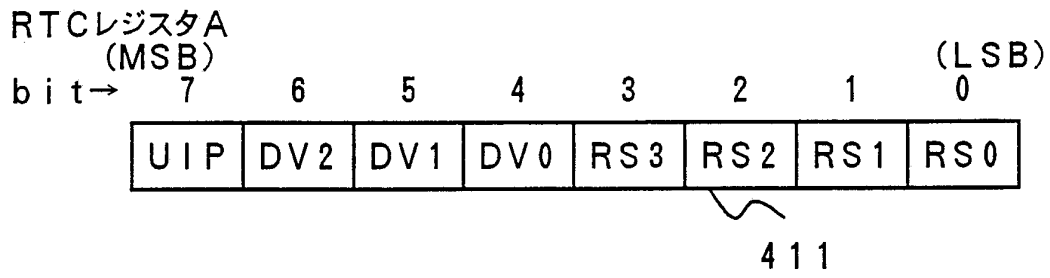


FIG. 37

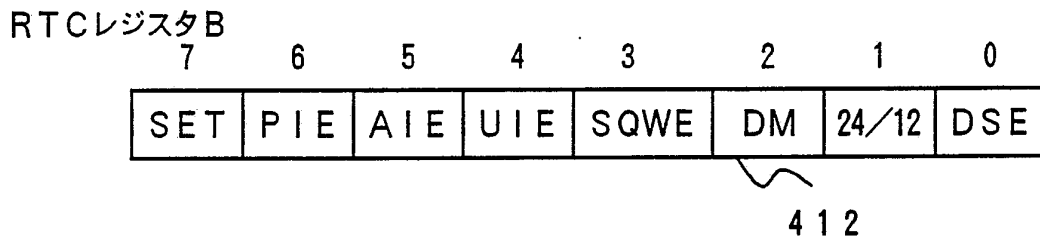


FIG. 38

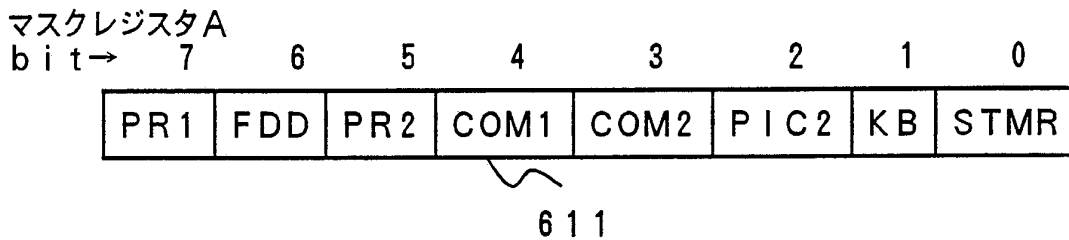


FIG. 39

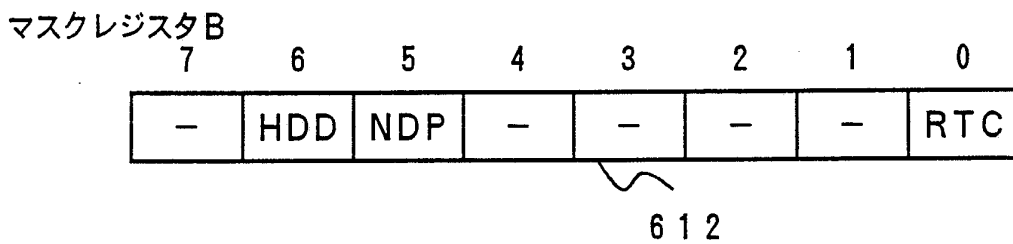


FIG. 40

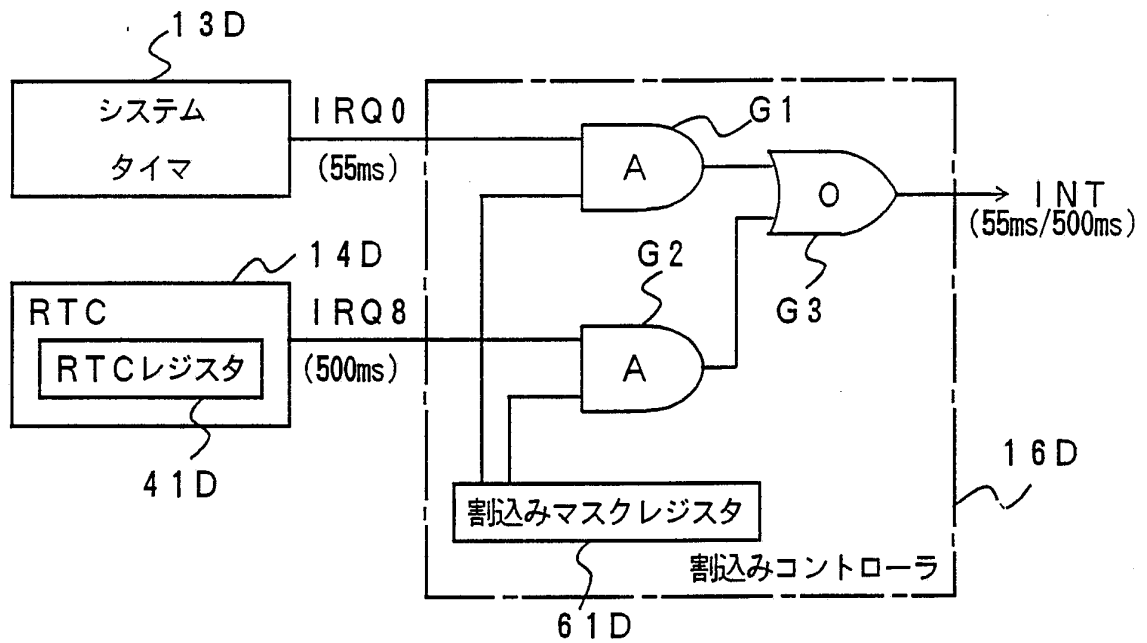


FIG. 41

# INTERNATIONAL SEARCH REPORT

International Application No PCT/JP92/01219

<b>I. CLASSIFICATION OF SUBJECT MATTER</b> (if several classification symbols apply, indicate all) <sup>6</sup>		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int. Cl <sup>5</sup> G06F1/06, 1/08, 1/32, 9/46		
<b>II. FIELDS SEARCHED</b>		
Minimum Documentation Searched <sup>7</sup>		
Classification System	Classification Symbols	
IPC	G06F1/06, 1/08, 1/32, 9/46	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched <sup>8</sup>		
Jitsuyo Shinan Koho		1980 - 1992
Kokai Jitsuyo Shinan Koho		1980 - 1992
<b>III. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <sup>9</sup>		
Category <sup>8</sup>	Citation of Document, <sup>11</sup> with Indication, where appropriate, of the relevant passages <sup>12</sup>	Relevant to Claim No. <sup>13</sup>
Y	JP, A, 61-182123 (NEC Corp.), August 14, 1986 (14. 08. 86), (Family: none)	1, 4, 8
Y	JP, A, 61-147323 (Toshiba Corp.), July 5, 1986 (05. 07. 86), Lower right column, page 3 (Family: none)	1
Y	JP, A, 56-147216 (NEC Corp.), November 16, 1981 (16. 11. 81), (Family: none)	1
Y	JP, A, 61-220016 (Fujitsu Ltd.), September 30, 1986 (30. 09. 86), P. 1 (Family: none)	2, 3, 6, 7, 9, 10, 13
Y	JP, A, 59-11422 (Citizen Watch Co., Ltd.), January 21, 1984 (21. 01. 84), Lower left column, page 2 (Family: none)	3, 7, 10, 13
<p>* Special categories of cited documents: <sup>10</sup></p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>		
<b>IV. CERTIFICATION</b>		
Date of the Actual Completion of the International Search		Date of Mailing of this International Search Report
November 6, 1992 (06. 11. 92)		December 1, 1992 (01. 12. 92)
International Searching Authority		Signature of Authorized Officer
Japanese Patent Office		



## FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

Y	JP, A, 60-256826 (Mitsubishi Electric Corp.), December 18, 1985 (18. 12. 85), (Family: none)	4
Y	JP, A, 57-25059 (Toshiba Corp.), February 9, 1982 (09. 02. 82), P. 1 (Family: none)	5
Y	JP, A, 3-98188 (Toppan Printing Co., Ltd.), April 23, 1991 (23. 04. 91), Lower left column, page 3 (Family: none)	8
Y	JP, A, 60-81627 (Matsushita Electric	11

V.  OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE <sup>1</sup>

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1.  Claim numbers \_\_\_\_\_, because they relate to subject matter not required to be searched by this Authority, namely:

2.  Claim numbers \_\_\_\_\_, because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3.  Claim numbers \_\_\_\_\_, because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI.  OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING <sup>2</sup>

This International Searching Authority found multiple inventions in this international application as follows:

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

4.  As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

## Remark on Protest

- The additional search fees were accompanied by applicant's protest.  
 No protest accompanied the payment of additional search fees.

## FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

Ind. Co., Ltd.),  
 May 9, 1985 (09. 05. 85),  
 (Family: none)

V.  OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE <sup>1</sup>

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1.  Claim numbers . . . . ., because they relate to subject matter not required to be searched by this Authority, namely:
2.  Claim numbers . . . . ., because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3.  Claim numbers . . . . ., because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI.  OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING <sup>2</sup>

This International Searching Authority found multiple inventions in this international application as follows:

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4.  As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

## Remark on Protest

- The additional search fees were accompanied by applicant's protest.
- No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号 PCT/JP 92/01219

I. 発明の属する分野の分類		
国際特許分類 (IPC) <b>Int. Cl<sup>5</sup></b> <b>G 0 6 F 1 / 0 6 , 1 / 0 8 , 1 / 3 2 , 9 / 4 6</b>		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
<b>IPC</b>	<b>G 0 6 F 1 / 0 6 , 1 / 0 8 , 1 / 3 2 , 9 / 4 6</b>	
最小限資料以外の資料で調査を行ったもの		
<b>日本国実用新案公報 1980-1992年</b> <b>日本国公開実用新案公報 1980-1992年</b>		
III. 関連する技術に関する文献		
引用文献の カテゴリー※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
Y	JP, A, 61-182123 (日本電気株式会社), 14. 8月. 1986 (14. 08. 86), (ファミリーなし)	1, 4, 8
Y	JP, A, 61-147323 (株式会社 東芝), 5. 7月. 1986 (05. 07. 86), P. 3, 右下欄, (ファミリーなし)	1
Y	JP, A, 56-147216 (日本電気株式会社), 16. 11月. 1981 (16. 11. 81), (ファミリーなし)	1
Y	JP, A, 61-220016 (富士通株式会社), 30. 9月. 1986 (30. 09. 86), P. 1, (ファミリーなし)	2, 3, 6, 7, 9, 10, 13
Y	JP, A, 59-11422 (シチズン時計株式会社), 21. 1月. 1984 (21. 01. 84),	3, 7, 10, 13
※引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
<b>06. 11. 92</b>	<b>01. 12. 92</b>	
国際調査機関	権限のある職員	<b>5 B 7 8 3 2</b>
日本国特許庁 (ISA/JP)	特許庁審査官	<b>林 滋 樹</b>

第2ページから続く情報

(III欄の続き)		
	P. 2, 左下欄, (ファミリーなし)	
Y	JP, A, 60-256826 (三菱電機株式会社), 18.12月.1985 (18.12.85), (ファミリーなし)	4
Y	JP, A, 57-25059 (株式会社 東芝), 9.2月.1982 (09.02.82), P. 1, (ファミリーなし)	5
Y	JP, A, 3-98188 (凸版印刷株式会社),	8

V.  一部の請求の範囲について国際調査を行わないときの意見

次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。

- 請求の範囲 \_\_\_\_\_ は、国際調査をすることを要しない事項を内容とするものである。
- 請求の範囲 \_\_\_\_\_ は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。
- 請求の範囲 \_\_\_\_\_ は、従属請求の範囲でありかつ PCT 規則 6.4(a)第2文の規定に従って起草されていない。

VI.  発明の単一性の要件を満たしていないときの意見

次に述べるようにこの国際出願には二以上の発明が含まれている。

- 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。
- 追加して納付すべき手数料が指定した期間内に一部分しか納付されなかったため、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。  
請求の範囲 \_\_\_\_\_
- 追加して納付すべき手数料が指定した期間内に納付されなかったため、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。  
請求の範囲 \_\_\_\_\_
- 追加して納付すべき手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたため、追加して納付すべき手数料の納付を命じなかった。

追加手数料異議の申立てに関する注意

- 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。
- 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかった。

Ⅲ. 関連する技術に関する文献 (第2ページからの続き)

引用文献の ファミリー	引用文献名及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
Y	<p>23. 4月. 1991 (23. 04. 91), P. 3, 左下欄, (ファミリーなし)</p> <p>JP, A, 60-81627 (松下電器産業株式会社), 9. 5月. 1985 (09. 05. 85), (ファミリーなし)</p>	11