

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4225728号  
(P4225728)

(45) 発行日 平成21年2月18日(2009.2.18)

(24) 登録日 平成20年12月5日(2008.12.5)

|                          |              |       |
|--------------------------|--------------|-------|
| (51) Int.Cl.             | F I          |       |
| HO 1 L 21/8247 (2006.01) | HO 1 L 29/78 | 3 7 1 |
| HO 1 L 29/788 (2006.01)  | HO 1 L 27/10 | 4 3 4 |
| HO 1 L 29/792 (2006.01)  | HO 1 L 27/10 | 4 8 1 |
| HO 1 L 27/115 (2006.01)  |              |       |
| HO 1 L 27/10 (2006.01)   |              |       |

請求項の数 1 (全 27 頁)

|           |                               |           |                   |
|-----------|-------------------------------|-----------|-------------------|
| (21) 出願番号 | 特願2002-1138 (P2002-1138)      | (73) 特許権者 | 503121103         |
| (22) 出願日  | 平成14年1月8日(2002.1.8)           |           | 株式会社ルネサステクノロジ     |
| (65) 公開番号 | 特開2003-203999 (P2003-203999A) |           | 東京都千代田区大手町二丁目6番2号 |
| (43) 公開日  | 平成15年7月18日(2003.7.18)         | (74) 代理人  | 100064746         |
| 審査請求日     | 平成17年1月5日(2005.1.5)           |           | 弁理士 深見 久郎         |
|           |                               | (74) 代理人  | 100085132         |
|           |                               |           | 弁理士 森田 俊雄         |
|           |                               | (74) 代理人  | 100083703         |
|           |                               |           | 弁理士 仲村 義平         |
|           |                               | (74) 代理人  | 100096781         |
|           |                               |           | 弁理士 堀井 豊          |
|           |                               | (74) 代理人  | 100098316         |
|           |                               |           | 弁理士 野田 久登         |
|           |                               | (74) 代理人  | 100109162         |
|           |                               |           | 弁理士 酒井 将行         |

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上にメモリセル部とその周辺に位置する周辺回路部とを備え、前記メモリセル部において、ゲート絶縁膜上に位置するフローティングゲートと、前記フローティングゲート上に位置するゲート間絶縁膜と、前記ゲート間絶縁膜上に位置するコントロールゲートとを有するメモリトランジスタを備え、また前記周辺回路部において、第1のゲート絶縁膜を含む第1のトランジスタおよび第2のゲート絶縁膜を含む第2のトランジスタを備える不揮発性半導体記憶装置の製造方法であって、

(a)前記半導体基板上の前記第2のトランジスタの形成領域に下層絶縁膜を形成する工程と、

(b)前記半導体基板および前記下層絶縁膜を覆う絶縁膜を形成することにより、前記ゲート絶縁膜と前記第1のゲート絶縁膜を同時に形成する工程と、

(c)前記ゲート絶縁膜、前記第1のゲート絶縁膜および前記第2のゲート絶縁膜を含む前記半導体基板上にフローティングゲートを構成する不純物ドーフト多結晶シリコン膜を形成する工程と、

(d)前記不純物ドーフト多結晶シリコン膜の上に、前記ゲート間絶縁膜を形成する工程と、

(e)前記第1および第2のトランジスタの形成領域の前記ゲート間絶縁膜に、前記不純物ドーフト多結晶シリコン膜に達する貫通孔を開口する工程と、

(f)前記(e)工程の後、前記周辺回路部の領域の前記不純物ドーフト多結晶シリコン膜

10

20

にさらに不純物を注入する工程とを備え、  
前記(f)工程により、前記周辺回路部における前記不純物ドーパント多結晶シリコン膜が前記メモリセル部における前記フローティングゲートの不純物濃度より高くなることを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置の製造方法に関し、より具体的には、高温加熱処理回数を抑制した上で、メモリセル部のトランジスタと周辺回路部のトランジスタとを簡便に作り分けることができる不揮発性半導体記憶装置の製造方法に関するものである。

10

【0002】

【従来の技術】

図34は、従来の不揮発性半導体記憶装置を示す断面図である。図34を参照して、この不揮発性半導体記憶装置は、メモリセル部R1と、その周辺の周辺回路部R2とに区別され、メモリセル部R1にはメモリトランジスタ150が、また周辺回路部R2には、2種類のトランジスタ161, 162が配置されている。これら2種類のトランジスタの相違は、後述するように、ゲート絶縁膜127, 137の厚さが異なることにある。

【0003】

図34では、メモリセル部のメモリトランジスタ150はビット線に沿った断面と、ワード線に沿った断面との2つの断面が示されている。素子分離帯102によって周辺回路部R2と分離されたメモリセル部R1のシリコン基板の底部には、n導電型ボトムウェル103が設けられ、その上にp導電型ウェル105が形成されている。メモリトランジスタ150は、p導電型ウェル内のソース、ドレイン領域108a, 108bを有し、さらにシリコン基板101の上に配置されたゲート絶縁膜106を備えている。ゲート絶縁膜106の上には、絶縁領域109に囲まれたフローティングゲート107が配置されている。フローティングゲート107の上にはシリコン酸化膜とシリコン窒化膜とシリコン酸化膜との三層絶縁膜からなるゲート間絶縁膜110が形成されている。そのゲート間絶縁膜の上には、コントロールゲート113が配置され、さらにその上にWSiからなる層114と、絶縁膜115とが配置されている。

20

【0004】

周辺回路部R2には、n導電型ウェル104と、p導電型ウェル105とが設けられ、それぞれのウェル内に2種類のトランジスタ161, 162が設けられている。トランジスタ161はゲート酸化膜127を有し、トランジスタ162はそれより厚い膜厚のゲート酸化膜137を有している。これらゲート酸化膜127, 137の上には、両方の場合ともにコントロールゲートと同じ厚み方向構成の導電層113と、WSi膜114と、絶縁膜115とを備えている。周辺回路部R2では、トランジスタは、シリコン基板に設けられた低濃度不純物領域116, 117と、ゲート電極側面のサイドウォールスペーサをマスクに用いてさらに不純物を注入した高濃度不純物領域119, 120とを備えている。高濃度不純物領域119, 120には、層間絶縁膜124の上に配置された配線126に導通するプラグ配線125が接続されている。

30

【0005】

次に、図面を用いて従来の不揮発性半導体装置の製造方法について説明する。

まず、<100>のp導電型シリコン基板101の主表面に素子分離帯102を形成する(図35参照)。次いで、シリコン基板101の主表面において、レジストパターンをマスクに用いて、メモリセル部R1にリンを、たとえば3MeVの加速エネルギー、 $1.0 \times 10^{13}$ の密度でイオン注入してn導電型ボトムウェル領域103を形成し、レジスト膜を除去する。なお、以後の説明では、レジスト膜を除去する処理については説明を省略する。

【0006】

次いで、周辺回路部R2のp導電型MOS(Metal Oxide Semiconductor)トランジスタが形成される領域に、レジストパターンをマスクに用いて、リンをたとえば1.2MeVの加

40

50

速エネルギー、 $1.0 \times 10^{13}$ の密度でイオン注入する。さらに、同じ領域に、チャンネルカットのためのリンをたとえば  $700 \text{ keV}$ 、 $3.0 \times 10^{12}$ で、また、カウンタードープのためのボロンをたとえば  $20 \text{ keV}$ 、 $1.5 \times 10^{12}$ で、それぞれイオン注入する。これらイオン注入により  $n$  導電型ウェル領域  $104$  を形成する (図35参照)。

【0007】

この後、周辺回路部  $R2$  の  $n$  導電型  $MOS$  トランジスタが形成される領域と、メモリセルが形成される領域  $R1$  とに、レジストパターンをマスクに用いて、(a) たとえば  $700 \text{ keV}$  の加速エネルギー、 $1.0 \times 10^{13}$  程度の密度でボロンを、また (b) たとえば  $270 \text{ keV}$  の加速エネルギー、 $3.5 \times 10^{12}$  の密度で  $p$  チャンネルカットのためのボロンを、さらに (c) たとえば  $50 \text{ keV}$  の加速エネルギー、 $1.2 \times 10^{12}$  の密度でチャンネルドープのためのボロンを、それぞれイオン注入して  $p$  導電型ウェル領域  $105$  を形成する (図35参照)。

10

【0008】

この後、シリコン基板  $101$  の主表面上に、熱酸化法を用いて厚さ  $10 \text{ nm}$  程度のシリコン酸化膜  $106$  を成膜し、次いで、厚さ  $200 \text{ nm}$  程度のリンドープト多結晶シリコン膜  $107$  を形成する。この後、シリコン基板  $101$  の主表面全面にフォトリソグラフィによってレジストパターンを形成し、このレジストパターンをマスクに用いてリンドープト多結晶シリコン膜をパターニングし、メモリトランジスタが形成される領域にフローティングゲート  $107$  を形成する。

【0009】

次に、シリコン基板  $101$  のメモリセルが形成される領域に、レジストパターンをマスクに用いてヒ素をたとえば  $35 \text{ keV}$  の加速エネルギー、 $3.0 \times 10^{15}$  程度の密度でイオン注入し、 $n$  導電型不純物拡散領域  $108a$ 、 $108b$  を形成し、ソース、ドレイン領域とする。この後、シリコン基板  $101$  に、減圧  $CVD$  法により厚さ  $800 \text{ nm}$  のシリコン酸化膜  $109$  を堆積し、次いでこのシリコン酸化膜  $109$  を全面エッチングすることにより、リンドープト多結晶シリコン膜  $107$  の表面を露出する (図35参照)。

20

【0010】

次いで、シリコン基板の主表面に、熱酸化法を用いて厚さ  $5 \text{ nm}$  のシリコン酸化膜を、その上に減圧  $CVD$  法を用いて厚さ  $10 \text{ nm}$  のシリコン窒化膜を、さらにその上に減圧  $CVD$  法を用いて厚さ  $5 \text{ nm}$  のシリコン酸化膜を形成し、三層絶縁膜  $110$  を形成する。

【0011】

この後、シリコン基板上にフォトリソグラフィによってレジストパターンを形成し、図35に示すように、周辺回路部  $R2$  における、三層絶縁膜  $110$  と、リンドープト多結晶シリコン膜  $107$  と、ゲート酸化膜  $106$  とをパターニングする。

30

【0012】

この後、熱酸化法を用いて、厚さ  $20 \text{ nm}$  程度のシリコン酸化膜  $111$  を、周辺回路部  $R2$  の厚いゲート絶縁膜を形成する領域、すなわち高耐圧トランジスタを形成する領域に成膜する。このとき、メモリセル部  $R1$  では、三層絶縁膜  $110$  の中のシリコン窒化膜が下地の熱酸化を防止している。続いて、周辺回路部  $R2$  の高耐圧トランジスタ形成領域と、メモリセル部とに、フォトリソグラフィによってレジストパターンを形成し、周辺回路部の低耐圧トランジスタ領域のシリコン酸化膜  $111$  をパターニングする (図36)。

40

【0013】

シリコン基板  $101$  の上に熱酸化法を用いて、周辺回路部  $R2$  の低耐圧トランジスタのゲート酸化膜となる厚さ  $10 \text{ nm}$  程度のシリコン酸化膜  $127$  を成長させる。このとき、メモリセル部  $R1$  では、三層絶縁膜  $110$  のシリコン窒化膜が下地の熱酸化を防止する。一方、周辺回路部  $R2$  の高耐圧トランジスタ領域のゲート酸化膜となるシリコン酸化膜  $137$  は  $20 \text{ nm}$  より厚く、 $30 \text{ nm}$  より薄い酸化膜となる。続いて、厚さ  $200 \text{ nm}$  程度のリンドープト多結晶シリコン膜  $113$  と、厚さ  $100 \text{ nm}$  程度の  $WSi$  膜  $114$  と、厚さ  $200 \text{ nm}$  程度のシリコン酸化膜  $115$  とを堆積する。この後、フォトリソグラフィによってレジストパターンを形成し、レジストパターンをマスクに用いてシリコン酸化膜  $115$  をパターニングする。次いで、このシリコン酸化膜  $115$  をマスクに用いて、 $WSi$

50

膜 1 1 4 と、リンドープトシリコン多結晶シリコン 1 1 3 とをパターニングする（図 3 7）。

【 0 0 1 4 】

この後、シリコン基板 1 0 1 のメモリセル部におけるリンドープト多結晶シリコン膜 1 1 3 と、WSi 膜 1 1 4 と、厚さ 2 0 0 nm 程度のシリコン酸化膜 1 1 5 とをマスクに用いて、三層絶縁膜 1 1 0 とリンドープト多結晶シリコン膜 1 0 7 とをパターニングする（図 3 8）。

【 0 0 1 5 】

次いで、シリコン基板 1 0 1 の、周辺回路の n 導電型 MOS トランジスタが形成される領域に、レジストパターンをマスクに用いて、リンをたとえば 5 0 keV の加速エネルギーで、 $4.0E13$  程度の密度でイオン注入し、周辺回路部の n 導電型 MOS トランジスタの低濃度不純物領域 1 1 6 を形成する（図 3 9）。

10

【 0 0 1 6 】

次に、シリコン基板 1 0 1 の周辺回路部において p 導電型 MOS トランジスタが形成される領域に、レジストパターンをマスクに用いて、ボロンをたとえば 5 0 keV の加速エネルギー、 $1.5E13$  程度の密度でイオン注入し、周辺回路部に p 導電型 MOS トランジスタの低濃度不純物領域 1 1 7 を形成する（図 4 0）。シリコン基板 1 0 1 上に、CVD 法により 1 0 0 nm 程度のシリコン酸化膜を形成し、次いで異方性エッチングによりサイドウォールスペーサ 1 2 3 を形成する（図 4 1）。

【 0 0 1 7 】

20

次に、シリコン基板 1 0 1 の周辺回路部の、n 導電型 MOS トランジスタが形成される領域に、レジストパターンをマスクに用いてヒ素をたとえば 3 5 keV の加速エネルギー、 $4.0E15$  程度の密度でイオン注入し、n 導電型 MOS トランジスタの高濃度不純物領域 1 1 9 を形成する（図 4 2）。

【 0 0 1 8 】

さらに、シリコン基板 1 0 1 の周辺回路部の p 導電型 MOS トランジスタが形成される領域に、レジストパターンをマスクに用いて BF<sub>2</sub> を、たとえば 2 0 keV の加速エネルギー、 $2.0E15$  の密度でイオン注入し、p 導電型 MOS トランジスタの高濃度不純物領域 1 2 0 を形成する（図 4 3）。この後、通常の配線形成技術を用いて、配線を形成する。上記のような、製造方法を用いることにより、従来の不揮発性半導体記憶装置は製造されていた。

30

【 0 0 1 9 】

通常、不揮発性半導体記憶装置において、プログラム形成時には、コントロールゲート 1 1 0 に 2 0 V 程度の高電圧  $V_{pp}$  を印加し、n 導電型拡散領域 1 0 8 a, 1 0 8 b と、シリコン基板 1 0 1 とを接地する。それにより、n 導電型拡散層 1 0 8 a, 1 0 8 b 間の領域に形成されるチャネルに電子が発生し、トンネル絶縁膜 1 0 6 によるエネルギー障壁をトンネリングして電子がフローティングゲート 1 0 7 に注入される。その結果、メモリセルのしきい値電圧が上昇する。

【 0 0 2 0 】

また、プログラム消去時には、コントロールゲート 1 1 3 に通常、マイナス 2 0 V 程度の高電圧  $V_{pp}$  を印加し、n 導電型拡散領域 1 0 8 a, 1 0 8 b とシリコン基板 1 0 1 とを接地する。この回路形成により、トンネル現象が生じ、フローティングゲート 1 0 7 からシリコン基板 1 0 1 に電子が放出される。この結果、メモリセルのしきい値電圧が下降する。

40

【 0 0 2 1 】

一方、選択したメモリトランジスタの読み出し動作の際には、コントロールゲート 1 1 3 にたとえば 3 . 3 V ( $V_{cg} = 3 . 3 V$ )、n 導電型拡散層のドレイン 1 0 8 a に 3 . 3 V の電圧を印加し、n 導電型拡散層のソース 1 0 8 b とシリコン基板 1 0 1 とを接地する。いま、 $V_{thp} > 3 . 3 V > V_{the}$  とすると、プログラム読み込み状態ではメモリトランジスタのソースとドレインとの間に電流が流れず、プログラム消去状態では電流が流れる。

50

## 【 0 0 2 2 】

読み出しの際に非選択のメモリトランジスタでは、コントロールゲート 1 1 3 を接地し ( $V_{cg} = 0 V$ )、n 導電型拡散領域のドレイン 1 0 8 a に 3 . 3 V の電圧を印加し、n 導電型拡散領域のソース 1 0 8 b とシリコン基板 1 0 1 とを接地する。  $V_{thp} > V_{the} > 0 V$  とすると、  $V_{cg} = 0 V$  では、メモリトランジスタのソースとドレインとの間に電流が流れない。

## 【 0 0 2 3 】

選択したメモリトランジスタのうち、プログラム読み込み状態のものだけが、ソースとドレインとの間に電流を流し、これによって各メモリセルの情報を検出することができる。

## 【 0 0 2 4 】

したがって、不揮発性半導体記憶装置の周辺回路部には、( 1 ) 読み出し動作の高速化のために、ゲート酸化膜が薄く、電流駆動力の高い低耐圧のトランジスタと、( 2 ) 高い印加電圧に耐えうるゲート酸化膜をもつ高耐圧トランジスタとの 2 つの種類のトランジスタが必要である。

## 【 0 0 2 5 】

## 【 発明が解決しようとする課題 】

しかしながら、従来の製造方法では、メモリトランジスタと、周辺回路部においてゲート酸化膜の厚さが異なる 2 種類のトランジスタとをそれぞれ別の機会に形成しなければならない。このため、ゲート酸化膜形成時に、高温熱処理を多くの回数行う必要があり、高温熱処理に長時間を費やしていた。このため、次のような問題を生じていた。

( 1 ) コストのかかるプロセスである熱酸化処理の工数が増大する。

( 2 ) 高温熱処理に長時間さらされるので、イオン注入により形成された拡散領域が広がり、半導体素子の微細化の妨げとなる。

( 3 ) 高温熱処理の回数が多いので、シリコン基板をエッチングしてシリコン酸化膜を埋め込んでいる構造の素子分離膜では、そのシリコン酸化膜とシリコン基板との熱膨張係数の相違により、トレンチ分離 1 0 2 の周りのシリコン基板に応力が加わり、シリコン基板内に結晶欠陥が生じる。

## 【 0 0 2 6 】

本発明は、高温熱処理の回数を最小限に減らした上で、周辺回路部およびメモリセル部のトランジスタを作り分け、とくに周辺回路部において高耐圧トランジスタと動作速度を重視した低耐圧トランジスタとを簡便に作り分けることができる、不揮発性半導体記憶装置およびその製造方法を提供することを目的とする。

## 【 0 0 4 9 】

## 【 課題を解決するための手段 】

本発明の不揮発性半導体記憶装置の製造方法は、半導体基板上にメモリセル部とその周辺に位置する周辺回路部とを備え、メモリセル部において、絶縁膜上のフローティングゲートと、そのフローティングゲート上に位置するゲート間絶縁膜と、ゲート間絶縁膜上に位置するコントロールゲートとを有するメモリトランジスタを備え、また周辺回路部において、第 1 のゲート絶縁膜を含む第 1 のトランジスタおよび第 2 のゲート絶縁膜を含む第 2 のトランジスタを備える不揮発性半導体記憶装置の製造方法である。この製造方法は、次の工程を備える。

(a) 半導体基板上の第 2 のトランジスタの形成領域に下層絶縁膜を形成する工程。

(b) 半導体基板および下層絶縁膜を覆う絶縁膜を形成することにより、ゲート絶縁膜と第 1 のゲート絶縁膜を同時に形成する工程。

(c) ゲート絶縁膜、第 1 のゲート絶縁膜および第 2 のゲート絶縁膜を含む半導体基板上にフローティングゲートを構成する不純物ドープト多結晶シリコン膜を形成する工程。

(d) 不純物ドープト多結晶シリコン膜の上に、ゲート間絶縁膜を形成する工程。

(e) 第 1 および第 2 のトランジスタの形成領域のゲート間絶縁膜に、不純物ドープト多結晶シリコン膜に達する貫通孔を開口する工程。

(f) 上記(e)工程の後、周辺回路部の領域の前記不純物ドープト多結晶シリコン膜にさら

10

20

30

40

50

に不純物を注入する工程。この(f)工程により、周辺回路部における前記不純物ドーフト多結晶シリコン膜がメモリセル部におけるフローティングゲートの不純物濃度より高くなる。

【0050】

この構成により、第1のトランジスタのゲート絶縁膜とメモリトランジスタのゲート絶縁膜とを同じ機会に同じ組成で共通に製造することができる。また、第2のトランジスタのゲート絶縁膜を、第1のトランジスタのゲート絶縁膜よりも下層絶縁膜の分だけ厚く形成することができる。上記の工程では、メモリセル部と周辺回路部とに分けて、トランジスタのゲート酸化膜を形成する必要がないので、熱酸化処理も抑制されるので、半導体基板での結晶欠陥の発生を抑制することができる。また、半導体基板に加えられる熱処理履歴が抑制されるので、不純物拡散領域の拡大を抑制し、不揮発性半導体記憶装置の微細化への阻害要因とならない。

10

【0052】

この構成により、周辺回路部においてトランジスタのゲート電極となるフローティング導電層の不純物濃度を簡単に増加させることができる。この結果、不揮発性トランジスタのフローティングゲートとしてでなくトランジスタのゲート電極としてより適した導電性を確保することができる。

【0057】

【発明の実施の形態】

次に図面を用いて、本発明の実施の形態について説明する。

20

【0058】

(実施の形態1)

図1は、本発明の実施の形態1における不揮発性半導体記憶装置を示す断面図である。図1を参照して、この不揮発性半導体記憶装置は、メモリセル部R1と、その周辺の周辺回路部R2とに区分けされ、メモリセル部R1にはメモリトランジスタ50が、また周辺回路部R2には、n導電型ウェル4およびp導電型ウェル5の各々に2種類のトランジスタ61, 62が配置されている。これら2種類のトランジスタの相違は、後述するように、ゲート絶縁膜の厚さが異なることにある。

【0059】

図1では、メモリセル部のメモリトランジスタ50は、右側のビット線に沿った断面と、左側のワード線に沿った断面とが示されている。素子分離帯2によって周辺回路部R2と分離されたメモリセル部R1のシリコン基板の底部には、n導電型ボトムウェル3が設けられ、その上にp導電型ウェル5が形成されている。メモリトランジスタ50は、p導電型ウェル内にn導電型のソース、ドレイン領域28a, 28bを有し、さらにシリコン基板1の上に配置されたゲート絶縁膜7を備えている。ゲート絶縁膜7の上には、絶縁領域9に囲まれた導電層のフローティングゲート8が配置されている。フローティングゲート8の上にはシリコン酸化膜とシリコン窒化膜とシリコン酸化膜との三層絶縁膜からなるゲート間絶縁膜10が形成されている。そのゲート間絶縁膜の上には、リンドーフト多結晶シリコン膜11が配置され、その上に導電層のコントロールゲート12が設けられ、さらにその上にWSiからなる層13と、その上の絶縁膜14とが配置されている。

30

40

【0060】

周辺回路部R2には、n導電型ウェル4と、p導電型ウェル5とが設けられ、それぞれのウェル内に、上述のように2種類のトランジスタ61, 62が設けられている。トランジスタ61はゲート酸化膜7を有し、トランジスタ62はそれより厚い膜厚のゲート酸化膜6, 7を有している。これらゲート酸化膜6, 7の上に、両方のトランジスタとも、メモリトランジスタと同じ膜厚構成の積層構造を備えている。すなわち、ゲート酸化膜の上にフローティングゲート8が配置され、その上にゲート間絶縁膜10が位置し、さらにリンドーフト多結晶シリコン膜11、コントロールゲート12、WSi層13および絶縁膜14が順に積層されている。

【0061】

50

図1におけるA部を拡大した図を図2に示す。図2によれば、ゲート間絶縁膜10に貫通孔が開けられ、フローティングゲート8とコントロールゲート12とが導通する導通部が形成されている。この導通部のために、フローティングゲート8とコントロールゲート12とは、通常のトランジスタのゲート電極として用いることができる。図3は、図1におけるB部拡大図である。図2および図3を比較することにより、ゲート酸化膜から上のゲート部の積層構造が、メモリセル部R1のメモリトランジスタ50と、周辺回路部R2の2種類のトランジスタ61, 62とで、同じであることが分かる。このため、周辺回路部のトランジスタのゲート電極を、フローティングゲートとコントロールゲートとを含むメモリトランジスタのゲート部と同じタイミングで製造することが可能となる。

#### 【0062】

周辺回路部では、トランジスタは、シリコン基板に設けられた低濃度不純物領域15, 16と、ゲート電極側面のサイドウォールスペーサ17をマスクに用いてさらに不純物を注入した高濃度不純物領域18, 19とを備えている。高濃度不純物領域18, 19には、層間絶縁膜22の上に配置された配線26に導通するプラグ配線23が接続されている。

#### 【0063】

次に、図1に示す不揮発半導体記憶装置の製造方法について説明する。まず、 $\langle 100 \rangle$ の結晶方位のp導電型シリコン基板101の主表面に、シリコン酸化膜からなる素子分離領域2を形成する(図4)。次いで、シリコン基板1の主表面において、レジストパターンをマスクに用いて、メモリセルが形成される領域にリンを、たとえば3MeVの加速エネルギー、 $1.0E13$ の密度でイオン注入し、n導電型ボトムウェル領域3を形成し、レジストを除去する(図5)。

#### 【0064】

次いで、周辺回路部R2のp導電型MOSトランジスタが形成される領域に、レジストパターンをマスクに用いて、(a)リンをたとえば1.2MeVの加速エネルギー、 $1.0E13$ の密度でイオン注入する。さらに、同じ領域に、(b)チャネルカットのためのリンをたとえば700keV、 $3.0E12$ にて、また、(c)カウンタードープのためのボロンをたとえば20keV、 $1.5E12$ にて、それぞれイオン注入する。これらイオン注入によりn導電型ウェル領域4が形成される(図6)。

#### 【0065】

この後、周辺回路部R2の、n導電型MOSトランジスタが形成される領域と、メモリセル部のメモリトランジスタが形成される領域とに、レジストパターンをマスクに用いて、たとえば、(a)ボロンを加速エネルギー700keV、密度 $1.0E13$ 程度にて、また(b)加速エネルギー270keV、密度 $3.5E12$ にて、pチャネルカットのためのボロンを、さらに(c)加速エネルギー50keV、密度 $1.2E12$ にて、チャネルドープのためのボロンを、それぞれイオン注入してp導電型ウェル領域5を形成する(図7)。

#### 【0066】

シリコン基板1の主表面の上に、熱酸化法を用いて厚さ20nm程度のシリコン酸化膜6を成膜する。次いで、そのシリコン酸化膜の上にフォトリソグラフィによってレジストパターンを形成し、そのレジストパターンをマスクに用いて、メモリセルトランジスタが形成される領域と、周辺回路部の低耐圧トランジスタ61が形成される領域との上記シリコン酸化膜6をエッチングして除去する。したがって、図8に示すように、周辺回路部の高耐圧トランジスタ62が形成される領域にのみ厚さ20nm程度のシリコン酸化膜6が配置される。

#### 【0067】

次に、上記シリコン酸化膜6およびシリコン基板1の主表面上に、熱酸化法を用いて、厚さ10nmのシリコン酸化膜7を形成する。次いで、その上に厚さ200nm程度のリンドープト多結晶シリコン膜8を形成する。このとき、周辺回路部の低耐圧トランジスタの領域のシリコン酸化膜の厚さは20nm以上30nm未満の厚さとなる。次に、リンドープト多結晶シリコン膜8の上にフォトリソグラフィによってレジストパターンを形成し、そのレジストパターンをマスクに用いてリンドープト多結晶シリコン膜8をパターニング

10

20

30

40

50

する(図9)。

【0068】

メモリセル部のメモリトランジスタが形成される領域に、レジストパターンをマスクに用いて、ヒ素をたとえば加速エネルギー35keV、密度 $3.0E15$ で注入し、n導電型不純物拡散層28a, 28bを形成する(図10)。

【0069】

この後、シリコン基板1の上に、減圧CVD法により厚さ800nmのシリコン酸化膜9を堆積し、次いでこのシリコン酸化膜9を全面エッチングすることにより、リンドープト多結晶シリコン膜8の表面を露出する(図11)。

【0070】

次いで、シリコン基板の主表面全面に熱酸化法を用いて厚さ5nmのシリコン酸化膜を、その上に減圧CVD法を用いて厚さ10nmのシリコン窒化膜を、さらにその上に減圧CVD法を用いて厚さ5nmのシリコン酸化膜を形成し、3層が積層した三層絶縁膜10を形成する(図12)。

【0071】

この後、三層絶縁膜10の上にリンドープト多結晶シリコン膜11を形成する。次いで、シリコン基板の主表面全面にフォトリソグラフィによってレジストパターンを形成し、周辺回路部のリンドープト多結晶シリコン膜11および三層絶縁膜10をパターンニングする。このパターンニングによって、図13に示すように、周辺回路部の高耐圧および低耐圧トランジスタが形成される領域にコンタクトホール25が開口される。

【0072】

HF溶液等を用いて、リンドープト多結晶シリコン膜11に付着した自然酸化膜を除去した後、この上に厚さ200nmのリンドープト多結晶シリコン膜12を形成する。次いで、その上に厚さ100nm程度のWSi膜13を形成した後、厚さ200nm程度のシリコン酸化膜14を形成する。この後、フォトリソグラフィによってレジストパターンを形成し、このレジストパターンをマスクに用いてシリコン酸化膜14をパターンニングする。次いでこのシリコン酸化膜14をマスクに用いて、WSi膜13を、次いでリンドープト多結晶シリコン膜12、リンドープト多結晶シリコン膜11、三層絶縁膜10、リンドープト多結晶シリコン膜8を順にパターンニングする(図14)。

【0073】

図15は、図14のC部を拡大した図である。三層絶縁膜10およびリンドープト多結晶シリコン膜11に開けられたコンタクトホールを貫通して、コントロールゲートのリンドープト多結晶シリコン膜12がフローティングゲート8に電氣的に接続されている。

【0074】

次に、周辺回路部R2のn導電型MOSトランジスタが形成される領域に、レジストパターンをマスクに用いて、リンをたとえば加速エネルギー50keV、密度 $4.0E13$ 程度にて、イオン注入し、n導電型MOSトランジスタの低濃度不純物領域15を形成する(図16)。次いで、周辺回路部のp導電型MOSトランジスタが形成される領域に、レジストパターンをマスクに用いて、ボロンをたとえば加速エネルギー50keV、密度 $1.5E13$ 程度にてイオン注入し、p導電型MOSトランジスタの低濃度不純物領域16を形成する(図17)。

【0075】

この後、CVD(Cheical Vapor Deposition)法によりシリコン酸化膜を形成し、次いで、酸化膜異方性エッチングによりサイドウォールスペーサ17を形成する(図18)。続いて、周辺回路部R2のn導電型MOSトランジスタが形成される領域に、レジストパターンをマスクに用いて、ヒ素をたとえば加速エネルギー35keV、密度 $4.0E15$ 程度にてイオン注入し、n導電型MOSトランジスタの高濃度不純物領域18を形成する(図19)。次いで、周辺回路部R2のp導電型MOSトランジスタが形成される領域に、レジストパターンをマスクに用いてBF<sub>2</sub>を、たとえば加速エネルギー20keV、密度 $2.0E15$ 程度にてイオン注入し、p導電型MOSトランジスタの高濃度不純物領域19を形成す

10

20

30

40

50

る(図20)。

【0076】

上記の不揮発性半導体記憶装置においては、メモリセル部では三層絶縁膜10からなるゲート間絶縁膜によって絶縁されているフローティングゲート(FG)とコントロールゲート(CG)とを、周辺回路部では導通状態にして、通常のゲート電極としている。このため、メモリセル部の不揮発性トランジスタ50のゲート絶縁膜と、周辺回路部の低耐圧トランジスタのゲート絶縁膜とを、同じ機会に製造することができる。また、メモリセル部の不揮発性トランジスタのゲート部と、周辺回路部のトランジスタのゲート部とを同じ機会に並行的に製造することができる。この結果、処理工程の省略を図ることができ、熱酸化処理時に発生する半導体基板の結晶欠陥を抑制することができる。さらに、メモリセル部に加えられる熱処理時間の削減により、不純物領域の拡大を抑制することができ、メモリセル部の微細化を阻害することがない。

10

【0077】

また、三層絶縁膜の上に薄膜のリンドーフト多結晶シリコン膜を堆積することにより、リンドーフト多結晶シリコン膜および三層絶縁膜にコンタクトホール25を開口した後に、そのリンドーフト多結晶シリコン上に付着する自然酸化膜を、たとえばHF溶液等を用いて除去することができる。このため、周辺回路部において、フローティング導電層とコントロール導電層とを確実に導通させることができる。

【0078】

(実施の形態2)

本発明の実施の形態2における不揮発性半導体記憶装置の構造は、図1に示した不揮発性半導体記憶装置と同じである。本実施の形態における不揮発性半導体記憶装置の周辺回路部R2におけるリンドーフト多結晶シリコン膜8のリン濃度は、実施の形態1におけるリンドーフト多結晶シリコン膜のリン濃度よりも高い点に特徴がある。

20

【0079】

本実施の形態2における不揮発性半導体記憶装置の製造方法は、基本的に実施の形態1における製造方法と同じである。実施の形態1における図1~図13の工程が、そのまま用いられる。図13に示すように、三層絶縁膜10およびリンドーフト多結晶シリコン膜11にコンタクトホール25を開口した後、レジストパターンをマスクに用いて、周辺回路部にリンをイオン注入する。このため、周辺回路部のリンドーフト多結晶シリコン膜8は、メモリセル部のフローティングゲートとなるリンドーフトシリコン膜8よりも、高いリン濃度を有する。この後の製造工程は、実施の形態1における製造工程を示す図14~20と同じである。

30

【0080】

上記の実施の形態2における不揮発性半導体記憶装置は、実施の形態1の不揮発性半導体記憶装置の作用効果に付け加えて、次の作用効果を有する。通常、リンドーフト多結晶シリコン膜11の不純物濃度は、メモリセル部のメモリトランジスタの特性に応じて決められ、その不純物濃度は、たとえば $4E20/cm^3$ 程度である。一方、周辺回路部のトランジスタのゲート電極とするためには、そのゲート材の空乏化を抑えるため、メモリセル部のそれよりも高い濃度であることが望ましい。本実施の形態によれば、実施の形態1の処理工程に対してイオン注入工程を1工程だけ追加すればよい。この結果、簡単な工程変更により、メモリセル部のトランジスタと周辺回路部のトランジスタとで、不純物濃度が異なるゲート材を得ることができる。

40

【0081】

上記の不揮発性半導体記憶装置は、次の製造方法を用いて製造することができる。まず、実施の形態1における図1~図13の手順にしたがって製造してゆく。図13は、三層絶縁膜10の上にリンドーフト多結晶シリコン膜11を形成し、周辺回路部のトランジスタ形成領域にリンドーフト多結晶シリコン膜8に届く貫通孔を開口した状態の断面図である。

【0082】

50

本実施の形態では、この後、図 2 1に示すように、メモリセル部を除いて周辺回路部のみリンを注入する。このリンの周辺回路領域への注入により、周辺回路部のリンドーブト多結晶シリコン膜 8 のリン濃度は、メモリセル部のそれより高くなる。

【 0 0 8 3 】

この後の製造工程は、実施の形態 1 における 図 1 4 ~ 図 2 0 の処理工程にしたがって行われる。

【 0 0 8 4 】

上記不揮発性半導体記憶装置では、上記実施の形態 1 の不揮発性半導体記憶装置において得られる利点に加えて、次の利点を得ることができる。

【 0 0 8 5 】

リンドーブト多結晶シリコン膜 1 1 では、メモリセルの特性により、その濃度を定める必要がある。通常、その濃度は、たとえば  $4E20 / cm^3$  程度である。一方、周辺回路部のトランジスタのゲート電極の場合、ゲート電極材の空乏化を抑えるために、それよりも高濃度であることが望ましい。本実施の形態の製造方法によれば、実施の形態 1 における製造工程に対してイオン注入工程を 1 工程追加するだけで、メモリセルと周辺回路とで、ゲート電極の不純物濃度を変えることができる

(実施の形態 3)

図 2 2 は、本発明の実施の形態 3 における不揮発性半導体記憶装置を示す断面図である。本実施の形態における不揮発性半導体記憶装置では、周辺回路部 R2 における、高耐圧トランジスタ 6 2 と低耐圧トランジスタ 6 1 とは、ゲート絶縁膜の厚さだけでなく、積層構造にも相違がある。図 2 3 は、図 2 2 の周辺回路部における D 部拡大図である。図 2 3 において、高耐圧トランジスタ 6 2 のゲート絶縁膜 3 7 は単層であり、低耐圧トランジスタ 6 1 のゲート絶縁膜 7 よりも厚い。

【 0 0 8 6 】

また、低耐圧トランジスタ 6 1 のゲート部の積層構造は、メモリトランジスタのゲート部の積層構造と同じである。ただし、ゲート間絶縁膜 1 0 にはコンタクトホール 2 5 が開口され、コントロールゲートの導電層が埋め込まれ、コントロールゲートとフローティングゲートとが電気的に接続されている。この導通部の部分を除けば、メモリトランジスタと同様に、ゲート酸化膜 7 の上に、フローティングゲート層 8 が、その上にゲート間絶縁膜 1 0 が、またその上にコントロールゲート層 1 2 が、その上に W S i 層 1 3 が、さらにその上に絶縁膜 1 4 が配置されている。

【 0 0 8 7 】

一方、高耐圧トランジスタ 6 2 では、ゲート酸化膜 3 7 の上に、コントロールゲート層 1 2 が、またその上に W S i 層 1 3 が、さらにその上に絶縁膜 1 4 が配置されている。高耐圧トランジスタでは、ゲート間絶縁膜を含んでいない。

【 0 0 8 8 】

次に、本実施の形態における不揮発性半導体記憶装置の製造方法を説明する。

次に、図 2 3 に示す不揮発半導体記憶装置の製造方法について説明する。まず、 $\langle 1 0 0 \rangle$  の結晶方位の p 導電型シリコン基板 1 0 1 の主表面に、シリコン酸化膜からなる素子分離領域 2 を形成する (図 4 参照)。次いで、シリコン基板 1 の主表面において、レジストパターンをマスクに用いて、メモリセルが形成される領域にリンを、たとえば 3 M e V の加速エネルギー、 $1.0E13$  の密度でイオン注入し、n 導電型ボトムウェル領域 3 を形成する (図 5 参照)。

【 0 0 8 9 】

次いで、周辺回路部 R2 の p 導電型 M O S トランジスタが形成される領域に、レジストパターンをマスクに用いて、( a ) リンをたとえば 1 . 2 M e V の加速エネルギー、 $1.0E13$  の密度でイオン注入する。さらに、同じ領域に、( b ) チャネルカットのためのリンをたとえば 7 0 0 k e V、 $3.0E12$  にて、また、( c ) カウンタードーブのためのボロンをたとえば 2 0 k e V、 $1.5E12$  にて、それぞれイオン注入する。これらイオン注入により n 導電型ウェル領域 4 が形成される (図 6 参照)。

## 【0090】

この後、周辺回路部 R2 の、n 導電型 MOS トランジスタが形成される領域と、メモリセル部のメモリトランジスタが形成される領域とに、レジストパターンをマスクに用いて、たとえば、(a) ボロンを加速エネルギー 700 keV、密度  $1.0E13$  程度にて、また (b) 加速エネルギー 270 keV、密度  $3.5E12$  にて、p チャネルカットのためのボロンを、さらに (c) 加速エネルギー 50 keV、密度  $1.2E12$  にて、チャンネルドープのためのボロンを、それぞれイオン注入して p 導電型ウェル領域 5 を形成する (図 7 参照)。

## 【0091】

次に、シリコン基板 1 の主表面上に、熱酸化法を用いて、厚さ 10 nm のシリコン酸化膜 7 を形成する。次いで、その上に厚さ 200 nm 程度のリンドープト多結晶シリコン膜 8 を形成する。次に、リンドープト多結晶シリコン膜 8 の上にフォトリソグラフィによってレジストパターンを形成し、そのレジストパターンをマスクに用いてリンドープト多結晶シリコン膜 8 をパターニングする (図 24)。

10

## 【0092】

メモリセル部のメモリトランジスタが形成される領域に、レジストパターンをマスクに用いて、ヒ素をたとえば加速エネルギー 35 keV、密度  $3.0E15$  で注入し、n 導電型不純物拡散層 28a、28b を形成する (図 25)。

## 【0093】

この後、シリコン基板 1 の上に、減圧 CVD 法により厚さ 800 nm のシリコン酸化膜 9 を堆積し、次いでこのシリコン酸化膜 9 を全面エッチングすることにより、リンドープト多結晶シリコン膜 8 の表面を露出する (図 26)。

20

## 【0094】

次いで、シリコン基板の主表面全面上に熱酸化法を用いて厚さ 5 nm のシリコン酸化膜を、その上に減圧 CVD 法を用いて厚さ 10 nm のシリコン窒化膜を、さらにその上に減圧 CVD 法を用いて厚さ 5 nm のシリコン酸化膜を形成し、3 層が積層した三層絶縁膜 10 を形成する (図 27)。

## 【0095】

この後、三層絶縁膜の上に形成されたレジストパターンをマスクに用いて、図 28 に示すように、周辺回路部 R2 の高耐圧トランジスタが形成される領域の上の三層絶縁膜 10 およびリンドープト多結晶シリコン膜 8 をエッチング除去する。

30

## 【0096】

次いで、熱酸化法を用いて、図 29 に示すように、シリコン基板上に厚さ 20 nm 程度のシリコン酸化膜 37 を形成する。このシリコン酸化膜 37 が、高耐圧トランジスタのゲート絶縁膜となる。このシリコン酸化膜 37 の形成の際、メモリセル部と、周辺回路部の低耐圧トランジスタの領域のシリコン基板表面は、三層絶縁膜中のシリコン窒化膜によって熱酸化が防止されている。

## 【0097】

次いで、周辺回路部の低耐圧トランジスタが形成される領域の上の三層絶縁膜 10 に、リンドープト多結晶シリコン膜 12 に届くようにコンタクトホール 25 を開口する (図 30)。

40

## 【0098】

次いで、コンタクトホール 25 を埋め込みながら、三層絶縁膜 10 およびシリコン酸化膜 37 の上に、厚さ 200 nm のリンドープト多結晶シリコン膜 12 を形成する。次いで、リンドープト多結晶シリコン膜 12 の上に厚さ 100 nm 程度の WSi 膜 13 を形成し、さらにその上に厚さ 200 nm 程度のシリコン酸化膜 14 を形成する。この後、フォトリソグラフィによってレジストパターンを形成し、このレジストパターンをマスクに用いてシリコン酸化膜 14 をパターニングする。次いでこのシリコン酸化膜 14 をマスクに用いて、WSi 膜 13 を、次いでリンドープト多結晶シリコン膜 12、リンドープト多結晶シリコン膜 11、三層絶縁膜 10、リンドープト多結晶シリコン膜 8 を順にパターニングする (図 31)。

50

## 【 0 0 9 9 】

図 3 2 は、図 3 1 の E 部を拡大した図である。三層絶縁膜 1 0 に開けられたコンタクトホール 2 5 を貫通して、コントロールゲートのリンドープト多結晶シリコン膜 1 2 がフローティングゲート 8 に電氣的に接続されている。

## 【 0 1 0 0 】

この後の製造工程は、実施の形態 1 に示した図 1 6 ~ 図 2 0 の製造工程にしたがって処理が行われる。

## 【 0 1 0 1 】

本実施の形態における不揮発性半導体記憶装置のメモリセル部のメモリトランジスタでは、フローティングゲートとコントロールゲートとはゲート間絶縁膜によって絶縁されるが、周辺回路部の低耐圧トランジスタでは、フローティングゲートとコントロールゲートとに対応する 2 つの導電層は、電氣的に接続されている。このため、低耐圧トランジスタでは、フローティングゲートとコントロールゲートとに対応する導電層をいずれもゲート電極として用いることができる。また、周辺回路部の高耐圧トランジスタでは、コントロールゲートに対応する導電層をゲート電極に用いている。このため、メモリトランジスタのゲート酸化膜 7 と、低耐圧トランジスタのゲート酸化膜 7 とを、共通にすることができる。この結果、直ちに酸化工程の削減を達成することができる。また、熱酸化処理時にシリコン基板に発生する結晶欠陥を抑制することができる。さらに、メモリセル部に加えらる熱酸化処理時間の削減により、メモリセルの微細化の障害とならない。

## 【 0 1 0 2 】

(実施の形態 4)

本発明の実施の形態 4 における不揮発性半導体記憶装置の構造は、図 2 2 に示した不揮発性半導体記憶装置と同じである。本実施の形態における不揮発性半導体記憶装置の周辺回路部 R2 におけるリンドープト多結晶シリコン膜 8 のリン濃度は、実施の形態 3 におけるリンドープト多結晶シリコン膜のリン濃度よりも高い点に特徴がある。

## 【 0 1 0 3 】

本実施の形態 4 における不揮発性半導体記憶装置の製造方法は、基本的に実施の形態 3 における製造方法と同じである。実施の形態 1 における図 4 ~ 図 7 の工程および実施の形態 3 における図 2 4 ~ 図 3 1 の工程が、そのまま用いられる。

## 【 0 1 0 4 】

すなわち、図 7 の状態のシリコン基板 1 の主表面上に、熱酸化法を用いて、厚さ 1 0 n m のシリコン酸化膜 7 を形成する。次いで、その上に厚さ 2 0 0 n m 程度のリンドープト多結晶シリコン膜 8 を形成する。次に、リンドープト多結晶シリコン膜 8 の上にフォトリソグラフィによってレジストパターンを形成し、そのレジストパターンをマスクに用いてリンドープト多結晶シリコン膜 8 をパターニングする(図 2 4 参照)。

## 【 0 1 0 5 】

メモリセル部のメモリトランジスタが形成される領域に、レジストパターンをマスクに用いて、ヒ素をたとえば加速エネルギー 3 5 k e V、密度 3.0 E 15 で注入し、n 導電型不純物拡散層 2 8 a , 2 8 b を形成する(図 2 5 参照)。

## 【 0 1 0 6 】

この後、シリコン基板 1 の上に、減圧 C V D 法により厚さ 8 0 0 n m のシリコン酸化膜 9 を堆積し、次いでこのシリコン酸化膜 9 を全面エッチングすることにより、リンドープト多結晶シリコン膜 8 の表面を露出する(図 2 6 参照)。

## 【 0 1 0 7 】

次いで、シリコン基板の主表面全面上に熱酸化法を用いて厚さ 5 n m のシリコン酸化膜を、その上に減圧 C V D 法を用いて厚さ 1 0 n m のシリコン窒化膜を、さらにその上に減圧 C V D 法を用いて厚さ 5 n m のシリコン酸化膜を形成し、3 層が積層した三層絶縁膜 1 0 を形成する(図 2 7 参照)。

## 【 0 1 0 8 】

この後、三層絶縁膜の上に形成されたレジストパターンをマスクに用いて、周辺回路部 R

10

20

30

40

50

2の高耐圧トランジスタが形成される領域の上の三層絶縁膜10およびリンドーフト多結晶シリコン膜8をエッチング除去する(図28参照)。

【0109】

次いで、熱酸化法を用いて、シリコン基板上に厚さ20nm程度のシリコン酸化膜37を形成する(図29参照)。このシリコン酸化膜37が、高耐圧トランジスタのゲート絶縁膜となる。このシリコン酸化膜37の形成の際、メモリセル部と、周辺回路部の低耐圧トランジスタの領域のシリコン基板表面は、三層絶縁膜中のシリコン窒化膜によって熱酸化が防止されている。

【0110】

次いで、周辺回路部の低耐圧トランジスタが形成される領域の上の三層絶縁膜10に、リンドーフト多結晶シリコン膜12に届くようにコンタクトホール25を開口する(図30参照)。

10

【0111】

この後、図33に示すように、周辺回路部R2の低耐圧トランジスタの領域にリンをイオン注入する。リンドーフト多結晶シリコン膜の不純物部度は、メモリトランジスタに要求される特性にしたがって決められる。その不純物濃度は、たとえば $4E20/cm^3$ 程度であり、導電層として扱われるゲート電極の不純物濃度としては低い濃度である。周辺回路部のトランジスタのゲート電極には、そのゲート電極の空乏化を抑えるため、上記値よりも高濃度であることが望ましい。このイオン注入工程を増やすのみで、周辺回路部の低耐圧トランジスタのゲート電極の不純物濃度を、メモリトランジスタのゲート電極のそれよりも高濃度にすることができる。

20

【0112】

なお、周辺回路部の高耐圧トランジスタのゲート電極は、元来不純物濃度が高いメモリトランジスタのコントロールゲートに対応する導電層と同じであるので、特別に不純物濃度を高める処理を追加しなくても、周辺回路部のトランジスタのゲート電極に必要とされる不純物を含んでいる。

【0113】

上記において、本発明の実施の形態について説明を行ったが、上記に開示された本発明の実施の形態は、あくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むものである。

30

【0114】

【発明の効果】

本発明の不揮発性半導体記憶装置およびその製造方法を用いることにより、高温熱処理の回数を最小限に減らして、周辺回路部において、高耐圧トランジスタと動作速度を重視した低耐圧トランジスタとを、簡便に形成することができる。この製造方法では、高温熱処理の回数を抑制するので、半導体基板への結晶欠陥の導入が抑制され、また不純物拡散が抑制されるので、不純物拡散領域の高温加熱履歴の蓄積に伴う不純物拡散領域の拡大を防止することができる。このため、不揮発性半導体記憶装置の微細化の障害要因にならない。さらに、ゲート間絶縁膜の上にドーフトシリコン膜を形成することにより、ゲート間絶縁膜にコンタクトホールを開口後、その底部に生じる自然酸化膜をHF溶液等を用いて簡単に除去することができ、フローティングゲートおよびコントロールゲートに対応する導電層の電気的接続を確実にすることができる。

40

【図面の簡単な説明】

【図1】 本発明の実施の形態1における不揮発性半導体記憶装置の断面図である。

【図2】 図1のA部拡大図である。

【図3】 図1のB部拡大図である。

【図4】 図1に示す不揮発性半導体記憶装置の製造にあたり、シリコン基板に素子分離絶縁膜を形成した段階の断面図である。

【図5】 メモリセル部の底部にボトムウェルを形成した段階の断面図である。

50

【図6】 周辺回路部のp導電型トランジスタを形成する領域にn導電型ウェルを形成した段階の断面図である。

【図7】 メモリセル部および周辺回路部のn導電型トランジスタを形成する領域にp導電型ウェルを形成した段階の断面図である。

【図8】 周辺回路部の高耐圧トランジスタを形成する領域に、ゲート酸化膜の下層酸化膜を形成した段階の断面図である。

【図9】 下層酸化膜とシリコン基板とを覆うように、ゲート酸化膜を形成し、次いで、フローティングゲートとなる導電層をメモリセル部と周辺回路部とにわたって形成し、メモリセル部でパターニングした段階の断面図である。

【図10】 メモリセル部のシリコン基板にn導電型不純物を注入して、メモリトランジスタのソース、ドレイン領域を形成した段階の断面図である。

10

【図11】 メモリトランジスタのソース、ドレイン領域の上にシリコン酸化膜を形成した段階の断面図である。

【図12】 メモリセル部と周辺回路部とにわたって、ゲート間絶縁膜となる三層絶縁膜を堆積した段階の断面図である。

【図13】 さらにリンドープ多結晶シリコン膜を形成した後、周辺回路部において、高耐圧トランジスタおよび低耐圧トランジスタが形成される領域上の三層絶縁膜およびリンドープ多結晶シリコン膜のコンタクトホールを開口した段階の断面図である。

【図14】 リンドープ多結晶シリコン膜を堆積し、次いで、WSi膜、絶縁膜を順次積層した後、メモリセル部および周辺回路部のトランジスタのゲート部をパターニングした段階の断面図である。

20

【図15】 図14のC部拡大図である。

【図16】 周辺回路部のn導電型トランジスタのシリコン基板にn導電型不純物を注入した段階の断面図である。

【図17】 周辺回路部のp導電型トランジスタのシリコン基板にp導電型不純物を注入した段階の断面図である。

【図18】 メモリセル部および周辺回路部のゲート部の側面にサイドウォールスペーサを形成した段階の断面図である。

【図19】 サイドウォールスペーサをマスクに用いて、n導電型トランジスタのソース、ドレイン領域にn導電型不純物を注入して、高濃度n導電型不純物領域を形成した段階の断面図である。

30

【図20】 サイドウォールスペーサをマスクに用いて、p導電型トランジスタのソース、ドレイン領域にp導電型不純物を注入して、高濃度p導電型不純物領域を形成した段階の断面図である。

【図21】 本発明の実施の形態2における不揮発性半導体記憶装置の製造において、三層絶縁膜とリンドープ多結晶シリコン膜とにコンタクトホールを開口後、周辺回路部のフローティングゲート導電層にリンをさらに注入している段階の断面図である。

【図22】 本発明の実施の形態3における不揮発性半導体記憶装置の断面図である。

【図23】 図22のD部拡大図である。

【図24】 図22に示す不揮発性半導体記憶装置の製造にあたり、シリコン基板上にゲート絶縁膜を形成後、フローティングゲートとなる導電層を堆積して、パターニングした段階の断面図である。

40

【図25】 メモリトランジスタのソース、ドレイン領域となるn導電型不純物領域を形成した段階の断面図である。

【図26】 メモリトランジスタのソース、ドレイン領域の上にシリコン酸化膜を形成した段階の断面図である。

【図27】 ゲート間絶縁膜となる三層絶縁膜を形成した段階の断面図である。

【図28】 周辺回路部の高耐圧トランジスタが形成される領域上の、ゲート酸化膜、フローティングゲート導電層および三層絶縁膜をエッチング除去し、シリコン基板を露出させた段階の断面図である。

50

【図 29】 露出したシリコン基板の上にゲート酸化膜より厚い厚みのゲート酸化膜を形成した段階の断面図である。

【図 30】 周辺回路部の低耐圧トランジスタが形成される領域上の三層絶縁膜にコンタクトホールを開口した段階の断面図である。

【図 31】 低耐圧トランジスタが形成される領域上のフローティングゲート導電層にリンを注入し、メモリセル部と周辺回路部とのトランジスタのゲート部をパターニングした段階の断面図である。

【図 32】 図 31 の E 部拡大図である。

【図 33】 本発明の実施の形態 4 における不揮発性半導体記憶装置の製造において、三層絶縁膜にコンタクトホールを開口後、周辺回路部のフローティングゲート導電層にリンをさらに注入している段階の断面図である。

10

【図 34】 従来の不揮発性半導体記憶装置の断面図である。

【図 35】 図 34 の不揮発性半導体記憶装置の製造にあたり、ゲート酸化膜、フローティング導電層および三層絶縁膜を形成後、周辺回路部のゲート酸化膜、フローティング導電層および三層絶縁膜をエッチング除去し、周辺回路部のシリコン基板を露出させた段階の断面図である。

【図 36】 周辺回路部の高耐圧トランジスタが形成される領域に厚いゲート絶縁膜を形成した段階の断面図である。

【図 37】 さらに周辺回路部にのみゲート絶縁膜を形成し、周辺回路部とメモリセル部とにわたって、下から順に、コントロールゲート導電層、WSi 層および絶縁層を堆積し、周辺回路部のトランジスタのゲート部のみをパターニングした段階の断面図である。

20

【図 38】 メモリセル部のトランジスタのゲート部をパターニングした段階の断面図である。

【図 39】 周辺回路部の n 導電型トランジスタのソース、ドレイン領域となるシリコン基板の領域に n 導電型不純物を注入した段階の断面図である。

【図 40】 周辺回路部の p 導電型トランジスタのソース、ドレイン領域となるシリコン基板の領域に p 導電型不純物を注入した段階の断面図である。

【図 41】 メモリセル部および周辺回路部のゲート部の側面にサイドウォールスペーサを形成した段階の断面図である。

【図 42】 サイドウォールスペーサをマスクに用いて、n 導電型トランジスタのソース、ドレイン領域に n 導電型不純物をさらに注入して、高濃度 n 導電型不純物領域を形成した段階の断面図である。

30

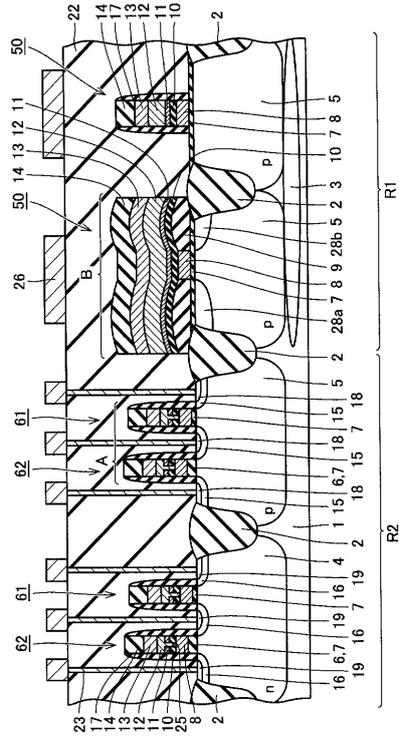
【図 43】 サイドウォールスペーサをマスクに用いて、p 導電型トランジスタのソース、ドレイン領域に p 導電型不純物をさらに注入して、高濃度 p 導電型不純物領域を形成した段階の断面図である。

【符号の説明】

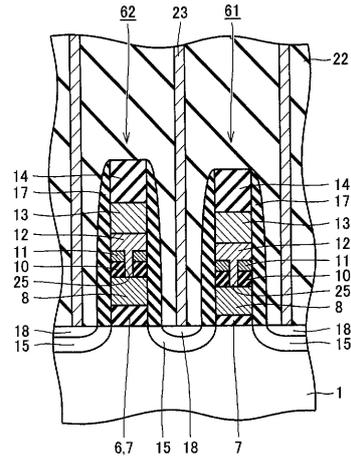
1 シリコン基板、2 素子分離絶縁膜、3 ボトムウェル、4 n 導電型ウェル、5 p 導電型ウェル、6 ゲート酸化膜下層、7 ゲート酸化膜、8 フローティングゲート（導電層）、9 シリコン酸化膜、10 三層絶縁膜（ONO:Oxide-Nitride-Oxide膜）、11 リンドープト多結晶シリコン膜、12 コントロールゲート（導電層）、13 WSi 層、14 絶縁膜、15, 16 低濃度不純物領域、17 サイドウォールスペーサ、18, 19 高濃度不純物領域、22 層間絶縁膜、23 プラグ配線、25 コンタクトホール、26 配線、28a, 28b ソース、ドレイン、37 高耐圧トランジスタのゲート酸化膜、50 メモリトランジスタ、61 低耐圧トランジスタ、62 高耐圧トランジスタ。

40

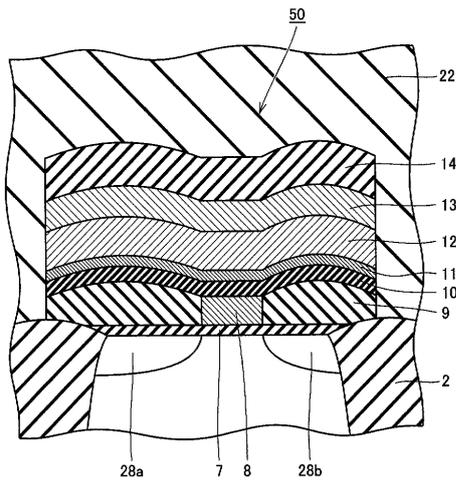
【 図 1 】



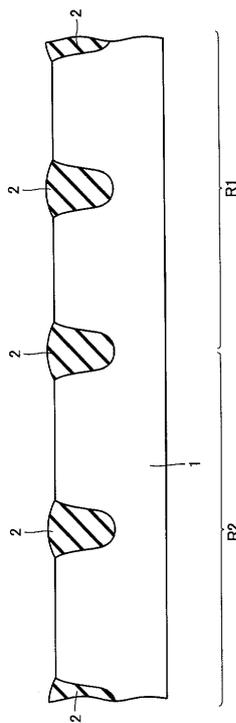
【 図 2 】



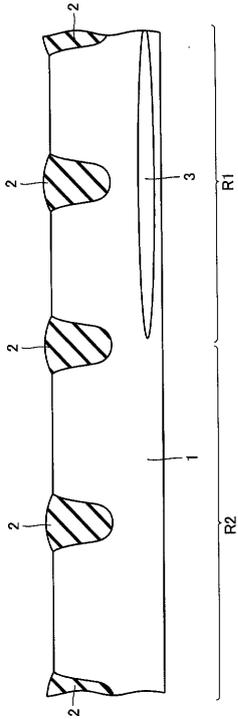
【 図 3 】



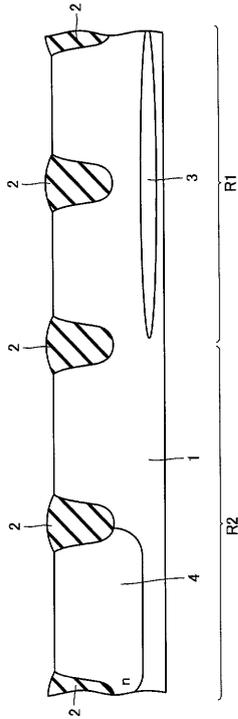
【 図 4 】



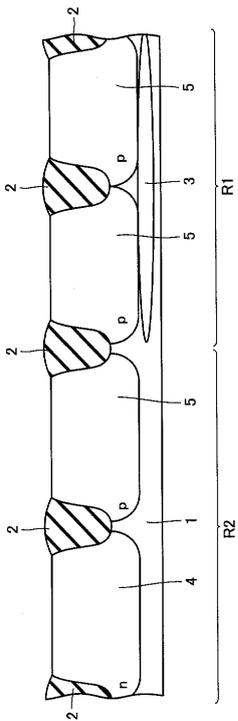
【図 5】



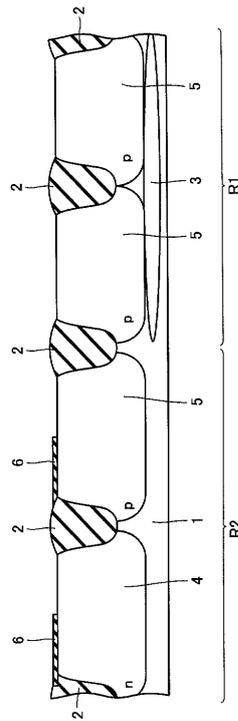
【図 6】



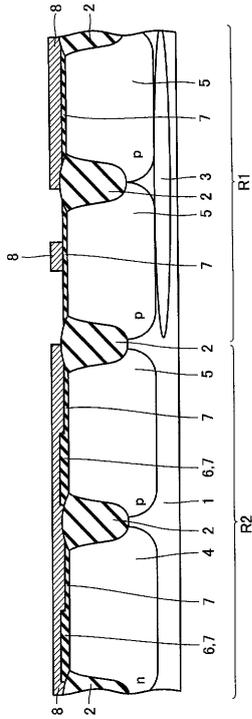
【図 7】



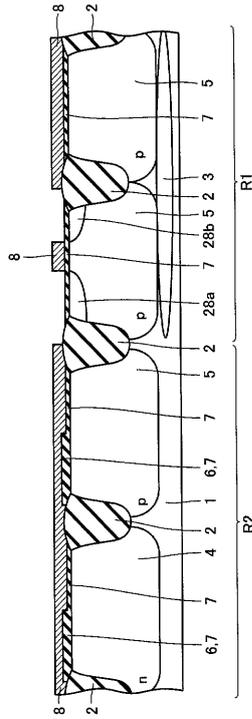
【図 8】



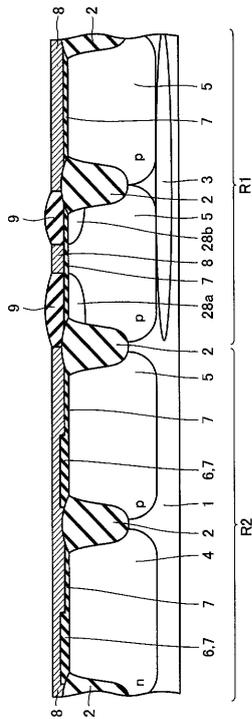
【図 9】



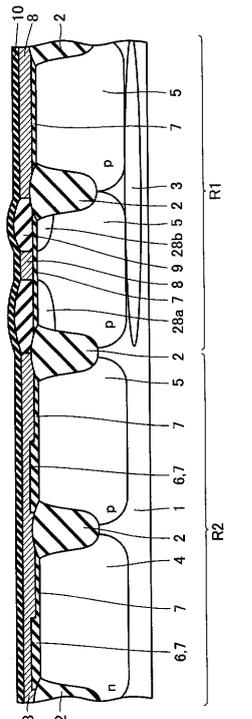
【図 10】



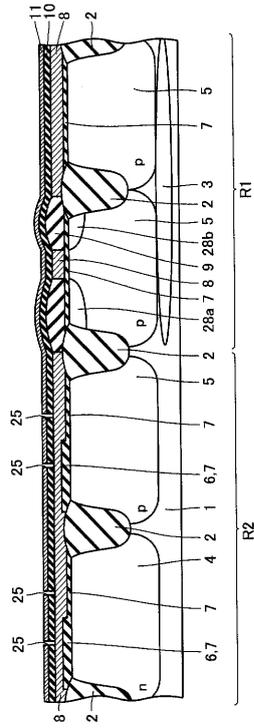
【図 11】



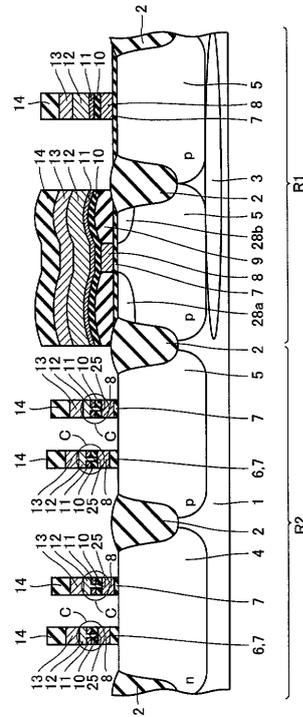
【図 12】



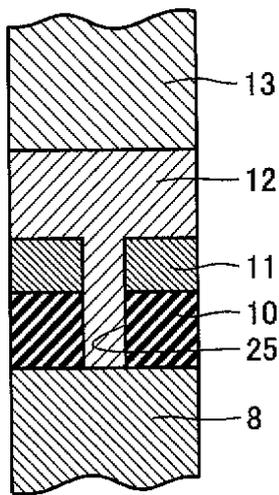
【 13 】



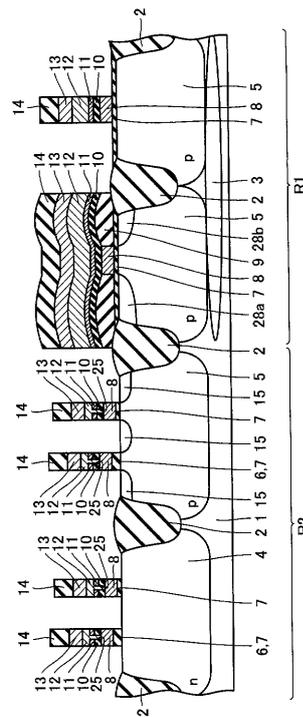
【 14 】



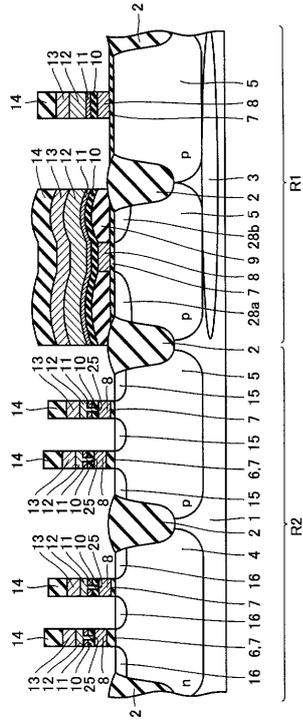
【 15 】



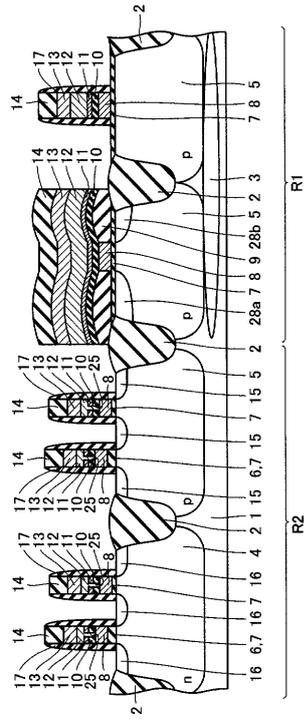
【 16 】



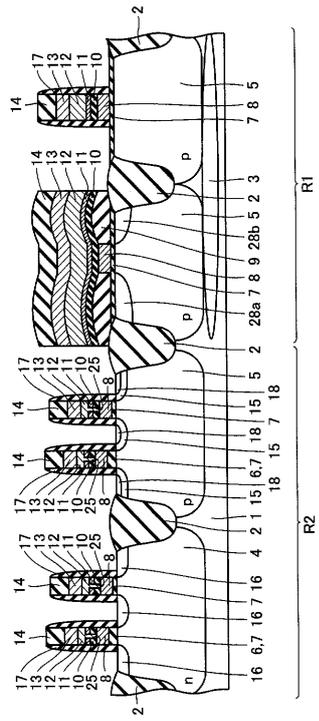
【 17 】



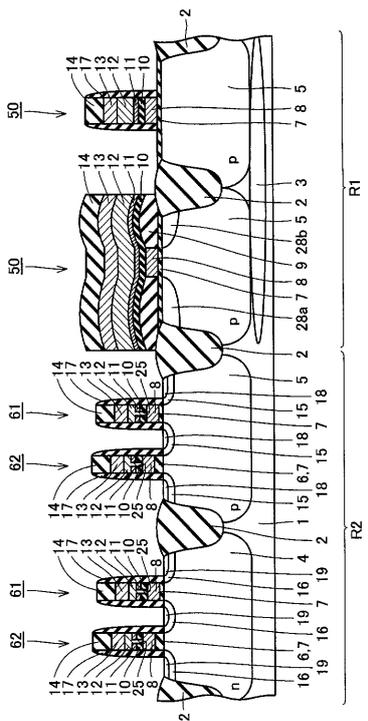
【 18 】



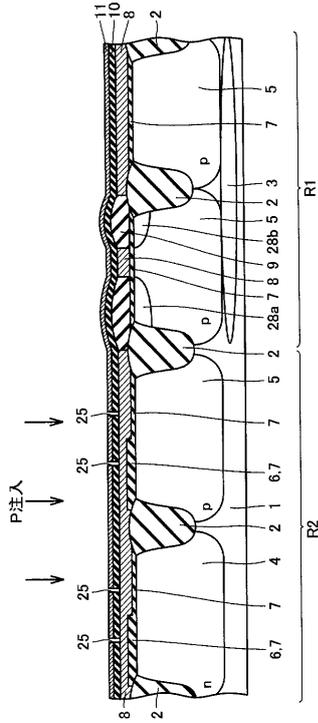
【 19 】



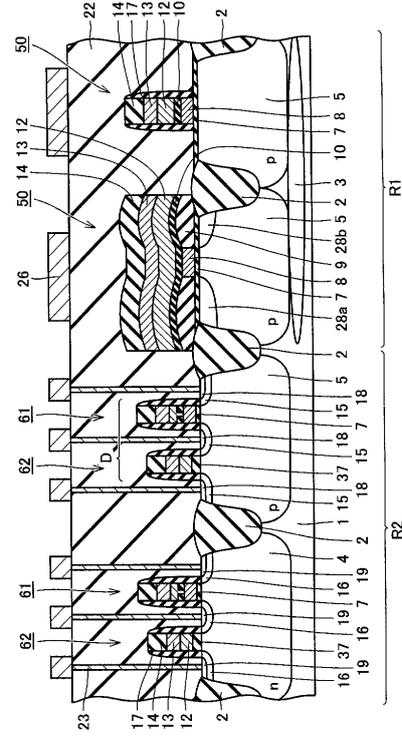
【 20 】



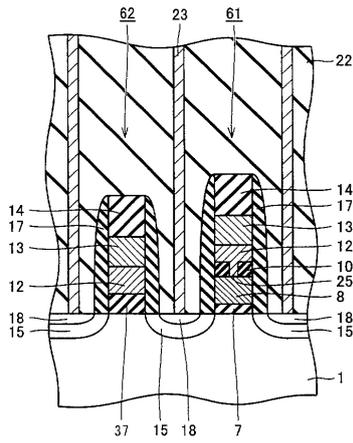
【図 2 1】



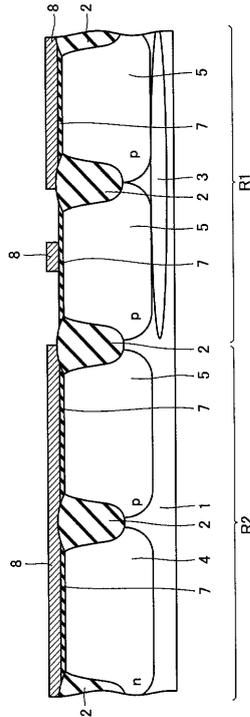
【図 2 2】



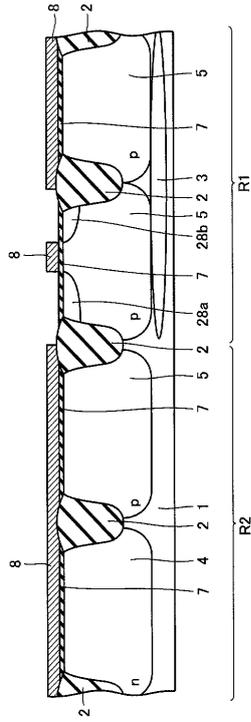
【図 2 3】



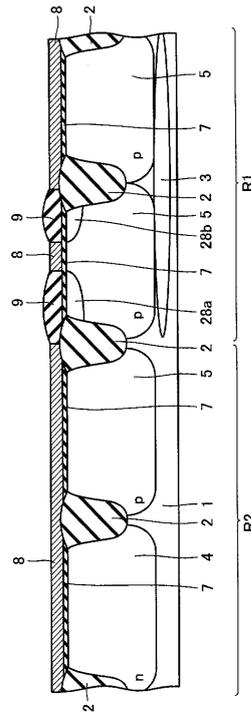
【図 2 4】



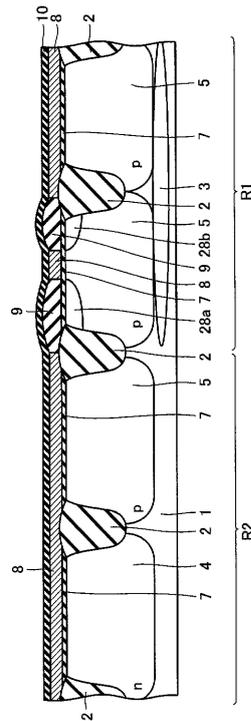
【図 25】



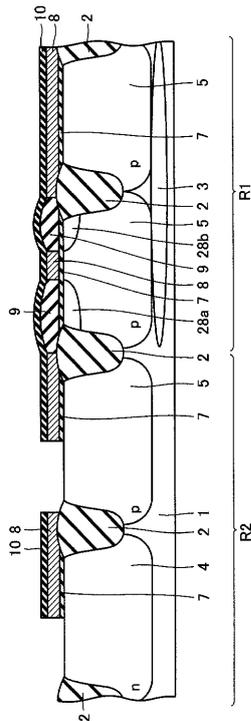
【図 26】



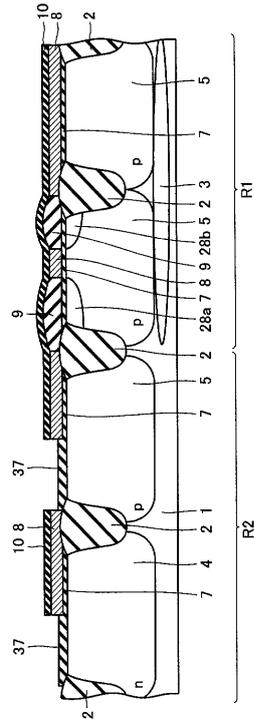
【図 27】



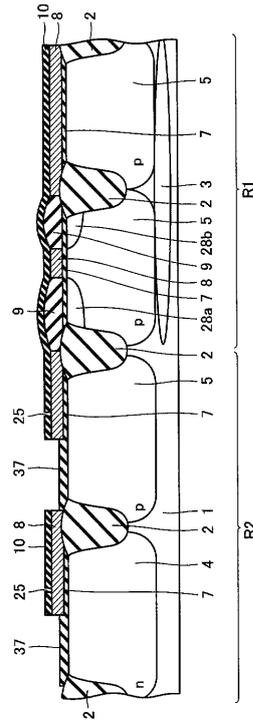
【図 28】



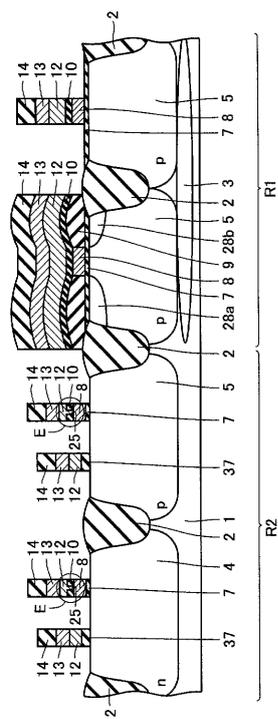
【 29 】



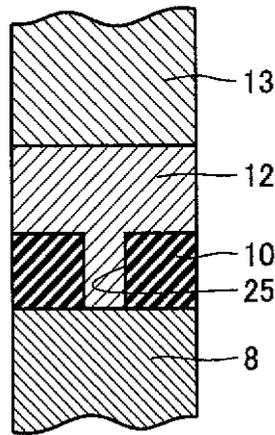
【 30 】



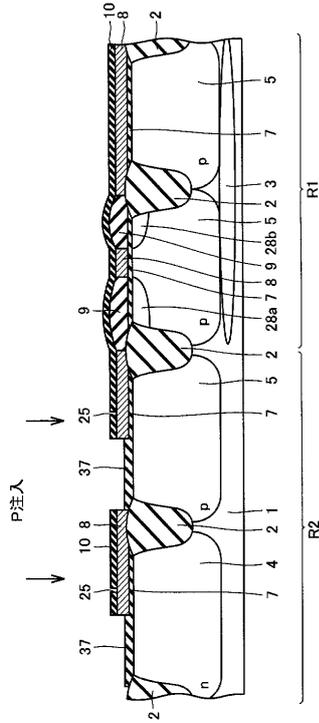
【 31 】



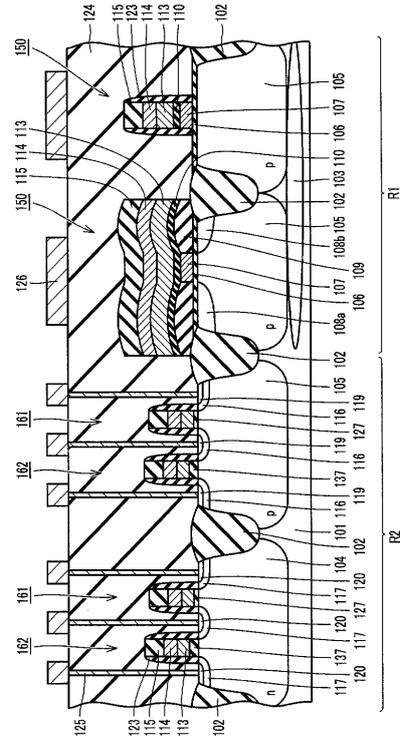
【 32 】



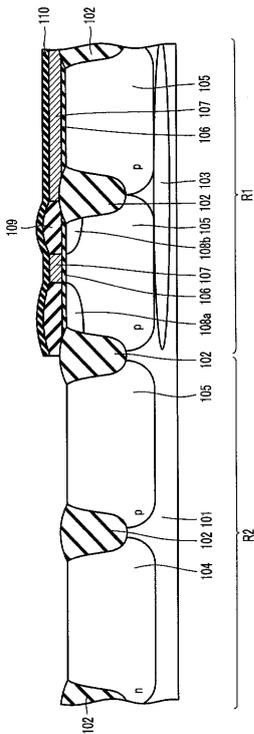
【図 33】



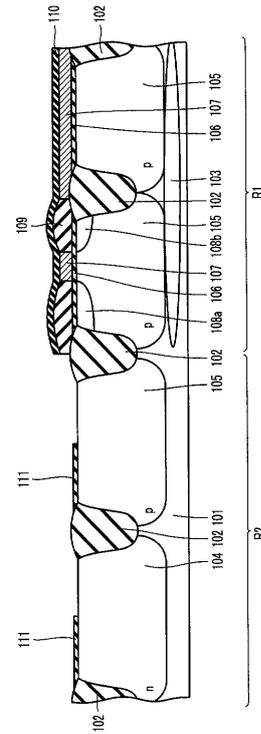
【図 34】



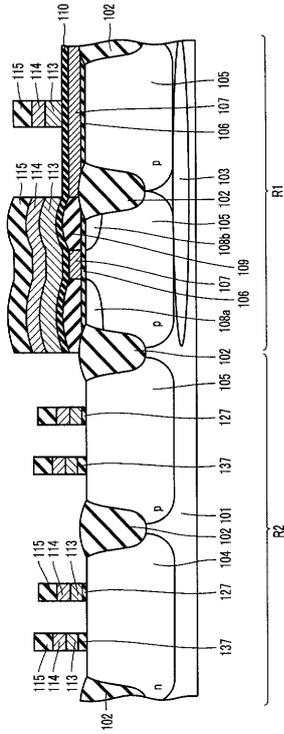
【図 35】



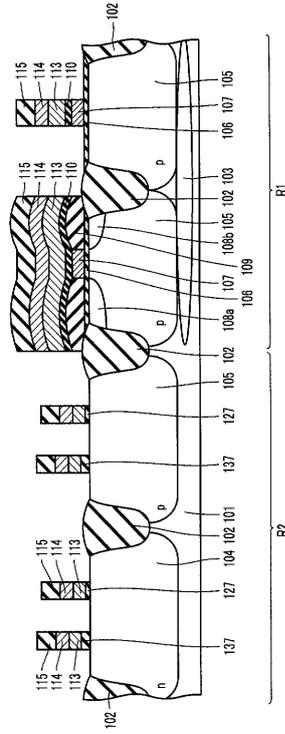
【図 36】



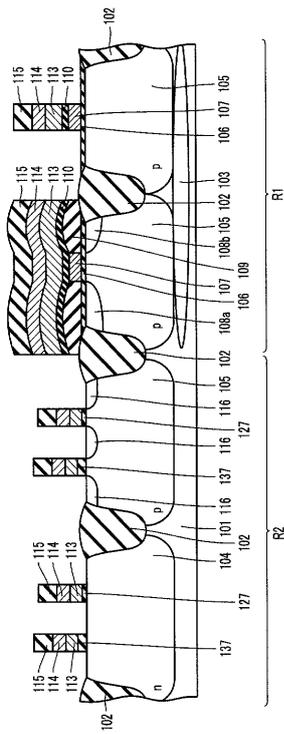
【 37 】



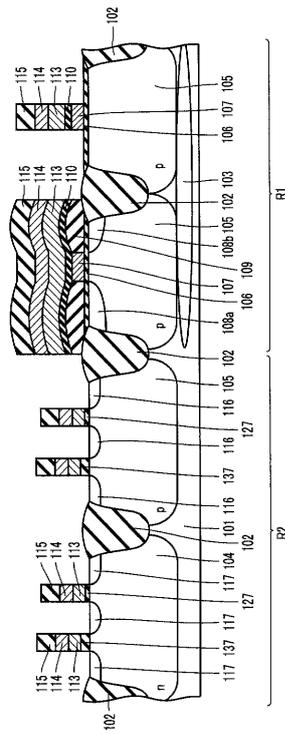
【 38 】



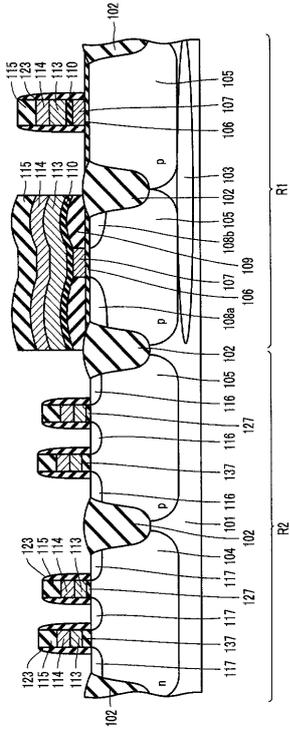
【 39 】



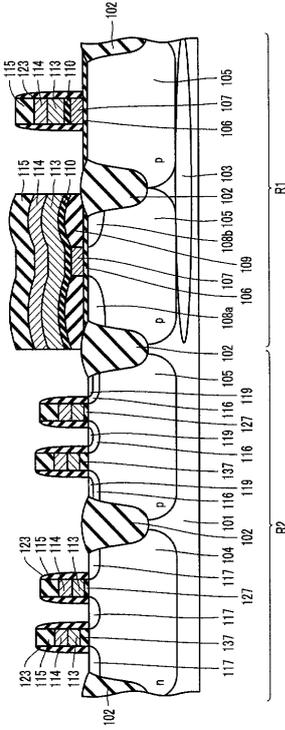
【 40 】



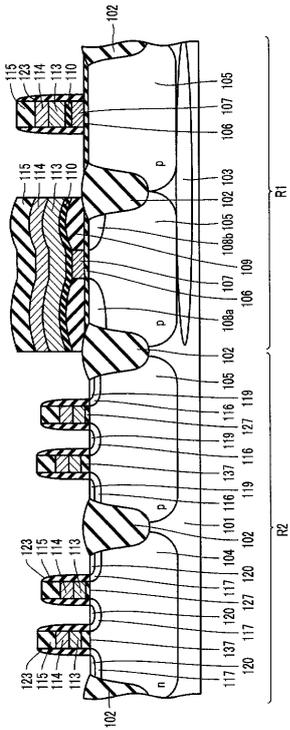
【 図 4 1 】



【 図 4 2 】



【 図 4 3 】



---

フロントページの続き

- (72)発明者 西岡 奈保  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 辻 直樹  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 井原 純

- (56)参考文献 特開2001-244424(JP,A)  
特開平09-153601(JP,A)  
特開平10-326881(JP,A)  
特開2003-060075(JP,A)  
特開2003-051557(JP,A)  
特開2000-260966(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247  
H01L 27/10  
H01L 27/115  
H01L 29/788  
H01L 29/792