

【特許請求の範囲】**【請求項 1】**

電源電圧が印加される入力端子と、
前記電源電圧を出力する出力端子と、
前記入力端子と前記出力端子との間の、電気的な接続と遮断とを切り替えるスイッチ部と、
前記電源電圧のピーク電圧を保持するコンデンサ部と、
前記電源電圧と前記コンデンサ部が保持するピーク電圧との所定の電位差から交流電源の接続を検出する交流検出部と、
前記交流検出部による前記交流電源の接続の検出にもとづいて前記スイッチ部を電気的な接続から遮断に切り替えさせる制御信号を出力する信号部と、
を備える保護回路。

10

【請求項 2】

前記交流検出部は、前記所定の電位差をツェナ電圧とするツェナダイオードである請求項 1 記載の保護回路。

【請求項 3】

前記信号部は、前記ツェナダイオードとフォトダイオードとを直列接続し、フォトトランジスタの出力を前記制御信号とするフォトカプラである請求項 2 記載の保護回路。

【請求項 4】

前記スイッチ部は、制御端子に所定電圧が印加されると、前記入力端子と前記出力端子とを電気的に接続する第 1 のスイッチング素子であって、
前記信号部は、前記制御端子に前記所定電圧を印加する状態と印加しない状態とを切り替える第 2 のスイッチング素子に前記制御信号を入力して、前記第 1 のスイッチング素子を制御する請求項 3 記載の保護回路。

20

【請求項 5】

前記所定の電位差がツェナ電圧以下の場合に、前記第 1 のスイッチング素子による前記入力端子と前記出力端子との電気的な接続を遅延させる遅延部、
を備える請求項 4 記載の保護回路。

【請求項 6】

前記第 1 のスイッチング素子による前記入力端子と前記出力端子との電気的な接続を、
前記入力端子に印加される交流電圧の二分の一周期の時間以上、遅延させる遅延部、
を備える請求項 4 記載の保護回路。

30

【請求項 7】

前記入力端子に所定の過電圧が入力された場合に、前記第 2 のスイッチング素子を前記制御端子に前記所定電圧を印加しない状態に切り替えて、前記入力端子と前記出力端子との間の電気的な接続を遮断する過電圧保護部、
を備える請求項 4 記載の保護回路。

【請求項 8】

前記第 1 のスイッチング素子は、MOS - FET 型スイッチング素子であって、
前記第 1 のスイッチング素子と互いに逆方向に直列接続され、前記入力端子に直流電源電圧が印加されたとき、いずれか一方の極性の直流電源電圧のみを前記出力端子に印加する MOS - FET 型スイッチング素子からなる逆極性入力保護部、
を備える請求項 4 記載の保護回路。

40

【請求項 9】

MOS - FET 型スイッチング素子のボディダイオードにより、前記入力端子に印加された逆極性の直流電源電圧の出力端子への入力を保護する逆極性入力保護部、
を備える請求項 4 記載の保護回路。

【請求項 10】

負荷回路と、
前記負荷回路を駆動する DC / DC コンバータと、

50

電源電圧が印加される入力端子と、
前記DC/DCコンバータに前記電源電圧を出力する出力端子と、
前記入力端子と前記出力端子との間の、電気的な接続と遮断とを切り替えるスイッチ部と、
前記電源電圧のピーク電圧を保持するコンデンサ部と、
前記電源電圧と前記コンデンサ部が保持するピーク電圧との所定の電位差から交流電源の接続を検出する交流検出部と、
前記交流検出部による前記交流電源の接続の検出にもとづいて前記スイッチ部を電気的な接続から遮断に切り替えさせる制御信号を出力する信号部と、
を備える電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、保護回路、および電子機器に関する。

【背景技術】

【0002】

電子機器には、入力端子を介して外部電源装置と接続され、電源供給を受けるものがある。電子機器には、外部電源装置から電源供給を受けて、スイッチング電源などのDC/DCコンバータにより所要の電圧に変換して負荷装置への電源供給をおこなうものもある。

20

【0003】

こうした電子機器の入力端子は、交流電源の入力端子と、直流電源の入力端子とを兼用するものがあり、電子機器には、DC/DCコンバータにユーザが誤って交流電圧を印加しないように保護する必要がある。また、電子機器の入力端子が交流電源の入力端子と、直流電源の入力端子とで兼用されていない場合であっても、電子機器は、意図しない交流電圧の印加からDC/DCコンバータを保護する必要がある。そのため、交流電圧の印加からDC/DCコンバータを保護する保護回路が知られている。

【0004】

また、保護回路が直流電圧を誤って交流電圧と検出してしまう場合があり、これを防止するために、コンデンサを通過する交流成分にもとづいて電源電圧が交流電圧であるか否かを検出する検出部を備えた保護回路の提案がある（たとえば、特許文献1参照）。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2010-226933号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、電子機器には、低電圧と高電圧のように異なる電圧が印加される場合がある。たとえば、スタンバイモードと通常モードを移行するような電子機器は、直流電源電圧としてスタンバイモード時の低電圧と通常モード時の高電圧とが印加される場合がある。

40

【0007】

このような電子機器の保護回路は、交流と認識する領域（スルーレート（周波数））がコンデンサと抵抗の時定数によって設定されているため、時定数以上の傾きとなる電圧変化を交流電源の印加として誤検出してしまうことがあった。

【0008】

本技術は、このような点に鑑みてなされたものであり、交流電源の入力を高精度に検出し、後段の回路を交流電源の入力から保護可能な保護回路、および電子機器の提供を目的とする。

50

【課題を解決するための手段】

【0009】

上記課題を解決するために、保護回路は、入力端子と、出力端子と、スイッチ部と、コンデンサ部と、交流検出部と、信号部と、を備える。入力端子は、電源電圧が印加される。出力端子は、電源電圧を出力する。スイッチ部は、入力端子と出力端子との間の、電氣的な接続と遮断とを切り替える。コンデンサ部は、電源電圧のピーク電圧を保持する。交流検出部は、電源電圧とコンデンサ部が保持するピーク電圧との所定の電位差から交流電源の接続を検出する。信号部は、交流検出部による交流電源の接続の検出にもとづいてスイッチ部を電氣的な接続から遮断に切り替えさせる制御信号を出力する。

【0010】

また、上記課題を解決するために、電子機器は、負荷回路と、DC/DCコンバータと、入力端子と、出力端子と、スイッチ部と、コンデンサ部と、交流検出部と、信号部と、を備える。DC/DCコンバータは、負荷回路を駆動する。入力端子は、電源電圧が印加される。出力端子は、DC/DCコンバータに電源電圧を出力する。

【発明の効果】

【0011】

上記の保護回路、および電子機器によれば、交流電源の入力を高精度に検出し、後段の回路を交流電源の入力から保護可能とする。

【図面の簡単な説明】

【0012】

【図1】実施形態の電子機器の構成例を示す図である。

【図2】実施形態の保護回路の構成例を示す図である。

【図3】実施形態の保護回路に輸入される交流電源を示す図である。

【図4】実施形態の保護回路に交流電源が輸入された状態（タイミングT1）を示す図である。

【図5】実施形態の保護回路に交流電源が輸入された状態（タイミングT2）を示す図である。

【図6】実施形態の保護回路に交流電源が輸入された状態（タイミングT3）を示す図である。

【図7】実施形態の保護回路に交流電源が輸入された状態（タイミングT4）を示す図である。

【図8】実施形態の保護回路に過電圧が輸入された状態を示す図である。

【図9】実施形態の保護回路に逆極性電圧が輸入された状態を示す図である。

【発明を実施するための形態】

【0013】

以下、本技術の実施形態を図面を参照して詳細に説明する。まず、実施形態の電子機器について図1を用いて説明する。図1は、実施形態の電子機器の構成例を示す図である。

【0014】

電子機器1は、たとえば、システムカメラなどの電子機器であって、電源装置2から電源供給を受けて動作する。電子機器1は、機能を制限して消費電力を抑えたスタンバイ状態と、通常動作可能な通常状態とに切替可能である。電子機器1は、たとえば、スタンバイ状態においてDC3.8Vが、通常状態においてDC1.80Vが給電される。

【0015】

電子機器1は、保護回路3と、DC/DCコンバータ4と、負荷回路5とを備える。電子機器1は、入力端子3aを介して電源装置2と保護回路3とを接続する。入力端子3aは、たとえば、図示しないAC電源とも接続可能なコネクタである。

【0016】

保護回路3は、電源装置2から電源電圧が印加され、直流電源電圧が印加されたときに、電源装置2とDC/DCコンバータ4とを電氣的に接続する処理をおこなう。すなわち、保護回路3は、DC/DCコンバータ4に交流電源電圧が印加されるのを防止するため

10

20

30

40

50

の保護回路として機能する。

【0017】

DC/DCコンバータ4は、保護回路3を介して、電源装置2から直流電源電圧を受けて変圧処理を行い、変圧した直流電圧を負荷回路5に印加する。

【0018】

負荷回路5は、DC/DCコンバータ4から印加された直流電圧により駆動する。

【0019】

次に、保護回路3の具体的な構成について図2を用いて説明する。図2は、実施形態の保護回路の構成例を示す図である。

【0020】

保護回路3は、電源装置2と接続される入力端子3aと、DC/DCコンバータ4と接続される出力端子3bとを備える。また、保護回路3は、コンデンサ部10と、交流検出部11と、信号部12、13と、スイッチ部14と、遅延部15と、過電圧保護部16と、逆極性入力保護部17とを備える。

【0021】

コンデンサ部10は、コンデンサC2からなる。コンデンサC2は、ダイオードD1、D2、抵抗R6を介して電源電圧のピーク電圧まで充電され、ピーク電圧を保持する。たとえば、コンデンサ部10は、入力端子3aにDC38Vが印加されている場合に38Vに充電され、入力端子3aにDC180Vが印加されている場合に180Vに充電される。また、コンデンサ部10は、入力端子3aにAC100Vが印加されている場合に約140Vに充電される。

【0022】

交流検出部11は、ツェナダイオードZD3からなる。ツェナダイオードZD3は、カソードをコンデンサC2側に接続する。ツェナダイオードZD3は、A点(電位Va)とB点(電位Vb)の電位差がツェナ電圧Vz3以上(Va - Vb)となった場合にオンする。このように、交流検出部11は、コンデンサ部10に印加されたピーク電圧からツェナ電圧Vzの電圧降下にもとづいて交流検出をおこなう。これにより、従来のコンデンサと抵抗によって設定される時定数以上の傾きとなる電圧変化を交流電源と判定した保護回路と比較して保護回路3は、交流電源の誤検出が低減し、交流電源の検出精度が向上する。

【0023】

信号部12、13は、それぞれフォトカプラU1、U2からなる。フォトカプラU1、U2は、それぞれ1対のフォトダイオードとフォトランジスタを内蔵する。フォトカプラU1、U2が内蔵するフォトダイオードは、コンデンサC2、ツェナダイオードZD3と直列接続する。これにより、ツェナダイオードZD3がオンしたときに、コンデンサC2の放電によりフォトダイオードが点灯し、フォトランジスタをオンする。このように、信号部12、13は、交流検出部11による交流電源の接続の検出にもとづいて制御信号を出力する。

【0024】

なお、信号部12が出力する制御信号は、トランジスタQ1を介してスイッチ部14を制御する。また、信号部13が出力する制御信号は、MOS-FET(Metal Oxide Semiconductor - Field Effect Transistor)Q3を制御する。

【0025】

スイッチ部14は、MOS-FET(Q2)からなる。MOS-FET(Q2)は、ソースを入力端子3a側、ドレインを出力端子3b側にして、ゲートをトランジスタQ1のコレクタと接続する。これにより、MOS-FET(Q2)は、トランジスタQ1のオン/オフにもとづいて制御され、入力端子3aと出力端子3bとの間の電氣的な接続と遮断とを切替可能にしている。すなわち、スイッチ部14は、信号部12が出力する制御信号にしたがい制御される。このようにして、保護回路3は、検出した交流電源を遮断することができる。

10

20

30

40

50

【0026】

遅延部15は、抵抗R5とコンデンサC1とからなる。遅延部15は、スイッチ部14のオフからオンへの切替を、設定時間遅延させる。設定時間（遅延時間）は、交流電源入力中のツェナダイオードZD3のオフ時間以上となる。すなわち、設定時間は、A点（電位V_a）とB点（電位V_b）の電位差がツェナ電圧V_z未満（V_a < V_b）にある時間以上である。これにより、保護回路3は、一旦検出した交流電源を継続的に遮断することができる。

【0027】

なお、設定時間（遅延時間）は、入力端子3aに印加される交流電圧の二分の一周期の時間以上としてもよい。これにより、保護回路3は、一旦検出した交流電源の遮断を、十分な余裕を持って継続することができる。

10

【0028】

具体的には、遅延時間は、AC100V（50Hz）の入力の場合、ツェナダイオードZD3のオフから10ms経過時点でMOS-FET（Q2）のゲート-ソース間電圧V_{gs}がゲート-ソース間閾値電圧の2V以下となるように設定される。遅延時間の設定は、ツェナダイオードZD1がクランプするC点の電位V_cと、抵抗R5とコンデンサC1により決めることができる。

【0029】

たとえば、抵抗R5の抵抗値を330k、コンデンサC1の容量を0.22μFとすると、遅延時間T_{msk}は、(1)式のように求めることができる。これにより、遅延時間T_{msk}は、12.3msとなり、交流電圧の二分の一周期の時間である10ms以上の遅延時間を確保する。

20

【0030】

$$T_{msk} = -c1 \times R \times \log_e \left(\frac{V_{z1} - V_{gs2}}{V_{z1}} \right) \cdots (1)$$

ただし、V_{gs2}は、MOS-FET（Q2）のゲート-ソース間電圧、c1は、コンデンサC1の容量、V_{z1}は、ツェナダイオードZD1のツェナ電圧である。

【0031】

過電圧保護部16は、抵抗R1、R2、R3、R4、ツェナダイオードZD1、ZD2、トランジスタQ1からなる。過電圧保護部16は、入力端子3aに過電圧が印加された場合、スイッチ部14が入力端子3aと出力端子3bとの間の電氣的な接続を遮断するように制御する。過電圧保護部16の詳細は、図8を用いて後で説明する。

30

【0032】

逆極性入力保護部17は、抵抗R7、R8、コンデンサC3、ツェナダイオードZD4、ZD5、MOS-FET（Q3）からなる。逆極性入力保護部17は、MOS-FET（Q3）のボディダイオードにより、入力端子3aに印加された逆極性の直流電源電圧の出力端子3bへの入力を保護する。逆極性入力保護部17の詳細は、図9を用いて後で説明する。

【0033】

このように、保護回路3は、交流電源を遮断する交流電源遮断機能、過電圧入力から保護する過電圧保護機能、逆極性入力から保護する逆極性入力保護機能を有する。これにより、保護回路3は、交流電源の入力を高精度に検出し、後段の回路を交流電源の入力から保護可能となる。また、保護回路3は、後段の回路を過電圧入力から保護することができる。また、保護回路3は、後段の回路を逆極性入力から保護することができる。

40

【0034】

また、電子機器1は、交流電源の入力を高精度に検出し、保護回路3の後段のDC/DCコンバータ4、負荷回路5を交流電源の入力から保護可能となる。また、電子機器1は、保護回路3の後段のDC/DCコンバータ4、負荷回路5を過電圧入力から保護することができる。また、電子機器1は、保護回路3の後段のDC/DCコンバータ4、負荷回路5を逆極性入力から保護することができる。

【0035】

50

次に、保護回路 3 に交流電源が入力されたときの、交流電源の入力状態ごとの保護回路 3 の動作について、図 3 から図 7 を用いて説明する。図 3 は、実施形態の保護回路に入力される交流電源を示す図である。図 4 は、実施形態の保護回路に交流電源が入力された状態（タイミング T 1）を示す図である。図 5 は、実施形態の保護回路に交流電源が入力された状態（タイミング T 2）を示す図である。図 6 は、実施形態の保護回路に交流電源が入力された状態（タイミング T 3）を示す図である。図 7 は、実施形態の保護回路に交流電源が入力された状態（タイミング T 4）を示す図である。

【 0 0 3 6 】

まず、入力電圧がピーク電圧に向かって上昇するタイミング T 1 の保護回路 3（図 4）の動作を説明する。入力端子 3 a に正極性の電圧が印加されると、保護回路 3 は、図示する太線矢印のように電流が流れる。ダイオード D 1 を通った後、電流は、ダイオード D 2 を通る経路と、抵抗 R 1 を通る経路に分岐する。ダイオード D 2 を通る経路の電流は、コンデンサ C 2 を充電する。このとき、コンデンサ C 2 は、ダイオード D 2 経路で充電されて入力電圧のピーク電圧を保持する。したがって、コンデンサ部 1 0 は、タイミング T 1 において電源電圧のピーク電圧を保持する機能を有する。

10

【 0 0 3 7 】

一方、抵抗 R 1 を通る経路は、抵抗 R 1、R 2、R 3 によって分圧される。なお、入力電圧が所定電圧まで上昇すると、MOS-FET（Q 2）は、ゲート-ソース間電圧 V_{gs} がゲート-ソース間閾値電圧を超えてオンする。

【 0 0 3 8 】

次に、入力電圧がピーク電圧に達した後に降下するタイミング T 2 の保護回路 3（図 5）の動作を説明する。なお、タイミング T 2 において、入力電圧は、ピーク電圧からの降下がツェナ電圧 V_{z3} に満たない電圧である。保護回路 3 は、入力端子 3 a に印加される入力電圧が降下したことで、コンデンサ C 2 がピーク電圧を保持する電位 A よりも、電位 B が低くなる。したがって、保護回路 3 は、図示する太線矢印のように抵抗 R 1 を通る経路のみに電流が流れる。

20

【 0 0 3 9 】

次に、入力電圧がピーク電圧からツェナ電圧 V_{z3} だけ降下した以降のタイミング T 3 の保護回路 3（図 6）の動作を説明する。すなわち、タイミング T 3 において、入力電圧は、(2) 式を満たす状態である。

30

【 0 0 4 0 】

$$V_a > V_b + V_{z3} \cdots (2)$$

【 0 0 4 1 】

この状態でツェナダイオード Z D 3（交流検出部 1 1）は、オンする。すなわち、交流検出部 1 1 は、電源電圧と、コンデンサ部 1 0 が保持するピーク電圧からツェナ電圧 V_z の電圧降下を検出することによって、交流電源の印加を検出する。これにより、電圧変化の勾配を監視した交流電源の検出方法よりも、保護回路 3 は、より高精度に交流電源の検出をおこなうことができる。特に、スタンバイモード、通常モードのように、複数の異なる電圧入力がある場合に、保護回路 3 は、モード切替時の交流電源の誤検出を排除することができる。

40

【 0 0 4 2 】

なお、ツェナ電圧 V_{z3} は、後段の負荷回路 5 の負荷状態、あるいは前段の電源装置 2 の電源供給状態にもとづく入力電圧の変動（電圧降下）時に、交流電源と誤検出しない電圧が設定される。たとえば、ツェナ電圧 V_{z3} は、通常モードの DC 180 V 入力に対して 15% 程度の電圧降下を許容する場合、30 V 程度となる。

【 0 0 4 3 】

ツェナダイオード Z D 3 のオンにより、保護回路 3 は、図示する太線矢印のようにフォトカプラ U 2（信号部 1 3）、フォトカプラ U 1（信号部 1 2）を通る経路に電流が流れる。フォトカプラ U 1 は、フォトダイオードが点灯し、フォトトランジスタをオンする。フォトトランジスタのオンは、トランジスタ Q 1 をオンすることで、MOS-FET（Q

50

2) (スイッチ部14)をオフする。これにより、保護回路3は、検出した交流電源を遮断する。この保護回路3が交流電源を遮断した状態は、(2)式を満たす間、継続する。

【0044】

次に、入力電圧とピーク電圧の電位差がツェナ電圧 V_{z3} に満たない状態のタイミング T_4 の保護回路3(図7)の動作を説明する。すなわち、タイミング T_4 において、入力電圧は、(3)式を満たす状態である。

【0045】

$$V_a < V_b + V_{z3} \dots (3)$$

【0046】

この状態でツェナダイオード ZD_3 (交流検出部11)は、オフする。したがって、フォトプラ U_1 (信号部12)のフォトダイオードは、オフし、トランジスタ Q_1 は、オフする。遅延部15は、トランジスタ Q_1 のオフによる $MOS-FET(Q_2)$ (スイッチ部14)のオンを、少なくともタイミング T_4 の間、遅延させる。これにより、保護回路3は、一旦、交流電源を遮断すると、継続して交流電源を遮断することができる。また、保護回路3は、遅延部15により $MOS-FET(Q_2)$ の突入電流を原因とする発熱、故障を防止し、信頼性向上を図ることができる。

【0047】

次に、保護回路3に過電圧が入力されたときの、保護回路3の動作について、図8を用いて説明する。図8は、実施形態の保護回路に過電圧が入力された状態を示す図である。

【0048】

過電圧保護部16は、抵抗 R_1 、 R_2 、 R_3 を直列接続して入力電圧を分圧する。過電圧保護部16は、入力端子3aに所定の入力電圧(過電圧でない)が印加されると、スイッチ部14をオンし、入力端子3aと出力端子3bとの間を電氣的に接続する。このとき、ツェナダイオード ZD_1 は、ゲート-ソース間電圧 V_{gs} が過大とならないよう保護する。これにより、スイッチ部14は、スタンバイ状態および通常状態において入力端子3aと出力端子3bとの間を電氣的に接続する。

【0049】

一方、過電圧保護部16は、ツェナダイオード ZD_2 がオンするまで電圧が上昇すると、すなわち過電圧が印加されると、トランジスタ Q_1 がオンし、 $MOS-FET(Q_2)$ がオフする。これにより、スイッチ部14は、過電圧状態において入力端子3aと出力端子3bとの間を電氣的に遮断する。このようにして、保護回路3は、入力端子3aに過電圧が印加されると、出力端子3bから後段への過電圧の印加を遮断する。

【0050】

なお、具体的には、過電圧保護部16は、(4)式の成立時に $MOS-FET(Q_2)$ がオンするように各パラメータが設定される。

【0051】

$$V_{gs2} = V_{in} \times r_3 / (r_1 + r_2 + r_3) \dots (4)$$

ただし、 V_{gs2} は、 $MOS-FET(Q_2)$ のゲート-ソース間電圧、 V_{in} は、入力電圧、 r_1 、 r_2 、 r_3 は、それぞれ抵抗 R_1 、 R_2 、 R_3 の抵抗値である。

【0052】

また、過電圧保護部16は、(5)式の成立時にツェナダイオード ZD_2 がオンするように各パラメータが設定される。

【0053】

$$(V_{r2} + V_{z1}) > V_{z2} \dots (5)$$

ただし、 V_{r2} は、抵抗 R_2 にかかる電圧、 V_{z1} 、 V_{z2} は、それぞれツェナダイオード ZD_1 、 ZD_2 のツェナ電圧である。

【0054】

これにより、保護回路3は、簡潔な回路構成にて、後段の回路を過電圧から保護することができる。また、保護回路3は、後段の回路の耐圧を抑えることができるので、後段回路の低コスト化、コンパクト化に貢献する。

10

20

30

40

50

【 0 0 5 5 】

次に、保護回路 3 に逆極性の電圧が入力されたときの、保護回路 3 の動作について、図 9 を用いて説明する。図 9 は、実施形態の保護回路に逆極性電圧が入力された状態を示す図である。

【 0 0 5 6 】

逆極性入力保護部 17 は、入力端子 3 a と出力端子 3 b との間の電氣的な接続と遮断を MOS - FET (Q 3) により制御する。逆極性入力保護部 17 は、入力端子 3 a に所定の入力電圧が印加されると、MOS - FET (Q 3) をオンし、入力端子 3 a と出力端子 3 b との間を電氣的に接続する。これにより、MOS - FET (Q 3) は、通常状態において入力端子 3 a と出力端子 3 b との間を電氣的に接続する。逆極性入力時には、逆極性入力保護部 17 は、MOS - FET (Q 3) がオフであり、MOS - FET (Q 3) のボディダイオード BD により逆極性入力から保護する。

10

【 0 0 5 7 】

なお、具体的には、逆極性入力保護部 17 は、(6) 式の成立時に MOS - FET (Q 3) がオンするように各パラメータが設定される。

【 0 0 5 8 】

$$V_{gs3} = (V_{in} - V_{z4}) \times r_8 / (r_7 + r_8) \cdots (6)$$

ただし、 V_{gs3} は、MOS - FET (Q 3) のゲート - ソース間電圧、 V_{in} は、入力電圧、 V_{z4} は、ツェナダイオード ZD 4 のツェナ電圧、 r_7 、 r_8 は、それぞれ抵抗 R 7、R 8 の抵抗値である。

20

【 0 0 5 9 】

なお、MOS - FET (Q 3) は、交流検出部 11 が交流を検出した場合、信号部 13 がオンし、MOS - FET (Q 3) は、オフする。

【 0 0 6 0 】

これにより、保護回路 3 は、簡潔な回路構成にて、後段の回路を逆極性の電圧入力から保護することができる。

【 0 0 6 1 】

なお、MOS - FET (Q 2) と MOS - FET (Q 3) は、ドレイン - ソース間が互いに逆方向になるように直列接続され、入力端子 3 a に直流電源電圧が印加されたとき、何れか一方の極性の直流電圧のみを出力端子 3 b に印加する。このようにして、MOS - FET (Q 2) と MOS - FET (Q 3) を接続することで、保護回路 3 は、DC / DC コンバータ 4 に対して直流電源電圧が逆方向に印加されるのを防止する。

30

【 0 0 6 2 】

なお、保護回路 3 は、DC / DC コンバータ 4 側に交流電源電圧の供給を遮断する観点においては、入力端子 3 a を介して電源電圧が制御端子に印加されると、入力端子 3 a と出力端子 3 b とを電氣的に接続するスイッチング素子を 1 つだけ備えるものであってもよい。すなわち、保護回路 3 は、過電圧保護部 16、逆極性入力保護部 17 を任意の構成としてもよい。

【 0 0 6 3 】

なお、本技術は以下のような構成も採ることができる。

40

(1) 電源電圧が印加される入力端子と、

前記電源電圧を出力する出力端子と、

前記入力端子と前記出力端子との間の、電氣的な接続と遮断とを切り替えるスイッチ部と、

前記電源電圧のピーク電圧を保持するコンデンサ部と、

前記電源電圧と前記コンデンサ部が保持するピーク電圧との所定の電位差から交流電源の接続を検出する交流検出部と、

前記交流検出部による前記交流電源の接続の検出にもとづいて前記スイッチ部を電氣的な接続から遮断に切り替えさせる制御信号を出力する信号部と、

を備える保護回路。

50

(2) 前記交流検出部は、前記所定の電位差をツェナ電圧とするツェナダイオードである(1)記載の保護回路。

(3) 前記信号部は、前記ツェナダイオードとフォトダイオードとを直列接続し、フォトトランジスタの出力を前記制御信号とするフォトカプラである(2)記載の保護回路。

(4) 前記スイッチ部は、制御端子に所定電圧が印加されると、前記入力端子と前記出力端子とを電氣的に接続する第1のスイッチング素子であって、

前記信号部は、前記制御端子に前記所定電圧を印加する状態と印加しない状態とを切り替える第2のスイッチング素子に前記制御信号を入力して、前記第1のスイッチング素子を制御する(2)または(3)記載の保護回路。

(5) 前記所定の電位差がツェナ電圧以下の場合に、前記第1のスイッチング素子による前記入力端子と前記出力端子との電氣的な接続を遅延させる遅延部、

を備える(4)記載の保護回路。

(6) 前記第1のスイッチング素子による前記入力端子と前記出力端子との電氣的な接続を、前記入力端子に印加される交流電圧の二分の一周期の時間以上、遅延させる遅延部、

を備える(4)記載の保護回路。

(7) 前記入力端子に所定の過電圧が入力された場合に、前記第2のスイッチング素子を前記制御端子に前記所定電圧を印加しない状態に切り替えて、前記入力端子と前記出力端子との間の電氣的な接続を遮断する過電圧保護部、

を備える(4)乃至(6)記載の保護回路。

(8) 前記第1のスイッチング素子は、MOS-FET型スイッチング素子であって、前記第1のスイッチング素子と互いに逆方向に直列接続され、前記入力端子に直流電源電圧が印加されたとき、いずれか一方の極性の直流電源電圧のみを前記出力端子に印加するMOS-FET型スイッチング素子からなる逆極性入力保護部、

を備える(4)乃至(7)記載の保護回路。

(9) MOS-FET型スイッチング素子のボディダイオードにより、前記入力端子に印加された逆極性の直流電源電圧の出力端子への入力を保護する逆極性入力保護部、

を備える(4)乃至(8)記載の保護回路。

(10) 負荷回路と、

前記負荷回路を駆動するDC/DCコンバータと、

電源電圧が印加される入力端子と、

前記DC/DCコンバータに前記電源電圧を出力する出力端子と、

前記入力端子と前記出力端子との間の、電氣的な接続と遮断とを切り替えるスイッチ部と、

前記電源電圧のピーク電圧を保持するコンデンサ部と、

前記電源電圧と前記コンデンサ部が保持するピーク電圧との所定の電位差から交流電源の接続を検出する交流検出部と、

前記交流検出部による前記交流電源の接続の検出にもとづいて前記スイッチ部を電氣的な接続から遮断に切り替えさせる制御信号を出力する信号部と、

を備える電子機器。

【0064】

なお、上述の実施の形態は、実施の形態の要旨を逸脱しない範囲内において種々の変更を加えることができる。

【0065】

さらに、上述の実施の形態は、多数の変形、変更が当業者にとって可能であり、説明した正確な構成および応用例に限定されるものではない。

【符号の説明】

【0066】

1 …… 電子機器、2 …… 電源装置、3 …… 保護回路、3 a …… 入力端子、3 b …… 出力端子、4 …… DC/DCコンバータ、5 …… 負荷回路、10 …… コンデンサ部、11 …… 交流検出部、12, 13 …… 信号部、14 …… スイッチ部、15 …… 遅延部、16 …… 過

10

20

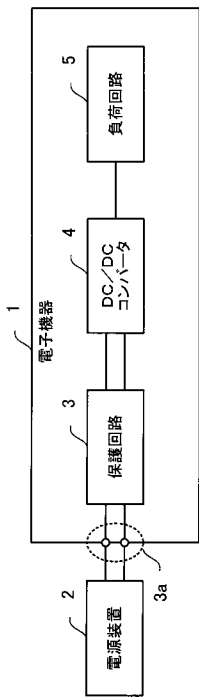
30

40

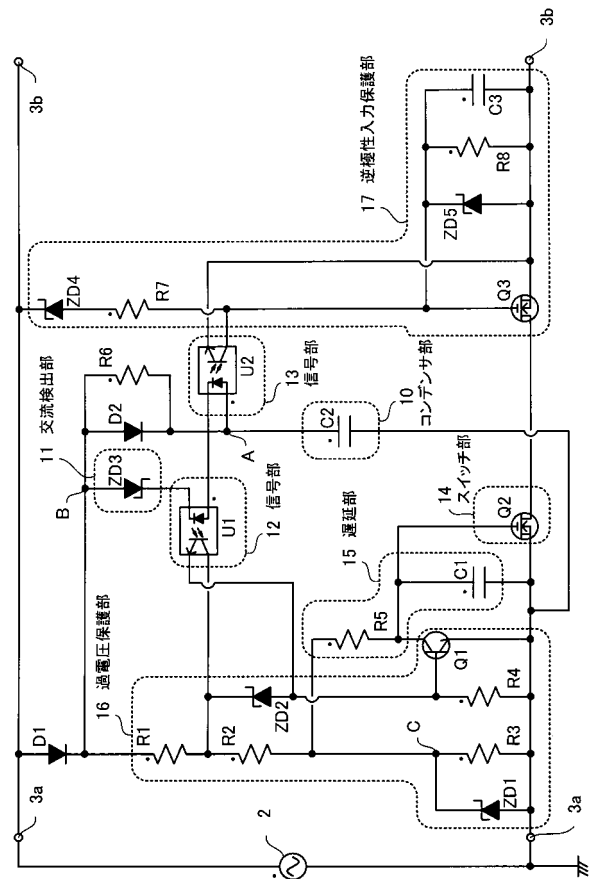
50

電圧保護部、17.....逆極性入力保護部、C1, C2, C3.....コンデンサ、D1, D2.....ダイオード、Q1.....トランジスタ、Q2, Q3.....MOS-FET、R1, R2, R3, R4, R5, R6, R7, R8.....抵抗、U1, U2.....フォトカプラ、ZD1, ZD2, ZD3, ZD4, ZD5.....ツェナダイオード、BD.....ボディダイオード

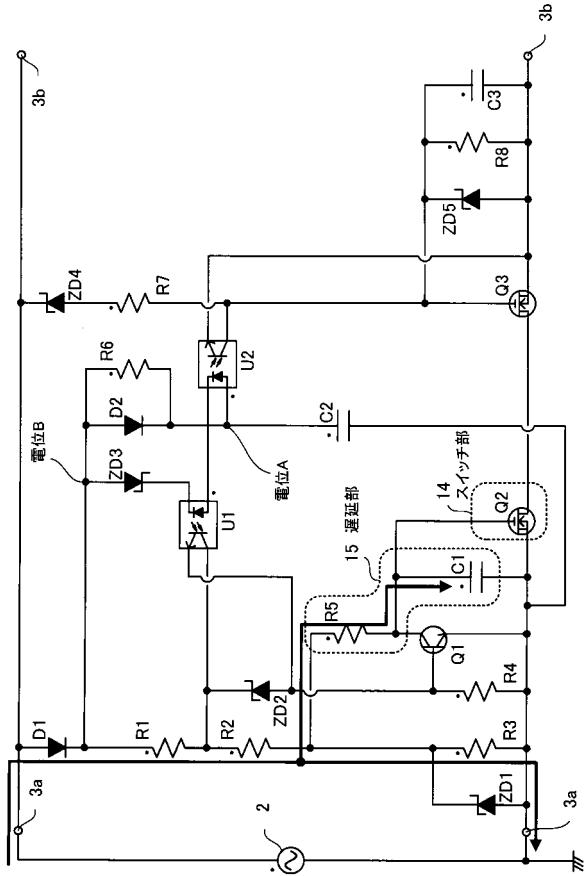
【図1】



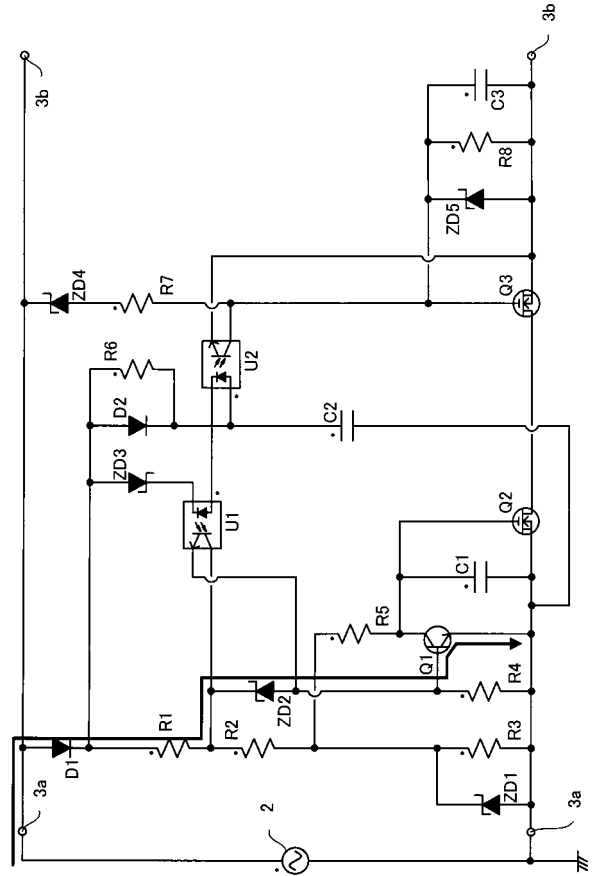
【図2】



【 図 7 】



【 図 8 】



【 図 9 】

