

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-142019

(P2012-142019A)

(43) 公開日 平成24年7月26日(2012.7.26)

(51) Int.Cl.		F I		テーマコード (参考)
<b>G06F 1/26</b>	<b>(2006.01)</b>	G06F 1/00	331Z	5B011
<b>H02M 3/155</b>	<b>(2006.01)</b>	H02M 3/155	W	5H730
		H02M 3/155	H	

審査請求 有 請求項の数 20 O L (全 9 頁)

(21) 出願番号 特願2012-86253 (P2012-86253)  
 (22) 出願日 平成24年4月5日 (2012.4.5)  
 (62) 分割の表示 特願2009-525665 (P2009-525665) の分割  
 原出願日 平成19年9月24日 (2007.9.24)  
 (31) 優先権主張番号 11/540,075  
 (32) 優先日 平成18年9月28日 (2006.9.28)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 591003943  
 インテル・コーポレーション  
 アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブレーバード・2200  
 (74) 代理人 100091915  
 弁理士 本城 雅則  
 (74) 代理人 100099106  
 弁理士 本城 吉子  
 (72) 発明者 ディベン, テッド  
 アメリカ合衆国 ワシントン州 98501 オリンピア 87ス・アベニュー・サウスイースト4408

最終頁に続く

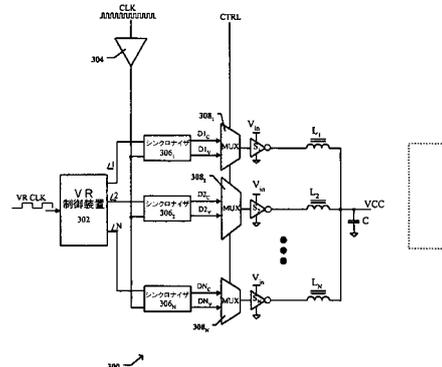
(54) 【発明の名称】 駆動オーバーライドを備えた電圧レギュレータ

(57) 【要約】

【課題】 来るべき負荷変動に対する調整を電圧レギュレータが可能にするための技術が提示される。

【解決手段】 来るべき負荷変動に対する調整を電圧レギュレータが可能にするための技術が提示される。いくつかの実施例では、関連するクロック信号を有するマイクロプロセッサ・コアのような機能ブロックに対して、少なくとも1つのスイッチング・タイプの電圧レギュレータによって電力が供給される。機能ブロックが電力レベルの増大を要求しようとするとき、低い周波数である通常の駆動信号をオーバーライドして、関連するクロックが少なくとも1つのレギュレータのスイッチを駆動するために提供される。このように、スイッチは、負荷変動に十分に先立って（例えば、少し前に）より高い周波数で駆動され、そうでなければ生じたであろう垂下量を低減させる。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

電圧レギュレータ（VR）クロックから派生した駆動信号によって切り換えられるスイッチング電圧レギュレータを含み、

前記スイッチング電圧レギュレータは、前記VRクロックとは分離した関連する機能回路クロックを有する機能回路に電圧を供給し、

前記機能回路クロックは、前記VRクロックの周波数よりも高い周波数を有し、

前記駆動信号は、前記機能回路からの制御信号に応答して前記VRクロックの代わりに前記機能回路クロックから派生し、

前記制御信号は、前記機能回路中の負荷の変化を示す、  
ことを特徴とする機器。

10

## 【請求項 2】

VRクロックから派生した駆動信号および機能回路クロック派生した駆動信号の中から選択するマルチプレクサであって、前記マルチプレクサは、前記制御信号に従って選択する、

ことを特徴とする請求項 1 記載の機器。

## 【請求項 3】

前記機能回路は、マイクロプロセッサ・コアであることを特徴とする請求項 1 記載の機器。

## 【請求項 4】

前記マイクロプロセッサ・コアは、前記供給中の前記コアの負荷が増加しようとするときに、前記制御信号を送出することを特徴とする請求項 1 ないし 3 記載の機器。

20

## 【請求項 5】

前記コアは、前記供給中の前記コアの負荷が閾値を上回って増加するときに、前記制御信号を送出することを特徴とする請求項 4 記載の機器。

## 【請求項 6】

前記機能回路クロックを前記VRクロックに同期させるための同期回路をさらに含むことを特徴とする請求項 1 記載の機器。

## 【請求項 7】

前記同期回路は、前記VRクロック信号から派生した第 1 駆動信号、および前記機能回路クロックから派生した第 2 駆動信号を提供し、前記第 1 および第 2 駆動信号は相互にエッジで同期し、前記第 2 駆動信号は前記第 1 駆動信号よりも高い周波数を有することを特徴とする請求項 6 記載の機器。

30

## 【請求項 8】

前記同期回路は、前記マルチプレクサに結合されることを特徴とする請求項 2 または 6 記載の機器。

## 【請求項 9】

前記電圧レギュレータは、多相スイッチング型のレギュレータであり、前記駆動信号は、互いに位相のずれた複数の駆動信号からなることを特徴とする請求項 1 記載の機器。

## 【請求項 10】

前記VRおよび機能回路は、共通の集積回路パッケージの一部であることを特徴とする請求項 1 記載の機器。

40

## 【請求項 11】

前記機能回路および前記電圧レギュレータの少なくとも一部は、個別のダイ上にあることを特徴とする請求項 1 記載の機器。

## 【請求項 12】

前記駆動信号は、安定性を維持するために十分に少ない時間量の間、前記機能回路クロックから派生することを特徴とする請求項 1 記載の機器。

## 【請求項 13】

第 1 のクロックで出力電圧を生成するための少なくとも 1 つのスイッチを有するスイッ

50

チング電圧レギュレータ（VR）を含み、

前記出力電圧は、機能回路に提供され、前記少なくとも1つのスイッチは、前記機能回路が増加した電流を要求しようとするときに、前記出力電圧中の垂下を抑制するために、前記第1のクロックに代えてより高い周波数の第2のクロックによって駆動され、

前記第1および第2のクロックは分離されており、かつ共存するクロックであり、

前記機能回路は、前記機能回路の前記出力電圧上の負荷が増加するであろうとき、あるいは前記機能回路が増加した電流を要求するとき、前記第2のクロックを与えるために制御信号を前記スイッチングVRに送出する、

ことを特徴とする機器。

【請求項14】

前記機能回路は、マイクロプロセッサ・コアであることを特徴とする請求項13記載の機器。

【請求項15】

高周波数駆動信号を、前記少なくとも1つのスイッチを駆動するために通常使用される低周波数信号に同期させるための同期回路をさらに含むことを特徴とする請求項13記載の機器。

【請求項16】

前記スイッチングVRおよび機能回路は、共通の集積回路パッケージの一部であることを特徴とする請求項13記載の機器。

【請求項17】

前記機能回路および前記スイッチング電圧レギュレータの少なくとも一部は、個別のダイ上にあることを特徴とする請求項11記載の機器。

【請求項18】

前記スイッチング電圧レギュレータは、前記第1のクロックより高い周波数を具備する前記第2のクロックから派生する駆動信号で切り換えられ、前記第2のクロックから派生する駆動信号は、安定性を維持するために十分に少ない時間量の間と与えられた何れの時にも活性であることを特徴とする請求項13記載の機器。

【請求項19】

調整された電圧を提供するために共通の供給出力に結合された電圧レギュレータを有する電圧レギュレータ領域と、

前記調整された電圧を受け取るために前記領域に結合されたプロセッサ・コアであって、前記電圧レギュレータ領域は、請求項1ないし12または請求項13ないし18のいずれかの請求項に従う、プロセッサ・コアと、

外部システム・メモリを提供するために前記プロセッサ・コアに結合されたメモリ装置と、

から構成されることを特徴とするシステム。

【請求項20】

電力を供給するために前記電圧レギュレータ領域に結合された電源をさらに含むことを特徴とする請求項19記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電圧レギュレータに関し、より詳しくは、駆動オーバーライドを備えた電圧レギュレータに関する。

【背景技術】

【0002】

マイクロプロセッサのような集積回路は、ますます複雑化してきており、より厳しい性能パラメータの下で動作すると同時に、より厳しい性能パラメータの下でより効率的に動作することが求められる。典型的には、調整された供給電圧を提供する1またはそれ以上の電圧レギュレータ（VR）回路によって、それらに電力が供給される。マイクロプロセ

10

20

30

40

50

ッサの負荷要求は劇的かつ急速に変化するので、そのような環境下で適切な供給を提供することができるようなVRに対する解決策を提供することは難しい課題である。従って、改善されたVRに対する解決策が望まれる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】国際公開第2005/079486号(特表2007-523587号公報)

【特許文献2】特開2005-128902号公報

【特許文献3】特開平9-73326号公報

10

【図面の簡単な説明】

【0004】

本発明の実施例は、制限目的ではなく例示目的として示され、添付図面中の図において、同様の参照番号は同様の要素を参照する。

【0005】

【図1】いくつかの実施例に従った、関連するVRシステムを有するマルチコア・マイクロプロセッサ・システムのブロック図である。

【0006】

【図2】いくつかの実施例に従った、マイクロプロセッサ集積回路パッケージの断面図である。

20

【0007】

【図3】いくつかの実施例に従った、クロック・オーバーライド・キャップ能力を有する電圧レギュレータ回路の概要図である。

【0008】

【図4】いくつかの実施例に従った、集積電圧レギュレータに結合されたマルチコア・マイクロプロセッサを有するコンピュータ・システムのブロック図である。

【発明を実施するための形態】

【0009】

ここでは、来るべき負荷変動に対する調整を電圧レギュレータが可能にするための技術を提示する。いくつかの実施例では、関連するクロック信号を有するマイクロプロセッサ・コアのような機能(functional)ブロックに対して、少なくとも1つのスイッチング・タイプの電圧レギュレータによって電力が供給される。機能ブロックが電力レベルの増大を要求しようとするとき、低い周波数である通常の駆動信号をオーバーライド(変更)して、関連するクロックが少なくとも1つのレギュレータのスイッチを駆動するために提供される。このように、スイッチは、負荷変動に十分に先立って(例えば、少し前に)より高い周波数で駆動され、そうでなければ生じたであろう垂下(落ち込み)量を低減させる。

30

【0010】

図1は、一般に、いくつかの実施例に従って、クロック・オーバーライド能力を備えた電圧レギュレータを有する集積電圧レギュレータ(IVR)システムを具備するマルチコア・マイクロプロセッサを示す。マイクロプロセッサは、共通のマルチコア主制御装置102に結合された4つの領域コア(104A~104D)を含み、それらは、例えば、作業負荷の配分、環境管理等のような異なった監視タスクを実行する。いくつかの実施例では、領域コア104および主制御装置102は、共通のマイクロプロセッサ・ダイの一部である。

40

【0011】

図示された電圧レギュレータ・システムは、4つの領域VRサブシステム(領域VR114A~114D)を含み、1つのサブシステムは各領域コア104を含み、そして主制御装置112は領域VRのそれぞれに結合される。領域VR114のそれぞれは、関連する領域コア104に結合され、それに対して調整された供給電圧VCCを提供し、かつ、それからコア・クロック信号(CLK)およびオーバーライド制御信号(CONTROL)を受

50

け取る。例えば、領域  $VR114A$  は、領域コア  $104A$  に供給電圧  $VCC_A$  を供給し、領域コア  $104A$  からクロック信号  $CLK_A$  およびオーバーライド制御信号  $CTRL_A$  を受け取る。(他の実施例では、オーバーライド制御信号は、電圧レギュレータ領域に垂下を引き起こす可能性のある切迫した負荷変動に直接または間接的に気付く主制御装置または他のあるソースから到来する場合もあることに注意すること。)

#### 【0012】

領域  $VR114$  の各々は、選択可能に相互に結合された1またはそれ以上の個別の電圧レギュレータを含み、異なる  $VR$  を組み合わせることによって、負荷要求に基づいて異なる電流レベルを選択可能に提供することを保証する。例えば、領域  $VR$  の1つは、実際に、各々が3アンペアの電流能力を有する8個の個別の  $VR$  を含み、それらは互いに並列に結合され、領域コアの負荷要求に基づいて0から24アンペアを提供する。個別の  $VR$  は、相互に結合され、あるいは、それらはコアのまわりに配置され、例えばコアと交差して均等に広がるように、異なる位置で供給レール(線路)に結合される。いくつかの実施例では、領域  $VR114$  は、領域コア  $104$  を含むマルチコア・プロセッサ・ダイとは別の、共通の集積  $VR$  ( $IVR$ ) ダイの一部である。しかしながら、電圧レギュレータおよび領域コア、または関連する領域  $VR$  およびコアは、同一のチップ上または異なる組み合わせのチップ上にあってもよいことが解るであろう。

10

#### 【0013】

図2を参照して、マルチコア・マイクロプロセッサの集積回路(IC)パッケージの断面図が示される。それは、集積電圧レギュレータ( $IVR$ )ダイ202およびマルチコア・マイクロプロセッサ・ダイ204を含む。 $IVR$ ダイ202は、パッケージ基板201内に埋め込まれ、一方、マイクロプロセッサ・ダイ204は、基板201に載置され、効率的な信号伝導のために  $IVR$  ダイ202と接する。(これらのダイは、実際に相互に接触していてもよく、また、接触していなくてもよいことに注意すること。これらは、それらの隣接した表面部分のいくらかまたは全体にわたって、それらの間に挟み込まれた1またはそれ以上の他の材料を有してもよい。かかる材料は、構造の安定性、熱を伝達する目的等のために使用することができる。)

20

#### 【0014】

$IVR$ ダイ202は、1またはそれ以上の領域  $VR$  を含み、一方、マイクロプロセッサ・ダイ204は、上述のように、1またはそれ以上の領域コアを含む。このようなパッケージ構成によって、また、互いに隣接して載置されたダイによって、 $VR$  領域の回路要素を、それらが関連する領域コア要素に隣接して配置することができる。これによって、比較的大量の電流を領域コアへ流すために十分な導電性の経路(例えば、ハンダ・バンプまたは他の接点)が可能になる。(領域コアおよび  $VR$  を実装するために1またはそれ以上のダイを使用する任意の適切なパッケージ構成が実装可能であり、それらは、本発明の範囲内であると理解されるべきである。例えば、 $IVR$ ダイは、マイクロプロセッサ・ダイの「下」ではなく「上」にあってもよい。あるいは、一部が接するように隣接していてもよく、または、それらが同一のダイの部分であってもよい。)

30

#### 【0015】

図3を参照して、クロック・オーバーライド能力を有する典型的な電圧レギュレータ回路300が示される。電圧レギュレータ300は、多相( $N$ 相)スイッチング・レギュレータであり、 $N$ 個のスイッチ( $S_1$ から $S_N$ )セクション、およびインダクタ $L_1$ から $L_N$ を含む $N$ 個の出力セクションを有し、それらは、共通出力( $VCC$ )で互いに結合され、さらにデカップリング・キャパシタ $C$ に結合される。スイッチ( $S_1$ から $S_N$ )は、一般的に単純化して図示されているが、例えば、ドライバ装置、およびプッシュ構成、プル構成、またはプッシュプル構成のトランジスタのような、当業者に周知である任意の適切な回路要素を含んでもよい。同様に、インダクタ $L_1$ から $L_N$ は、インダクタおよび/またはトランスフォーマの任意の適切な組み合わせを含み、効率を向上させるために、少なくともある角度に互いに結合される。例えば、いくつかの実施例では、それらは、 $IVR$ ダイのハウジング  $VR300$  内で組み立てられた磁性材料と共に結合されたインダクタで

40

50

実装される。

【0016】

電圧レギュレータ300は、さらに、VR制御装置302、コア・クロック・ドライバ304、シンクロナイザ回路306<sub>1</sub>から306<sub>N</sub>、および2:1マルチプレクサ308<sub>1</sub>から308<sub>N</sub>を含み、図のように共に結合される。VR制御装置302は、クロック信号(VR

CLK)を受け取り、それから、互いにおよそ1位相シフトしたN個の駆動信号(1からN)を生成し、スイッチS<sub>1</sub>からS<sub>N</sub>を駆動し、調整された出力電圧VCCを生成する。VRクロック信号は、VCCを効率的に生成するための適切な周波数(例えば、10MHzから250MHzまでの範囲内)を有する従来のクロック信号である。駆動信号は、典型的には、VR

CLKの周波数と同一の周波数を有するが、それは必ずしも要求されず、例えば、それらは、VRCLKを分周あるいは逡倍したバージョンから導かれてもよい。当業者間で知られているように、VR制御装置302は駆動信号の負荷サイクルを制御し、VCCを調整するために負荷に提供される電流の量を増加または減少させる。

【0017】

個別の駆動信号は、それぞれ関連するシンクロナイザ回路306<sub>i</sub>に提供され、さらに、それは、関連するコア(例えば、電圧レギュレータ300によって電力供給されているコア)からコア・クロック(Core

CLK)信号を受け取る。CoreCLK信号の周波数は、典型的には、駆動信号の周波数よりも高く、例えば、4倍から20倍高い。各シンクロナイザ回路306<sub>i</sub>は、入力される駆動信号およびコア・クロック信号のエッジを同期させ、第1および第2の同相駆動信号(D<sub>c</sub>およびD<sub>v</sub>)を出力として提供するが、D<sub>i<sub>c</sub></sub>の周波数はD<sub>i<sub>v</sub></sub>よりも高い。シンクロナイザ回路306は、位相ロック・ループ、遅延ロック・ループ、ロジック・ゲート、およびその他同種のものを含む回路要素のあらゆる適切な組み合わせによって形成されるが、これらに限定されることはない。各シンクロナイザ回路からの駆動信号(D<sub>i<sub>c</sub></sub>, D<sub>i<sub>v</sub></sub>)は、関連する2:1マルチプレクサ308<sub>i</sub>内に送られ、その後その出力は、関連するスイッチS<sub>i</sub>の1つに提供される。さらに、例えば関連するコアからの制御信号(CTRL)が各マルチプレクサ308に提供されるが、それはD<sub>v</sub>駆動信号またはより速いD<sub>c</sub>駆動信号のいずれかを選択するための制御としての役割を果たす。(いくつかの実施例では、コア・クロック信号は、そのシンクロナイザに常に提供される必要はないことに注意すること。例えば、電力を節約するために、適切な条件の下で、それをゲート制御または無効にすることができる。この場合、シンクロナイザは、たとえコア・クロックが適用されていなくても、駆動信号をそれが関連するマルチプレクサ、または同等のものまで通過させるための適切な回路を有するべきである。)

【0018】

動作において、通常は、より遅いD<sub>v</sub>駆動信号(多相)が定常的な動作のために選択され、既知の技術および方法論に従って動作する。したがって、コア制御信号は、通常は、D<sub>v</sub>駆動信号を選択するようにマルチプレクサを制御する。他方、コアが追加の電力を要求しようとしている(例えば、ロジック・セクションを繋合しようとしている)ときは、コア制御信号は、マルチプレクサに、より遅いVR駆動信号(D<sub>v</sub>)の代わりにコア駆動信号(D<sub>c</sub>)を選択させる。いくつかの実施例において、より速いコア・クロック駆動信号は、VCC中の不都合な垂下を阻止するために十分に長い時間活性化されるが、不安定性を回避するために十分に短い時間である。いくつかの実施例では、コア・クロック駆動信号は、不都合な垂下を引き起こすのに足りる負荷変動に対してのみ活性化される。すなわち、それは小さな負荷変動に対しては保証されない。さらに、制御信号はコア・プロセッサ以外のソースから到来してもよい。例えば、それは、電圧レギュレータ上の負荷が増加しようとすることに気付く制御装置から到来してもよい。

【0019】

図4を参照して、コンピュータ・システムの一例が示される。図示されたシステムは、

10

20

30

40

50

一般に、集積電圧レギュレータ406およびメモリ404に結合されたマルチコア・プロセッサ402を含む。いくつかの実施例では、プロセッサ402およびIVR406は、上述のように形成される。コンピュータ・システムは、異なる形態で実施をすることも可能である。すなわち、シングル・チップ・モジュール、回路基板、または複数の回路基板を有するシャーシ内でそれを実施することもできる。同様に、それは、1またはそれ以上の完全なコンピュータを構成することができ、あるいは、それは、コンピューティング・システム内で有用なコンポーネントを構成することもできる。

#### 【0020】

本発明は、記述された実施例に制限されることはなく、添付された特許請求の範囲の精神および範囲内で修正および変更して実施することも可能である。例えば、本発明は、全てのタイプの半導体集積回路(「IC」)チップを用いて使用するものに適用できることが認識されるべきである。これらのICチップの例としては、プロセッサ、制御装置、チップ・セット・コンポーネント、プログラマブル・ロジック・アレイ(PLA)、メモリ・チップ、ネットワーク・チップ、および同種のものを含むが、これらに制限されない。

10

#### 【0021】

さらに、ここではサイズ/モデル/値/範囲の例が与えられたが、本発明は、これらに制限されることはないと理解すべきである。時間とともに成熟した生産技術(例えば、フォトリソグラフィ)が成熟するにつれて、より小さいサイズの装置が製造可能となることが予期される。さらに、ICチップおよび他のコンポーネントについて周知である電力/接地接続は、図面および記述を単純化し、本発明を不明瞭にしないために、図中に示される場合もあり、示されない場合もある。さらに、配置は、本発明を不明瞭にしないためにブロック図の形で示され、さらに、そのようなブロック図の配置の実施に関する詳細については、本発明が実施されるプラットフォームに高度に依存するという事実を考慮すべきであるが、すなわち、そのような詳細は、当業者間では既知であろう。本発明の実施例を説明するために特定の詳細事項(例えば回路)について記述されている場合、本発明は、それら特定の詳細事項が無くても、またはそのバリエーションを用いても実施可能であることは、当業者には明白であろう。したがって、本記述は、制限する目的ではなく、例示であると理解されるべきである。

20

#### 【符号の説明】

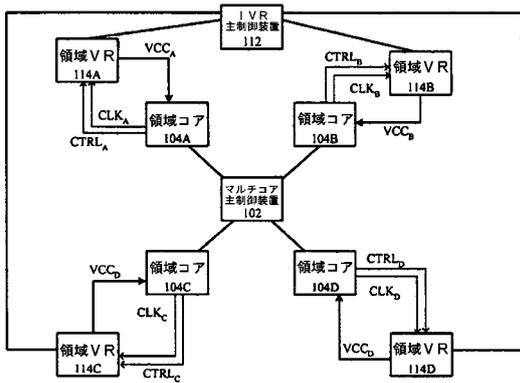
#### 【0022】

- 102 マルチコア主制御装置
- 104 領域コア
- 112 主制御装置
- 114 A ~ 114 D 電圧レギュレータ(VR)サブシステム
- 201 パッケージ基板
- 202 集積電圧レギュレータ(IVR)ダイ
- 204 マイクロプロセッサ・ダイ
- 300 電圧レギュレータ回路
- 302 VR制御装置
- 304 コア・クロック・ドライバ
- 306<sub>1</sub> ~ 306<sub>N</sub> シンクロナイザ回路
- 308<sub>1</sub> ~ 308<sub>N</sub> マルチプレクサ
- CLK コア・クロック信号
- CTRL 制御信号
- D<sub>iC</sub>, D<sub>iV</sub> 同相駆動信号
- S<sub>1</sub> ~ S<sub>N</sub> スイッチ
- VRCLK クロック信号
- 1 ~ N 駆動信号

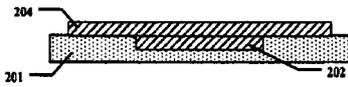
30

40

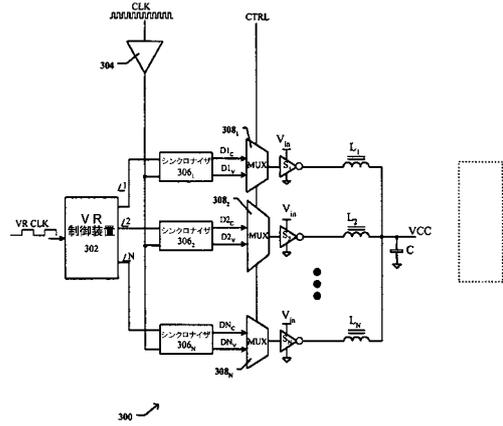
【 図 1 】



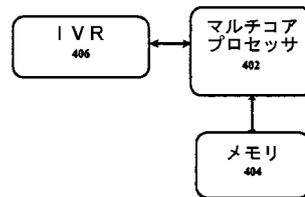
【 図 2 】



【 図 3 】



【 図 4 】



---

フロントページの続き

(72)発明者 アルドリッジ, トム

アメリカ合衆国 ワシントン州 98502 オリンピア カメオ・コート・ノースウエスト18  
10

Fターム(参考) 5B011 DB05 EA09 FF01 GG03

5H730 AA04 AS19 BB13 BB14 BB57 BB84 BB88 DD02 DD26