

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6209537号  
(P6209537)

(45) 発行日 平成29年10月4日(2017.10.4)

(24) 登録日 平成29年9月15日(2017.9.15)

(51) Int. Cl.		F I			
HO 4 R	19/00	(2006.01)	HO 4 R	19/00	3 3 0
HO 4 R	31/00	(2006.01)	HO 4 R	31/00	3 3 0

請求項の数 14 (全 21 頁)

(21) 出願番号	特願2014-553833 (P2014-553833)	(73) 特許権者	590000248
(86) (22) 出願日	平成25年1月18日(2013.1.18)		コーニンクレッカ フィリップス エヌ ヴェ
(65) 公表番号	特表2015-508625 (P2015-508625A)		KONINKLIJKE PHILIPS N. V.
(43) 公表日	平成27年3月19日(2015.3.19)		オランダ国 5656 アーエー アイン ドーフエン ハイテック キャンパス 5
(86) 国際出願番号	PCT/IB2013/050481		High Tech Campus 5, NL-5656 AE Eindhoven
(87) 国際公開番号	W02013/111040	(74) 代理人	100122769
(87) 国際公開日	平成25年8月1日(2013.8.1)		弁理士 笛田 秀仙
審査請求日	平成28年1月15日(2016.1.15)	(74) 代理人	100163809
(31) 優先権主張番号	61/591,344		弁理士 五十嵐 貴裕
(32) 優先日	平成24年1月27日(2012.1.27)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 容量性マイクロマシン・トランスデューサ及びこれを製造する方法

(57) 【特許請求の範囲】

【請求項 1】

容量性マイクロマシン・トランスデューサを製造する方法において、  
 基板上に第1の電極層を堆積させるステップと、  
 第1の電極層上に第1の誘電体膜を堆積させるステップと、  
 第1の誘電体膜上に犠牲層を堆積させるステップであって、前記犠牲層が、トランスデューサのキャビティを形成するため除去可能である、ステップと、  
 前記犠牲層上に第2の誘電体膜を堆積させるステップと、  
 前記第2の誘電体膜上に第2の電極層を堆積させるステップとを有し、  
 前記第1の誘電体膜及び/又は前記第2の誘電体膜が、酸化物を含む第1の層と、8以上の誘電率を有する高k物質を含む第2の層と、酸化物を含む第3の層とを有し、  
 前記第2の層が前記第1の層と前記第3の層との間にはさまれ、これらの前記堆積させるステップの各々が、原子層堆積により実行される、方法。

【請求項 2】

前記高k物質が、酸化アルミニウム及び/又は酸化ハフニウムである、請求項1に記載の方法。

【請求項 3】

前記第2の層が、酸化アルミニウムを含む第1の副層と、酸化ハフニウムを含む第2の副層と、酸化アルミニウムを含む第3の副層とを有する、請求項1に記載の方法。

【請求項 4】

堆積層及び膜の少なくとも1つをパターン化するステップを更に有する、請求項1に記載の方法。

【請求項5】

堆積層及び膜を覆う誘電体層を堆積させるステップを更に有する、請求項1に記載の方法。

【請求項6】

エッチング穴を提供し、前記キャビティを形成するため前記犠牲層をエッチングすることにより、前記犠牲層を除去するステップを更に有する、請求項1に記載の方法。

【請求項7】

請求項1の方法により製造される容量性マイクロマシン・トランスデューサ。

10

【請求項8】

容量性マイクロマシン・トランスデューサであって、  
 基板上の第1の電極層と、  
 前記第1の電極層上の第1の誘電体膜と、  
 前記第1の誘電体膜上に形成されるキャビティと、  
 前記キャビティを覆う第2の誘電体膜と、  
 前記第2の誘電体膜上の第2の電極層とを有し、  
 前記第1の誘電体膜及び/又は前記第2の誘電体膜が、酸化物を含む第1の層と、8以上の誘電率を有する高k物質を含む第2の層と、酸化物を含む第3の層とを有し、前記第2の層が前記第1の層と前記第3の層との間にはさまれ、前記第1の誘電体膜及び/又は前記第2の誘電体膜が、原子層堆積処理残留物を有する、容量性マイクロマシン・トランスデューサ。

20

【請求項9】

前記高k物質が、酸化アルミニウム及び/又は酸化ハフニウムである、請求項8に記載のトランスデューサ。

【請求項10】

容量性マイクロマシン・トランスデューサであって、  
基板上の第1の電極層と、  
前記第1の電極層上の第1の誘電体膜と、  
前記第1の誘電体膜上に形成されるキャビティと、  
前記キャビティを覆う第2の誘電体膜と、  
前記第2の誘電体膜上の第2の電極層とを有し、  
前記第1の誘電体膜及び/又は前記第2の誘電体膜が、酸化物を含む第1の層と、8以上の誘電率を有する高k物質を含む第2の層と、酸化物を含む第3の層とを有し、前記第2の層が前記第1の層と前記第3の層との間にはさまれ、  
前記高k物質が、酸化アルミニウム及び/又は酸化ハフニウムであり、  
前記第2の層が、酸化アルミニウムを含む第1の副層と、酸化ハフニウムを含む第2の副層と、酸化アルミニウムを含む第3の副層とを有する、容量性マイクロマシン・トランスデューサ。

30

【請求項11】

前記第2の層が、100nm以下の厚みを持つ、請求項8に記載のトランスデューサ。

40

【請求項12】

前記第1の電極層及び/又は前記第2の電極層が、非金属導電材料を有する、請求項8に記載のトランスデューサ。

【請求項13】

前記非金属導電材料が、TiN、Ta<sub>2</sub>N、TaCN、IrO<sub>2</sub>、ITO、LaNiO<sub>3</sub>及びSrRuO<sub>3</sub>を有するグループから選択される少なくとも1つの物質である、請求項12に記載のトランスデューサ。

【請求項14】

堆積層及び膜を覆う誘電体層を更に有し、前記誘電体層が、前記堆積層及び膜の上部表

50

面及び側面表面を基本的に同じ被覆で覆う、請求項 8 に記載のトランスデューサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、容量性マイクロマシン・トランスデューサ、特に超音波を送信及び/又は受信する容量性マイクロマシン超音波トランスデューサ(CMUT)を製造する方法に関する。本発明は更に、容量性マイクロマシン・トランスデューサ、特に超音波を送信及び/又は受信する容量性マイクロマシン超音波トランスデューサ(CMUT)に関する。

【背景技術】

【0002】

任意の超音波(撮像)システムの心臓は、電気エネルギーを音響エネルギーに、及びこの逆に変換するトランスデューサである。伝統的に、これらのトランスデューサは、線形(1D)トランスデューサアレイにおいて配置される圧電結晶から製造され、10MHzまでの周波数で作動する。しかしながら、マトリクス(2D)トランスデューサアレイへのトレンド、並びにカテーテル及びガイドワイヤへと超音波(撮像)機能を一体化する小型化への傾向は、いわゆる容量性マイクロマシン超音波トランスデューサ(CMUT)の発展をもたらした。CMUTは、メンブレン(又は、隔膜)、メンブレンの下のキャビティ、及びコンデンサを形成する電極を有する。超音波を受信するとき、超音波は、メンブレンが移動する又は振動することをもたらし、電極間の静電容量における変動が検出されることができ、これにより、超音波は、対応する電気信号へと変換される。逆に、電極に適用される電気信号は、メンブレンが移動する又は振動することをもたらし、これにより、超音波が送信される。

【発明の概要】

【発明が解決しようとする課題】

【0003】

しかしながら、充電は、容量性マイクロマシン超音波トランスデューサの既知の不利な点である。WO2010/032156A2号は、充電問題を解決する特定の層構造を持つ容量性マイクロマシン超音波トランスデューサを表す。誘電体を有する第1の絶縁層が、第1の電極及び第2の電極の間に配置される。更に、誘電体を有する第2の絶縁層が、第2の電極及びキャビティの間に配置されることができ、特に、いわゆるONO(酸化物-窒化物-酸化物)誘電体層は、充電へのソリューションを提供する。

【0004】

WO2010/032156A2号において、第1の絶縁層分離層及び第2の絶縁層分離層は、第1の電極及び第2の電極を電氣的に絶縁する。斯かる絶縁層分離層は、CMUTデバイスの全体の性能をかなりの程度まで決定する。理想の場合、絶縁層分離層は、非常に薄いか、又は高い誘電率及び高いブレイクダウン電圧を持つ。しかしながら、ONO誘電体層は、その限界を持ち、比較的厚い層(例えばPECVDを用いて約250nm)及び低い誘電率でのみ堆積されることができ、なぜなら、窒化物の誘電率は、約5~7だからである。従って、CMUTの性能は、ONO誘電体層の最小厚、ブレイクダウン電圧及びその誘電率により制限される。斯かるCMUTデバイスに伴う特定の問題は、作動電圧が、かなり高く、出力圧が比較的低いことである。従って、斯かるCMUTを更に改良する必要性が存在する。

【0005】

本発明の目的は、改良された容量性マイクロマシン・トランスデューサ(特にCMUT)を提供することである。特に、このトランスデューサは、改良された性能を持ち(例えば、作動電圧が低い、及び/又は出力圧が高い)、及び/又は製造が容易である。本発明の更なる目的は、斯かる容量性マイクロマシン・トランスデューサ(特にCMUT)を製造する改良された方法を提供することである。

【課題を解決するための手段】

【0006】

10

20

30

40

50

本発明の第1の側面において、容量性マイクロマシン・トランスデューサ、特にCMUTを製造する方法が与えられ、この方法は、基板上に第1の電極層を堆積させるステップと、第1の電極層上に第1の誘電体膜を堆積させるステップと、第1の誘電体膜上に犠牲層を堆積させるステップであって、上記犠牲層が、トランスデューサのキャビティを形成するため除去可能である、ステップと、上記犠牲層上に第2の誘電体膜を堆積させるステップと、上記第2の誘電体膜上に第2の電極層を堆積させるステップとを有し、上記第1の誘電体膜及び/又は上記第2の誘電体膜が、酸化物を含む第1の層と、高k物質を含む第2の層と、酸化物を含む第3の層とを有し、上記堆積させるステップが、原子層堆積により実行される。

【0007】

10

本発明の更なる側面において、本発明の方法により製造される容量性マイクロマシン・トランスデューサ、特にCMUTが与えられる。

【0008】

本発明の更なる側面において、容量性マイクロマシン・トランスデューサ、特にCMUTが与えられ、これは、基板上の第1の電極層と、上記第1の電極層上の第1の誘電体膜と、上記第1の誘電体膜上に形成されるキャビティと、上記キャビティを覆う第2の誘電体膜と、上記第2の誘電体膜上の第2の電極層とを有し、上記第1の誘電体膜及び/又は上記第2の誘電体膜が、酸化物を含む第1の層と、高k物質を含む第2の層と、酸化物を含む第3の層とを有する。

【0009】

20

本発明の基本的なアイデアは、酸化物層(O)、高k層及び別の酸化物層(O)を有する絶縁層分離層の使用を提供することである。言い換えると、高k層は、2つの酸化物層(特にシリコン酸化物)の間にはさまれる。これは、いわゆる積層体である。高kは、高い誘電率(例えば8以上)を指す。誘電率は一般に、文字k(又は、 $\epsilon_r$ )で略記される。ONO絶縁層分離層と比較すると、この方法で、トランスデューサ性能は、大幅に向上されることができ(例えばより低い作動電圧でのより大きな出力圧)。こうして、原子層堆積(ALD)により堆積される高k物質によりONO絶縁層分離層を置換することにより、作動電圧及び出力圧の点で、CMUT性能におけるかなりの増加が得られる。更に、ONO絶縁層分離層と比較して、デバイスの安定性(特に、時間に対する安定した出力)に関する類似する性能が、実現されることができ。言い換えると、積層体は、超音波出力がドリフトすることをもたらず電気電荷を格納しない。

30

【0010】

本発明は、製造方法に関して原子層堆積(ALD)を用いる。ALD技術は、現在の処理に関する限界、及び従って、CMUT性能の限界を克服する利点及びオプションを提供する。特に一般に従来技術処理の間であれば必要な、周囲の環境に基板を露出させることなしに、制御された環境の下で、すべてのCMUT機能層(AL-ALD-CMUT)が、1つの単一のプロセスシーケンスにおいて堆積される製造方法が、提供される。CMUT機能層は、特に、第1の電極層(第1の電極を提供する)、第1の誘電体膜(電気絶縁を提供する)、犠牲層(キャビティを形成する)、第2の誘電体膜(電気絶縁を提供する)及び第2の電極フィルム(第2の電極を提供する)である。この処理は、All Layer ALD(AL-ALD)CMUT処理とも呼ばれる。こうして、堆積される層(又は膜)のスタックを持つウェーハが実現される。層のスタックを成長させるとき、ウェーハがALDマシンを出ないので、非常にクリーンな物質インターフェイスが実現されることができ。更に、例えば個別の層及びインターフェイスの応力及び充電特性を制御及び微調整することにより、性能改善が得られることができる。

40

【0011】

原子層堆積は、気相式化学プロセスの経時的な使用に基づかれる薄膜堆積技術である。ALD反応の大多数は、通常「前駆体」と呼ばれる2つの化学薬品を用いる。これらの前駆体は、経時的な態様で一度に1つずつ表面と反応する。成長表面に対して前駆体を反復的に露出させることにより、薄い膜が堆積される。ALDは、変化する構成の基板上へ物

50

質の共形薄膜を堆積させる、自己制御的で（即ち、各反応サイクルにおいて堆積される薄い物質の量が一定である）、経時的な表面化学である。ALD堆積層は一般に、アモルファスである。ALD堆積層は一般に、高品質を持ち、ピンホールフリーであり、低い温度で堆積されることができる。低い処理温度が原因で、ALDは、CMOS互換である。特に、ALD（例えばALDツール）を用いることにより、非常に薄い層が堆積されることができ（例えば100nmを十分下回る）、ピンホールフリーとすることができる。より薄い絶縁層分離層は、より低い作動電圧でのより多くの出力圧及び改良された受信感度を生じさせる。これは、キャビティの底部に向かう方向における電極間の電気力により、メンブレンが引きつけられるためである。高い誘電率を持つ薄い誘電体膜又は物質（高い物質又は高k物質とも呼ばれる）は、この電気力を明らかに増加させる。これは、（クーロンの逆二乗法則に基づき）より多くの出力パワーを生成するか、又は受信感度を増加させる。これは特に、圧壊モード（即ち、例えば電極間にバイアス電圧を印加することにより、メンブレンが、処理の間、キャビティの底部に部分的に触れるモード）で作動されるCMUTにあてはまるが、一般に、非圧壊モードにあるCMUTにもあてはまる。

#### 【0012】

本発明の好ましい実施形態は、従属項において規定される。請求項に記載のCMUTが、請求項に記載の方法及び従属項に記載される方法と類似する及び/又は同一の好ましい実施形態を持つ点を理解されたい。同様に、請求項に記載の方法が、請求項に記載のデバイス及び従属項に記載されるデバイスと類似する及び/又は同一の好ましい実施形態を持つ点を理解されたい。

#### 【0013】

ある実施形態において、高k物質は、酸化アルミニウム（ $Al_2O_3$ ）及び/又は酸化ハフニウム（ $HfO_2$ ）である。酸化アルミニウム（k又は $\epsilon_r$ が、7から9の間であり、特に約8又は9）又は酸化ハフニウム（k又は $\epsilon_r$ が、12から27の間であり、特に約14又は20）は、高い誘電率を持つ。1つの例において、酸化物-酸化アルミニウム-酸化物（OAOにより略記される）の積層体（交互層）が、こうして提供されることができる。別の例において、酸化物-酸化ハフニウム-酸化物（OHOにより略記される）の積層体（交互層）が、こうして提供されることができる。

#### 【0014】

別の実施形態では、第2の層は、酸化アルミニウムを含む第1の副層、酸化ハフニウムを含む第2の副層、及び酸化アルミニウムを含む第3の副層を有する。こうして、酸化物-酸化アルミニウム-酸化ハフニウム-酸化アルミニウム-酸化物（OAHAOにより略記される）の積層体（交互層）が、提供されることができる。酸化アルミニウム（アルミナとも呼ばれる）は、高いブレイクダウン電圧と結合される高い誘電率を持つ。酸化ハフニウムは、より高い誘電率を持つが、ブレイクダウン電圧は低い。従って、OAHAO絶縁層分離層は、低い応力、高い誘電率及び高いブレイクダウン電圧を結合する。

#### 【0015】

別の実施形態では、第2の層は、100nm以下の厚みを持つ。こうして、非常に薄い高k層が、特にALDを用いて提供されることができる。

#### 【0016】

更なる実施形態において、この方法は更に、堆積層及び膜の少なくとも1つをパターン化するステップを有する。特に、堆積層及び膜のほとんど又は全てが、パターン化されることができる。こうして、この製造方法は、「トップトゥボトム」パターン化を用いることができる。トップトゥボトムパターン化は、特徴的な角錐構造、特にステップ角錐構造を持つCMUTを提供する。この典型的な断面は、例えば、FIB又はSEM（スキャン電子顕微鏡）断面を用いる解析方法を介して特定されることができる。パターン化は、構造（例えば、堆積層のスタック）をあるパターンにすることを意味する。これは、例えば光に敏感な部分が露出される（光）リソグラフィを用いて、実行されることができる。露出ツールは、ステッパーと呼ばれる。レジストと呼ばれる光敏感層が、開発される。パターンは、層へとエッチングされることができる。エッチング処理は、「ウェット」又は「

10

20

30

40

50

ドライ」処理とすることができる。

【0017】

この実施形態の変形例において、パターン化は、第2の電極層をパターン化するステップを有する。こうして、第2の電極の横方向の寸法が、規定されることができる。例えば、第2の電極層は、第1の電極層より小さくパターン化されることができる。こうして、「トップトゥボトム」パターン化が、(例えば、第1のエッチングマスクを用いて)実行される。こうして特徴的な角錐構造、特にステップ角錐構造が、提供される。

【0018】

この実施形態の別の変形例において、パターン化は、犠牲層及び/又は第1の電極層をパターン化するステップを有する。犠牲層をパターン化することにより、キャビティの横方向の寸法が、規定されることができる。こうして、「トップトゥボトム」パターン化が、(例えば、第2のエッチングマスクを用いて)更に実行される。犠牲層のパターン化は、第2の電極層をパターン化するステップとは別のステップにおいて実行されることができる。代替的に、犠牲層のパターン化及び第2の電極層のパターン化が、共通のステップにおいて実行されることができる。第1の電極層をパターン化することにより、第1の電極の横方向の寸法が、規定されることができる。こうして、「トップトゥボトム」パターン化が、(例えば、第3のエッチングマスクを用いて)更に実行される。第1の電極層のパターン化は、第2の電極層をパターン化するステップ及び/又は犠牲層をパターン化するステップとは別のステップにおいて実行されることができる。代替的に、第1の電極層のパターン化及び犠牲層のパターン化が、共通のステップにおいて実行されることができる。これは、第2の電極層のパターン化と共通のステップにおいて実行されることもできる。

【0019】

別の実施形態又は変形例において、堆積層及び膜のほとんど又はすべてが、パターン化される。特に、ALDにより堆積される層及び膜のほとんど又はすべてが、ALD堆積後にパターン化される。特に、CMUT機能層のすべてが、パターン化される。より詳細には、第1の電極層、第1の誘電体膜、犠牲層、第2の誘電体膜及び第2の電極層が、パターン化される。このパターン化は、複数のステップを有することができる。例えば、最上部層をパターン化する第1のステップ及び最底部層をパターン化する第2のステップを含む。各ステップにおいて、層は、(層の上部表面に平行な方向において)異なる横方向寸法を持つようパターン化されることができる。こうして、(ステップ)角錐構造が、作成されることができる。代替的に、パターン化は、層が同じ横方向寸法を持つようパターン化される単一のステップにおいて実行されることができる。

【0020】

別の実施形態では、この方法は更に、堆積層及び膜を覆う誘電体層を堆積させるステップを有する。この堆積ステップは特に、原子層堆積を用いて実行されることができる。誘電体層は特に、堆積層及び膜の上部表面及び側面表面を基本的に同じ被覆で覆うことができる。これは、特に原子層堆積によって、非常に良好なステップ被覆を提供する。

【0021】

別の実施形態では、この方法は更に、エッチング穴を提供し、キャビティを形成するため犠牲層にエッチングすることにより、犠牲層を除去するステップを有する。こうして、CMUTのキャビティが、(例えば、第4のエッチングマスクを用いて)簡単な態様で提供される。

【0022】

別の実施形態では、第1の誘電体膜及び/又は第2の誘電体膜は、例えば炭素又は塩素残留物といった処理残留物を有する。これらの残留物は、ALD処理において使用される前駆体の残りとするることができる。これは、CMUTが原子層堆積を用いて製造されたことを示す。残留物は、例えばXPS(X線光電子分光法)又は例えばSIMS(2次イオン質量分光法)といった他の特徴化方法を用いて検出されることができる。

【0023】

別の実施形態では、第1の電極層及び/又は第2の電極層は、非金属導電材料を有する。こうして、原子層堆積技術は、1つの単一の処理シーケンスの間、CMUTのすべての機能層を堆積させるための、ユニークなオプションを提供することができる。非金属導電材料は例えば、半導体とすることができる。

#### 【0024】

この実施形態の変形例において、非金属導電材料は、TiN（窒化チタン）、Ta<sub>2</sub>N（窒化タンタル）、TaCN、IrO<sub>2</sub>（酸化イリジウム）、ITO（酸化インジウムスズ）、LaNiO<sub>3</sub>及びSrRuO<sub>3</sub>（ストロンチウム・ルテニウム酸塩）を有するグループから選択される少なくとも1つの物質である。これらの物質は、原子層堆積に適している。この変形例の変形例において、非金属導電材料は、TiN（窒化チタン）である。特に原子層堆積に関して、窒化チタンは、特に適している。例えば、窒化チタンは、（例えばポリシリコンと比較して）低い電気抵抗を持ち、及び/又は（例えばポリシリコンと比較して）非常に薄い層として堆積されることができる。

10

#### 【0025】

代替的な実施形態において、第1の電極層及び/又は第2の電極層は、金属導電材料を有する。特に、金属導電材料は、Ni（ニッケル）、銅（Cu）、W（タングステン）、Pt（プラチナ）、Ir（イリジウム）及びAl（アルミニウム）を含むグループから選択される少なくとも1つの物質を有することができる。例えば、金属は、これらの合金とすることができる。

#### 【0026】

別の実施形態では、少なくとも1つのパターン化された層及び/又は膜は、その側面で、急に又は非連続的に終わる。言い換えると、層の上部表面及び側面表面は、互いに対して実質的に直交する。これは、CMUTがパターン化を用いて製造されたことを示す。理想的には、層の上部表面及び側面表面は、直交する（90°）、又は互いに対して直角である。しかしながら、現実には、パターン化（特に、エッチング）処理が完全でないことが原因で、層は何らかの勾配を持つか、又は故意に、勾配が適用されることができる。様々な物質のエッチングレートも等しい訳ではない。従って、異なる特性を持つ層のスタックをパターン化する（特に、エッチングする）とき、層の上部表面及び側面表面は、その端部で完全な直角でないことがある。例えば突出構造が、作成されることができる。従って、実質的に直交するとは、70°から110°の間（90°±20°）、又は80°から100°の間（90°±10°）、又は85°から95°の間（90°±5°）の角度であると理解されたい。

20

30

#### 【0027】

別の実施形態では、CMUTは更に、堆積層及び膜を覆う誘電体層を有する。特に、誘電体層は、基本的に同じ被覆で堆積層及び膜の上部表面及び側面表面を覆う。これは、特に原子層堆積を用いて、CMUTが非常に良好なステップ被覆を提供することを示す。特に、誘電体層の垂直部分は、堆積層及び/又は膜に対して実質的に直交して延在することができる。前述したように、実質的に直交するとは、70°から110°の間（90°±20°）、又は80°から100°の間（90°±10°）、又は85°から95°の間（90°±5°）の角度であると理解されたい。

40

#### 【0028】

別の実施形態では、第2の電極層は、第1の電極層より小さくパターン化される。これは、CMUTが「トップトゥボトム」パターン化を用いて製造されたことを示す。こうして、特徴的な角錐構造、特にステップ角錐構造が、提供される。

#### 【0029】

別の実施形態では、CMUTは更に、層の上部表面に対して直交する方向において第1の電極層及び/又は第2の電極層から延在する少なくとも1つの導電性ビアを有する。従って、導電性ビアは、堆積層に直交する又はこれに対して直角である。こうして、第1の電極、第2の電極又はこの両方が、電気接続を具備することができる。例えば、導電性ビアは、CMUTの下でASICに電氣的に接続されることができる。

50

## 【図面の簡単な説明】

## 【0030】

【図1a】第1の実施形態によるCMUTを製造する方法を示す図である。

【図1b】第1の実施形態によるCMUTを製造する方法を示す図である。

【図1c】第1の実施形態によるCMUTを製造する方法を示す図である。

【図1d】第1の実施形態によるCMUTを製造する方法を示す図である。

【図1e】第1の実施形態によるCMUTを製造する方法を示す図である。

【図1f】第1の実施形態によるCMUTを製造する方法を示す図である。

【図1g】第1の実施形態によるCMUTを製造する方法を示す図である。

【図1h】第1の実施形態によるCMUTを製造する方法を示す図である。

10

【図1i】第1の実施形態によるCMUTを製造する方法を示す図である。

【図1j】第1の実施形態によるCMUTを製造する方法を示し、第1の実施形態によるCMUTの概略的な断面を示す図である。

【図2a】第2の実施形態によるCMUTの製造方法を示す図である。

【図2b】第2の実施形態によるCMUTの製造方法を示す図である。

【図2c】第2の実施形態によるCMUTの製造方法を示す図である。

【図2d】第2の実施形態によるCMUTの製造方法を示す図である。

【図2e】第2の実施形態によるCMUTの製造方法を示す図である。

【図2f】第2の実施形態によるCMUTの製造方法を示す図である。

【図2g】第2の実施形態によるCMUTの製造方法を示す図である。

20

【図2h】第2の実施形態によるCMUTの製造方法を示す図である。

【図2i】第2の実施形態によるCMUTの製造方法を示す図である。

【図2j】第2の実施形態によるCMUTの製造方法を示し、第2の実施形態によるCMUTの断面を示す図である。

【図3a】第3の実施形態によるCMUTを製造する方法を示す図である。

【図3b】第3の実施形態によるCMUTを製造する方法を示す図である。

【図3c】第3の実施形態によるCMUTを製造する方法を示す図である。

【図3d】第3の実施形態によるCMUTを製造する方法を示す図である。

【図3e】第3の実施形態によるCMUTを製造する方法を示す図である。

【図3f】第3の実施形態によるCMUTを製造する方法を示す図である。

30

【図3g】第3の実施形態によるCMUTを製造する方法を示す図である。

【図3h】第3の実施形態によるCMUTを製造する方法を示し、第3の実施形態によるCMUTの概略的な断面を示す図である。

【図4】CMUTの誘電率( )対相対的な音響出力圧のダイアグラムを示す図である。

【図5】誘電体にわたる電場対誘電体を通る電流の例示的なグラフを示す図である。

## 【発明を実施するための形態】

## 【0031】

本発明のこれらの及び他の態様が、以下に説明される実施形態より明らかとなり、これらの実施形態を参照して説明されることになる。

## 【0032】

40

図1a~jは、第1の実施形態によるCMUT100を製造する方法を示す。特に、図1b~jは、原子層堆積(ALD)を用いることによりすべての機能CMUT層が1つの処理シーケンス(図1aを参照)において堆積されたあとの、概略的なトップトゥボトム処理フローを示す。

## 【0033】

この方法は、ALDを用いる処理シーケンスで始まる(図1aを参照)。第1に、第1の電極層10が、基板(図示省略)又は誘電体層11上に堆積される。図1aに示される実施形態では、誘電体層11は、基板及び第1の電極層10の間に提供される又は堆積される。誘電体層11は、この場合基板における第1の層である。この場合、誘電体層は、特にASIC上の処理のとき、例えば(シリコン)酸化物又は(シリコン)窒化物で作ら

50

れることができる。この場合、しばしば平坦化ステップが、滑らかな表面を作成するために用いられる。しかしながら、誘電体層 11 は、省略されることもできる。その後、第 1 の誘電体膜 20 は、第 1 の電極層 10 上に堆積され、犠牲層 30 は、第 1 の誘電体膜 30 上に堆積される。犠牲層 30 は、後ほどトランスデューサのキャビティを形成するため除去可能である。続いて、第 2 の誘電体膜 40 が、犠牲層 30 上に堆積される。すると、第 2 の電極層 50 が、第 2 の誘電体膜 40 上に堆積される。図 1 a の実施形態において、追加的な誘電体層 51 が、第 2 の電極層 50 上に堆積される。誘電体層 51 は、特に犠牲層 30 を除去する犠牲エッチングが実行されるとき、第 2 の電極層 40 を覆う又は保護する。しかしながら、誘電体層 51 は、省略されることもできる。上述されるこれらの堆積ステップの各々は、原子層堆積 (ALD) により実行される。こうして、誘電物質及び導電性物質の交互の層のスタックが、提供される (図 1 a を参照)。従って、すべての CMUT 機能層 (AL-ALD-CMUT) が、1 つの単一の処理シーケンス、即ち ALD マシンにおける単一の実行において堆積される。ここで、ウェーハはこのマシンを出ないが、複数の (処理又は堆積) ステップが行われることができる。従って、様々な物質が、1 つの処理シーケンスにおいて互いの上でスタックされることができる。しかし、1 つの物質の後に別の物質が、この処理シーケンスに含まれる様々な (処理又は堆積) ステップにおいて堆積される。この処理又は処理シーケンスは、All Layer ALD (AL-ALD) CMUT 処理とも呼ばれる。

10

#### 【0034】

この方法は更に、堆積層及び膜 10、20、30、40、50、51 の少なくとも 1 つをパターン化するステップを有する。斯かるパターン化の例は、図 1 b ~ d を参照して説明される。この製造方法は、「トップトゥボトム」パターン化を用いる。トップトゥボトムパターン化は、特徴的な角錐構造、特にステップ角錐構造を持つ CMUT を提供する (この構造の典型的な断面は、例えば、FIB 又は SEM 断面を利用する解析方法を介して特定されることができる)。少なくとも 1 つのパターン化された層及び / 又は膜は、その側面で、急に又は非連続的に終わる。言い換えると、層の上部表面及び側面表面は、互いに対して実質的に直交する。これは、CMUT がパターン化を用いて製造されたことを示す。理想的には、層の上部表面及び側面表面は、互いに対して直交する ( $90^\circ$ )。しかしながら、現実には、パターン化 (特に、エッチング) 処理が完全でないことが原因で、層は何らかの勾配を持つか、又は故意に、勾配が適用されることができる。様々な物質のエッチングレートも等しい訳ではない。従って、異なる特性を持つ層のスタックをパターン化する (特に、エッチングする) とき、層の上部表面及び側面表面は、その端部で完全な直角でないことがある。例えば突出構造が、作成されることができる。従って、実質的に直交するとは、 $70^\circ$  から  $110^\circ$  の間 ( $90^\circ \pm 20^\circ$ )、又は  $80^\circ$  から  $100^\circ$  の間 ( $90^\circ \pm 10^\circ$ )、又は  $85^\circ$  から  $95^\circ$  の間 ( $90^\circ \pm 5^\circ$ ) の角度であると理解されたい。

20

30

#### 【0035】

この第 1 の実施形態において、図 1 b から分かるように、パターン化は、第 2 の電極層 50 をパターン化する第 1 のステップを有する。これは、第 1 のエッチングマスク (「マスク 1」でラベル付けされる) を用いて実行される。こうして、(層の上部表面に対して又は基板の上部表面に対して平行な方向における) 横方向寸法又は第 2 の電極 50 の長さが、規定される。この例では、パターン化の第 1 のステップにおいて、(第 2 の電極層 50 における追加的な誘電体層 51 だけでなく) 第 2 の誘電体膜 40 も、パターン化される。見て分かるように、第 2 の電極層 50 は、第 1 の電極層 10 より小さくなるようパターン化される。例えば、第 2 の電極層 50 は、環状電極の形式でパターン化されることができる。これは、音響性能に関して有益である。図 1 c に示されるように、パターン化は更に、犠牲層 30 をパターン化する第 2 の (分離した) ステップを有する。これは、第 2 のエッチングマスク (「マスク 2」でラベル付けされる) を用いて実行される。こうして、(層の上部表面に対して又は基板の上部表面に対して平行な方向における) 横方向寸法又は CMUT のキャビティの長さが、規定されることができる。更に、図 1 d に示されるよ

40

50

うに、パターン化は、第1の電極層10をパターン化する第3の(分離した)ステップを有する。これは、第3のエッチングマスク(「マスク3」でラベル付けされる)を用いて実行される。こうして、(層の上部表面に対して又は基板の上部表面に対して平行な方向における)横方向寸法又は第1の電極30の長さが、規定される。この例では、パターン化の第3のステップにおいて、第1の誘電体膜20も、パターン化される。基板上の誘電体層11だけが、この例ではパターン化されない。従って、堆積層及び膜(誘電体層11を除く)のほとんどが、パターン化される。ここで、ALD堆積の後のパターン化ステップが終了される。すべての堆積された機能CMUT層及び膜10、20、30、40、50、51が、パターン化される。

#### 【0036】

後続のステップにおいて、図1eを以下照会して、この方法は、堆積層及び膜10、20、30、40、50、51を覆う誘電体層60を堆積させるステップを有する。この堆積ステップは再度、原子層堆積(ALD)を用いて、実行されることが出来る。代替的に、例えばPECVDといった別の技術が、用いられることが出来る。誘電体層60は、堆積層及び膜10、20、30、40、50、51の上部表面及び側面表面を基本的に同じ被覆で覆うことが出来る(例えば、誘電体層60の水平部分の厚み及び誘電体層60の垂直部分の厚みは、基本的に同じである)。こうして、非常に良好なステップ被覆が提供される。言い換えると、誘電体層60の垂直部分及び誘電体層60の水平部分は、ほぼ同じ被覆又は厚みを持つ(図1eを参照)。(層の上部表面に対して又は基板の上部表面に対して直交する方向における)誘電体層60の垂直部分は、堆積層及び膜10、20、30、40、50、51に対して実質的に直交して延在する。理想的には、誘電体層60の垂直部分は、直交する(90°)、又は堆積層及び/又は膜に対して直角である。しかしながら、現実には、誘電体層60は、何らかの勾配を持つ。従って、誘電体層60の垂直部分は、完全な直角にはないことがある。従って、実質的に直交するとは、70°から110°の間(90°±20°)、又は80°から100°の間(90°±10°)、又は85°から95°の間(90°±5°)の角度であると理解されたい。

#### 【0037】

続いて、この方法は、エッチング穴32(図1fを参照)、特に複数のエッチング穴(例えば3以上)を提供し、キャビティ35(図1gを参照)を形成するため犠牲層30をエッチングすることにより、犠牲層30を除去するステップを有する。エッチング穴32を提供することは、第4のエッチングマスク(「マスク4」でラベル付けされる)を用いて実行される。エッチング穴32が、誘電体層60において提供される。(層の上部表面に対して又は基板の上部表面に対して直交する方向における)キャビティの高さは、除去される犠牲層30の厚さにより規定される。次に、図1hを参照して、誘電体層60を覆う追加的な層70、特に追加的な誘電体層が、提供されることが出来る。追加的な層70は、エッチング穴32を閉じる又は封止する。

#### 【0038】

更に、この方法は、層の上部表面(又は、基板の上部表面)に対して直交する方向において第1の電極層10及び第2の電極層50からそれぞれ延在する少なくとも1つの導電性ビア15、55を提供するステップを有する。従って、導電性ビア15、55は、直交する、又は堆積層に対して直角である。この例において、これは、エッチング穴62を提供し、導電性ビア15、55を形成するため導電性物質でエッチング穴62を充填することにより実行される。ここで、(追加的な層70、誘電体層60及び第1の誘電体膜20を通り)第1の電極層10へ導く第1のエッチング穴62が提供される。(誘電体層60及び追加的な層70を通り)第2の電極層50へ導く第2のエッチング穴62が提供される。第1のエッチング穴62は、第1の電極層10からビア15を形成するため、導電性物質で充填される。第2のエッチング穴62は、第2の電極層50からビア55を形成するため、導電性物質で充填される。更に、それぞれ、ビア15、55から外部電気接続(例えば、ASIC及び/又は電源への、例えばバイアス電圧への接続、又はケーブル若しくはワイヤ結合への接続)を提供するため、導電性部分16、56が提供される。こうし

10

20

30

40

50

て、第1の電極10及び第2の電極50は、(例えばCMUTの下のASICへの)電気接続を具備する。第1のエッチング穴又は第2のエッチング穴だけが提供されることができるとも理解されたい。例えば、第1の電極10からの導電性ビア15が、基板において形成されることもできる。

#### 【0039】

図1jは、第1の実施形態によるCMUT100の概略的な断面を示す。図1jのCMUT100は、特に、図1を参照して上述した方法を用いて製造された。CMUT100は、基板(図示省略)上に第1の(底部)電極層10、第1の電極層10上に第1の誘電体膜20、第1の誘電体膜20の上に形成されるキャビティ35、キャビティ35を覆う第2の誘電体膜40、及び第2の誘電体膜40上に第2の(上部)電極層50を有する。オプションで、CMUT100は、誘電体層11及び誘電体層51を有することができる。堆積層及び膜のほとんどは、パターン化される。この実施形態において、すべての堆積されるCMUT機能層及び膜10、20、30、40、50は、パターン化される。従って、堆積されるCMUT機能層及び膜10、20、30、40、50の各々が、パターン化される。第2の電極層50は、(例えば、環状電極の形式においてパターン化される)第1の電極層10より小さいようパターン化される。これは、音響性能に関して有益である。第2の電極層50は、キャビティ35より小さいようパターン化される。キャビティ35は、第1の電極層10より小さいようパターン化される。こうして、特徴的な(ステップ)角錐構造が提供される。CMUT100は、堆積層及び膜10、20、30、40、50を覆う誘電体層60を更に有する。前述したように、誘電体層60は、堆積層及び膜10、20、30、40、50の上部表面及び側面表面を基本的に同じ被覆又は厚みで覆う。誘電体層60の垂直部分は、堆積層10、20、30、40、50に対して実質的に直交して延在する。CMUT100は更に、誘電体層60を覆う追加的な層70を有する。特に、追加的な層70は、他の層又は膜と比較してかなり厚く、例えば、2倍以上であり、又は5倍以上である(例えば、約200nmの層40の厚みに対し、層70の厚みは、約1 $\mu$ m)。更に、CMUTは、層の上部表面に対して直交する方向(図1jにおいて垂直方向)において第1の電極層10から延在する導電性ビア15を有する。また、CMUT100は、層の上部表面に対して直交する方向(図1jにおいて垂直方向)において第2の電極層50から延在する導電性ビア55を有する。CMUT100は更に、それぞれ、ビア15、55から外部電気接続(例えば、ASIC及び/又は電源への、例えばバイアス電圧への接続、又はケーブル若しくはワイヤ結合への接続)を提供するため、導電性部分16、56を有する。ビア15、55は、(層又は基板の上部表面に対して直交する)垂直方向において延在し、導電性部分56は、(層又は基板の上部表面に対して平行な)水平方向において延在する。

#### 【0040】

図2a~jは、第2の実施形態によるCMUTの製造方法を示す。この実施形態において、基板1は、そこに一体化されるASIC2及び基板における導電性ビア15を有する。代替的に、ASIC2は、基板1に取り付けられることもできる。この方法は、基板1上に第1の電極層10を堆積させるステップで始まる。その後、第1の誘電体膜20は、第1の電極層10上に堆積され、犠牲層30は、第1の誘電体膜20上に堆積される。犠牲層30は、後ほどトランスデューサのキャビティを形成するため除去可能である。続いて、第2の誘電体膜40が、犠牲層30上に堆積される。すると、第2の電極層50が、第2の誘電体膜40上に堆積される。これらの堆積ステップの各々は、原子層堆積(ALD)により実行される。こうして、誘電物質及び導電物質の交互の層のスタックが、提供される(図2bを参照)。従って、すべてのCMUT機能層(AL-A LD CMUT)が、1つの単一の処理シーケンスにおいて堆積される。

#### 【0041】

この方法は更に、堆積層及び膜10、20、30、40、50、特に堆積されたCMUT機能層10、20、30、40、50の全てをパターン化するステップを有する。この実施形態において、パターン化は、第2の電極層50(図2cを参照)をパターン化する

第1のステップと、第1の誘電体膜20及び第2の誘電体膜40(図2dを参照)だけでなく、犠牲層30及び第1の電極層10をパターン化する第2の(分離した)ステップとを有する。従って、本実施形態において、犠牲層30及び第1の電極層10は、共通のステップにおいてパターン化される。第2の電極層50をパターン化する第1のステップは、第1のエッチングマスク(マスク1)を用いて実行される。第2のパターン化ステップは、第2のエッチングマスク(マスク2)を用いて実行されることができる。見て分かるように、第2の電極層50は、(例えば環状電極の形式にある)第1の電極層10より小さいようパターン化される。ここで、パターン化のステップが終了される。

#### 【0042】

後続のステップにおいて、図2eを以下参照して、この方法は、堆積層及び膜10、20、30、40、50を覆う誘電体層60を堆積させるステップを有する。この堆積ステップは再度、原子層堆積(ALD)を用いて実行される。前述したように、誘電体層60は、堆積層及び膜10、20、30、40、50の上部表面及び側面表面を基本的に同じ被覆又は厚みで覆う。こうして、非常に良好なステップ被覆が提供される。言い換えると、誘電体層60の垂直部分及び誘電体層60の水平部分は、ほぼ同じ被覆又は厚みを持つ(図2eを参照)。誘電体層60の垂直部分は、堆積層10、20、30、40、50に対して実質的に直交して延在する。

#### 【0043】

続いて、この方法は、エッチング穴32(図2fを参照)を提供し、キャビティ35(図2gを参照)を形成するため犠牲層30をエッチングすることにより、犠牲層30を除去するステップを有する。エッチング穴32は、誘電体層60及び第2の誘電絶縁膜40において提供される。エッチング穴32は、第3のエッチングマスク(マスク3)を用いて提供されることができる。次に、図2hを参照して、誘電体層60を覆う追加的な層70、特に追加的な誘電体層が、提供されることができる。追加的な層70は、エッチング穴32を閉じる又は封止する。

#### 【0044】

更に、この方法は、層の上部表面に対して直交する方向において第2の電極層50から延在する導電性ビア55を提供するステップを有する。従って、導電性ビア55は、直交する、又は堆積層に対して直角である。この例において、これは、エッチング穴62(図2iを参照)を提供し、導電性ビア55(図2jを参照)を形成するため導電性物質でエッチング穴62を充填することにより実行される。エッチング穴62を提供することは、第4のエッチングマスク(マスク4)を用いて実行されることができる。第1の電極10に対する導電性ビア15は、基板1において形成される。更に、ビア55から外部電気接続を提供するため、導電性部分56が提供される。これは、追加的な層70上に導電層を堆積させ、その後導電層をパターン化することにより実行されることができる。これは、第5のエッチングマスク(マスク5)を用いて実行されることができる。

#### 【0045】

図2jは、第2の実施形態によるCMUT100の断面を示す。図2jのCMUT100は特に、図2を参照して上述した方法を用いて製造された。CMUT100は、基板1上に第1の電極層10、第1の電極層10上に第1の誘電体膜20、第1の誘電体膜20の上に形成されるキャビティ35、キャビティ35を覆う第2の誘電体膜30、及び第2の誘電体膜40上に第2の電極層50を有する。オプションで、第1の実施形態を参照して説明されるように、CMUT100は、基板上に誘電体層11及び第2の電極層50上に誘電体層51を有することができる。図2jに示される実施形態では、堆積されるCMUT機能層及び膜10、20、30、40、50の全てが、パターン化される。第2の電極層50は、第1の電極層10及びキャビティ35より、(層又は基板の上部表面に対して平行な方向において)小さい又は小さな横方向寸法を持つようパターン化される。例えば、円形形状の場合であれば、より小さな直径を持つ。こうして、特徴的な(ステップ)角錐構造が提供される。CMUT100は更に、堆積層及び膜10、20、30、40、50を覆う誘電体層60を有する。前述したように、誘電体層60は、堆積層及び膜10

10

20

30

40

50

、20、30、40、50の上部表面及び側面表面を基本的に同じ被覆で覆う。誘電体層60の垂直部分は、堆積層10、20、30、40、50に対して実質的に直交して延在する。CMUT100は更に、誘電体層60を覆う追加的な層70を有する。特に、追加的な層70は、他の層又は膜と比較してかなり厚く、例えば、2倍以上であり、又は5倍以上である(例えば、約200nmの層40の厚みに対し、層70の厚みは、約1 $\mu$ m)。図2jにおいて、追加的な層70は、概略的にのみ示される点、及び図1jに対して示される追加的な層70同様、層60の形状に追従することができる点に留意されたい。更に、CMUTは、層の上部表面に対して直交する方向(図2jにおいて垂直方向)において第2の電極層50から延在する導電性ビア55を有する。CMUT100は更に、ビア55から外部電気接続(例えば、ASIC及び/又は電源への、例えばバイアス電圧への接続、又はケーブル若しくはワイヤ結合への接続)を提供するため、導電性部分56を有する。また、CMUT100は、第1の電極10からの導電性ビア15を有する。導電性ビア15は、基板1において形成される。ビア15、55は、(層又は基板の上部表面に対して直交する)垂直方向において延在し、導電性部分56は、(層又は基板の上部表面に対して平行な)水平方向において延在する。

10

#### 【0046】

図3a~hは、第3の実施形態によるCMUTを製造する方法を示す。図3a~hの第3の実施形態の方法は、図2a~jの第2の実施形態の方法に類似する。しかしながら、第2の実施形態と比較して、図2cの第2の電極層50を別々にパターン化するステップが、省略される。従って、第3の実施形態において、エッチングマスクがより用いられない。

20

#### 【0047】

また、この第3の実施形態において、基板1は、そこに一体化されるASIC2及び基板1における導電性ビア15を有する。この方法は、基板1上に第1の電極層10を堆積させるステップで始まる。その後、第1の誘電体膜20は、第1の電極層10上に堆積され、犠牲層30は、第1の誘電体膜20上に堆積される。犠牲層30は、後ほどトランスデューサのキャビティを形成するため除去可能である。続いて、第2の誘電体膜40が、犠牲層30上に堆積される。すると、第2の電極層50が、第2の誘電体膜40上に堆積される。これらの堆積ステップの各々は、原子層堆積(ALD)により実行される。こうして、誘電物質及び導電性物質の交互の層のスタックが、提供される(図3aを参照)。従って、すべてのCMUT機能層(AL-A LD CMUT)が、1つの単一の処理シーケンスにおいて堆積される。

30

#### 【0048】

この方法は更に、堆積層及び膜10、20、30、40、50、特に堆積されたCMUT機能層10、20、30、40、50の全てをパターン化するステップを有する。この実施形態において、パターン化は、第2の電極層50、犠牲層30及び第1の電極層10(図3bを参照)をパターン化する共通のステップを有する。従って、本実施形態において、堆積層(第2の電極層50、第2の絶縁層分離層40、犠牲層30、第1の絶縁層分離層20及び第1の電極層10)の全てが、共通のステップにおいてパターン化される。見て分かるように、すべての堆積層及び膜10、20、30、40、50は、(層又は基板の上部表面に対して平行な方向において)同じ横方向寸法を持つ。例えば、円形形状の場合であれば、同じ直径を持つ。共通のパターン化ステップは、第1のエッチングマスク(マスク1)を用いて実行されることができる。ここで、パターン化のステップが終了される。

40

#### 【0049】

後続のステップにおいて、図3cを以下参照して、この方法は、堆積層及び膜10、20、30、40、50を覆う誘電体層60を堆積させるステップを有する。この堆積ステップは再度、原子層堆積(ALD)を用いて実行される。誘電体層60は、堆積層及び膜10、20、30、40、50の上部表面及び側面表面を基本的に同じ被覆で覆う。こうして、非常に良好なステップ被覆が提供される。言い換えると、誘電体層60の垂直部分

50

及び誘電体層 60 の水平部分は、ほぼ同じ被覆又は厚みを持つ（図 3 c を参照）。

#### 【 0 0 5 0 】

続いて、この方法は、エッチング穴 32（図 3 d を参照）を提供し、キャビティ 35（図 3 e を参照）を形成するため犠牲層 30 をエッチングすることにより、犠牲層 30 を除去するステップを有する。エッチング穴 32 は、誘電体層 60 及び第 2 の誘電絶縁膜 40 において提供される。図 3 d 及び図 3 e に示されるように、エッチング穴 32 は好ましくは、第 2 の電極層 50 には提供されず、その隣のどこかに提供される。図 3 d 及び図 3 e において点線により示されるように、エッチング穴 32 は、第 2 の電極層 50 を過ぎて、誘電体層 60 から第 2 の誘電体膜 40 まで延在する。エッチング穴 32 は、第 2 のエッチングマスク（マスク 2）を用いて提供されることができる。次に、図 3 f を参照して、誘電体層 60 を覆う追加的な層 70、特に追加的な誘電体層が、提供されることができる。追加的な層 70 は、エッチング穴 32 を閉じる又は封止する。

#### 【 0 0 5 1 】

更に、この方法は、層の上部表面に対して直交する方向において第 2 の電極層 50 から延在する導電性ビア 55 を提供するステップを有する。従って、導電性ビア 55 は、直交する、又は堆積層に対して直角である。この例において、これは、エッチング穴 62（図 3 g を参照）を提供し、導電性ビア 55（図 3 h を参照）を形成するため導電性物質でエッチング穴 62 を充填することにより実行される。エッチング穴 62 を提供することは、第 3 のエッチングマスク（マスク 3）を用いて実行されることができる。第 1 の電極 10 に対する導電性ビア 15 は、基板 1 において形成される。更に、ビア 55 から外部電気接続を提供するため、導電性部分 56 が提供される。これは、追加的な層 70 上に導電層を堆積させ、その後導電層をパターン化することにより実行されることができる。これは、第 4 のエッチングマスク（マスク 4）を用いて実行されることができる。

#### 【 0 0 5 2 】

図 3 h は、第 3 の実施形態による CMUT 100 の概略的な断面を示す。図 3 h の CMUT 100 は特に、図 3 を参照して上述した方法を用いて製造された。CMUT 100 は、基板 1 上に第 1 の電極層 10、第 1 の電極層 10 上に第 1 の誘電体膜 20、第 1 の誘電体膜 20 の上に形成されるキャビティ 35、キャビティ 35 を覆う第 2 の誘電体膜 30、及び第 2 の誘電体膜 40 上に第 2 の電極層 50 を有する。オプションで、第 1 の実施形態を参照して説明されるように、CMUT 100 は、基板上に誘電体層 11 及び第 2 の電極層 50 上に誘電体層 51 を有することができる。図 3 h に示される実施形態では、堆積される CMUT 機能層及び膜 10、20、30、40、50 の全てが、共通のステップにおいてパターン化される。こうして、すべての堆積層及び膜 10、20、30、40、50 は、（層又は基板の上部表面に対して平行な方向において）同じ横方向寸法を持つようパターン化される。例えば、円形状の場合であれば、同じ直径を持つ。従って、本実施形態において、特徴的な（ステップ）角錐構造は、提供されない。CMUT 100 は更に、堆積層及び膜 10、20、30、40、50 を覆う誘電体層 60 を有する。前述したように、誘電体層 60 は、堆積層及び膜 10、20、30、40、50 の上部表面及び側面表面を基本的に同じ被覆で覆う。誘電体層 60 の垂直部分は、堆積層 10、20、30、40、50 に対して実質的に直交して延在する。CMUT 100 は更に、誘電体層 60 を覆う追加的な層 70 を有する。特に、追加的な層 70 は、他の層又は膜と比較してかなり厚く、例えば、2 倍以上であり、又は 5 倍以上である（例えば、約 200 nm の層 40 の厚みに対し、層 70 の厚みは、約 1 μm）。図 3 h において、追加的な層 70 は、概略的にのみ示される点、及び図 1 j に対して示される追加的な層 70 同様、層 60 の形状に追従することができる点に留意されたい。更に、CMUT は、層の上部表面に対して直交する方向（図 3 h において垂直方向）において第 2 の電極層 50 から延在する導電性ビア 55 を有する。CMUT 100 は更に、ビア 55 から外部電気接続（例えば、ASIC 及び / 又は電源への、例えばバイアス電圧への接続、又はケーブル若しくはワイヤ結合への接続）を提供するため、導電性部分 56 を有する。また、CMUT 100 は、第 1 の電極 10 からの導電性ビア 15 を有する。導電性ビア 15 は、基板 1 において形成される。ビア 1

10

20

30

40

50

5、55は、(層又は基板の上部表面に対して直交する)垂直方向において延在し、導電性部分は、(層又は基板の上部表面に対して平行な)水平方向において延在する。

【0053】

示された実施形態のいずれにおいても、第1の誘電体膜20及び第2の誘電体膜40の各々は、酸化物を含む第1の層、高k物質を含む第2の層及び酸化物を含む第3の層を有する。従って、絶縁層分離層20、40は、酸化物層(O)、高k層及び別の酸化物層(O)を有する。言い換えると、高k層は、2つの酸化物層(特にシリコン酸化物)の間にはさまれる。特に、高k物質は、酸化( $Al_2O_3$ )アルミニウム及び/又は酸化( $HfO_2$ )ハフニウムとすることができる。例えば、酸化物-アルミニウム酸化物-酸化物(OAOにより略記される)の積層体(交互層)が提供されることができる。別の例では、第2の層は、酸化アルミニウムを含む第1の副層、酸化ハフニウムを含む第2の副層、及び酸化アルミニウムを含む第3の副層を有する。こうして、酸化物-酸化アルミニウム-酸化ハフニウム-酸化アルミニウム-酸化物(OAHAOにより略記される)の積層体(交互層)が、提供されることができる。

10

【0054】

堆積層の誘電率は一般に、物質の密度に依存し、及び従って、例えば処理温度(層が形成される温度)といった堆積又は処理設定に依存する。酸化アルミニウムは、堆積又は処理設定に依存して、7から9の間の誘電率(k又は $\epsilon_r$ )を持つ。例えば、酸化アルミニウムの誘電率は、7.5(例えば、約265の低い温度で堆積される場合)、又は8(例えば、約350の高い温度で堆積される場合)、又は9とすることができる。酸化ハフニウムは、堆積又は処理設定に依存して、12から27の間の誘電率(k又は $\epsilon_r$ )を持つ。例えば、酸化ハフニウムの誘電率は、14、又は20、又は25とすることができる。アルミニウム酸化物-ハフニウム酸化物-アルミニウム酸化物の積層体の誘電率は、例えば10とすることができる。

20

【0055】

好ましくは、示された実施形態の各々において、第1の電極層10及び第2の電極層50の各々は、非金属導電材料(例えば半導体)を有する。例えば、非金属導電材料は、TiN(窒化チタン)、Ta<sub>2</sub>N(窒化タンタル)、TaCN、IrO<sub>2</sub>(酸化イリジウム)、ITO(酸化インジウムスズ)、LaNiO<sub>3</sub>、及びSrRuO<sub>3</sub>(ストロンチウム・ルテニウム酸塩)を含むグループから選択される少なくとも1つの(又は、正確に1つの)物質とすることができる。これらの物質は、原子層堆積に適している。特に、非金属導電材料は、窒化チタン(TiN)とすることができる。窒化チタン(TiN)は約30~70 $\mu$ cmの伝導性を持つ。これは、良好な導体であると考えられる。また、(500 $\mu$ cmのオーダーの伝導性を持つ)ポリシリコンが用いられることもできる。電極層の物質は、他の任意の導電性物質とすることができる点も理解されたい。例えば、Ni(ニッケル)、銅(Cu)、W(タングステン)、Pt(プラチナ)、Ir(イリジウム)及びAl(アルミニウム)を含むグループから選択される少なくとも1つの(又は、正確に1つの)物質を有する金属とすることができる。例えば、金属は、これらの合金とすることができる。例えば、アルミニウムは、3 $\mu$ cmのオーダーの伝導性を持つ。いずれの場合でも、電極の導電性物質、金属及び非金属は、(例えばALDマシンにおいて)ALDにより堆積されるのに適していなければならない。

30

40

【0056】

誘電体層60及び/又は追加的な層70は例えば、酸化物(特にシリコン酸化物)、窒化物(特にシリコン窒化物)若しくは両方の組合せとすることができるか、又はこれらを有することができる。例えば、誘電体層60は、(シリコン)酸化物及び(シリコン)窒化物の組合せとすることができるか、又はこの組合せを有することができる。例えば、追加的な層70は、(シリコン)窒化物とすることができるか、又はこれを有することができる。しかしながら、他の任意の適切な誘電物質が用いられることができる点を理解されたい。誘電体層60は例えば、ALDにより又はPECVDにより堆積されることができる。そのより大きな厚みが原因で、追加的な層70は特に、PECVDにより堆積される

50

ことができる。特に、犠牲層 30 は、絶縁層分離層 20、40 と、(異なるエッチング特性を持つ)異なる物質で作られる。こうして、犠牲層は、選択的に除去されることができる。

#### 【0057】

図4は、CMUTの誘電率( )対相対的な音響出力圧の図を示す。図4は、シミュレーションに基づかれる。すべての寸法(ギャップ厚、誘電厚等)は、一定であると設定される。クローズ型の円は、ALDにより堆積される酸化ハフニウム( $\text{HfO}_2$ )を示す(ここでは、 $\epsilon$ が14である)。オープンな円は、ONOを示す。ダイヤモンドは、ALDにより堆積される酸化アルミニウム( $\text{Al}_2\text{O}_3$ )を示す(ここでは $\epsilon$ が8である)。見て分かるように、バイアス電圧が印加されることができる場合、高k物質は、出力圧をほとん

10

#### 【0058】

図5は、誘電体にわたる電場対誘電体を通る電流の例示的なグラフを示す。電場対電流のグラフは、高い温度でのONO及びアルミニウム酸化物 $\text{Al}_2\text{O}_3$ の各々に関して示される。図8で分かるように、同じ電場値に関して、アルミニウム酸化物 $\text{Al}_2\text{O}_3$ は、ONOと比較して、(高い温度で)より少ない漏れ電流を持つ。また、(高い温度にある)アルミニウム酸化物 $\text{Al}_2\text{O}_3$ に関して、ONOと比較して、同じバイアス電圧が印加されることができる。

#### 【0059】

原子層堆積(ALD)技術を用いて製造される高k誘電体層及び層スタックを提供することは、(例えば、作動電圧を下げて及び/又は(音響)出力圧を増加させることにより)CMUTの性能を明らかに高めることが示された。特に、非金属電極(例えばTiN)を提供することにより、金属電極の代わりに、ALD技術は、1つの単一の処理ステップの間にすべてのCMUT機能層を堆積させる、ユニークなオプションを提供する。従って、より高い有効な誘電率を持つ誘電スタックが、性能改善を提供する。この改善は、誘電体層における電荷トラップが原因による、CMUTの類似する又はより低いドリフトと結びつけられる。All Layer ALD(AL-ALD)CMUT処理は非常に有益である。なぜなら、それは、個別の層及びそれらのインターフェイスの特性をチューニングすることにより、CMUT性能を更に高めるオプションを提供するからである。トップトゥボトムパターン化を持つAL-ALD技術は、様々な誘電体の高品質インターフェイスを確実にし、より少ないオペレータ介入を必要とする。

20

30

#### 【0060】

CMUTにおいて、1つの例において、層がALDにより堆積されたかが検出されることができる。例えば、ALDにより堆積される場合、第1の誘電体膜20及び/又は第2の誘電体膜40は、炭素又は塩素残留物といった処理残留物を有する。この残留物は例えば、XPS(X線光電子分光法)又は例えばSIMS(2次イオン質量分光学)といった他の特徴化方法を用いて、検出されることができる。別の例において、絶縁層分離層20、40の第2の層は、100nm以下の厚みを持つ。斯かる非常に薄い高k層は、ALDを用いて提供されることができる。

#### 【0061】

本書に表される(AL-ALD)方法において、最初に、層のほとんど全体のスタックが、まず堆積され、次にパターン化される(及び最終的に、キャピティを封止する誘電体層が堆積される)。こうして、この方法により生成されるCMUTに関して、メンブレンの隣の領域におけるCMUTの断面において、全て又はほとんどの誘電体層が、除去され、又は存在しない。しかしながら、別の方法(ALDでない)により生成されるCMUTに関して、例えばスパッタリングを用いて、メンブレンの隣の領域においてCMUTの断面において、CMUTを占める全て又はほとんどの誘電体層が存在する。

40

#### 【0062】

ALDにより堆積される層(特に $\text{Al}_2\text{O}_3$ 及び/又は $\text{HfO}_2$ の層)は、以下の特徴の1つ又は複数を呈することができる。

50

## 【 0 0 6 3 】

( 1 ) 例えばスパッタされた  $Al_2O_3$  とは対照的に、ALD堆積された  $Al_2O_3$  のステップ被覆は、非常に良好で非常に共形である。これは、例えば(断面)SEMにおいて検出可能である。

## 【 0 0 6 4 】

( 2 ) ALD酸化物は、充電効果のより好適な制御を可能にし、漏れ電流はかなり低い(なぜなら、それらがピンホールフリーだからである)。これは、容量性 - 電圧 - 測定(CV曲線)において現れる。

## 【 0 0 6 5 】

( 3 )  $Al_2O_3$  の構成は、(例えばスパッタされた  $Al_2O_3$  と比較して)異なり、RBS及び/又はXPSにより検出されることができる。

10

## 【 0 0 6 6 】

( 4 ) 炭素といった典型的な処理残留物(これは、例えばスパッタされた  $Al_2O_3$  において見つけ出されることができない)が、XPS又はSIMSにより検出される。

## 【 0 0 6 7 】

例えば、スパッタされた酸化アルミニウムとALDにより堆積される酸化アルミニウムとの間の差を検出するのに、SIMS(2次イオン質量分光学)が用いられることができる。例えば、スパッタリング処理において、アルゴンが用いられ、何らかの残留物が、スパッタされた層において見つけ出される(例えば数パーセント)。これは、SIMS(2次イオン質量分光学)により、容易に検出されることができる。

20

## 【 0 0 6 8 】

ONO絶縁層分離層における酸化物層(O)と比較して、OAO絶縁層分離層における酸化物層(O)の機能は、非常に異なる。ONO絶縁層分離層における酸化物層(O)は、電気的な理由で存在する。酸化物層(O)がなければ、深刻に性能を劣化させるCMUTデバイスのかんりの電気充電があるであろう。実際、(PECVDにより堆積される)単一のO層の最小厚は、約50nmである。ONO絶縁層分離層における酸化物層(O)は、処理に関する理由で存在する。酸化物層(即ちアルミナ層)がなければ、層が非常に大きな機械的な応力を受けることになり、結果として、極端なメンブレン変形がもたらされ、CMUTデバイスは動作可能でない。しかしながら、OAO絶縁層分離層を用いることは、低い応力レベルを提供する。酸化物層は、薄くなることできる。更に、OAO絶縁層分離層は、アルミナ層だけの場合と比較して、さらに好適な電気挙動を示す。

30

## 【 0 0 6 9 】

容量性マイクロマシン・トランスデューサが、超音波に関するCMUTとして説明されてきた。しかしながら、容量性マイクロマシン・トランスデューサが、他の用途に関して、例えば圧力センサ又は圧力トランスデューサとして用いられることもできる点を理解されたい。

## 【 0 0 7 0 】

容量性マイクロマシン・トランスデューサ、特にCMUTセルは、単一のセル、特にCMUTセルを有するか、又はこのセルとすることができる。しかしながら、容量性マイクロマシン・トランスデューサ、特にCMUTが、複数のセル又はセルのレイ、特にCMUTセルを有することができる点も理解されたい。容量性マイクロマシン・トランスデューサ、特にCMUT、及び/又はその層は、円形状を持つことができる。しかしながら、他の形状も用いられることができる。例えば、そして、四角又は六角形の形状である。

40

## 【 0 0 7 1 】

本発明が図面及び前述の説明において詳細に図示され及び説明されたが、斯かる図示及び説明は、説明的又は例示的であると考えられ、本発明を限定するものではない。本発明は、開示された実施形態に限定されるものではない。図面、開示及び添付された請求項の研究から、開示された実施形態に対する他の変形が、請求項に記載の本発明を実施する当業者により理解され、実行されることができる。

## 【 0 0 7 2 】

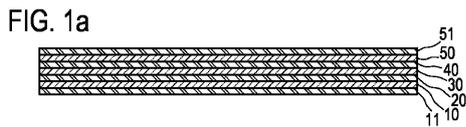
50

請求項において、単語「有する」は他の要素又はステップを除外するものではなく、不定冠詞「a」又は「an」は複数性を除外するものではない。単一の要素又は他のユニットが、請求項に記載される複数のアイテムの機能を満たすことができる。特定の手段が相互に異なる従属項に記載されるといふ単なる事実は、これらの手段の組み合わせが有利に使用されることができないことを意味するものではない。

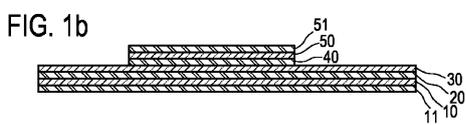
【0073】

請求項における任意の参照符号は、発明の範囲を限定するものとして解釈されるべきではない。

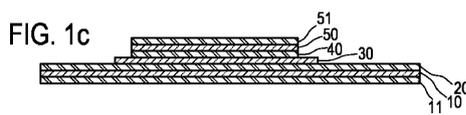
【図1a】



【図1b】



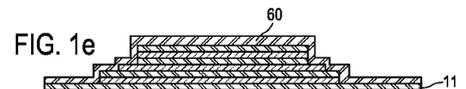
【図1c】



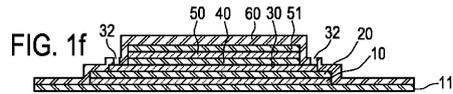
【図1d】



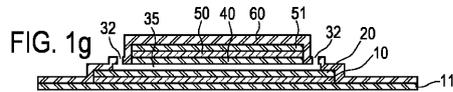
【図1e】



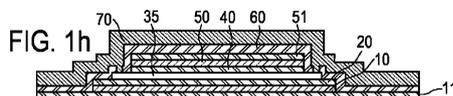
【図1f】



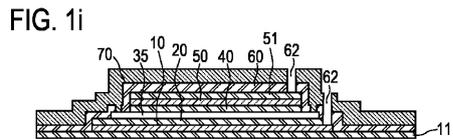
【図1g】



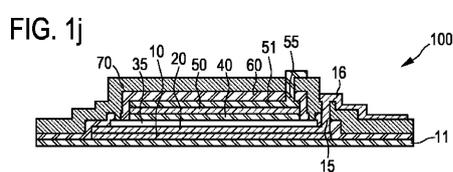
【図1h】



【図1i】

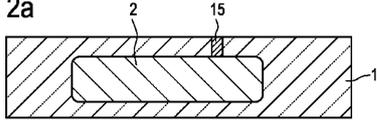


【図1j】



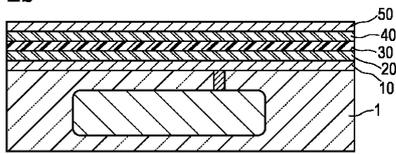
【 図 2 a 】

FIG. 2a



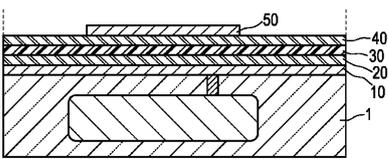
【 図 2 b 】

FIG. 2b



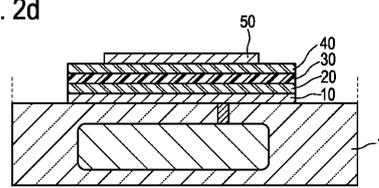
【 図 2 c 】

FIG. 2c



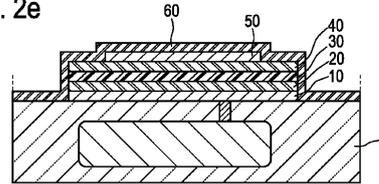
【 図 2 d 】

FIG. 2d



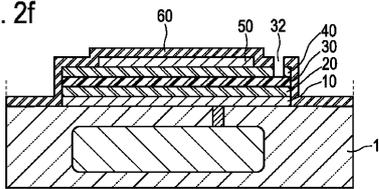
【 図 2 e 】

FIG. 2e



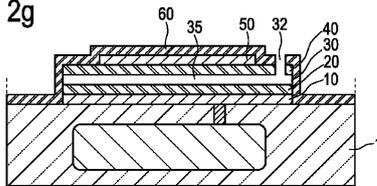
【 図 2 f 】

FIG. 2f



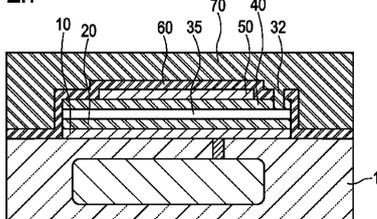
【 図 2 g 】

FIG. 2g



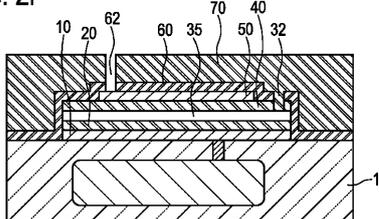
【 図 2 h 】

FIG. 2h



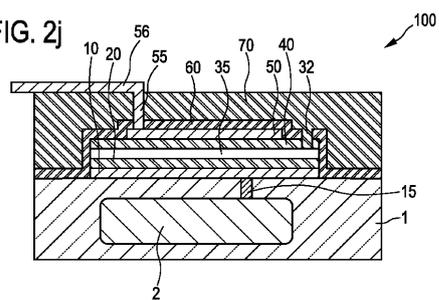
【 図 2 i 】

FIG. 2i



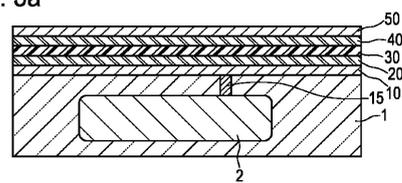
【 図 2 j 】

FIG. 2j



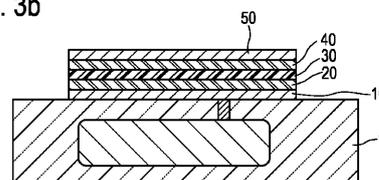
【 図 3 a 】

FIG. 3a



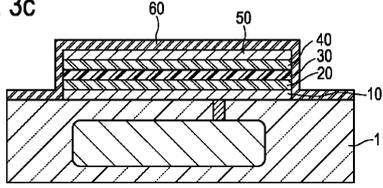
【 図 3 b 】

FIG. 3b



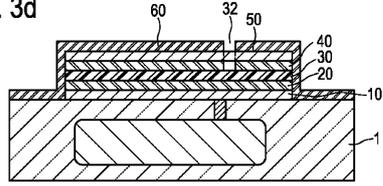
【 図 3 c 】

FIG. 3c



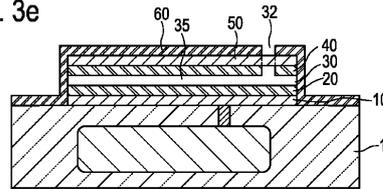
【 図 3 d 】

FIG. 3d



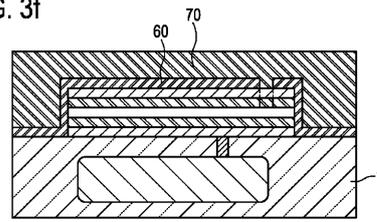
【 図 3 e 】

FIG. 3e



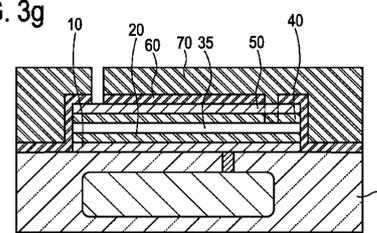
【 図 3 f 】

FIG. 3f



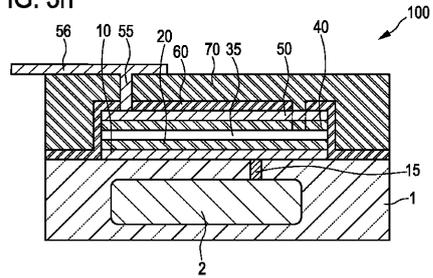
【 図 3 g 】

FIG. 3g

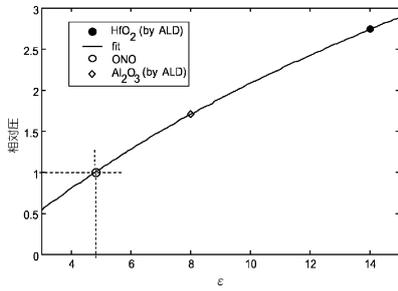


【 図 3 h 】

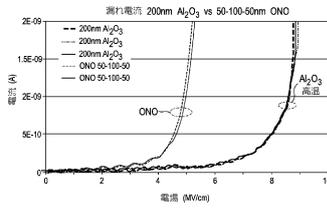
FIG. 3h



【 図 4 】



【 図 5 】



## フロントページの続き

- (72)発明者 ディルクセン ペーター  
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス ビルディング  
4 4
- (72)発明者 マオクゾク ルエディゲル  
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス ビルディング  
4 4
- (72)発明者 カラカヤ コライ  
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス ビルディング  
4 4
- (72)発明者 クロートウェイク ヨハン ヘンドリク  
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス ビルディング  
4 4
- (72)発明者 マーセリス パウト  
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス ビルディング  
4 4
- (72)発明者 ミュルデル マルセル  
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス ビルディング  
4 4

審査官 大石 剛

- (56)参考文献 特開2008-288813(JP,A)  
特開2006-271183(JP,A)  
国際公開第2010/032156(WO,A2)  
特表2010-505281(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H04R 19/00  
H04R 31/00