



(12) 发明专利申请

(10) 申请公布号 CN 114981933 A

(43) 申请公布日 2022. 08. 30

(21) 申请号 202080093564.8

(22) 申请日 2020.06.15

(30) 优先权数据

62/968,016 2020.01.30 US

(85) PCT国际申请进入国家阶段日

2022.07.18

(86) PCT国际申请的申请数据

PCT/JP2020/023359 2020.06.15

(87) PCT国际申请的公布数据

W02021/152879 JA 2021.08.05

(71) 申请人 索尼半导体解决方案公司

地址 日本神奈川

(72) 发明人 平田瑛子 深沢正永

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

专利代理师 余刚

(51) Int.Cl.

H01L 21/3065 (2006.01)

权利要求书2页 说明书14页 附图16页

(54) 发明名称

半导体装置及蚀刻方法

(57) 摘要

提供了一种蚀刻方法,该蚀刻方法能够改善在半导体装置中加工接触孔时由蚀刻引起的缺陷。该蚀刻方法包括:通过使用第一气体的等离子体将第一聚合膜接合至绝缘膜上,该绝缘膜设置在包含硅的半导体层上;使用第二气体的等离子体,在移除第一聚合膜的同时,通过氧化绝缘膜的上表面形成变质层;通过使用第三气体的等离子体将第二聚合膜接合至变质层上;以及通过使用第四气体的等离子体移除第二聚合膜和变质层。



1. 一种半导体装置,包括:
半导体层,包含硅;
第一绝缘膜,设置在所述半导体层上并且具有用于暴露所述半导体层的一部分的开口;
导电层,填充在所述第一绝缘膜的开口中并且具有与所述半导体层接触的下边缘;以及
变质层,设置在所述第一绝缘膜与所述导电层之间并且包含氧。
2. 根据权利要求1所述的半导体装置,其中,
所述变质层具有在所述第一绝缘膜与所述导电层之间的厚度,所述厚度朝向所述半导体层变得更薄。
3. 根据权利要求2所述的半导体装置,其中,
所述变质层的与所述第一绝缘膜接触的侧表面具有阶梯形状。
4. 根据权利要求3所述的半导体装置,其中,
所述变质层的下部的阶梯形状的层级差小于所述半导体层的上部的阶梯形状的层级差。
5. 根据权利要求1所述的半导体装置,其中,
所述变质层的相对介电常数低于所述第一绝缘膜的相对介电常数。
6. 根据权利要求1所述的半导体装置,其中,
所述第一绝缘膜由氮化硅制成。
7. 根据权利要求1所述的半导体装置,其中,
所述变质层包含氧化硅或氮氧化硅。
8. 根据权利要求1所述的半导体装置,还包括:
第二绝缘膜,设置在所述半导体层与所述第一绝缘膜之间。
9. 根据权利要求8所述的半导体装置,其中,
所述第二绝缘膜由氧化硅制成。
10. 根据权利要求1所述的半导体装置,还包括:
第三绝缘膜,设置在所述第一绝缘膜上。
11. 根据权利要求10所述的半导体装置,其中,
所述第三绝缘膜由氧化硅膜制成。
12. 一种蚀刻方法,包括:
通过第一气体的等离子体将第一聚合膜吸引并粘附至绝缘膜上,所述绝缘膜设置在包含硅的半导体层上;
通过第二气体的等离子体移除所述第一聚合膜,氧化通过移除所述第一聚合膜而暴露的所述绝缘膜的上表面以形成变质层;
通过第三气体的等离子体将第二聚合膜吸引并粘附至所述变质层上;以及
通过第四气体的等离子体移除所述第二聚合膜和所述变质层。
13. 根据权利要求12所述的蚀刻方法,其中,
第一气体包含碳、氢和氟。
14. 根据权利要求12所述的蚀刻方法,其中,

所述第二气体包含氧。

15. 根据权利要求12所述的蚀刻方法,其中,
所述第三气体包含碳和氟。

16. 根据权利要求12所述的蚀刻方法,其中,
所述第四气体包含稀有气体。

17. 根据权利要求12所述的蚀刻方法,还包括:
在吸引并粘附所述第一聚合膜之前;
通过干法蚀刻移除第一绝缘膜的上部。

18. 根据权利要求12所述的蚀刻方法,其中,
重复多次循环,每一个循环包括吸引并粘附所述第一聚合膜、形成所述变质层、吸引并
粘附所述第二聚合膜以及移除所述变质层。

19. 根据权利要求18所述的蚀刻方法,其中,
使所述第二气体的等离子体能量在重复多次的所述循环的每一个循环中相同。

20. 根据权利要求18所述的蚀刻方法,其中,
使在多次循环的后半段循环中的所述第二气体的等离子体能量小于在多次循环的前
半段循环中的所述第二气体的等离子体能量。

半导体装置及蚀刻方法

技术领域

[0001] 本公开的技术(本技术)涉及半导体装置和蚀刻方法。

背景技术

[0002] 以往,作为半导体装置的蚀刻方法,已经研究了各种方法。例如,在专利文献1中公开了使用氧化硅膜(SiO_2 膜)作为被蚀刻的膜,通过重复碳氟化合物气体的等离子体生成工序和氩(Ar)气体的等离子体生成工序来移除各原子层的蚀刻方法。

[0003] [引用列表]

[0004] [专利文献]

[0005] [专利文献1]

[0006] JP 2017-183688 A

发明内容

[0007] [技术问题]

[0008] 另外,在半导体装置的接触孔加工时,有时使用氮化硅膜(SiN膜)作为蚀刻停止膜。但是,通过SiN膜的过蚀刻,在SiN膜下的半导体层中形成凹部(凹陷),在凹陷的底部产生残留缺陷,存在暗电流增大的情况。

[0009] 本技术的目的是提供能够通过加工半导体装置的接触孔时进行蚀刻来减少缺陷的半导体装置和蚀刻方法。

[0010] [问题的解决方案]

[0011] 总之,根据本技术的一个方面的半导体装置包括含硅的半导体层、设置在半导体层上并且具有开口的第一绝缘膜、填充在第一绝缘膜的开口中并且具有与半导体层接触的下边缘的导电层、以及设置在第一绝缘膜和导电层之间并且包含氧的变质层。

[0012] 总之,根据本技术的一个方面的蚀刻方法包括:通过第一气体的等离子体将第一聚合膜吸引并粘附至设置在包含硅的半导体层上的绝缘膜上;通过第二气体的等离子体移除第一聚合膜,氧化通过移除第一聚合膜而暴露的绝缘膜的上表面以形成变质层;通过第三气体的等离子体将第二聚合膜吸引并粘附至变质层上,并且通过第四气体的等离子体移除第二聚合膜和变质层。

附图说明

[0013] [图1]图1是根据第一实施例的半导体装置的截面图。

[0014] [图2]图2是根据第一实施例的等离子体处理设备的示意图。

[0015] [图3]图3是根据第一实施例的半导体装置的蚀刻方法的流程图。

[0016] [图4]图4是根据第一实施例的蚀刻方法的工序截面图。

[0017] [图5]图5是根据第一实施例的蚀刻方法的接着图4的工序截面图。

[0018] [图6A]图6A是根据第一实施例的蚀刻方法的接着图5的工序截面图。

- [0019] [图6B]图6B是图6A的局部放大图。
- [0020] [图7A]图7A是根据第一实施例的蚀刻方法的接着图6A的工序截面图。
- [0021] [图7B]图7B是图7A的局部放大图。
- [0022] [图8A]图8A是根据第一实施例的蚀刻方法的接着图7A的工序截面图。
- [0023] [图8B]图8B是图8A的局部放大图。
- [0024] [图9A]图9A是根据第一实施例的蚀刻方法的接着图8A的工序截面图。
- [0025] [图9B]图9B是图9A的局部放大图。
- [0026] [图10]图10是根据第一实施例的蚀刻方法的接着图9A的工序截面图。
- [0027] [图11]图11是示出Ar离子渗透模拟结果的曲线图。
- [0028] [图12]图12是根据第一比较例的蚀刻方法的工序截面图。
- [0029] [图13]图13是根据第一比较例的蚀刻方法的接着图12的工序截面图。
- [0030] [图14]图14是根据第一比较例的蚀刻方法的接着图13的工序截面图。
- [0031] [图15]图15是根据第二比较例的蚀刻方法的工序截面图。
- [0032] [图16]图16是根据第二比较例的蚀刻方法的接着图15的工序截面图。
- [0033] [图17]图17是根据第二实施例的半导体装置的截面图。
- [0034] [图18]图18是根据第三实施例的半导体装置的截面图。
- [0035] [图19]图19是根据第四至第六实施例的蚀刻方法的工序截面图。
- [0036] [图20]图20是根据第四实施例的半导体装置的截面图。
- [0037] [图21]图21是根据第五实施例的半导体装置的截面图。
- [0038] [图22]图22是根据第六实施例的半导体装置的截面图。
- [0039] [图23]图23是根据第七实施例的固态图像拾取装置的框图。
- [0040] [图24]图24是示出根据第七实施例的像素的等效电路图。
- [0041] [图25]图25是根据第七实施例的电子装置的框图。

具体实施方式

[0042] 在下文中,将参考附图描述本技术的第一至第七实施例。将在下面的描述中参考它们。在附图的图示中,相同或相似的部分由相同或相似的参考标号表示。然而,应注意,附图是示意性的并且厚度与平面尺寸之间的关系、各层的厚度比率等与实际不同。因此,具体厚度和尺寸应通过考虑以下描述来确定。另外,附图也包含彼此的尺寸关系、比率不同的部分,这是不言而喻的。本说明书中描述的有益效果仅是示例性的而非限制性的,并且可产生其它有益效果。

[0043] 在本说明书中,应当理解的是,诸如“向上”和“向下”的方向的定义仅是为了简洁而提供的定义并且不旨在限制本技术的技术构思。例如,显而易见的是,当在旋转90°之后观察对象时,“向上”和“向下”被解释为转换成“左”和“右”,并且当在旋转180°之后观察对象时,“向上”和“向下”被解释为倒置。

[0044] (第一实施例)

[0045] <半导体装置的结构>

[0046] 如图1所示,根据第一实施例的半导体装置包括包含硅(Si)的半导体层11、设置在半导体层11上的绝缘膜(下层绝缘膜)12、设置在下层绝缘膜12上的绝缘膜(中间层绝缘膜)

13、以及设置在中间层绝缘膜13上的绝缘膜(上层绝缘膜)14。

[0047] 半导体层11例如由硅(Si)制成。半导体层11可以由Si基板形成,并且可以由在Si基板上外延生长的外延生长层形成。半导体层11可以由诸如碳化硅(SiC)和硅锗(SiGe)的化合物半导体形成。

[0048] 例如,下层绝缘膜12由氧化硅膜(SiO_2 膜)的自然氧化膜制成。例如,下层绝缘膜12的厚度约为1nm,尽管并不局限于此。可替代地,可以省去下层绝缘膜12,并且半导体层11和中间层绝缘膜13可以彼此直接接触。

[0049] 例如,中间层绝缘膜13由氮化硅膜(Si_3N_4 膜)形成。例如,中间层绝缘膜13的厚度约为30nm-300nm,尽管不限于此。例如,上层绝缘膜14由氧化硅膜(SiO_2 膜)制成。例如,上层绝缘膜14的厚度约为30nm至300nm,尽管不限于此。可替代地,可以省略上层绝缘膜14。

[0050] 下层绝缘膜12、中间层绝缘膜13和上层绝缘膜14均设置有用于暴露半导体层11的上表面的一部分的开口(接触孔)。例如,下层绝缘膜12、中间层绝缘膜13和上层绝缘膜14的开口的直径大约为30nm至100nm,但并不局限于此。下层绝缘膜12、中间层绝缘膜13和上层绝缘膜14的开口填充有导电层18。导电层18的下边缘与半导体层11的上表面接触。例如,导电层18由诸如铜(Cu)、铝(Al)和钨(W)的金属材料制成。尽管省略了图示,但布线连接至导电层18的上边缘。导电层18用作将半导体层11电连接到布线等的接触或过孔。例如,导电层18的平面图案是矩形,但是甚至可以是圆形或凹槽形状。

[0051] 在中间层绝缘膜13和导电层18之间,形成变质层(改变层)15,以便围绕导电层18的侧表面。变质层15的内侧表面(内周表面)与导电层18的侧表面接触。夹在中间层绝缘膜13与变质层15的导电层18之间的圆周方向(图1的水平方向)上的厚度 T_1 朝向半导体层11变薄。与变质层15的中间层绝缘膜13接触的外侧表面(外周表面)具有阶梯形状。图1示出了阶梯形状的层级差 T_2 基本相等的情况。此外,图1示出了变质层15的阶梯形状的阶梯的数量是六个的情况,但是阶梯的数量不受特别限制,并且甚至可以是一个阶梯,或者可以是一个至五个阶梯,并且可以是七个或更多个阶梯。

[0052] 变质层15由其中间层绝缘膜13被氧化以改变(修改)其质量的域制成。变质层15是包含氧的层并且由例如氧化硅(SiO_x) (诸如一氧化硅(SiO)或二氧化硅(SiO_2))或氮氧化硅(SiON)构成。例如,变质层15中的氧浓度可以具有从内部朝向外部的梯度,使得侧表面的与变质层15的导电层18接触的一侧由 SiO_x 构成,并且侧表面的与变质层15的中间层绝缘膜13接触的一侧由 SiON 构成。

[0053] 在此, Si_3N_4 的钝化特性比 SiON 的钝化特性高, SiON 的钝化特性比 SiO_x 的钝化特性高。因此,由 Si_3N_4 制成的中间层绝缘膜13的钝化特性高于由 SiON 或 SiO_x 制成的变质层15的钝化特性。

[0054] 此外, Si_3N_4 的介电常数(7.0)高于 SiON 或 SiO_x 的介电常数(4.2)。因此,由 Si_3N_4 制成的中间层绝缘膜13的介电常数高于由 SiON 或 SiO_x 制成的变质层15的介电常数。

[0055] 另外, SiO_x 的压力密性比 SiON 的压力密性高, SiON 的压力密性比 Si_3N_4 的压力密性高。因此,由 SiON 或 SiO_x 制成的变质层15的压密性高于由 Si_3N_4 制成的中间层绝缘膜13的压密性。

[0056] 根据第一实施例的半导体装置,与由于含氧变质层15被设置在中间层绝缘膜13和导电层18之间而没有设置变质层15的情况相比,可以实现更低的介电常数。因此,可以减小

容量,并且可以使设备的速度更高。此外,与没有设置变质层15的情况相比,因为变质层15的压力密性高于中间层绝缘膜13的压力密性,所以能够增强压力密性,并且能够减小泄漏电流。

[0057] 此外,由于到半导体层11的距离越短,变质层15的圆周方向上的厚度T1越薄,因此可以改善对半导体层11附近的湿气和气体的钝化特性,并且可以防止装置特性的劣化。此外,可以抑制暴露于接触孔的部分的半导体层11的氧化,并且可以抑制接触电阻的增加。

[0058] <蚀刻设备>

[0059] 接着,描述了用于实施稍后将描述的根据第一实施例的半导体装置的蚀刻方法的根据本公开第一实施例的蚀刻设备(等离子体处理装置)的示意性配置。如图2所示,根据第一实施例的等离子体处理装置包括用于存储待处理对象100的处理容器21。

[0060] 在处理容器21中,有载置待处理对象100的下部电极23和与该下部电极23相对地设置的上部电极22。在下部电极23和上部电极22上分别连接有高频电源27、28。高频电源27产生用于将离子引入待处理对象100的高频电(高频电压)。高频电源28产生用于等离子体生成的高频电。

[0061] 在处理容器21上连接有气体供应单元24和排气单元26。气体供应单元24在调整流量的同时选择性地处理容器21内供应各种气体,例如处理气体。排气装置26例如由涡轮分子泵等真空泵构成,对处理容器21内进行减压。

[0062] 气体供应单元24、排气单元26以及高频电源27、28与控制单元25电连接。控制单元25控制气体供应单元24的气体选择和流量、排气单元26的排气量、高频电源27、28的电力供应量等。注意,图2所示的根据第一实施例的等离子体处理装置是示意性的,并且实际上,该等离子体处理装置还包括各种部件,省略其图示。

[0063] <蚀刻方法>

[0064] 接下来,参考图3的流程图和图4至图10的工序截面图,描述根据第一实施例的半导体装置的蚀刻方法。图6A和图6B示出了相同的工序,并且图6A中由虚线包围的部分A的放大视图是图6B。而且,图7A和图7B之间的关系、图8A和图8B之间的关系以及图9A和图9B之间的关系也与图6A和图6B之间的关系相同。

[0065] 在图3的步骤S1中,制备作为根据第一实施例的半导体装置的蚀刻方法中的处理目标的待处理对象(半导体晶圆)。如图4所示,该半导体晶圆包括:半导体层11;设置在半导体层11上的下层绝缘膜12;设置在下层绝缘膜12上的中间层绝缘膜(待蚀刻膜)13;以及设置在中间层绝缘膜13上的上层绝缘膜14。可替代地,可以不形成下层绝缘膜12。使用光刻技术和蚀刻技术,选择性地移除上层绝缘膜14的一部分,并且形成用于暴露中间层绝缘膜13的上表面的一部分的开口14a。

[0066] 接着,如图2所示,将图4所示的半导体晶圆载置在作为待处理对象100的处理容器21的下部电极23上。使用上层绝缘膜14作为蚀刻掩模,通过诸如反应离子蚀刻(RIE)的正常干法蚀刻选择性地移除中间层绝缘膜13的上部的一部分。因此,如图5所示,具有预定深度的凹部13a形成在中间层绝缘膜13的上部中。

[0067] 在图3的步骤S2中,通过图2所示的气体供应单元24将第一气体供应到处理容器21内,产生第一气体的等离子体。例如,第一气体含有含有碳(C)、氟(F)和氢(H)的 CH_xF_y 气体。第一气体的具体示例包括三氟甲烷(CHF_3)气体、二氟甲烷(CH_2F_2)气体和氟甲烷(CH_3F)气

体。此外,也可以向处理容器21内供应由氩气(Ar)、氮气(N₂)等稀有气体制成的非活性气体,适当地稀释非活性气体。

[0068] 在步骤S2中的第一气体的等离子体产生时的工序条件的示例中,将处理容器21内的压力设定为20至30毫托,将上部电极22的功率设定为400至600W,将高频电压设定为0V,将第一气体的流量设定为5至15sccm,Ar气体的流量为400至600sccm,处理时间为5至20秒。

[0069] 如图6A和图6B所示,第一气体的等离子体中包含的离子(用直线箭头示出)和自由基(用波形箭头示出)将第一聚合膜16沉积在上层绝缘膜14的上表面和开口14a的侧表面上,以及中间层绝缘膜13的凹部13a的侧表面和底表面上。第一聚合膜16被吸引并粘附至位于中间层绝缘膜13的凹部13a的中间层绝缘膜13的表面。第一聚合膜16例如由包含碳(C)、氟(F)和氢(H)的聚合物组成。第一聚合膜16例如由氢氟烃(HFC)制成。

[0070] 在图3的步骤S3中,通过图2所示的排气装置26对处理容器21内进行净化,由此排出在步骤S2中供应的第一气体。例如,可以对处理容器21进行真空处理,也可以向处理容器21内供应Ar气等净化气体。

[0071] 在图3的步骤S4中,通过图2所示的气体供应单元24向处理容器21内供应第二气体,产生第二气体的等离子体。第二气体是包含氧(O)的气体。第二气体的具体示例包括氧气(O₂)、一氧化碳(CO)气体、二氧化碳(CO₂)气体、一氧化氮(NO)气体、二氧化氮(NO₂)气体等。除第二气体之外,还可供应由稀有气体(诸如氩(Ar)和氮(N₂))组成的惰性气体并适当地稀释。

[0072] 在步骤S4中的第二气体的等离子体产生时的工序条件的示例中,将处理容器21内的压力设定为20至30毫托,将上部电极22的功率设定为300至500W,将高频电压设定为0V,将第二气体的流量设定为400至600sccm,将处理时间设定为20至40秒。

[0073] 由于第二气体的等离子体中含有氧离子和自由基,如图7A和图7B所示,图6A和图6B所示的第一聚合膜16被移除。此时,如图6B所示,吸引并粘附第一聚合膜16的中间层绝缘膜13的上部(外层部)13b(用虚线示出)分离并移除。此外,如图7A和图7B所示,氧化(改变)中间层绝缘膜13的表面以形成含氧的变质层(变质层)15x。

[0074] 变质层15x的厚度T3在中间层绝缘膜13的凹部13a的侧表面和底表面中处于相同的水平。例如,变质层15x的厚度T3为大约3nm至10nm,并且可以通过调整第二气体的等离子体能量(高频电)来适当地设置。第二气体的等离子体能量越高,变质层15x的厚度T3变得越厚,并且变质层15x中的氧浓度也变得越高。同时,上层绝缘膜14不像中间层绝缘膜13那样劣化,因为上层绝缘膜14最初包含氧。

[0075] 在图3的步骤S5中,供应至步骤S4的第二气体通过图2所示的排气装置26通过对处理容器21内净化来进行排气。例如,可以对处理容器21进行真空处理,也可以向处理容器21内供应Ar气等净化气体。

[0076] 在图3的步骤S6中,通过图2所示的气体供应单元24向处理容器21内供应第三气体,产生第三气体的等离子体。例如,第三气体由含有碳和氟的碳氟化合物(C_xF_y)类气体制成。第三气体的具体示例包括四氟化碳(CF₄)气体、全氟环丁烷(C₄F₈)气体、六氟-1,3-丁二烯(C₄F₆)气体、八氟环戊烯(C₅F₈)气体。此外,也可以向处理容器21内供应由氩气(Ar)、氮气(N₂)等稀有气体制成的非活性气体,适当地稀释。

[0077] 在步骤S6中的第三气体的等离子体生成时的工序条件的示例,将处理容器21内的

压力设定为20至30毫托,上部电极22的功率为400至600W,高频电压为0V,CF系气体的流量,作为第三气体,设定为5至20sccm,Ar气体的流量为400至600sccm,处理时间为5至15秒。

[0078] 如图8A和图8B所示,第三气体的等离子体中所含的离子和自由基将第二聚合膜17吸引并粘附于变化层15的表面。第二聚合膜17由包含碳(C)和氟(F)的CF聚合物组成。

[0079] 在图3的步骤S7中,供应至步骤S6的第三气体通过图2所示的排气装置26对处理容器21内进行净化而被排出。例如,可以对处理容器21进行真空处理,也可以向处理容器21内供应Ar气等净化气体。

[0080] 在图3的步骤S8中,通过图2所示的气体供应单元24向处理容器21内供应第四气体,产生第四气体的等离子体。第四气体是包含稀有气体的气体。第四气体的具体示例包括氦(He)、氖(Ne)、氩(Ar)、氪(Kr)、氙(Xe)等。

[0081] 在步骤S8中第四气体的等离子体产生时的工序条件的示例,将处理容器21内的压力设定为20至30毫托,将上部电极22的功率设定为300至400W,将高频电压设定为70V,将作为第四气体的Ar气体的流量设定为400至500sccm,将处理时间设定为20至40秒。

[0082] 如图9A和图9B所示,由于包括在第四气体的等离子体中的惰性气体离子,变质层15x分离并与第二聚合膜17一起被移除。此时,基本上完全移除中间层绝缘膜13的凹部13a的底面的变质层15x,从而移除中间层绝缘膜13。同时,如图9A所示,因为Ar离子渗透比凹部13a的底表面浅,所以较薄地移除中间层绝缘膜13的凹部13a的侧表面。因此,保留凹部13a的侧表面的深部分的变质层15x。

[0083] 在图3的步骤S9中,通过图2所示的排气装置26对处理容器21内进行净化,由此排出供应到步骤S8中的第四气体。例如,可以对处理容器21进行真空处理,也可以向处理容器21内供应Ar气等净化气体。

[0084] 在图3的步骤S10中,确定是否重复预定次数的循环,其中,每一个循环包括步骤S2至S9的过程。预定次数可预先设置为实现预定蚀刻量的次数。该预定次数是一次,并且不必重复步骤S2至S9的过程。如果没有重复预定次数,则过程返回到步骤S2,并且重复步骤S2到S9的循环。在各循环中,工序条件在各循环之间可以相同,在各循环之间可以不同。

[0085] 通过多次重复包括图3的步骤S2至S9的循环,中间层绝缘膜13的凹部13a的深度加深。此外,中间层绝缘膜13的凹部13a的侧表面的变质层15x的厚度在每一个循环中在步骤S4的第二气体的每次等离子体生成时变厚。因此,每一个循环形成变质层15x的步骤中的一个步骤。

[0086] 在图3的步骤S10中,如果反复进行规定次数的步骤S2至S9的循环,则利用稀氢氟酸(DHF)移除聚合物、自然氧化膜等,结束蚀刻处理。结果,如图10所示,移除中间层绝缘膜13和下层绝缘膜12,并且在中间层绝缘膜13和下层绝缘膜12中形成开口(接触孔),并且暴露半导体层11的上表面的一部分。变质层15的圆周方向上的厚度T1朝向半导体层11变薄,并且变质层15的外周表面变成阶梯形状。变质层15的外周表面的阶梯形状的层级差T2可以通过使步骤S4的第二气体的等离子体能量在图3的步骤S2至S9的每一个循环中相同而基本上均匀地形成。

[0087] 之后,通过使用化学气相沉积(CVD)方法将导电层18填充在下层绝缘膜12、中间层绝缘膜13和上层绝缘膜14的开口(接触孔)中来制造图1所示的半导体装置。在移除上层绝缘膜14之后,导电层18可以填充在下层绝缘膜12和中间层绝缘膜13的开口(接触孔)中。

[0088] 根据第一实施例的半导体装置的蚀刻方法,选择由Si₃N₄制成的中间层绝缘膜13作为蚀刻对象,通过重复步骤S2至S9的过程的至少四次等离子体生成和清除的原子层蚀刻(ALE),可以移除每一个原子层的中间层绝缘膜13。由此,能够实现与半导体层11的高选择比,从而能够实现低损伤处理。

[0089] 图10中曲线图的左侧示出了当上部电极22的功率被设定为30W(18eV)并且使用ALE进行处理60秒时,氩(Ar)离子穿透渗透模拟的结果。图10的实线的曲线示出了Ar离子的分布并且示出了通过以虚线将该分布转换成连续值而获得的曲线。图10中的曲线图的右侧表示使用椭偏仪测量的距离Si表面的深度方向上的成分。图10示出了Ar离子侵入渗透进入Si的深度为5nm或更小、Si的凹陷量的程度、以及变质层15的厚度为5nm或更小。

[0090] <第一比较例>

[0091] 接着,描述了根据第一比较例的蚀刻方法。在根据第一比较例的蚀刻方法中,如图12所示,制备半导体晶圆,该半导体晶圆包括半导体层11、设置在半导体层11上的下层绝缘膜12、设置在下层绝缘膜12上的中间层绝缘膜13以及设置在中间层绝缘膜13上的上层绝缘膜14。使用光刻技术和蚀刻技术,选择性地移除上层绝缘膜14的一部分,并且形成开口。

[0092] 接下来,如图13所示,使用上层绝缘膜14作为蚀刻掩模,通过反应离子蚀刻(RIE)移除中间层绝缘膜13和下层绝缘膜12。此时,半导体层11的上部被氧化,通过过蚀刻形成氧化层11a。

[0093] 接着,通过执行DHF处理,如图14所示,移除半导体层11的上部的氧化层11a,形成凹部11b,在凹部11b的底部产生Si的残留缺陷11c。由于该凹部11b的形成和残留缺陷11c的出现,暗电流增加。此外,因为在下层绝缘膜12中在侧向方向上出现狭缝12a,所以存在对产量劣化和金属填充失败的担忧。

[0094] 与此相对,如图10所示,根据第一实施例的半导体装置的蚀刻方法,能够抑制因过蚀刻而在半导体层11内形成凹部,或者,即使形成凹部,也能够使半导体层11的凹部的深度比第一比较例的凹部11b浅(例如,5nm以下)。另外,能够抑制或减少半导体层11的凹部底部的残留缺陷,因此能够降低暗电流。此外,如图10所示,可以抑制在下层绝缘膜12的侧向方向上形成狭缝,因此,可以增加产率,并且可以抑制金属填充失败。

[0095] <第二比较例>

[0096] 接着,描述了根据第二比较例的蚀刻方法。在第二比较例的蚀刻方法中,如图12所示,与第一比较例相同,制备半导体晶圆,该半导体晶圆包括半导体层11、设置在半导体层11上的下层绝缘膜12、设置在下层绝缘膜12上的中间层绝缘膜13以及设置在中间层绝缘膜13上的上层绝缘膜14。使用光刻技术和蚀刻技术,选择性地移除上层绝缘膜14的一部分,并且形成开口。

[0097] 接下来,在中间层绝缘膜13中形成具有预定深度的凹部13a。然后,重复包括产生如图15所示的CH_xF_y类气体的等离子体以吸引并粘附第一聚合膜16的步骤和产生如图16所示的Ar气体的等离子体以移除中间层绝缘膜13的步骤的循环。此时,如图16所示,有时在Ar气体的等离子体生成时残留第一聚合膜16的一部分。因此,第一聚合膜16的膜厚度可能较厚,并且如果重复图15和图16中所示的过程,则在一些情况下中间层绝缘膜13的移除可能变得困难。

[0098] 相反,根据第一实施例的半导体装置的蚀刻方法可以通过重复图3中示出的步骤

S2至S9的过程容易地移除中间层绝缘膜13而不残留第一聚合膜16。

[0099] (第二实施例)

[0100] 根据第二实施例的半导体装置与图1中示出的根据第一实施例的半导体装置的不同之处在于变质层15的外周表面是如图17中示出的大致弯曲表面(锥形形状)。由于与根据图1中示出的第一实施例的半导体装置相比,变质层15的外周表面的阶梯形状的层级差更浅并且更精细地形成,所以阶梯连续地连接并且可以被视为基本上弯曲的表面。变质层15的圆周方向上的厚度T1朝向半导体层11变薄。省略关于根据第二实施例的半导体装置的其他结构的重叠描述,因为这样的其他结构与根据图1所示的第一实施例的半导体装置相似。

[0101] 根据第二实施例的半导体装置的蚀刻方法类似于根据第一实施例的半导体装置的蚀刻方法,并且当产生图3所示的步骤S4的第二气体的等离子体时,应当降低第二气体的等离子体能量。

[0102] (第三实施例)

[0103] 如图18所示,根据第三实施例的半导体装置与根据图1中示出的第一实施例的半导体装置的不同之处在于变质层15的形状。变质层15的上部15a的外周表面是基本上垂直的,并且变质层15的上部15a的圆周方向上的厚度T1是基本上恒定的。变质层15的下部15b的外周表面是阶梯形状,并且变质层15的下部15b的圆周方向上的厚度T1朝向半导体层11变薄。省略关于根据第三实施例的半导体装置的其他构造的重复描述,因为这样的其它构造类似于根据图1中示出的第一实施例的半导体装置。

[0104] 在根据第三实施例的半导体装置的蚀刻方法中,如图5所示,在中间层绝缘膜13上形成凹部13a之后,并且在根据第一实施例的半导体装置的蚀刻方法中的图3所示的步骤S2的第二气体的等离子体产生之前,通过例如RIE的干法蚀刻将凹部13a的底部的中间层绝缘膜13移除预定深度。之后,重复图3中示出的步骤S2至S9的程序。结果,变质层15的上部15a的外周表面(对应于中间层绝缘膜13通过诸如RIE的干法蚀刻移除的位置)变得基本上垂直,如图18所示。同时,对应于通过重复图3中示出的步骤S2至S9的过程移除中间层绝缘膜13的位置的变质层15的下部15b的外周表面变成阶梯形状。

[0105] 根据第三实施例的半导体装置的蚀刻方法,通过在中间层绝缘膜13的前半个蚀刻处理中使用正常干法蚀刻,可以减少步骤S2至S9的过程的重复次数。同时,通过重复在中间层绝缘膜13的蚀刻过程的后半部分中的步骤S2至S9的过程,可以抑制半导体层11的凹部的形成或者可以减小凹陷的深度。

[0106] (第四实施例)

[0107] 在以下的第四至第六实施例中,示出了在制造图3所示的步骤S4的第二气体的等离子体时,与第一实施例的半导体装置的蚀刻方法相比,增加第二气体的等离子体能量的示例。例如,当图3所示的步骤S4中的第二气体的等离子体能量增加时,与图1A所示的变质层15x的圆周方向上的厚度T3相比,如图19所示,变质层15x的圆周方向上的厚度T4变得更厚。

[0108] 根据第四实施例的半导体装置与图1所示的根据第一实施例的半导体装置具有相同的特征,因为如图20所示,变质层15的外周表面具有阶梯形状,并且变质层15的圆周方向上的厚度T1朝向半导体层11变薄。然而,根据第四实施例的半导体装置的变质层15的外周表面的阶梯形状的段差T5大于根据图1中所示的第一实施例的半导体装置的段差T2。省略

关于根据第四实施例的半导体装置的其他结构的重叠描述,因为这样的其他结构类似于根据图1中所示的第一实施例的半导体装置。

[0109] 当在根据第一实施例的半导体装置的蚀刻方法中重复图3所示的步骤S2至S9的过程时,应执行根据第四实施例的半导体装置的蚀刻方法,使得在步骤S4中增加第二气体的等离子体能量,如图19所示。

[0110] 根据第四实施例的半导体装置的蚀刻方法,可以增加图3所示的步骤S2至S9的一个周期中的蚀刻量,并且可以减少图3所示的步骤S2至S9的过程的重复次数。

[0111] (第五实施例)

[0112] 如图21所示,根据第五实施例的半导体装置与根据图1所示的第一实施例的半导体装置的不同之处在于变质层15的上部15a的形状。变质层15的上部15a的外周表面是阶梯形状,并且该阶梯形状的阶梯的厚度T5是基本恒定的。同时,变质层15的下部15b的外周表面也是阶梯形状,但是阶梯形状的阶梯的厚度T2比变质层15的上部15a的阶梯的厚度T5薄。省略关于根据第五实施例的半导体装置的其他结构的重叠描述,因为这样的其他结构与根据图1所示的第一实施例的半导体装置类似。

[0113] 应该执行根据第五实施例的半导体装置的蚀刻方法,使得在根据第一实施例的半导体装置的蚀刻方法中,在根据第一实施例的半导体装置的蚀刻方法中的图3所示的步骤S2至S9的过程中的多个循环的前半部分中,使步骤S4的第二气体的等离子体能量相对较大。之后,在图3所示的步骤S2至S9的过程中的多个循环的后半部分的循环中,使步骤S4的第二气体的等离子体能量相对较小。

[0114] 根据第五实施例的半导体装置的蚀刻方法,能够在多个循环的前半个循环中增加一个循环中的蚀刻量,并且能够减少循环的重复次数。另一方面,通过减少1个循环的蚀刻量,提高多个循环的后半个循环的蚀刻精度,能够抑制半导体层11的凹部的形成,或者减小凹部的深度。

[0115] (第六实施例)

[0116] 根据第六实施例的半导体装置与图1中示出的根据第一实施例的半导体装置的不同之处在于变质层15的上部15a和下部15b的形状,如图22所示。变质层15的上部15a的外周表面是基本上垂直的,并且变质层15的上部15a的圆周方向上的厚度T1是基本上恒定的。变质层15的下部15b的外周表面是阶梯形状。注意,虽然在图22中变质层15的下部15b的阶梯形状的阶梯的数量是一个,但是该数量可以是多个。省略关于根据第六实施例的半导体装置的其它构造的重复描述,因为这样的其它构造类似于根据图1中示出的第一实施例的半导体装置。

[0117] 在根据第六实施例的半导体装置的蚀刻方法中,如图5所示,在中间层绝缘膜13上形成凹部13a,之后,在根据第一实施例的半导体装置的蚀刻方法中,通过诸如RIE的干法蚀刻以预定深度移除凹部13a的底部的中间层绝缘膜13。此后,重复图3所示的步骤S2到S9的过程,只要使得步骤S4的第二气体的等离子体能量相对大于根据第一实施例的半导体装置的蚀刻方法中的等离子体能量。结果,变质层15的上部15a的外周表面(对应于中间层绝缘膜13通过诸如RIE的干法蚀刻移除的位置)变得基本上垂直,如图22所示。同时,对应于通过重复图3中示出的步骤S2至S9的过程移除中间层绝缘膜13的位置的变质层15的下部15b的外周表面变成阶梯形状。

[0118] 根据第六实施例的半导体装置的蚀刻方法,通过在中间层绝缘膜13的前半蚀刻过程中使用正常干法蚀刻,可以减少步骤S2到S9的过程的重复次数。同时,通过重复在中间层绝缘膜13的蚀刻过程的后半部分中的步骤S2至S9的过程,可以抑制半导体层11的凹部的形成或者可以减小凹部的深度。

[0119] (第七实施例)

[0120] 在第七实施例中,列举能够应用第一至第六实施例的半导体装置的固态图像拾取装置和电子装置作为示例。

[0121] <电子装置>

[0122] 作为根据第七实施例的固态图像拾取装置的示例,描述了CMOS(互补金属氧化物半导体)图像传感器。根据第七实施例的固态图像拾取装置包括像素域(图像拾取域)3和外围电路(4、5、6、7和8),其中,像素2以矩阵布置,外围电路处理从像素域3输出的像素信号,如图23所示。

[0123] 像素2通常具有光电转换域,该光电转换域由电转换入射光的光电二极管和多个像素晶体管制成,以读取由光电转换域中的光电转换产生的信号电荷。例如,多个像素晶体管可以由三个晶体管制成:转移晶体管、复位晶体管和放大器晶体管。可替代地,多个像素晶体管可由还包括选择晶体管的四个晶体管制成。

[0124] 外围电路(4、5、6、7和8)包括垂直驱动电路4、列信号处理电路5、水平驱动电路6、输出电路7、以及控制电路8。控制电路8接收输入时钟和指示移动模式等的的数据,并输出诸如固态图像拾取设备的内部信息的数据。例如,控制电路8基于垂直同步信号、水平同步信号和主时钟产生时钟信号或控制信号作为垂直驱动电路4、列信号处理电路5、水平驱动电路6等的操作的参考。控制电路8将所生成的时钟信号或控制信号输出至垂直驱动电路4、列信号处理电路5、水平驱动电路6等。

[0125] 例如,垂直驱动电路4由移位寄存器构成。垂直驱动电路4选择像素驱动布线,将用于驱动像素2的脉冲提供至所选择的像素驱动布线,并且以行为单位驱动像素2。例如,垂直驱动电路4在垂直方向上以行为单位对像素域3中的像素2依次执行选择扫描,并且通过垂直信号线9将基于根据在(例如)用作每一个像素2的光电转换域的光电二极管中接收的光量产生的信号电荷的像素信号供应至列信号处理电路5。

[0126] 列信号处理电路5例如位于像素2的每行中。列信号处理电路5对每一个像素列的一行执行从像素2输出的的信号的信号处理,诸如降噪。例如,列信号处理电路5执行信号处理,诸如,CDS、信号放大、AD转换等,以移除像素2特有的固定图案噪声。水平选择开关(未示出)连接并设置在列信号处理电路5的输出端与水平信号线10之间。

[0127] 例如,水平驱动电路6由移位寄存器构成。水平驱动电路6依次输出水平扫描脉冲,从而按顺序选择列信号处理电路5中的每一个,并将来自列信号处理电路5中的每一个的像素信号输出至水平信号线10。

[0128] 输出电路7对通过水平信号线10从每一个列信号处理电路5顺次提供的信号执行信号处理并且输出像素信号。例如,输出电路7可以仅执行缓冲,或者可以执行黑电平调整、列变化校正、各种类型的数字信号处理等。输入输出端子31与外部交换信号。

[0129] 在图23中,像素域3和根据第七实施例的固态图像拾取装置的外围电路(4、5、6、7和8)形成在一个基板1上,但是可形成为层压多个基板的层压结构。例如,根据第七实施例

的固态图像拾取装置可由第一基板和第二基板制成,并且光电转换域和像素晶体管可设置在第一基板上,并且外围电路(3、4、5、6和7)等可设置在第二基板上。可替代地,可以采用一种配置,其中,光电转换域和像素晶体管的一部分设置在第一基板上,并且像素晶体管和外围电路(3、4、5、6和7)等的剩余部分的一部分设置在第二基板上。

[0130] 图24示出根据第七实施例的固态图像拾取装置的像素2的等效电路的示例。光电二极管PD的阳极接地,光电二极管PD是像素2的光电转换域,转移晶体管T1的源极连接到光电二极管PD的阴极,转移晶体管T1是有源元件。浮置扩散域FD连接至转移晶体管T1的漏极。浮置扩散域FD与作为有源元件的复位晶体管T2的源极和作为有源元件的放大晶体管T3的栅极连接。放大晶体管T3的源极连接至作为有源元件的选择晶体管T4的漏极,并且放大晶体管T3的漏极连接至电源Vdd。选择晶体管T4的源极连接至垂直信号线VSL。复位晶体管T2的漏极连接至电源Vdd。

[0131] 在根据第七实施例的固态图像拾取装置的操作期间,控制电位TRG被施加至转移晶体管T1,并且在光电二极管PD中产生的信号电荷被传输至浮置扩散域FD。传输至浮置扩散域FD的信号电荷被读出并且被施加至放大晶体管T3的栅极。水平线的选择信号SEL从垂直移位寄存器被给予至选择晶体管T4的栅极。通过使选择信号SEL处于高(H)电平来导通选择晶体管T4,并且与在放大晶体管T3中放大的浮置扩散域FD的电位对应的电流流入垂直信号线VSL。此外,通过使施加至复位晶体管T2的栅极的复位信号RST为高(H)电平并且复位累积在浮置扩散域FD中的信号电荷来导通复位晶体管T2。

[0132] 例如,根据第一实施例至第六实施例的半导体装置可以是包括连接至填充在接触孔中的导电层(接触)的半导体层(扩散层)的半导体装置,诸如在图24中示出的光电二极管PD、转移晶体管T1、复位晶体管T2、放大晶体管T3和选择晶体管T4。

[0133] <电子装置>

[0134] 图25是示出作为应用本公开的电子装置的图像拾取装置的配置示例的框图。图25的图像拾取装置1000是摄像机或数字静态摄像机等。图像拾取装置1000包括透镜组1001、固态图像拾取装置1002、DSP电路1003、帧存储器1004、显示单元1005、记录单元1006、操作单元1007和电源单元1008。DSP电路1003、帧存储器1004、显示单元1005、记录单元1006、操作单元1007和电源单元1008经由总线1009彼此连接。

[0135] 透镜组1001捕捉来自对象的入射光(图像光),并在固态图像拾取装置1002的图像拾取表面上形成图像。固态图像拾取装置1002对应于上述CMOS图像传感器的根据第七实施例的固态图像传感器。固态图像拾取装置1002在像素单元中将通过透镜组1001成像在图像拾取表面上的入射光的光量转换为电信号,并将该电信号作为像素信号提供应DSP电路1003。

[0136] DSP电路1003对从固态图像拾取装置1002提供的像素信号执行预定图像处理,将图像处理之后的像素信号提供应帧单元中的帧存储器1004,并且像素信号临时存储在帧存储器1004中。

[0137] 例如,显示单元1005由诸如液晶面板或有机EL(电致发光)面板的面板型显示装置制成,并且基于帧单元中的像素信号(临时存储在帧存储器1004中)显示图像。

[0138] 记录单元1006由DVD(数字通用盘)、闪速存储器等制成,并且读出像素信号并将其存储在临时存储在帧存储器1004中的帧单元中。

[0139] 操作单元1007基于用户的操作发出图像拾取设备1000的各种功能的操作命令。电源单元1008将电源适当地提供应DSP电路1003、帧存储器1004、显示单元1005、记录单元1006和操作单元1007。

[0140] 除图像拾取装置1000之外,应用本技术的电子装置可以是在图像摄取单元(光电转换单元)中使用CMOS图像传感器的任何装置,并且可以是具有图像拾取功能的移动终端装置、在图像读取器中使用CMOS图像传感器的复印机等。

[0141] (其他实施例)

[0142] 尽管上面以第一实施例至第七实施例的形式描述了本技术,然而,应当理解的是,制成本公开的一部分的描述和附图限制本技术。当理解通过上述实施例公开的技术内容的目的时,对本领域技术人员显而易见的是,各种替代实施例、示例以及可操作技术包括在本技术中。另外,可以在不存在矛盾的范围内适当地组合第一至第七实施例中公开的各结构。

[0143] 本公开的应用的示例包括红外光接收元件、以及使用红外光接收元件的图像拾取装置和电子装置。可能的用途包括常规相机、智能电话、以及成像和感测的各种各样的应用,包括监视相机、用于工业仪器(如用于工厂检查)的相机、车载相机、距离测量传感器(ToF传感器)、红外线传感器等。下面描述其示例。

[0144] 本技术还可采取以下配置。

[0145] (1)一种半导体装置,包括:

[0146] 半导体层,包含硅;

[0147] 第一绝缘膜,设置在半导体层上并且具有用于暴露半导体层的一部分的开口;

[0148] 导电层,填充在第一绝缘膜的开口中并且具有与半导体层接触的下边缘;以及

[0149] 变质层,设置在第一绝缘膜与导电层之间并且包含氧。

[0150] (2)根据(1)所述的半导体装置,其中,

[0151] 变质层具有在第一绝缘膜与导电层之间的厚度,厚度朝向半导体层变得更薄。

[0152] (3)根据(2)所述的半导体装置,其中,

[0153] 变质层的与第一绝缘膜接触的侧表面具有阶梯形状。

[0154] (4)根据(3)所述的半导体装置,其中,

[0155] 变质层的下部的阶梯形状的层级差小于半导体层的上部的阶梯形状的层级差。

[0156] (5)根据(1)至(4)中任一项所述的半导体装置,其中,

[0157] 变质层的相对介电常数低于第一绝缘膜的相对介电常数。

[0158] (6)根据(1)至(5)中任一项所述的半导体装置,其中,

[0159] 第一绝缘膜由氮化硅制成。

[0160] (7)根据(1)至(6)中任一项所述的半导体装置,其中,

[0161] 变质层包含氧化硅或氮氧化硅。

[0162] (8)根据(1)至(7)中任一项所述的半导体装置,还包括:

[0163] 第二绝缘膜,设置在半导体层与第一绝缘膜之间。

[0164] (9)根据(8)所述的半导体装置,其中,

[0165] 第二绝缘膜由氧化硅制成。

[0166] (10)根据(1)至(9)中任一项所述的半导体装置,还包括:

[0167] 第三绝缘膜,设置在第一绝缘膜上。

- [0168] (11) 根据(10)所述的半导体装置,其中,
- [0169] 第三绝缘膜由氧化硅膜制成。
- [0170] (12) 一种蚀刻方法,包括:
- [0171] 通过第一气体的等离子体将第一聚合膜吸引并粘附至绝缘膜上,绝缘膜设置在包含硅的半导体层上;
- [0172] 通过第二气体的等离子体移除第一聚合膜,氧化通过移除第一聚合膜而暴露的绝缘膜的上表面以形成变质层;
- [0173] 通过第三气体的等离子体将第二聚合膜吸引并粘附至变质层上;以及
- [0174] 通过第四气体的等离子体移除第二聚合膜和变质层。
- [0175] (13) 根据(12)所述的蚀刻方法,其中,
- [0176] 第一气体包含碳、氢和氟。
- [0177] (14) 根据(12)或(13)所述的蚀刻方法,其中,
- [0178] 第二气体包含氧。
- [0179] (15) 根据(12)至(14)中任一项所述的蚀刻方法,其中,
- [0180] 第三气体包含碳和氟。
- [0181] (16) 根据(12)至(15)中任一项所述的蚀刻方法,其中,
- [0182] 第四气体包含稀有气体。
- [0183] (17) 根据(12)至(16)中任一项所述的蚀刻方法,还包括:
- [0184] 在吸引并粘附第一聚合膜之前;
- [0185] 通过干法蚀刻移除第一绝缘膜的上部。
- [0186] (18) 根据(12)至(17)中任一项所述的蚀刻方法,其中,
- [0187] 重复多次循环,每一个循环包括吸引并粘附第一聚合膜、形成变质层、吸引并粘附第二聚合膜以及移除变质层。
- [0188] (19) 根据(18)所述的蚀刻方法,其中,
- [0189] 使第二气体的等离子体能量在重复多次的循环的每一个循环中相同。
- [0190] (20) 根据(18)所述的蚀刻方法,其中,
- [0191] 使在多次循环的后半段循环中的第二气体的等离子体能量小于在多次循环的前半段循环中的第二气体的等离子体能量。
- [0192] [参考标号列表]
- [0193] 1 基板
- [0194] 2 像素
- [0195] 3 像素域(成像域)
- [0196] 4 垂直驱动电路
- [0197] 5 列信号处理电路
- [0198] 6 水平驱动电路
- [0199] 7 输出电路
- [0200] 8 控制电路
- [0201] 9 垂直信号线
- [0202] 10 水平信号线

- [0203] 11 半导体层
- [0204] 11a 氧化层
- [0205] 11b 凹部(凹陷)
- [0206] 11c 残留缺陷
- [0207] 12 绝缘膜(下层绝缘膜)
- [0208] 12a 狭缝
- [0209] 13 绝缘膜(中间层绝缘膜)
- [0210] 13a 凹部
- [0211] 13b 上部
- [0212] 14 绝缘膜(上层绝缘膜)
- [0213] 14a 开口
- [0214] 15 变质层(改变层)
- [0215] 15a 上部
- [0216] 15b 下部
- [0217] 18 导电层
- [0218] 21 处理容器
- [0219] 22 上部电极
- [0220] 22 电极
- [0221] 23 下部电极
- [0222] 24 气体供应单元
- [0223] 25 控制单元
- [0224] 26 排气单元
- [0225] 27、28 高频电源
- [0226] 31 输入和输出端子
- [0227] 100 待处理对象
- [0228] 1000 图像拾取装置
- [0229] 1001 透镜组
- [0230] 1002 固态图像拾取装置
- [0231] 1003 DSP 电路
- [0232] 1004 帧存储器
- [0233] 1005 显示单元
- [0234] 1006 记录单元
- [0235] 1007 操作单元
- [0236] 1008 电源单元
- [0237] 1009 总线

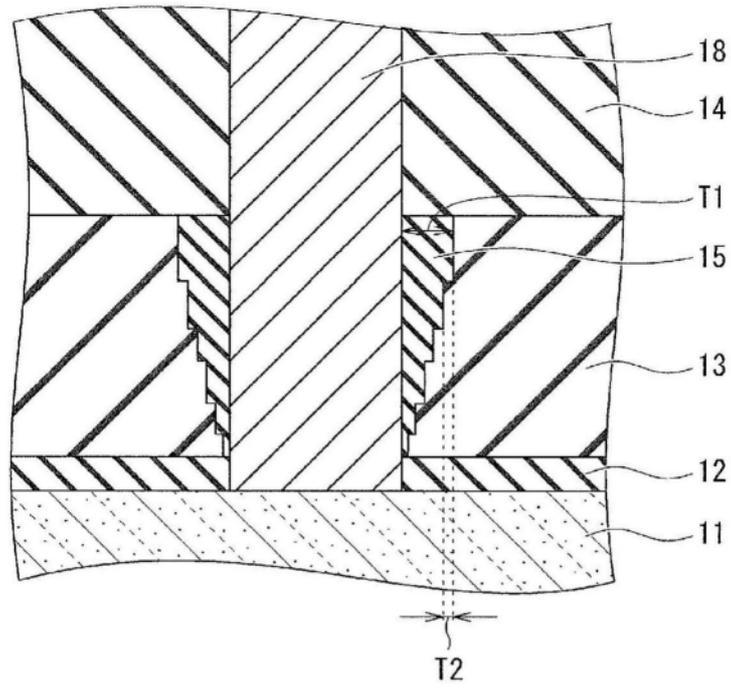


图1

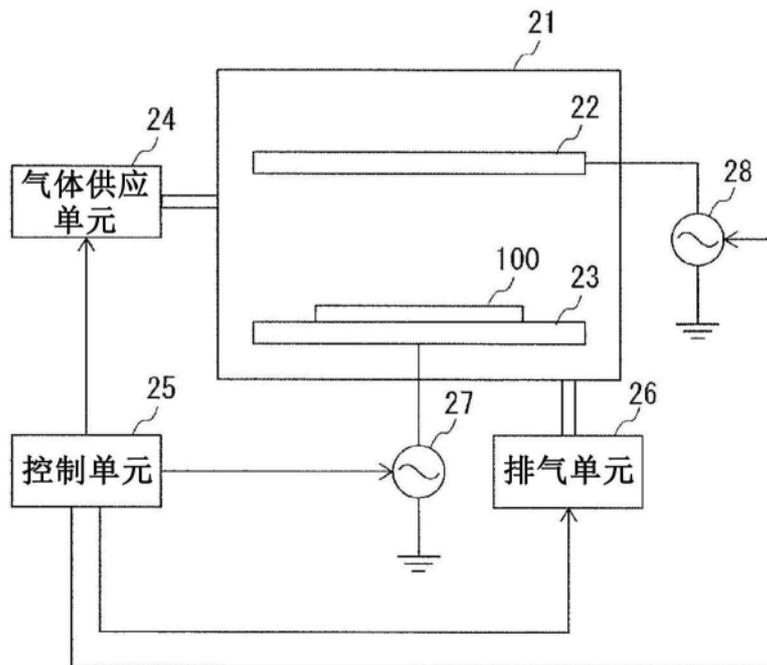


图2

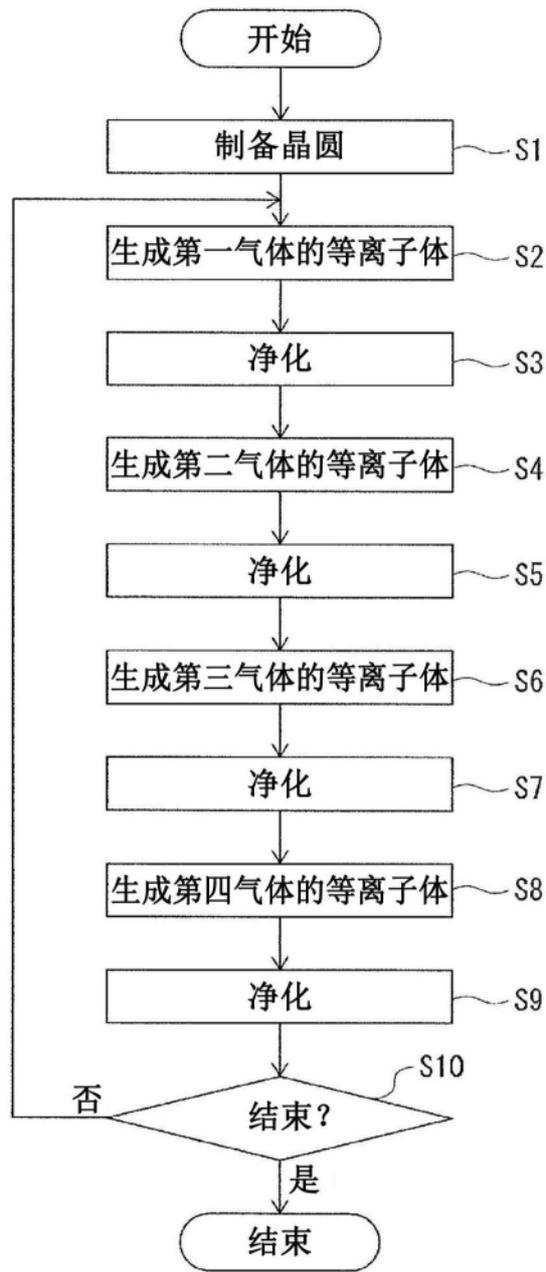


图3

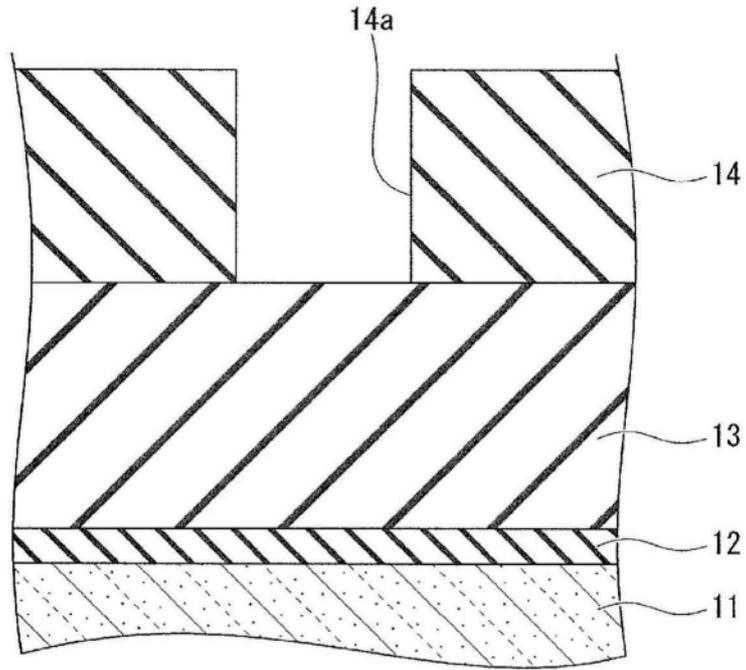


图4

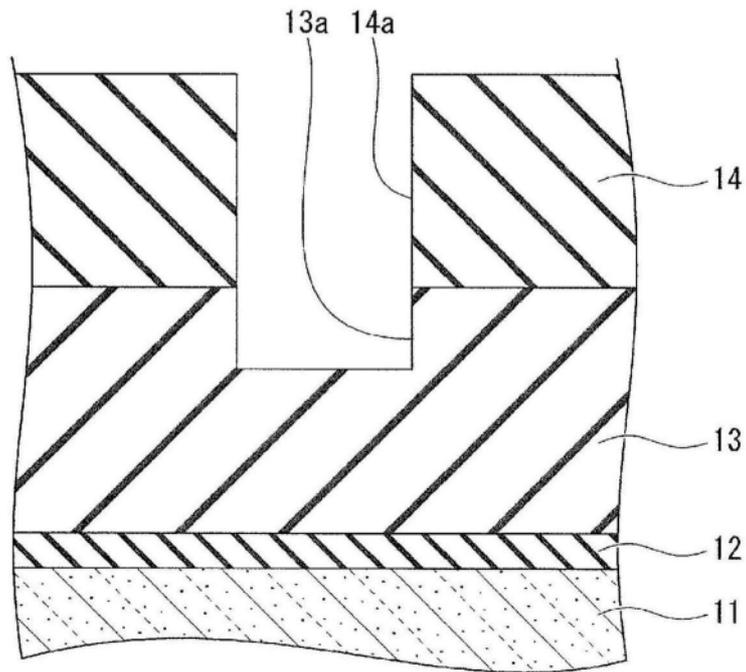


图5

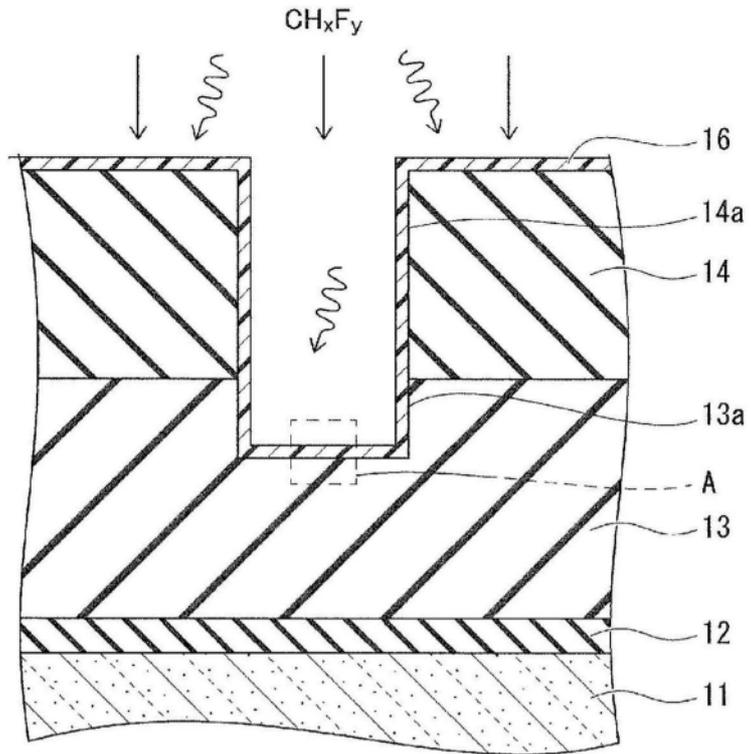


图6A

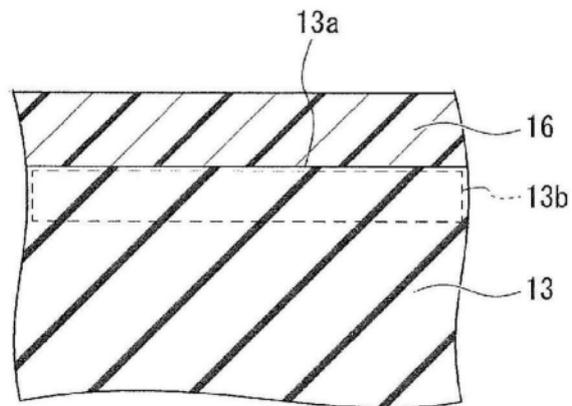


图6B

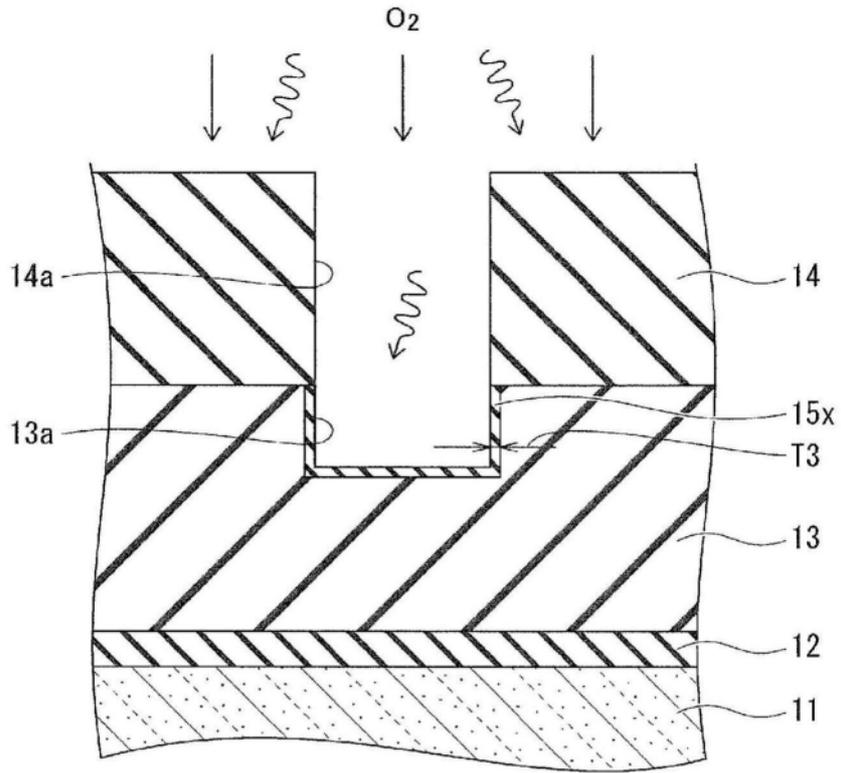


图7A

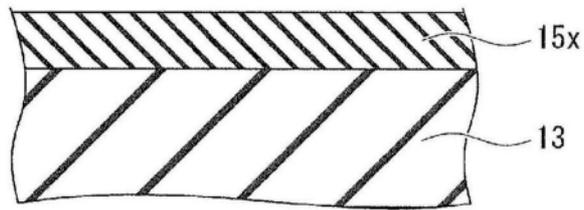


图7B

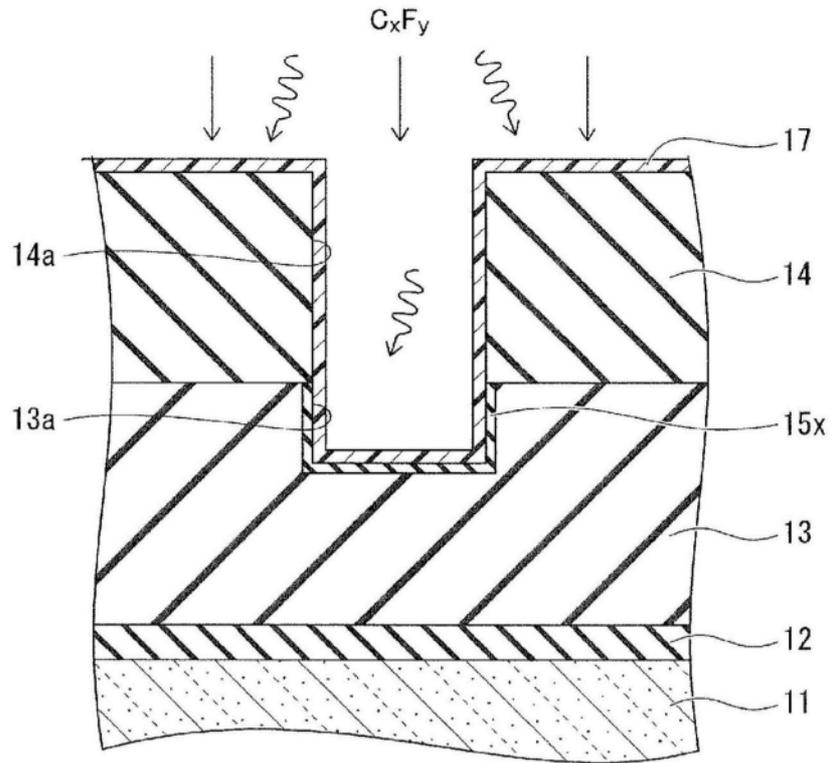


图8A

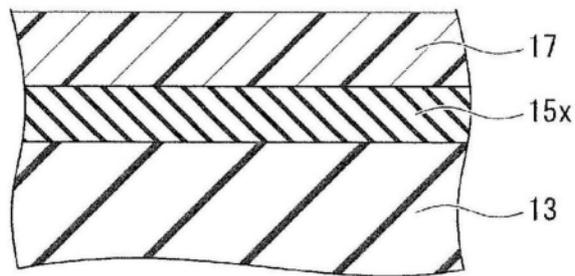


图8B

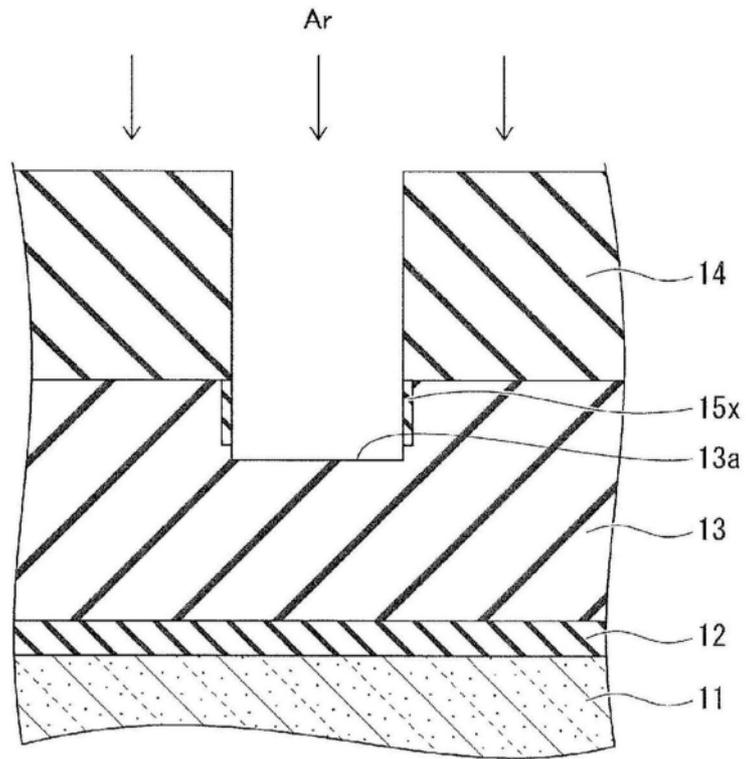


图9A

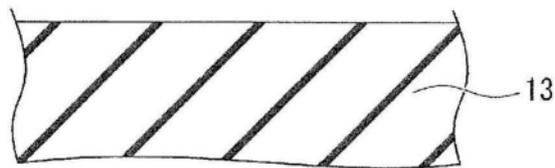


图9B

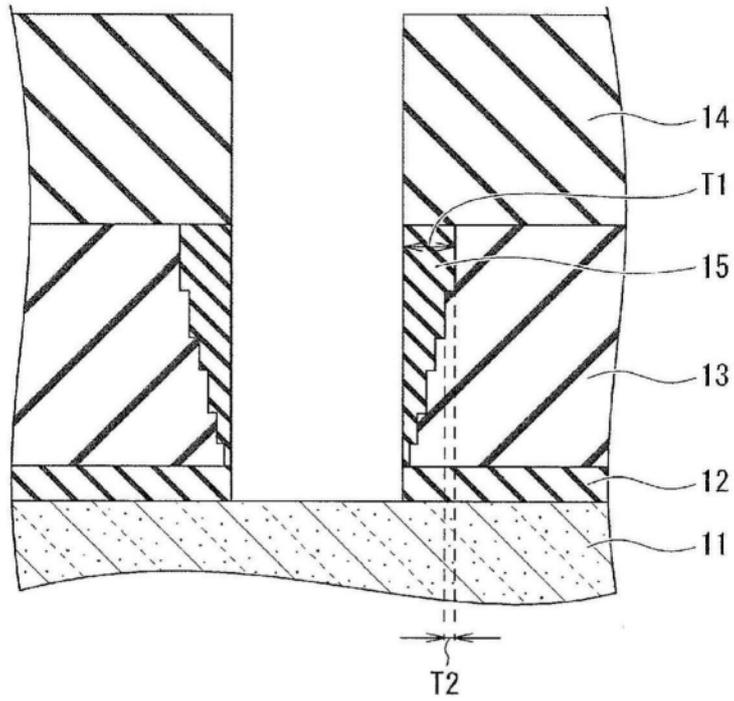


图10

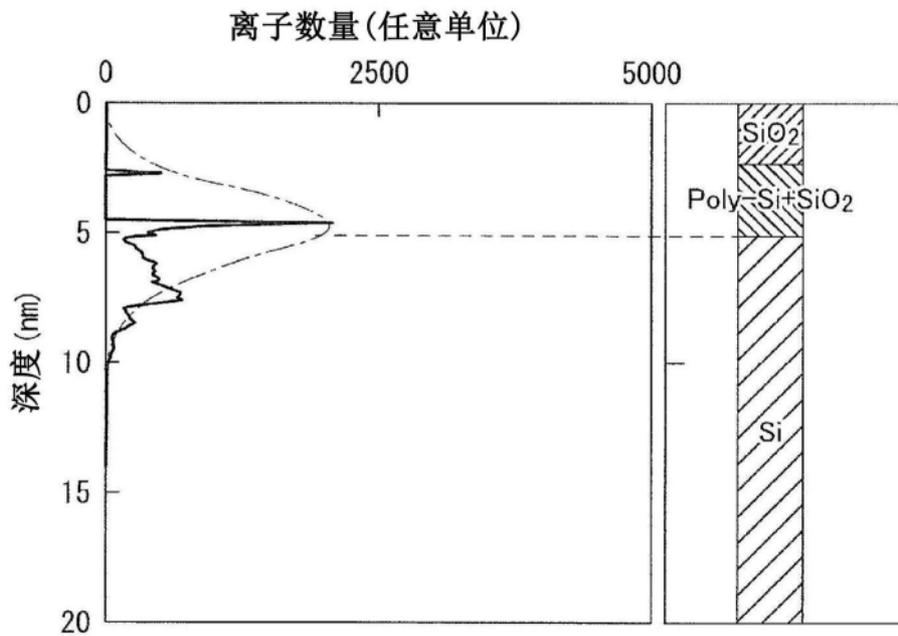


图11

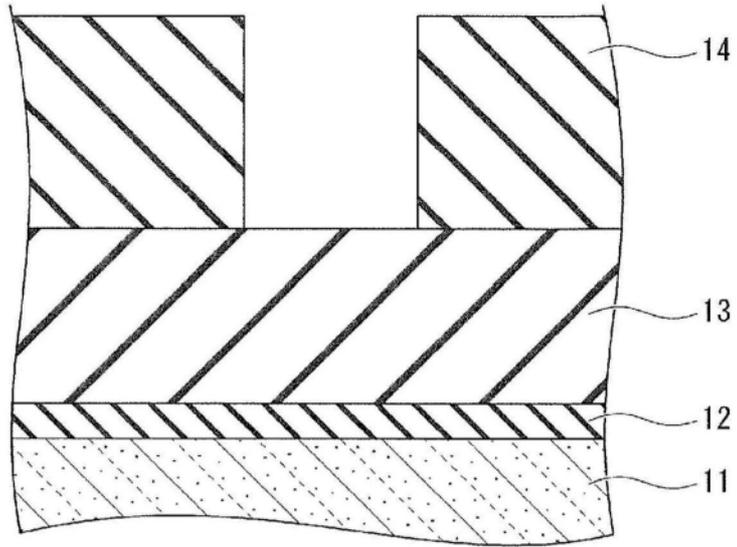


图12

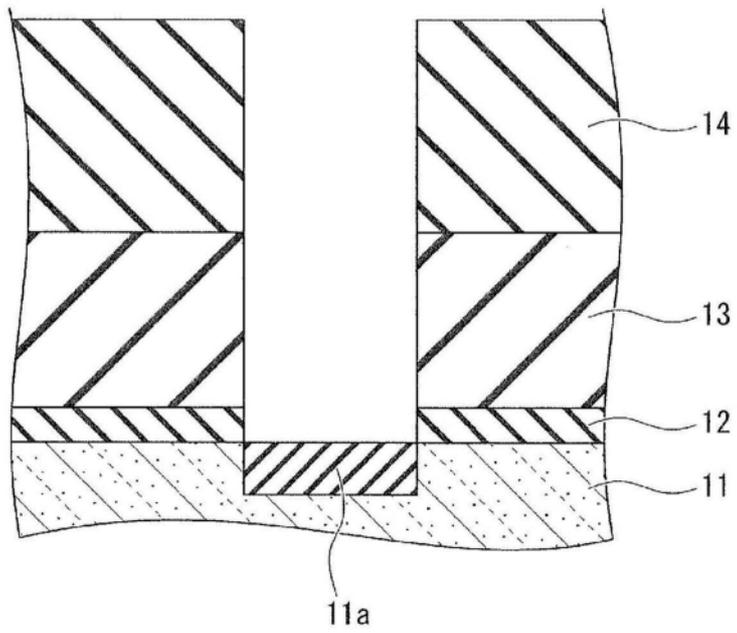


图13

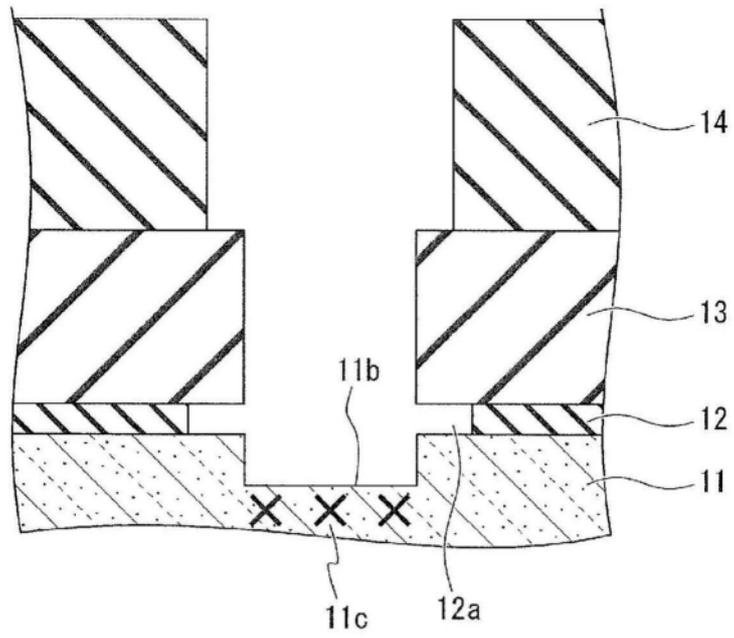


图14

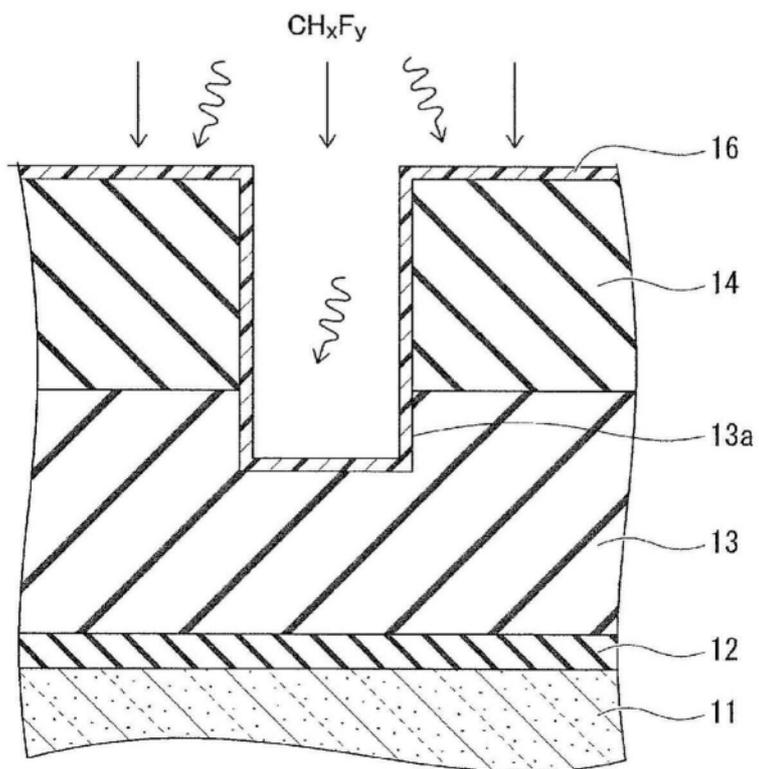


图15

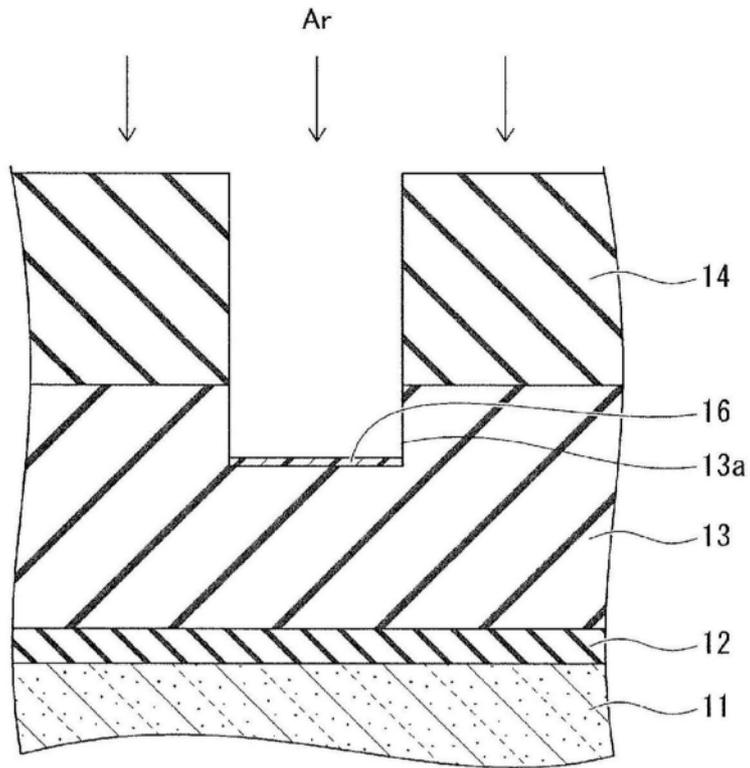


图16

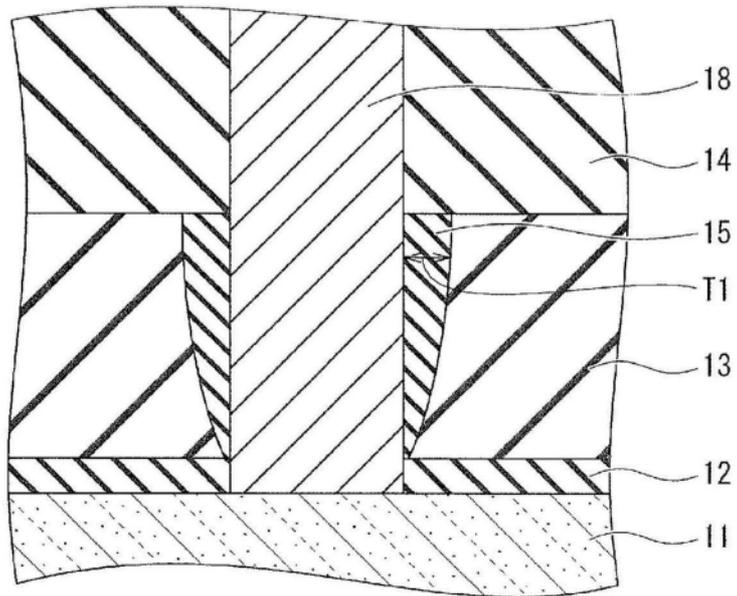


图17

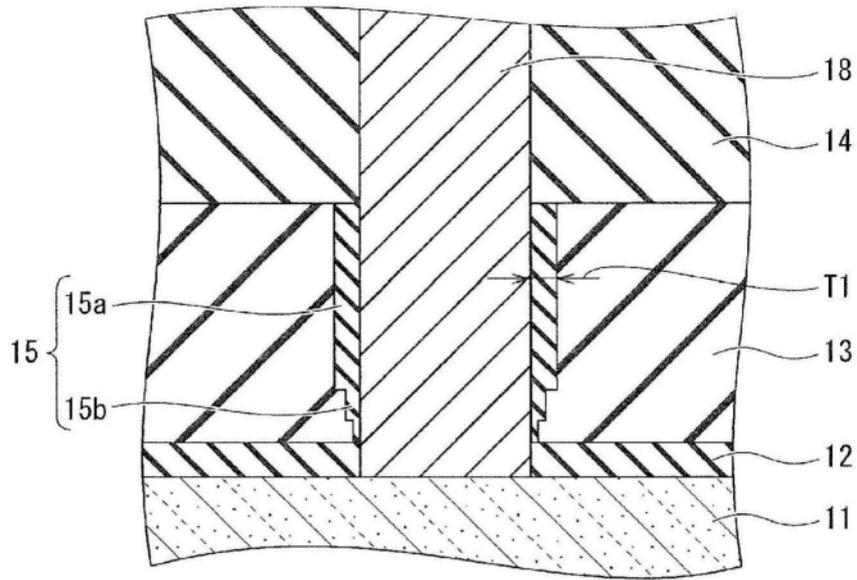


图18

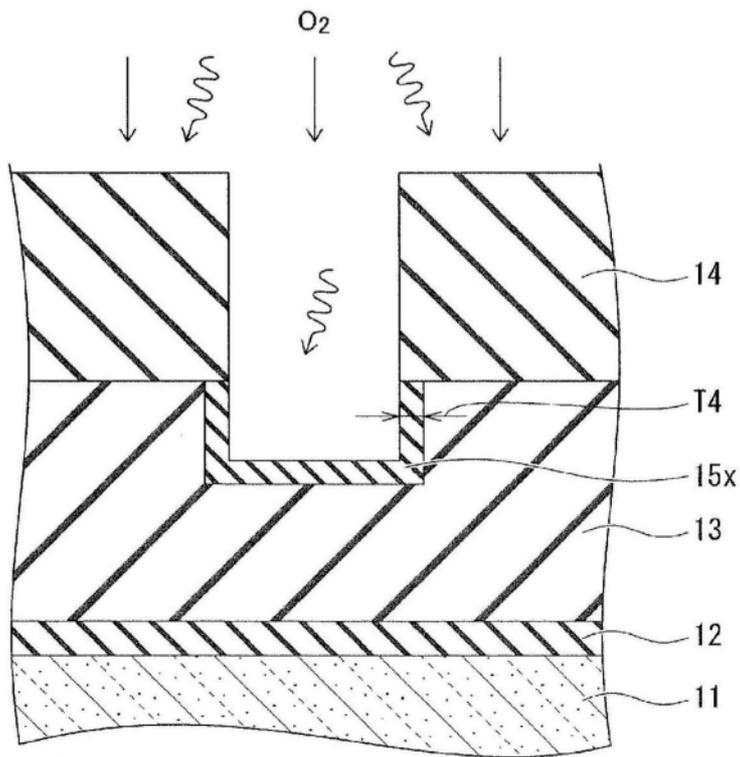


图19

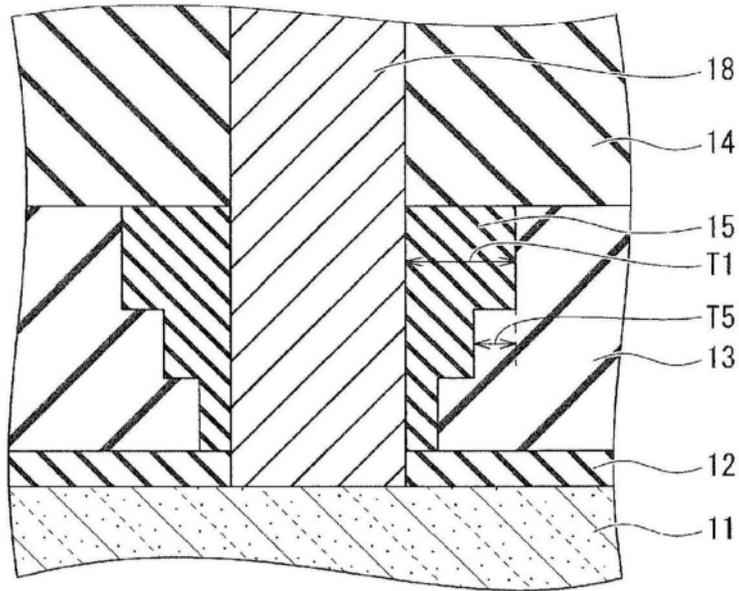


图20

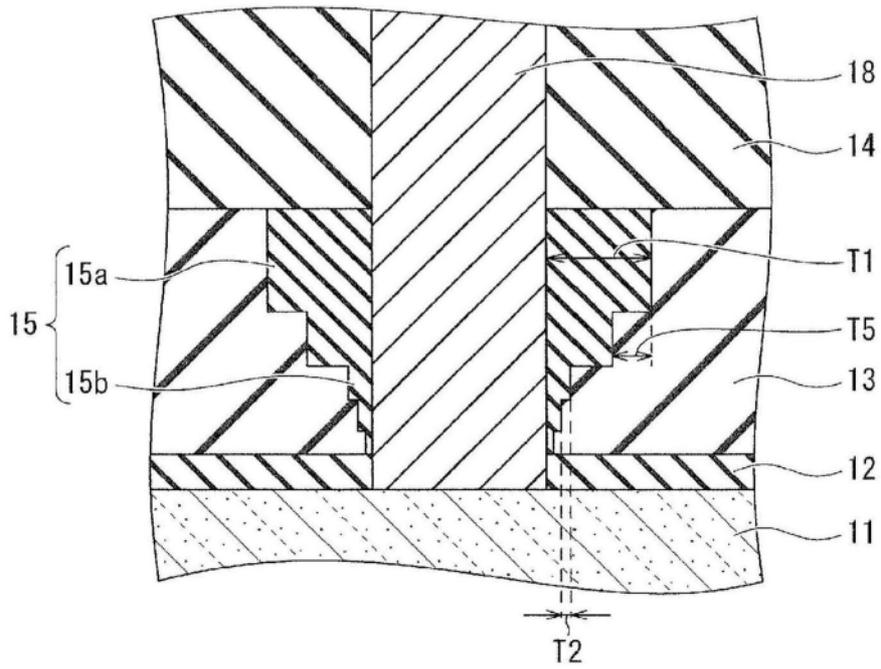


图21

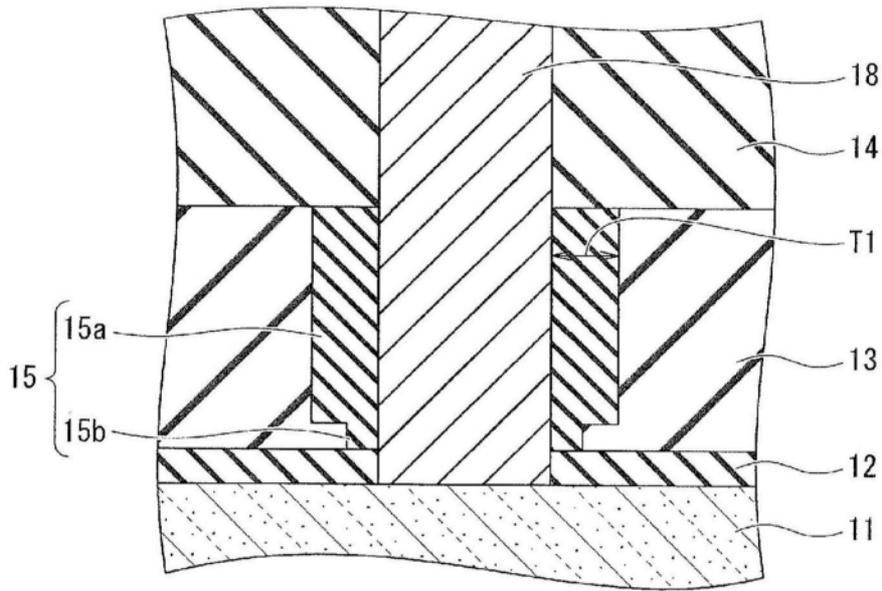


图22

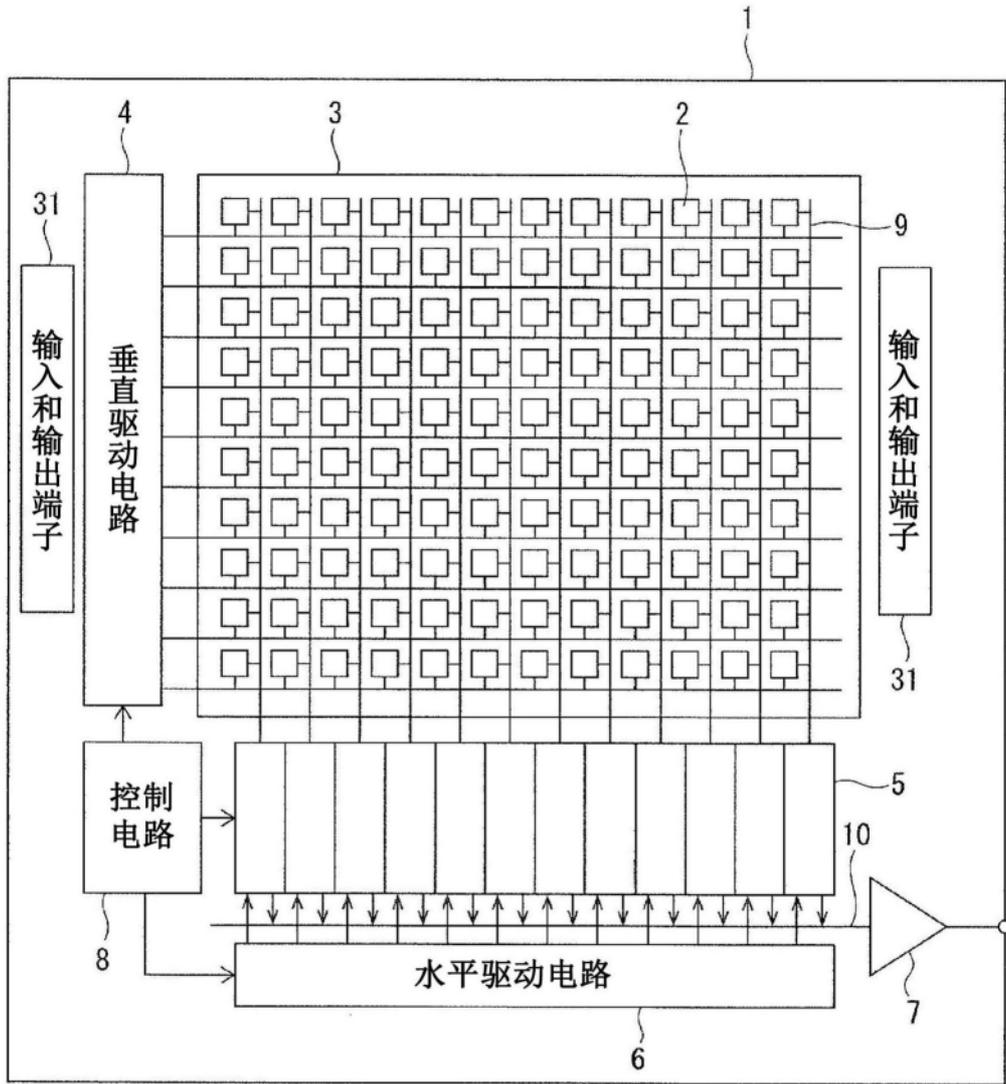


图23

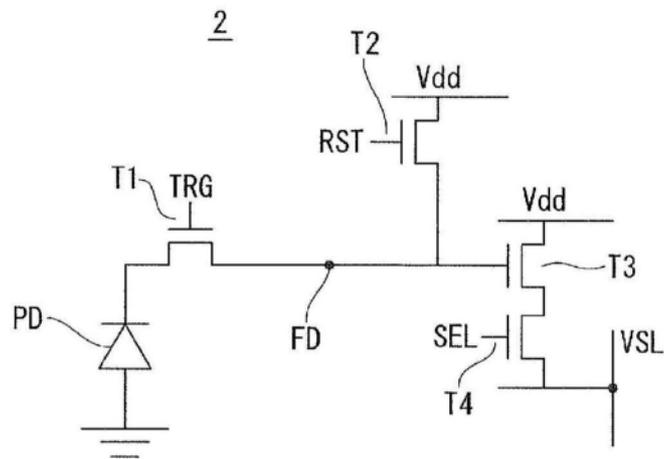


图24

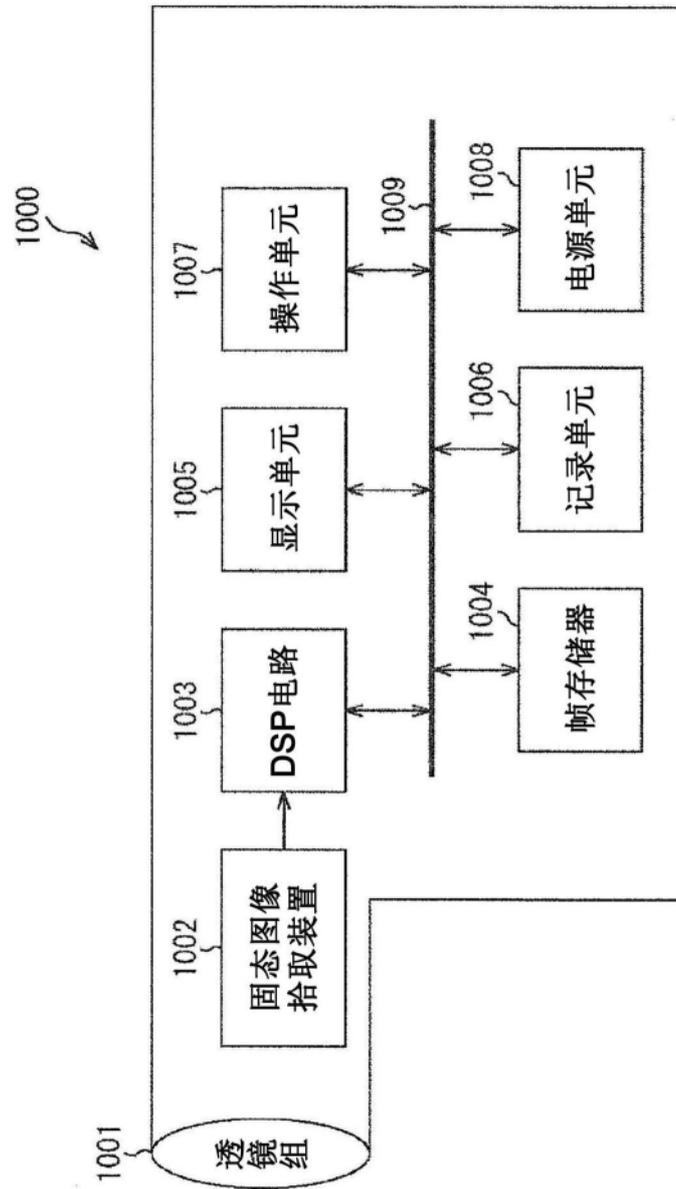


图25