



(12)发明专利

(10)授权公告号 CN 104465621 B

(45)授权公告日 2018.01.26

(21)申请号 201410686757.0

(22)申请日 2014.11.25

(65)同一申请的已公布的文献号
申请公布号 CN 104465621 A

(43)申请公布日 2015.03.25

(73)专利权人 上海集成电路研发中心有限公司
地址 201210 上海市浦东新区上海浦东张江高斯路497号

(72)发明人 卢意飞

(74)专利代理机构 上海天辰知识产权代理事务所(特殊普通合伙) 31275
代理人 吴世华 林彦之

(51)Int.Cl.
H01L 23/544(2006.01)
H01L 21/66(2006.01)

(56)对比文件

CN 101109911 A,2008.01.23,
JP 特开2008-51583 A,2008.03.06,
US 2013/0130161 A1,2013.05.23,
CN 103311102 A,2013.09.18,

审查员 付伍君

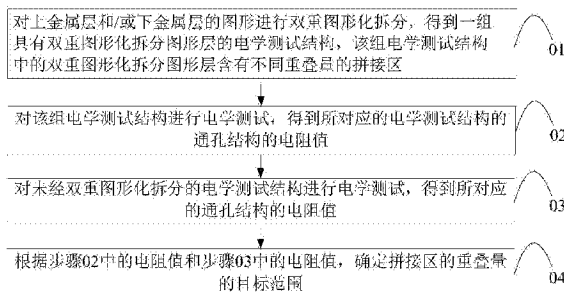
权利要求书1页 说明书5页 附图4页

(54)发明名称

双重图形化电学测试结构及监控方法

(57)摘要

本发明提供了一种双重图形化电学测试结构及监控方法,其包括:上金属层,下金属层,以及连接于所述上、下金属层的通孔结构;通孔结构位于上金属层和下金属层的重叠区域。上金属层和/或下金属层具有双重图形化拆分图形层,双重图形化拆分图形层具有拼接重叠区;拼接重叠区位于上金属层和下金属层的重叠区域中,且与通孔结构的顶部和/或底部相连接。对该组电学测试结构进行电学测试,可以得到对应通孔结构的电阻值,从而可以确定拼接重叠量的合理范围,该拼接重叠量的合理范围可以指导在双重图形化拆分过程中的拆分情况,使其建立更为合理的拆分规则,从而监控金属层双重图形化拆分过程中形成的拼接区对与之相连的通孔电阻的影响。



1. 一种双重图形化电学测试结构,其特征在于,包括:上金属层,下金属层,以及连接于所述上、下金属层的通孔结构;所述通孔结构位于所述上金属层和所述下金属层的重叠区域;其中,

所述上金属层和/或下金属层具有双重图形化拆分图形层,所述双重图形化拆分图形层具有拼接重叠区;所述拼接重叠区位于所述上金属层和所述下金属层的重叠区域中,且与所述通孔结构的顶部和/或底部相连接。

2. 根据权利要求1所述的双重图形化电学测试结构,其特征在于,所述双重图形化拆分图形层的拼接重叠区的重叠量大于或等于零。

3. 根据权利要求2所述的双重图形化电学测试结构,其特征在于,所述拼接重叠区将所述通孔结构的顶部/或底部覆盖。

4. 根据权利要求3所述的双重图形化电学测试结构,其特征在于,所述拼接重叠区与所述通孔结构的顶部和/或底部的形状相同。

5. 根据权利要求1所述的双重图形化电学测试结构,其特征在于,所述上金属层和/或所述下金属层为长条状。

6. 一种双重图形化拼接区的通孔电阻的监控方法,其特征在于,采用权利要求1所述的电学测试结构;所述监控方法包括以下步骤:

步骤01: 设置一组不同重叠量,并据此对所述上金属层和/或所述下金属层的图形进行双重图形化拆分,得到一组具有双重图形化拆分图形层的电学测试结构;其中,该组电学测试结构中的双重图形化拆分图形层含有不同重叠量的拼接重叠区;所述拼接重叠区位于所述上金属层和所述下金属层的重叠区域中,并且与所述通孔结构的顶部和/或底部相连接;

步骤02: 对该组电学测试结构进行电学测试,得到所对应的所述电学测试结构中通孔结构的电阻值;

步骤03: 对未经双重图形化拆分的电学测试结构进行电学测试,得到所对应的通孔结构的电阻值;其中,未经双重图形化拆分的电学测试结构包括:在未经双重图形化拆分的情况下,通孔结构上金属层、下金属层相连,即是通孔结构的连接位置没有拼接重叠区;

步骤04: 根据所述步骤02中的电阻值和所述步骤03中的电阻值,确定所述拼接重叠区的重叠量的目标范围。

7. 根据权利要求6所述的监控方法,其特征在于,所述步骤01中的所述拼接重叠区的重叠量大于或等于零。

8. 根据权利要求7所述的监控方法,其特征在于,所述拼接重叠区将所述通孔结构的顶部和/或底部覆盖。

9. 根据权利要求8所述的监控方法,其特征在于,所述拼接重叠区与所述通孔结构的顶部和/或底部的形状相同。

10. 根据权利要求6所述的监控方法,其特征在于,所述步骤02中或所述步骤03中采用四端测试法进行所述电学测试。

双重图形化电学测试结构及监控方法

技术领域

[0001] 本发明涉及半导体技术领域,具体涉及一种双重图形化电学测试结构及对双重图形化拼接区域的通孔电阻的监控方法。

背景技术

[0002] 当摩尔定律继续向前延伸的脚步不可逆转的时候,双重图形化技术无疑成为了业界的最佳选择,双重图形化技术只需要对现有的光刻基础设施进行很小的改动可以有效地填补32纳米甚至更小节点的光刻技术空白。双重图形化技术的原理是将一套高密度的电路图形分解成两套分立的、密度低一些的图形,然后将它们制备到晶圆上。

[0003] 在32纳米甚至更小节距的光刻技术工艺中,由于光学临近效应的存在,出现了线端变圆(line end rounding),线端变短(line end shorting),转角变圆(corner rounding),关键尺寸偏差(critical dimension offset),线间桥接(line bridge)等图案失真现象。

[0004] 双重图形化拆分的时候,会产生一些拼接区域。因为上述这些失真现象的存在,双重图形化拼接区域在实际硅片上的形貌与设计的图案存在一定差异。同时这些拼接区域经历两次光刻(光刻-光刻-刻蚀工艺:LLE)甚至两次硬掩膜层刻蚀(光刻-刻蚀-光刻-刻蚀:LELE),对电学测试结果也存在一定影响。

[0005] 请参阅图1a和1b,图1a和图1b示出了双重图形化拆分后拼接区受光学临近效应影响而产生的图形失真现象;图1a示出了双重图形化拆分后拼接区的重叠量为零的示意图,由于光学邻近效应引起的线端变圆和线端变短的失真现象,当设计图形101拼接重叠量为零时,则经过双重图形工艺以后,在硅片上形成的图形102呈现为断路;图1b示出了双重图形化拆分后拼接区的重叠量大于零的示意图,同样由于失真现象,此设计图形201最终在硅片上形成的图形202的实际拼接重叠区的面积要小于设计图形。因此,如何能够避免双重图形化拆分后对拼接区所连接的通孔电阻的影响是不容忽视的。

发明内容

[0006] 为了克服以上问题,本发明提出了一种双重图形化电学测试结构和对双重图形化拼接区域的通孔电阻的监控方法,从而能够确定拼接重叠量的合理范围。

[0007] 为了达到上述目的,本发明提供了一种双重图形化电学测试结构,其包括:上金属层,下金属层,以及连接于所述上、下金属层的通孔结构;所述通孔结构位于所述上金属层和所述下金属层的重叠区域;其中,

[0008] 所述上金属层和/或下金属层具有双重图形化拆分图形层,所述双重图形化拆分图形层具有拼接重叠区;所述拼接重叠区位于所述上金属层和所述下金属层的所述重叠区域中,且与所述通孔结构的顶部和/或底部相连接。

[0009] 优选地,所述双重图形化拆分图形层的拼接重叠区的重叠量大于或等于零。

[0010] 优选地,所述拼接重叠区将所述通孔结构的顶部/或底部覆盖。

- [0011] 优选地,所述拼接重叠区与所述通孔结构的顶部和/或底部的图形相同。
- [0012] 优选地,所述上金属层和/或所述下金属层为长条状。
- [0013] 本发明还提供了一种双重图形化拼接区的通孔电阻的监控方法,其特征在于,采用上述的电学测试结构;所述监控方法包括以下步骤:
- [0014] 步骤01:设置一组不同重叠量,并据此对所述上金属层和/或所述下金属层的图形进行双重图形化拆分,得到一组具有双重图形化拆分图形层的电学测试结构;其中,该组电学测试结构中的双重图形化拆分图形层含有不同重叠量的拼接重叠区;所述拼接重叠区位于所述上金属层和所述下金属层的所述重叠区域中,并且与所述通孔结构的顶部和/或底部相连接;
- [0015] 步骤02:对该组电学测试结构进行电学测试,得到所对应的所述电学测试结构中通孔结构的电阻值;
- [0016] 步骤03:对未经双重图形化拆分的所述电学测试结构进行电学测试,得到所对应的通孔结构的电阻值;
- [0017] 步骤04:根据所述步骤02中的电阻值和所述步骤03中的电阻值,确定所述拼接重叠区的重叠量的目标范围。
- [0018] 优选地,所述步骤01中的所述拼接重叠区的重叠量大于或等于零。
- [0019] 优选地,所述拼接重叠区将所述通孔结构的顶部/或底部覆盖。
- [0020] 优选地,所述拼接重叠区与所述通孔结构的顶部和/或底部的形状相同。
- [0021] 优选地,所述步骤02中或所述步骤03中采用四端测试法进行所述电学测试。
- [0022] 本发明的双重图形化电学测试结构及对双重图形化拼接重叠区的通孔电阻的监控方法,通过设置上、下金属层以及连接上下金属层的通孔结构,将上金属层和/或下金属层进行双重图形化拆分,得到一组含有不同拼接重叠量的双重图形化拆分图形层的电学测试结构,对该组电学测试结构进行电学测试,可以得到对应通孔结构的电阻值,从而可以确定拼接重叠量的合理范围,例如根据工艺要求和电学测试规格,来确定拼接重叠量的合理范围,该拼接重叠量的合理范围可以指导在双重图形化拆分过程中的拆分情况,使其建立更为合理的拆分规则,从而监控金属层双重图形化拆分过程中形成的拼接区对与之相连的通孔电阻的影响。

附图说明

- [0023] 图1a示出了双重图形化拆分后拼接重叠区的重叠量为零的示意图
- [0024] 图1b示出了双重图形化拆分后拼接重叠区的重叠量大于零的示意图
- [0025] 图2示出了本发明的一个较佳实施例的电学测试结构各个部分示意图
- [0026] 图3示出了本发明的一个较佳实施例的未经双重图形化拆分的电学测试结构的示意图
- [0027] 图4示出了本发明的一个较佳实施例的未经双重图形化拆分的电学测试结构的示意图
- [0028] 图5a-5d示出了本发明的一个较佳实施例的具有不同重叠量的拼接重叠区的双重图形化拆分图形层的示意图
- [0029] 图6示出了双重图形化拼接区的通孔电阻的监控方法的流程示意图

具体实施方式

[0030] 为使本发明的内容更加清楚易懂,以下结合说明书附图,对本发明的内容作进一步说明。当然本发明并不局限于该具体实施例,本领域内的技术人员所熟知的一般替换也涵盖在本发明的保护范围内。

[0031] 本发明利用了双重图形化拼接区域的不同拼接重叠量对通孔电阻具有不同影响的原理,设计了双重图形化电学测试结构及对双重图形化拼接重叠区的通孔电阻的监控方法。

[0032] 本发明的一种双重图形化电学测试结构,其包括:上金属层,下金属层,以及连接于所述上、下金属层的通孔结构;通孔结构位于上金属层和下金属层的重叠区域。上金属层和/或下金属层具有双重图形化拆分图形层,双重图形化拆分图形层具有拼接重叠区;拼接重叠区位于上金属层和下金属层的重叠区域中,且与通孔结构的顶部和/或底部相连接。

[0033] 以下将结合附图2-图5d和一具体实施例对双重图形化电学测试结构作进一步详细说明。其中,图2示出了本发明的一个较佳实施例的电学测试结构各个部分;图3示出了本发明的一个较佳实施例的未经双重图形化拆分的电学测试结构的示意图;图4示出了本发明的一个较佳实施例的未经双重图形化拆分的电学测试结构的示意图;图5a-5d示出了本发明的一个较佳实施例的具有不同重叠量的拼接重叠区的双重图形化拆分图形层的示意图。需说明的是,附图均采用非常简化的形式、使用非精准的比例,且仅用以方便、清晰地达到辅助说明本实施例的目的。

[0034] 请参阅图2,本实施例的双重图形化电学测试结构包括:长条状的上金属层1,长条状的下金属层2,以及连接于上、下金属层1、2的方形通孔结构3;通孔结构3位于上金属层1和下金属层2的重叠区域。本实施例中,上金属层1具有双重图形化拆分图形层:第一拆分图形11和第二拆分图形12,第一和第二拆分图形层11、12之间具有拼接重叠区;其拼接重叠区位于上、下金属层1、2的重叠区域中,且与通孔结构3的顶部相连接。双重图形化拆分图形层的拼接重叠区的重叠量大于或等于零。

[0035] 请参阅图3,在未经双重图形化拆分的情况下,通孔结构3与第一拆分图形层11、下金属层2相连,即是通孔结构3的连接位置没有拼接重叠区;请参阅图4,未经双重图形化拆分,通孔结构3与第二拆分图形层12、下金属层2相连,也即是通孔结构3的连接位置没有拼接重叠区;此两种电学测试结构中通孔结构的电阻可以作为双重图形化后的通孔电阻值的参考标准。

[0036] 请参阅图5a-5d,分别表示了电学测试结构中通孔结构相连的双重图形化拆分图形层的拼接重叠区的重叠量为零和大于零的情况,图5a中,第一拆分图形层11和第二拆分图形层12的拼接重叠区的重叠量为零,这是双重图形化拆分过程中最极端的情况,通孔结构3连接于第一拆分图形层11和第二拆分图形层12的拼接重叠区,且位于上金属层1和下金属层2的重叠区域;图5b中,第一拆分图形层11和第二拆分图形层12的拼接重叠区与通孔结构3顶部相连,且将通孔结构3顶部覆盖,该拼接重叠区与通孔结构3顶部的形状相同,但是前者的面积大于后者的面积;图5c中,第一拆分图形层11和第二拆分图形层12的拼接重叠区的重叠量增加,该拼接重叠区与通孔结构3相连,且将通孔结构3顶部覆盖并超出了通孔结构3顶部区域;图5d中,第一拆分图形层11和第二拆分图形层12的拼接重叠区的重叠量

进一步增加,该拼接重叠区与通孔结构3相连,且将通孔结构3顶部覆盖并超出了通孔结构3顶部区域。

[0037] 对上述示出的电学测试结构进行电学测试,可以进一步确定拼接重叠区的重叠量的目标范围,也即是合理范围,用于指导在双重图形化拆分过程中的拆分情况,使其建立更为合理的拆分规则,从而监控金属层双重图形化拆分过程中形成的拼接重叠区对与之相连的通孔电阻的影响。

[0038] 本发明中,还提供了采用上述测试结构进行电学测试的方法,其包括:

[0039] 步骤01:设置一组不同重叠量,并据此对上金属层和/或下金属层的图形进行双重图形化拆分,得到一组具有双重图形化拆分图形层的电学测试结构;其中,该组电学测试结构中的双重图形化拆分图形层含有不同重叠量的拼接重叠区;拼接重叠区位于上金属层和下金属层的重叠区域中,并且与通孔结构的顶部和/或底部相连接;

[0040] 步骤02:对该组电学测试结构进行电学测试,得到所对应的电学测试结构的通孔结构的电阻值;

[0041] 步骤03:对未经双重图形化拆分的电学测试结构进行电学测试,得到所对应的通孔结构的电阻值;

[0042] 步骤04:根据步骤02中的电阻值和步骤03中的电阻值,确定拼接区的重叠量的目标范围。

[0043] 以下结合附图6和一具体实施例对本发明的双重图形化拼接区域的通孔电阻的监控方法作进一步详细说明。

[0044] 在本实施例中,请参阅图6,双重图形化拼接区的通孔电阻的监控方法采用上述电学测试结构;其包括以下步骤:

[0045] 步骤11:设置一组不同重叠量,并据此对上金属层的图形进行双重图形化拆分,得到一组具有双重图形化拆分图形层的电学测试结构;该组电学测试结构中的双重图形化拆分图形层含有不同重叠量的拼接重叠区;拼接重叠区位于上金属层和下金属层的重叠区域中,并且与通孔结构的顶部相连接;

[0046] 具体的,重叠量大于或等于零,不同重叠量可以进行预先设定;本实施例中,对上金属层的图形进行双重图形化拆分;请继续参阅图5a-5d,上金属层为长条状,将拼接重叠区的重叠量设为零和大于零的多种情况,再依此设定好的重叠量进行双重图形化拆分。当拼接重叠量大于零时,拼接重叠区的重叠部分将通孔结构的顶部覆盖,且包括拼接重叠区与通孔结构的顶部的形状相同,但是前者的面积大于后者的面积,具体的在重叠量等于零或大于零时所对应的电学测试结构可以参见上述描述,这里不再赘述。

[0047] 步骤02:对该组电学测试结构进行电学测试,得到所对应的电学测试结构中通孔结构的电阻值;这里,可以但不限于采用四端测试法进行电学测试。

[0048] 步骤03:对未经双重图形化拆分的电学测试结构进行电学测试,得到所对应的通孔结构的电阻值;这里,可以但不限于采用四端测试法进行电学测试;未经双重图形化拆分的电学测试结构可以继续参阅图3和图4,这里不再赘述。

[0049] 步骤04:根据步骤02中的电阻值和步骤03中的电阻值,确定拼接重叠区的重叠量的目标范围。

[0050] 具体的,根据上述步骤02和03中的电阻值,可以结合工艺要求和电学测试规格,来

确定拼接重叠区的重叠量的目标范围,也即是合理范围,用于指导在双重图形化拆分过程中的拆分情况,使其建立更为合理的拆分规则,从而监控金属层双重图形化拆分过程中形成的拼接区对与之相连的通孔电阻的影响。

[0051] 需要说明的是,上述实施例对上金属层进行了双重图形化拆分,本发明不局限于此,还可以对下金属层进行双重图形化拆分,也可以同时对上、下金属层进行双重图形化拆分;其所对应的电学测试结构和监控方法可以参阅上述实施例,本发明对此不再赘述。

[0052] 本发明的双重图形化电学测试结构及对双重图形化拼接重叠区的通孔电阻的监控方法,通过设置上、下金属层以及连接上下金属层的通孔结构,将上金属层和/或下金属层进行双重图形化拆分,得到一组含有不同拼接重叠量的双重图形化拆分图形的电学测试结构,对该组电学测试结构进行电学测试,可以得到对应通孔结构的电阻值,从而可以确定拼接重叠量的合理范围,例如根据工艺要求和电学测试规格,来确定拼接重叠量的合理范围,该拼接重叠量的合理范围可以指导在双重图形化拆分过程中的拆分情况,使其建立更为合理的拆分规则,从而监控金属层双重图形化拆分过程中形成的拼接区对与之相连的通孔电阻的影响。

[0053] 虽然本发明已以较佳实施例揭示如上,然所述实施例仅为了便于说明而举例而已,并非用以限定本发明,本领域的技术人员在不脱离本发明精神和范围的前提下可作若干的更动与润饰,本发明所主张的保护范围应以权利要求书所述为准。

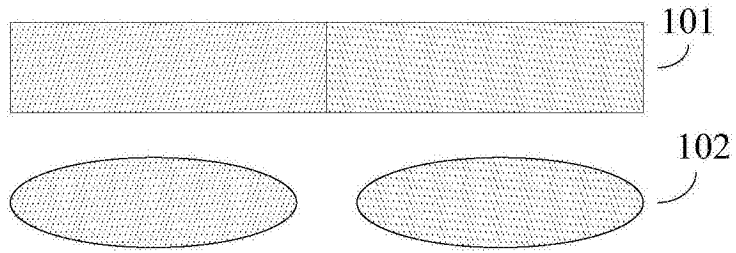


图1a

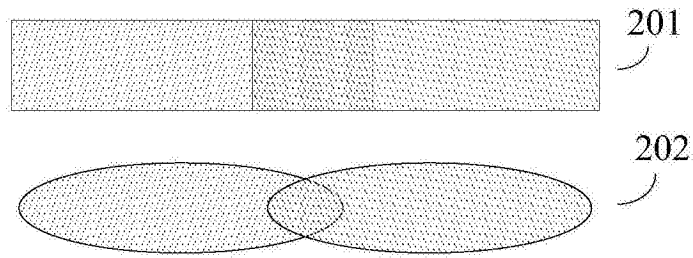


图1b

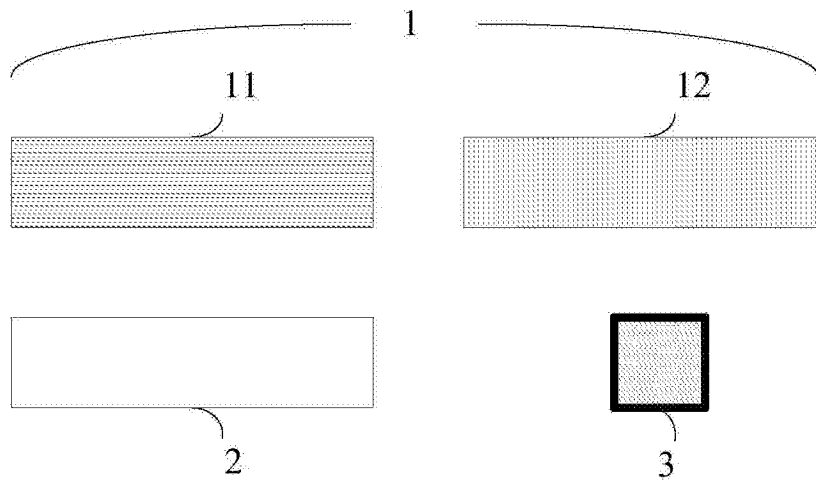


图2

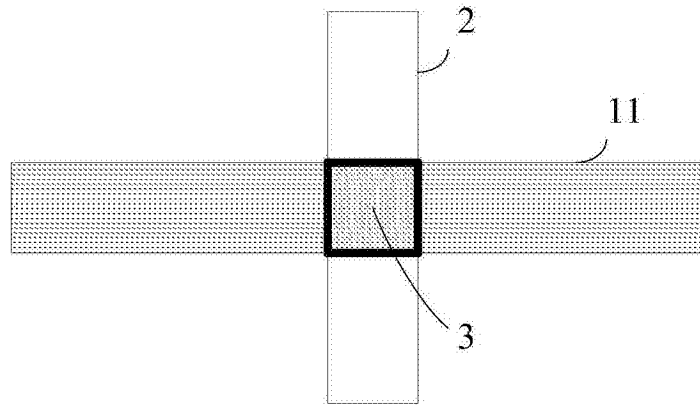


图3

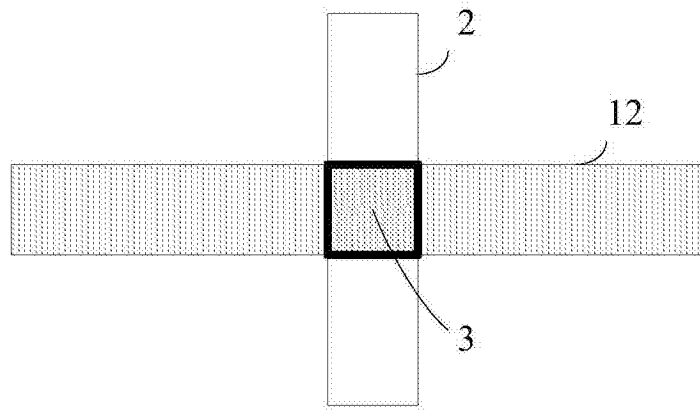


图4

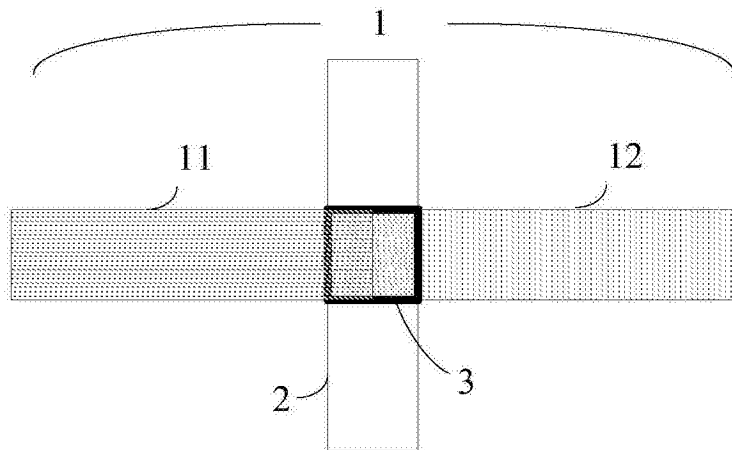


图5a

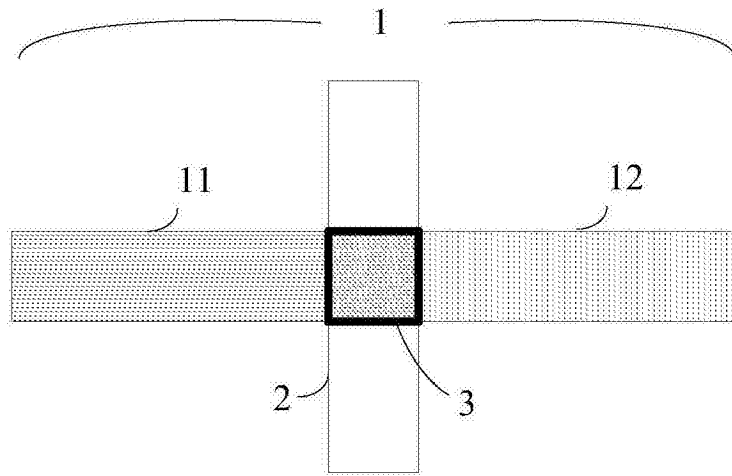


图5b

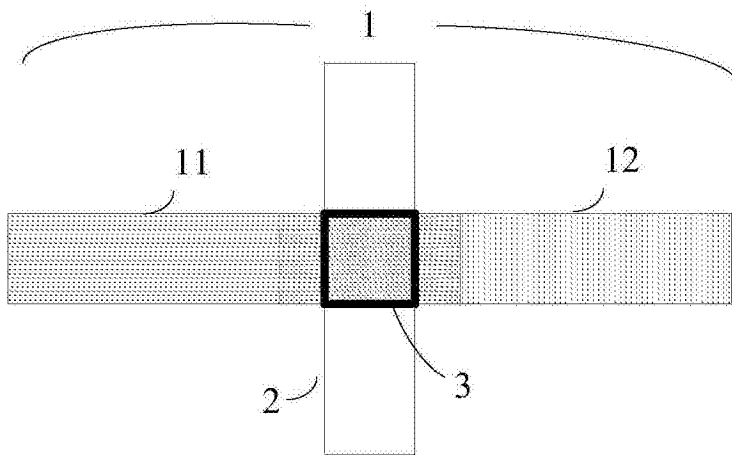


图5c

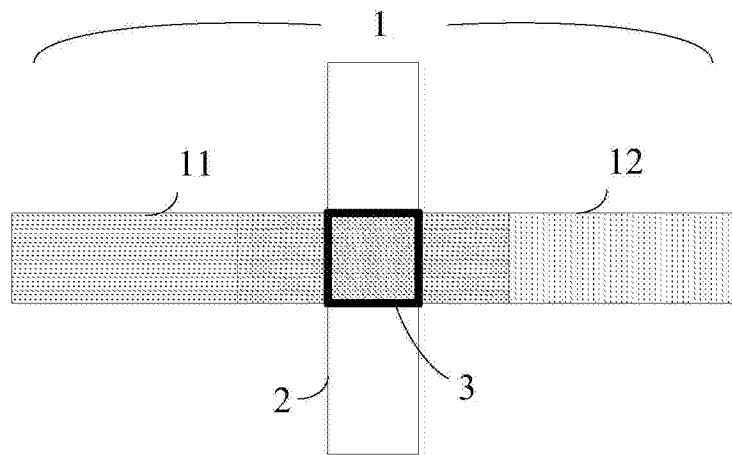


图5d

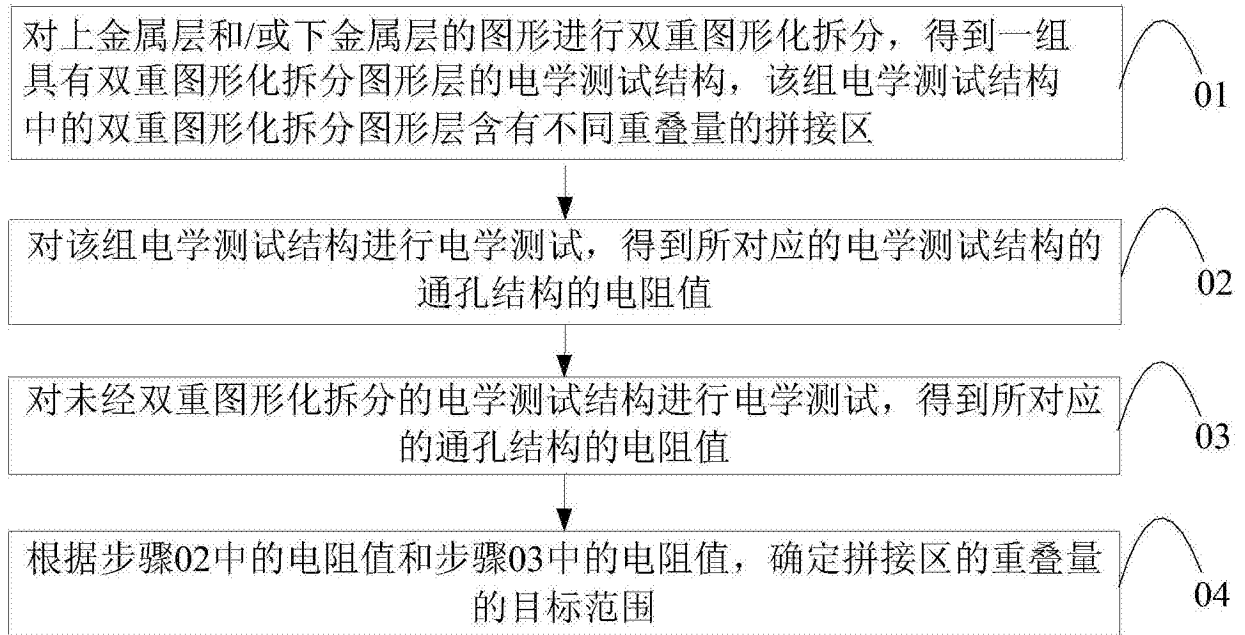


图6