



(12)发明专利申请

(10)申请公布号 CN 107577623 A

(43)申请公布日 2018.01.12

(21)申请号 201710591509.1

(22)申请日 2017.07.19

(71)申请人 成都华微电子科技有限公司

地址 610000 四川省成都市高新区益州大道中段1800号1栋22层

(72)发明人 王志超 李晓佳 侯伶俐 张英

(74)专利代理机构 成都惠迪专利事务所(普通合伙) 51215

代理人 刘勋

(51) Int. Cl.

G06F 13/16(2006.01)

G06F 5/06(2006.01)

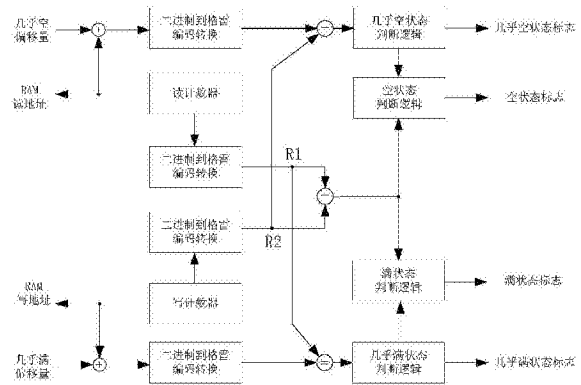
权利要求书1页 说明书5页 附图3页

(54)发明名称

跨时钟域异步FIFO及数据处理方法

(57)摘要

跨时钟域异步FIFO,涉及集成电路设计技术领域。本发明包括BRAM阵列和与BRAM阵列连接的FIFO控制器、写入地址锁存器、写入数据锁存器、读取地址锁存器和读取数据锁存器;在读加法器和第一比较器之间,设置有一个二进制到格雷码转换器,在读计数器和第一参考点之间,设置有一个二进制到格雷码转换器,在写计数器和第二参考点之间,设置有一个二进制到格雷码转换器,在写加法器和第三比较器之间,设置有一个二进制到格雷码转换器。本发明能降低FIFO控制逻辑所占面积,减少工作过程中内部信号的毛刺,提高FIFO在工作时的稳定性。



1. 跨时钟域异步FIFO, 包括BRAM阵列和与BRAM阵列连接的FIFO控制器、写入地址锁存器、写入数据锁存器、读取地址锁存器和读取数据锁存器;

所述FIFO控制器包括读取加法器、读计数器、几乎空状态判断逻辑单元和空状态判断逻辑单元、写入加法器、写计数器、几乎满状态判断逻辑单元、满状态判断逻辑单元、第一比较器、第二比较器和第三比较器,

第一比较器的两个输入端分别连接第二参考点和读加法器, 输出到几乎空状态判断逻辑单元;

第二比较器的两个输入端分别连接第一参考点和第二参考点, 输出到空状态判断逻辑单元和满状态判断逻辑单元;

第三比较器的两个输入端分别连接第一参考点和写加法器, 输出到几乎空状态判断逻辑单元;

第一参考点连接读计数器的输出端, 第二参考点连接写计数器的输出端;

其特征在于:

在读加法器和第一比较器之间, 设置有一个二进制到格雷码转换器,

在读计数器和第一参考点之间, 设置有一个二进制到格雷码转换器,

在写计数器和第二参考点之间, 设置有一个二进制到格雷码转换器,

在写加法器和第三比较器之间, 设置有一个二进制到格雷码转换器。

2. 跨时钟域异步FIFO数据处理方法, 包括下述步骤:

A) 检测RAM读地址并与几乎空偏移量相加, 然后与RAM写地址比较, 对比较结果作几乎空状态判断;

B) 检测RAM读地址并与RAM写地址比较, 对比较结果作空状态判断和满状态判断;

C) 检测RAM写地址并与几乎满偏移量相加, 然后与RAM读地址比较, 对比较结果作几乎满状态判断;

其特征在于, 上述步骤中, 进行相加的数据皆是二进制数据, 进行比较的数据皆是由二进制转为格雷码的数据。

3. 如权利要求2所述的跨时钟域异步FIFO数据处理方法, 其特征在于,

所述步骤A) 为: 检测二进制RAM读地址并与二进制几乎空偏移量相加, 将相加的结果转换为格雷码, 与由二进制RAM写地址转换而来的格雷码RAM写地址比较, 对比较结果作几乎空状态判断;

所述步骤B) 为: 检测二进制RAM读地址并转换为格雷码RAM读地址, 与二进制RAM写地址转换而来的格雷码RAM写地址比较, 对比较结果作空状态判断和满状态判断;

所述步骤C) 为: 检测二进制RAM写地址并与二进制几乎满偏移量相加, 将结果转换为格雷码, 然后与由二进制RAM读地址转换而得的格雷码RAM读地址比较, 对比较结果作几乎满状态判断。

跨时钟域异步FIFO及数据处理方法

技术领域

[0001] 本发明涉及集成电路设计技术领域。

背景技术

[0002] FIFO存储器广泛应用于各种领域,例如缓存解串行后的高速串行信号,在包处理时暂时存储数据包或者缓存与硬盘来往的数据。最先写入的数据最先从FIFO中读取出来。

[0003] FIFO缓冲器使用RAM实现,进出RAM的数据由跟踪读写地址的地址计数器控制。地址计数器定位进出RAM的数据,确保存储器能够接受新的数据,避免RAM溢出。

[0004] FIFO存储系统产生FIFO满和FIFO空状态标志,表明FIFO处于满状态还是空状态。这些标志表示RAM中是否有足够的空间来读写。FIFO满状态标志用来避免对一个已满的FIFO写入数据,FIFO空状态标志用来避免对一个空的FIFO读取数据。

[0005] FIFO存储系统可以是同步的也可以是异步的。读取时钟和写入时钟在同一个时钟域内的FIFO被称为同步FIFO,反之被称为异步FIFO。异步FIFO用于FIFO两侧是不同时钟的数字系统中。不论在同步还是异步FIFO系统中,读和写地址计数器,是环形计数器,当读地址和写地址超限时,会跳转到初始值。

[0006] 以深度为512的FIFO为例,在逻辑上,几乎满、满状态和写入地址、读取地址、几乎满偏移量之间的关系为:当写地址与几乎满偏移量的九位二进制加法运算的值比读地址大时,进入几乎满状态,当处于几乎满状态且写地址等于读地址时,进入满状态。

发明内容

[0007] 本发明所要解决的技术问题是,提供一种资源占用较低的跨时钟域异步FIFO及数据处理方法。

[0008] 本发明解决所述技术问题采用的技术方案是,跨时钟域异步FIFO,包括BRAM阵列和与BRAM阵列连接的FIFO控制器、写入地址锁存器、写入数据锁存器、读取地址锁存器和读取数据锁存器;

[0009] 所述FIFO控制器包括读取加法器、读计数器、几乎空状态判断逻辑单元和空状态判断逻辑单元、写入加法器、写计数器、几乎满状态判断逻辑单元、满状态判断逻辑单元、第一比较器、第二比较器和第三比较器,

[0010] 第一比较器的两个输入端分别连接第二参考点和读加法器,输出到几乎空状态判断逻辑单元;

[0011] 第二比较器的两个输入端分别连接第一参考点和第二参考点,输出到空状态判断逻辑单元和满状态判断逻辑单元;

[0012] 第三比较器的两个输入端分别连接第一参考点和写加法器,输出到几乎空状态判断逻辑单元;

[0013] 第一参考点连接读计数器的输出端,第二参考点连接写计数器的输出端;

[0014] 其特征在于:

- [0015] 在读加法器和第一比较器之间,设置有一个二进制到格雷码转换器,
- [0016] 在读计数器和第一参考点之间,设置有一个二进制到格雷码转换器,
- [0017] 在写计数器和第二参考点之间,设置有一个二进制到格雷码转换器,
- [0018] 在写加法器和第三比较器之间,设置有一个二进制到格雷码转换器。
- [0019] 本发明的跨时钟域异步FIFO数据处理方法包括下述步骤:
- [0020] A) 检测RAM读地址并与几乎空偏移量相加,然后与RAM写地址比较,对比较结果作几乎空状态判断;
- [0021] B) 检测RAM读地址并与RAM写地址比较,对比较结果作空状态判断和满状态判断;
- [0022] C) 检测RAM写地址并与几乎满偏移量相加,然后与RAM读地址比较,对比较结果作几乎满状态判断;
- [0023] 其特征在于,上述步骤中,进行相加的数据皆是二进制数据,进行比较的数据皆是由二进制转为格雷码的数据。
- [0024] 具体的说,
- [0025] 所述步骤A)为:检测二进制RAM读地址并与二进制几乎空偏移量相加,将相加的结果转换为格雷码,与由二进制RAM写地址转换而来的格雷码RAM写地址比较,对比较结果作几乎空状态判断;
- [0026] 所述步骤B)为:检测二进制RAM读地址并转换为格雷码RAM读地址,与二进制RAM写地址转换而来的格雷码RAM写地址比较,对比较结果作空状态判断和满状态判断;
- [0027] 所述步骤C)为:检测二进制RAM写地址并与二进制几乎满偏移量相加,将结果转换为格雷码,然后与由二进制RAM读地址转换而得的格雷码RAM读地址比较,对比较结果作几乎满状态判断。
- [0028] 本发明的有益效果是,能降低FIFO控制逻辑所占面积,减少工作过程中内部信号的毛刺,提高FIFO在工作时的稳定性。

附图说明

- [0029] 图1为跨时钟域异步FIFO的电路框图。
- [0030] 图2为本发明的状态生成模块框图。
- [0031] 图3为本发明的状态生成逻辑框图。图中:b2g为二进制转格雷码,F为寄存器,AEMPTY_OFFSET为几乎空状态偏移量,AFULL_OFFSET为几乎满状态偏移量,aempty为几乎空状态信号,afull为几乎满信号,empty为空状态信号,full为满状态信号。
- [0032] 图4为几乎空检测电路的电路图。
- [0033] 图5为几乎满检测电路的电路图。
- [0034] 图6为空检测电路的电路图。
- [0035] 图7为满检测电路的电路图。

具体实施方式

- [0036] 本发明包括使用嵌入式BRAM的嵌入式FIFO存储系统。计数器在读时钟域和写时钟域运作。二进制加法器将第一个偏移量和第一个指针地址相加,将和转化为第一个格雷码值。第一个格雷码和第二个指针地址的格雷码相比较。如果第一个格雷码和第二个格雷码

相等,则交由后续逻辑在正确的时钟域产生状态标志(几乎满或几乎空)。在本发明中,FIFO包含满、几乎满、空、几乎空状态。因为FIFO数据是循环的,读指针和写指针被初始化到相同的位置,读指针(rp_{ptr})和写指针(wp_{ptr})在有读写操作时,分别累加。

[0037] 循环数据缓冲器是抽象的,实际实现是一个固定长度的FIFO。例如:有M个存储单元,M为正整数,所以缓冲器元素(项目)为0到M-1。读指针和写指针是以M为模,因此指针跳转一周。M为2的n次幂,则FIFO中的元素个数为写地址与读地址的n位二进制无符号减法所得的差值,FIFO中剩余的空间数为读地址与写地址的n位二进制无符号减法所得的差值。

[0038] 读和写异步的进行,因此写地址指针(rp_{ptr})和读地址指针(wp_{ptr})相互独立的递增。一开始,rp_{ptr}被设置成和wp_{ptr}相等,这代表FIFO处于空状态。假设没有读操作,只有写操作,当wp_{ptr}与rp_{ptr}的差值进入或处于写入指针便宜范围内时,wp_{ptr}会使FIFO到达几乎满状态。直到wp_{ptr}等于rp_{ptr},FIFO到达满状态,在这期间都可以继续写入数据。在满状态如果继续写入,会产生一个写入错误。若在满状态后只读不写,当rp_{ptr}与wp_{ptr}的距离进入或处于读取指针偏移范围内时,rp_{ptr}会使FIFO达到几乎空状态。直到wp_{ptr}等于rp_{ptr},FIFO到达空状态,在这期间都可以继续读数。若在空状态继续读取,则产生读错误。FIFO的正常操作包含多次读取和写入,几乎满、满、空、几乎空状态可能会反复出现。

[0039] 这个嵌入FIFO存储系统是一个同步或异步的FIFO存储系统。在工作于异步模式时写入数据到BRAM和从BRAM读取数据在不同的时钟域进行。FIFO逻辑电路执行必要的读写指针管理任务并生成几乎满、满、空和几乎空状态标记。写指针和读指针分别和她们对应的时钟域完全同步,但是读时钟和写时钟相比是异步的。

[0040] 参见图1~3。本发明的跨时钟域异步FIFO包括BRAM阵列和与BRAM阵列连接的FIFO控制器、写入地址锁存器、写入数据锁存器、读取地址锁存器和读取数据锁存器;

[0041] 所述FIFO控制器包括读取加法器、读计数器、几乎空状态判断逻辑单元和空状态判断逻辑单元、写入加法器、写计数器、几乎满状态判断逻辑单元、满状态判断逻辑单元、第一比较器、第二比较器和第三比较器,

[0042] 第一比较器的两个输入端分别连接第二参考点R2和读加法器,输出到几乎空状态判断逻辑单元;

[0043] 第二比较器的两个输入端分别连接第一参考点R1和第二参考点R2,输出到空状态判断逻辑单元和满状态判断逻辑单元;

[0044] 第三比较器的两个输入端分别连接第一参考点R1和写加法器,输出到几乎空状态判断逻辑单元;

[0045] 第一参考点连接读计数器的输出端,第二参考点R2连接写计数器的输出端;

[0046] 其特征在于:

[0047] 在读加法器和第一比较器之间,设置有一个二进制到格雷码转换器,

[0048] 在读计数器和第一参考点之间,设置有一个二进制到格雷码转换器,

[0049] 在写计数器和第二参考点之间,设置有一个二进制到格雷码转换器,

[0050] 在写加法器和第三比较器之间,设置有一个二进制到格雷码转换器。

[0051] 本发明的跨时钟域异步FIFO数据处理方法,包括下述步骤:

[0052] A):检测二进制RAM读地址并与二进制几乎空偏移量相加,将相加的结果转换为格雷码,与由二进制RAM写地址转换而来的格雷码RAM写地址比较,对比较结果作几乎空状态

判断;

[0053] B):检测二进制RAM读地址并转换为格雷码RAM读地址,与二进制RAM写地址转换而来的格雷码RAM写地址比较,对比较结果作空状态判断和满状态判断;

[0054] C):检测二进制RAM写地址并与二进制几乎满偏移量相加,将结果转换为格雷码,然后与由二进制RAM读地址转换而得的格雷码RAM读地址比较,对比较结果作几乎满状态判断。

[0055] 以上步骤ABC的编号并非表示先后顺序。

[0056] 更具体的说明如下:

[0057] 参见图1。BRAM阵列有A、B两个端口。同一个BRAM既可以作为FIFO存储系统的一部分,也可以作为常规BRAM。在常规应用中,输入数据写入到写数据锁存器,然后输入到BRAM阵列中。端口B的输入地址(ADDRINB)通过多路选择器从内部结构得到或者模块外选择一个接入到写入地址锁存器。这个多路选择器在常规写地址和写计数器提供的地址之间选择。换句话说,这个多路选择器决定BRAM用作常规存储器或者用作嵌入式FIFO存储器系统中的FIFO存储器阵列。

[0058] 当BRAM阵列用于嵌入式FIFO存储器系统时,这个多路选择器将写计数器得到的写地址连接到写地址锁存器,用于普通RAM功能时,是将外部输入地址连接到写地址锁存器。读计数器、多路选择器和读地址锁存器以类似的方式运作。

[0059] 图2展示了本发明中的状态生成模块。展示了几乎空逻辑,空逻辑,满逻辑,几乎满逻辑和它们的输出。几乎空比较器,空、满比较器、几乎满比较器接受来自读时钟域和写时钟域的输入。几乎满比较器的输入来自二进制格雷码编码器,工作在写时钟域。类似的几乎满比较器的输入来自写时钟域和读时钟域。几乎空输出和空输出在读时钟域,几乎空和空输出在写时钟域。数据输入在写时钟域写入BRAM,数据输出在读时钟域从BRAM读取出来。

[0060] 提前警告标志,例如几乎空和几乎满标志,基于检测读地址指针和写地址指针的差值。比较二进制地址会不可避免的产生解码竞争与冒险,因为一个时钟沿通常改变多个地址位,这些改变会在略微不同的时间影响同一个比较器。常用的解决方案是使用格雷编码地址计数器;但是,对格雷编码地址计数器进行算数操作过于复杂。因此,在本发明中,需要的偏移量(正或负)与二进制地址(读或写)相加,运算结果再转换为格雷码。这等效于这个偏移量格雷码值与另一个地址的格雷编码值比较。当读写地址和写地址相差为偏移量时,这个比较器的输出为有效。

[0061] 图3展示了本发明的逻辑框架。读地址收到一个几乎满偏移量,这个偏移量被加到读计数器的累加器的输出上,然后转换成格雷码。读地址使用累加器和一个寄存器生成。寄存器的输出被反馈到累加器的输入。到累加器的控制信号有满状态标志、空状态标志、读使能、写使能和时钟信号。写指针通过相似方式生成,细节不再赘述略。

[0062] 图4展示了本发明的几乎空状态检测电路。电路检测一个地址指针何时等于另一个地址指针加上偏移量,并转换输出到合适的时钟域。常规的几乎空电路通常需要一个比较大功能,会消耗可观的芯片面积。本发明利用一个状态机来监视写地址和读地址的移动。

[0063] 当复位信号被置为高电平(复位wtpr-rptr),通过异步将第一个寄存器置为1,几

乎空信号输出被设置为1。上边的寄存器和下边的寄存器通过两个反相器交叉耦合。当上边的寄存器的输出q为1,反相器输出0到下边的寄存器的数据段D。下边的寄存器的输出q通过反相器连接到上边的寄存器的数据段d。因此下边的寄存器的输出0被转换为1,并输入到上边的寄存器的数据端口。

[0064] 当连续写入而不读取数据,写地址(wptr)会增加直到 $wprt = rptr + aemptyoffset$,也即是 $wprt = off_rptr$,aempty offset是用户设置的正数几乎空偏移量。当相同比较器的输出信号变为高电平($wptr = off_rptr$),上边的寄存器被或门异步置为1,下边的寄存器被异步置为1,上下两个寄存器的输入为0,同时两个同步寄存器置为1。当 $wptr > rptr_off$,可能紧跟一系列的读时钟和写时钟。两个读周期后,通过两级同步寄存器,传输上边的寄存器0,将最后一个寄存器的输入置为0。在另一个读时钟($wptr > rptr_off$)后,几乎空状态标志位是0。最后一级寄存器是一个可选的流水线寄存器。将ALMOST EMPTY信号从写时钟域同步到读时钟域。需要两个读时钟周期。如果 $off_rptr = wptr$ 之后再过一个读时钟周期,也就是 $wptr < off_rptr$,读使能有效,上边的寄存器的输出q保持1,几乎空标志保持有效。

[0065] 图5展示了本发明的几乎满(ALMOST FULL)检测电路。这个几乎满检测电路的工作原理和图4中展示的几乎空检测电路相似。复位信号和off_wptr信号一起输入或门。此时偏移写指针($off_wptr = wptr + afull_offset$)等于读指针,这里afull offset是几乎满偏移量,为正数。与ALMOST EMPTY相比,ALMOST FULL状态标志在复位时置位0,而不是1。ALMOST FULL检测电路同样有上下两个寄存器,通过两个反相器交叉耦合。

[0066] 下面的寄存器在读使能信号有效时被读时钟驱动。上面的寄存器在写使能信号有效时被写时钟驱动。两级同步寄存器和流水线寄存器也一样。当偏移写地址等于读地址(也就是说满足几乎满条件),下面和上面的寄存器会置位,在下面的寄存器的输出1。第一个和第二个同步寄存器在下面的寄存器变成高电平时置位,在一个写周期后,几乎满标志置位。因为操作与前面描述的几乎满电路相似,所以不再详细讨论电路。

[0067] 图6展示了本发明的空状态标志的电路。当几乎空标志为高电平且读地址等于写地址,空状态标志位置位,DTAT VALID没有置位。当DTAT VALID为0,表示输出寄存器中的数据不可用,空状态标志(EMPTY)置位。当DATA VALID为1,表示输出寄存器可用,EMPTY标志为低电平,即使BRAM阵列可能为空。

[0068] 在本发明中,通过将第一个写入的数据直接送到输出寄存器来减少延迟,这样数据在第一个读周期就能是有效的。VALID BIT(vld bit)监视输出寄存器中的数据是否有效。在某些操作模式中,读周期可能使输出寄存器一直为空,以致连续不断的写周期(字)不断的直接写入到输出缓冲器中。在这个例子中,虽然FIFO存储阵列为空(写指针等于读指针,几乎空标志置位),但是数据依然可读。当FIFO存储器为空,输出数据寄存器无效,空状态检测逻辑会产生空状态标志。通过用读时钟信号,与门置位信号控制寄存器,两级异步复位的寄存器,作为同步寄存器,用来将空状态标志同步到读时钟域。这些寄存器同时也过滤掉空状态标志输出可能发生的毛刺。

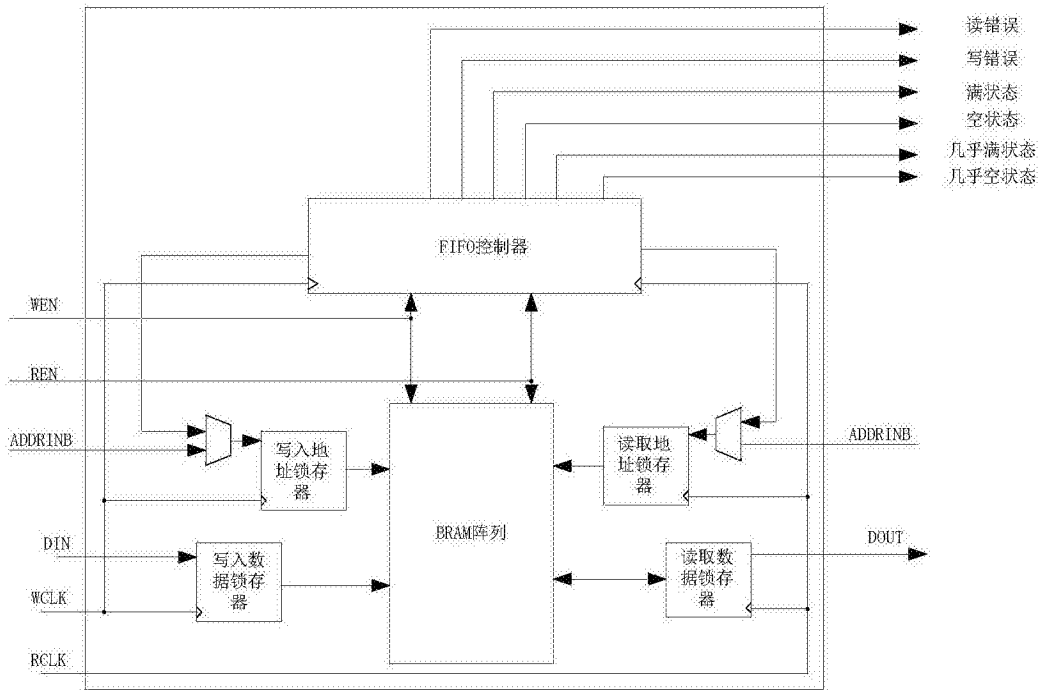


图1

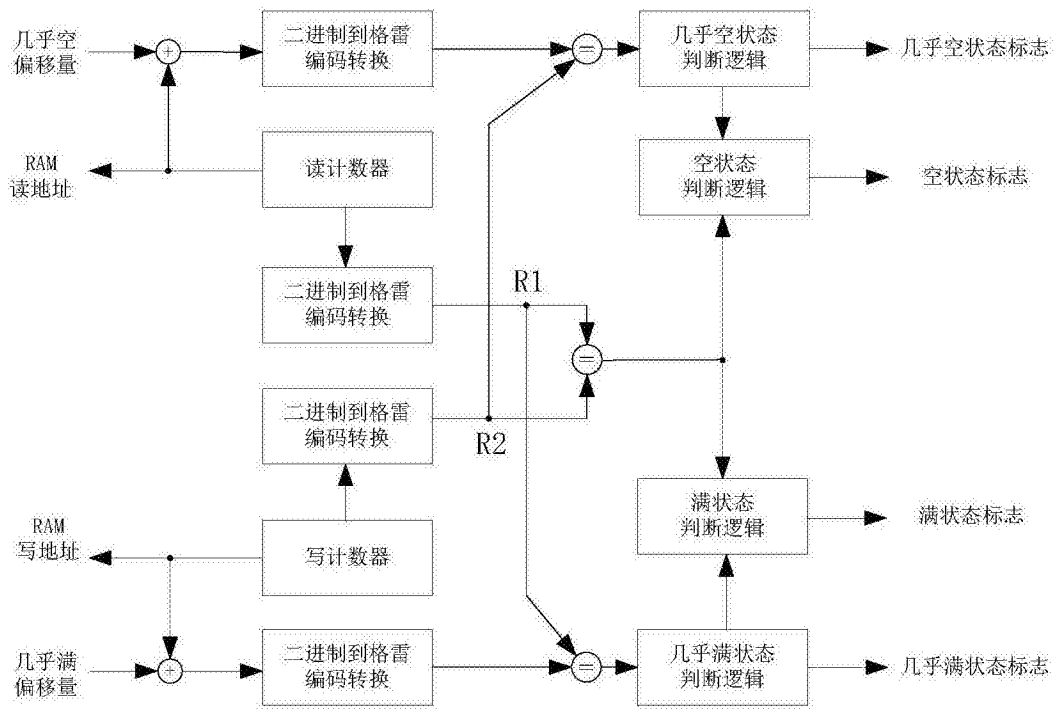


图2

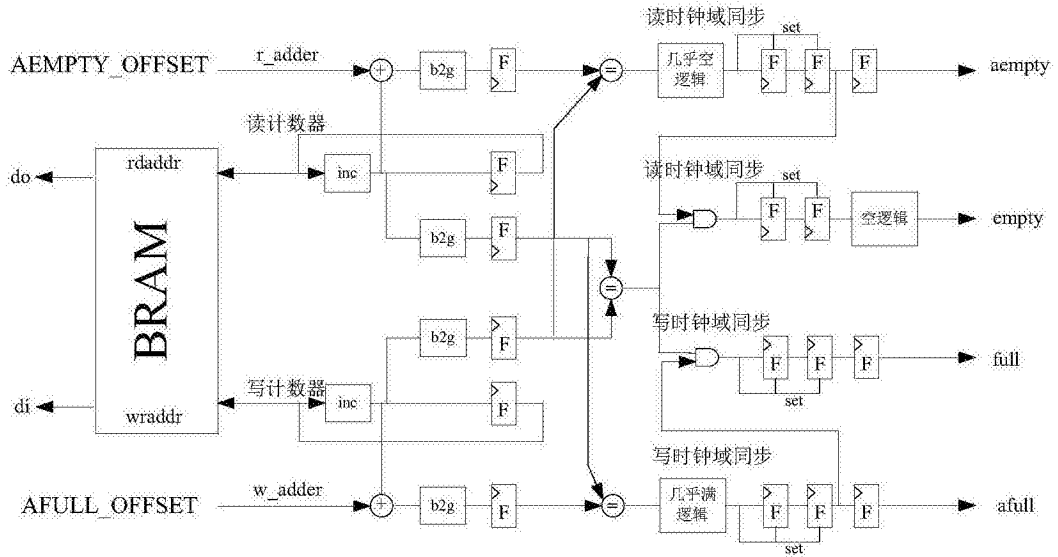


图3

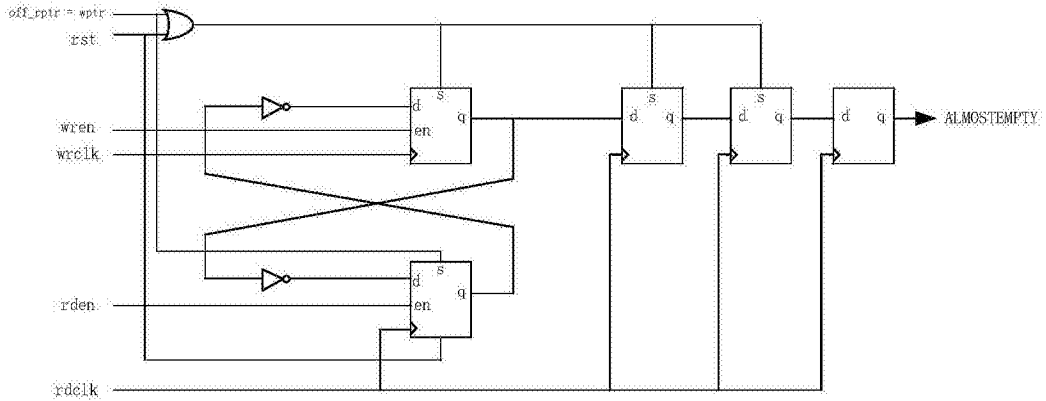


图4

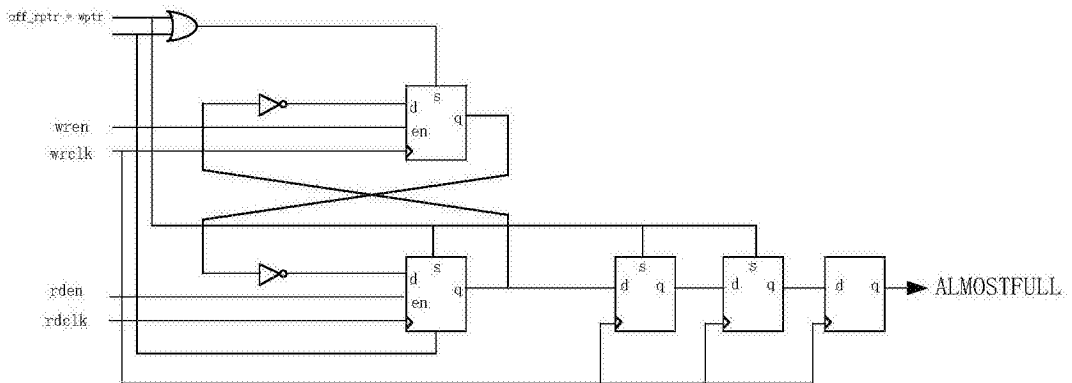


图5

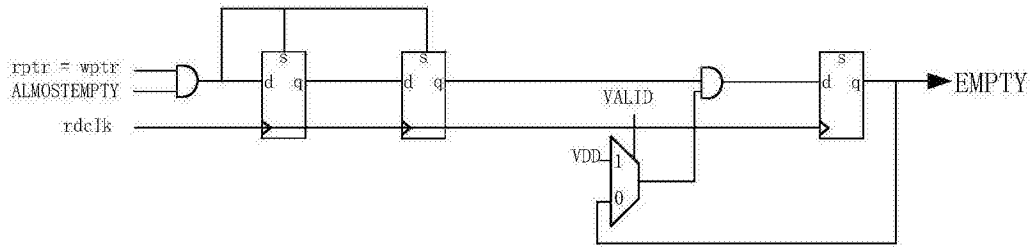


图6

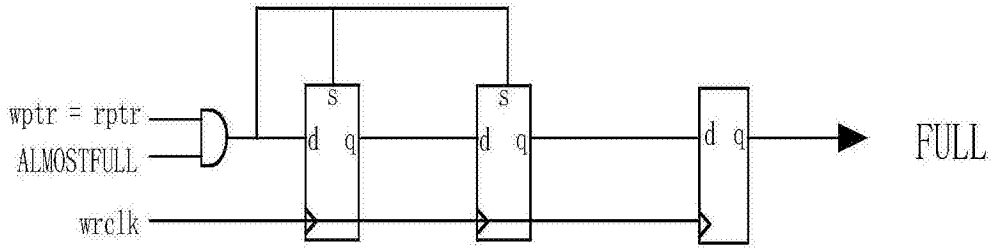


图7