



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I767844 B

(45) 公告日：中華民國 111 (2022) 年 06 月 11 日

(21) 申請案號：110136215

(22) 申請日：中華民國 110 (2021) 年 09 月 29 日

(51) Int. Cl. : *H01L23/544 (2006.01)**H01L21/027 (2006.01)*

(71) 申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市 428 大雅區科雅一路 8 號

(72) 發明人：江知優 CHIANG, CHIH-YU (TW)

(74) 代理人：洪澄文

(56) 參考文獻：

TW 201611273A

US 8871104B2

US 10755969B2

US 2010/0221919A1

US 2013/0157461A1

US 2020/0321215A1

審查人員：謝介銘

申請專利範圍項數：11 項 圖式數：12 共 31 頁

(54) 名稱

半導體結構及其形成方法

(57) 摘要

半導體結構包括：複數個校正參考部件，位於基板上且沿第一方向間隔設置；以及複數行第一主動部件及複數行第二主動部件，分別設置於些校正參考部件的兩側，其中每行第一主動部件在第二方向上彼此間隔設置且每行第一主動部件包括沿第一方向間隔設置的複數個第一主動部件，其中第一方向不平行於第二方向，每行第二主動部件在第二方向上彼此間隔設置且每行第二主動部件行包括沿第一方向間隔設置的複數個第二主動部件，其中校正參考部件、第一主動部件及第二主動部件設置於同一層且是基板的一部分。

A semiconductor structure includes: a plurality of calibration reference features on a substrate and disposed from each other in a first direction; and a plurality of columns of first active features and a plurality of columns of second active features disposed on opposite sides of the calibration reference features respectively, wherein each column of the first active features is disposed in a second direction and spaced apart from each other, and each column of the first active features includes a plurality of first active features disposed in the first direction and spaced apart from each other, wherein the first direction is not parallel to the second direction, wherein each column of the second active features is disposed in the second direction and spaced apart from each other, and each column of the second active features includes a plurality of second active features disposed in the first direction and spaced apart from each other, wherein the calibration reference features, the first active features, and the second active features are disposed on a same layer and are a portion of the substrate.

指定代表圖：

符號簡單說明：

10:半導體結構

100:基板

102A:第一主動部件

102B:第二主動部件

102C:校正參考部件

E1,E2,D3,D4,D5,D6,D

7:間距

G1:第一主動部件行

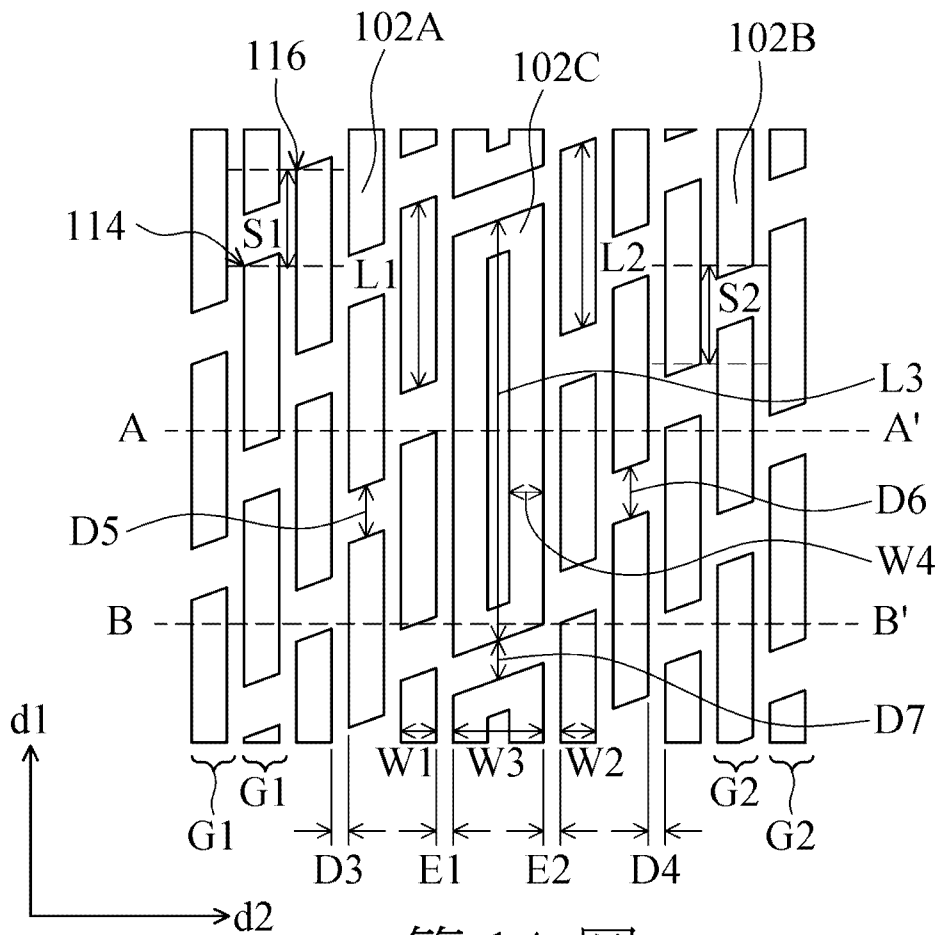
G2:第二主動部件行

L1,L2,L3:長度

S1:第一偏移距離

S2:第二偏移距離

W1,W2,W3,W4:寬度



第 1A 圖



I767844

【發明摘要】**【中文發明名稱】** 半導體結構及其形成方法**【英文發明名稱】** SEMICONDUCTOR STRUCTURE AND
METHOD OF FORMING THE SAME**【中文】**

半導體結構包括：複數個校正參考部件，位於基板上且沿第一方向間隔設置；以及複數行第一主動部件及複數行第二主動部件，分別設置於些校正參考部件的兩側，其中每行第一主動部件在第二方向上彼此間隔設置且每行第一主動部件包括沿第一方向間隔設置的複數個第一主動部件，其中第一方向不平行於第二方向，每行第二主動部件在第二方向上彼此間隔設置且每行第二主動部件行包括沿第一方向間隔設置的複數個第二主動部件，其中校正參考部件、第一主動部件及第二主動部件設置於同一層且是基板的一部分。

【英文】

A semiconductor structure includes: a plurality of calibration reference features on a substrate and disposed from each other in a first direction; and a plurality of columns of first active features and a plurality of columns of second active features disposed on opposite sides of the calibration reference features respectively, wherein each column of the first active features is disposed in a second

direction and spaced apart from each other, and each column of the first active features includes a plurality of first active features disposed in the first direction and spaced apart from each other, wherein the first direction is not parallel to the second direction, wherein each column of the second active features is disposed in the second direction and spaced apart from each other, and each column of the second active features includes a plurality of second active features disposed in the first direction and spaced apart from each other, wherein the calibration reference features, the first active features, and the second active features are disposed on a same layer and are a portion of the substrate.

【指定代表圖】第1A圖

【代表圖之符號簡單說明】

10: 半導體結構

100: 基板

102A: 第一主動部件

102B: 第二主動部件

102C: 校正參考部件

E1, E2, D3, D4, D5, D6, D7: 間距

G1: 第一主動部件行

G2: 第二主動部件行

L1,L2,L3: 長度

S1: 第一偏移距離

S2: 第二偏移距離

W1,W2,W3,W4: 寬度

【發明說明書】

【中文發明名稱】半導體結構及其形成方法

【英文發明名稱】SEMICONDUCTOR STRUCTURE AND
METHOD OF FORMING THE SAME

【技術領域】

【0001】本發明實施例是關於半導體結構，特別是關於具有校正參考部件的半導體結構及其形成方法。

【先前技術】

【0002】在製造半導體裝置（例如：記憶體裝置或電晶體裝置）的製程中，經常使用各種圖案化製程（包括微影及蝕刻等等）來轉移其結構中的部件圖案，以形成所欲的半導體結構。然而，當元件尺寸持續縮小時，許多挑戰隨之而生。舉例而言，在各種圖案化製程之間可能具有偏移或誤差，這會對半導體結構產生不利的影響，進而降低裝置可靠度或性能。

【發明內容】

【0003】本發明實施例提供一種半導體結構，包括：複數個校正參考部件，位於基板上且沿第一方向間隔設置；以及複數行第一主動部件及複數行第二主動部件，分別設置於些校正參考部件的兩側，其中每行第一主動部件在第二方向上彼此間隔設置且每行第

一主動部件包括沿第一方向間隔設置的複數個第一主動部件，其中第一方向不平行於第二方向，每行第二主動部件在第二方向上彼此間隔設置且每行第二主動部件行包括沿第一方向間隔設置的複數個第二主動部件，其中校正參考部件、第一主動部件及第二主動部件設置於同一層且是基板的一部分，其中校正參考部件的寬度大於第一主動部件的寬度且大於第二主動部件的寬度，校正參考部件的長度大於第一主動部件的長度且大於第二主動部件的長度。

【0004】 本發明實施例提供一種半導體結構的形成方法，包括：提供基板，其上方具有主動層，其中主動層是基板的一部分；形成遮罩層堆疊於主動層上；形成犧牲層於遮罩層堆疊上；形成圖案化間隔物於犧牲層上，圖案化間隔物包括校正參考圖案及主動區前置圖案；執行第一圖案化製程，將圖案化間隔物的校正參考圖案及主動區前置圖案轉移至遮罩層堆疊；在第一圖案化製程之後，執行第二圖案化製程，將具有主動區前置圖案的遮罩層堆疊圖案化為主動區圖案；以及在第二圖案化製程之後，執行第三圖案化製程，將遮罩層堆疊的校正參考圖案及主動區圖案轉移至主動層，以分別形成複數個校正參考部件以及複數行主動部件。

【圖式簡單說明】

【0005】 由以下的詳細敘述配合所附圖式，可最好地理解本發明實施例。

第1A-8A、9及10圖是根據本發明的一些實施例，繪示出半導體結構的上視圖。

第1A-1至8A-1圖是根據本發明的一些實施例，分別繪示沿著第1A至8A圖的A-A'線的半導體結構的剖面圖。

第1A-2至8A-2圖是根據本發明的一些實施例，分別沿著第2A至8A圖的B-B'線的半導體結構的剖面圖。

第11及12圖是根據本發明的其他實施例，繪示出半導體結構的上視圖。

【實施方式】

【0006】 第1A圖繪示出半導體結構10的上視圖，第1A-1及1A-2圖分別繪示出半導體結構10沿著第1A圖的A-A'線及B-B'線的剖面圖。為了使圖式簡潔，第1A圖僅繪示出複數行第一主動部件G1、複數行第二主動部件G2、及複數個校正參考部件102C的上視圖。半導體結構10包括基板100、複數行第一主動部件G1、複數行第二主動部件G2、及複數個校正參考部件102C。

【0007】 參照第1A圖，複數個校正參考部件102C位於基板100上且所述複數個校正參考部件102C沿第一方向d1間隔設置。在一些實施例中，校正參考部件102C具有環形形狀。在一些實施例中，環形形狀的一邊的寬度W4可以等於第一主動部件102A的寬度W1且等於第二主動部件102B的寬度W2。複數行第一主動部件G1及複數行第二主動部件G2分別設置於校正參考部件102C的兩側。每行第一主動部件G1在第二方向d2上彼此間隔設置且每行第一主動部件G1包括沿第一方向d1間隔設置的複數個第一主動部件

102A。在一些實施例中，第一方向d1不平行於第二方向d2。每行第二主動部件G2在第二方向d2上彼此間隔設置且每行第二主動部件行G2包括沿第一方向d1間隔設置的複數個第二主動部件102B。參照第1A-1及1A-2圖，校正參考部件102C、第一主動部件102A及第二主動部件102B設置於同一層。在一些實施例中，第一主動部件102A、第二主動部件102B及校正參考部件102C可包括相同材料。舉例而言，第一主動部件102A、第二主動部件102B及校正參考部件102C是基板100的一部分，其中第一主動部件102A、第二主動部件102B及校正參考部件102C的形成都是透過對基板100進行圖案化製程。因此，第一主動部件102A、第二主動部件102B、校正參考部件102C及基板100是連續的，並且由相同材料所組成。

【0008】 校正參考部件102C可用於量測不同製程之間的偏移，以改善裝置可靠度及/或製程裕度。舉例而言，校正參考部件102C與主動部件（如第一主動部件102A及第二主動部件102B）的圖案分別是在不同的圖案化製程中形成。因此，藉由量測校正參考部件102C與主動部件（如第一主動部件102A及第二主動部件102B）的偏移，可以判斷形成主動部件的圖案化製程與形成校正參考部件102C的圖案化製程之間是否有偏移。接著根據所量測到的偏移，可以優化將對下一梯次半導體結構進行的圖案化製程的參數或調整後續的製程參數，從而提昇裝置可靠度及/或製程裕度。在一些實施例中，校正參考部件102C與主動部件（如第一主動部件102A及第二主動部件102B）可整合至半導體裝置的對準記號區或設置在

記憶體陣列區域內，使主動部件（如第一主動部件102A及第二主動部件102B）的圖案與半導體裝置的主動區在相同的製程中形成，而與校正參考部件102C的圖案在不同的製程中形成。在一些實施例中，藉由量測校正參考部件102C與主動部件（如第一主動部件102A及第二主動部件102B）的偏移，可以判斷半導體裝置的主動區是否有偏移，並且可以根據所量測到的偏移優化形成半導體裝置的主動區的製程參數或調整後續的製程參數。在本發明的一些實施例中，半導體裝置為動態隨機存取記憶體。

【0009】 在一些實施例中，校正參考部件102C的寬度 $W3$ 大於第一主動部件102A的寬度 $W1$ 且大於第二主動部件102B的寬度 $W2$ ，校正參考部件102C的長度 $L3$ 大於第一主動部件102A的長度 $L1$ 且大於第二主動部件102B的長度 $L2$ 。在一些實施例中，校正參考部件102C的寬度 $W3$ 至少為第一主動部件102A的寬度 $W1$ 的兩倍且至少為第二主動部件102B的寬度 $W2$ 的兩倍，校正參考部件102C的長度 $L3$ 至少為第一主動部件102A的長度 $L1$ 的兩倍且至少為第二主動部件102B的長度 $L2$ 的兩倍，亦即 $W3 \geq 2 * W1$ 、 $W3 \geq 2 * W2$ 、 $L3 \geq 2 * L1$ 、以及 $L3 \geq 2 * L2$ 。

【0010】 在一些實施例中，相鄰的兩行第一主動部件102A彼此交錯設置且相鄰的兩行第二主動部件102B彼此交錯設置。舉例而言，相鄰的兩行第一主動部件102A之間在第一方向 $d1$ 上具有第一偏移距離 $S1$ 且相鄰的兩行第二主動部件102B在第一方向 $d1$ 上具有第二偏移距離 $S2$ 。此處的偏移距離定義為相鄰的兩行主動部件的對

應位置在第一方向 $d1$ 上的距離，例如第1A圖中箭頭114及116所標示的相鄰的兩行第一主動部件102A的對應位置在第一方向 $d1$ 上的距離 $S1$ 。在一些實施例中，第一偏移距離 $S1$ 可以等於第二偏移距離 $S2$ 。

【0011】 在一些實施例中，校正參考部件102C、第一主動部件102A、及第二主動部件102B的縱長皆沿著第一方向。例如，校正參考部件102C的長度 $L3$ 、第一主動部件102A的長度 $L1$ 、及第二主動部件102B的長度 $L2$ 皆是沿著第一方向 $d1$ 且彼此平行。

【0012】 在一些實施例中，校正參考部件102C、第一主動部件102A、及第二主動部件102B的外輪廓具有相同或相似的形狀，可以使校正參考部件102C與主動部件之間的偏移量測更快或更精準。舉例而言，校正參考部件102C、第一主動部件102A、及第二主動部件102B的外輪廓可皆為平行四邊形，如第1A圖所示。

【0013】 參照第1A圖，在一些實施例中，校正參考部件102C與所述複數行第一主動部件 $G1$ 的間距 $E1$ 等於參考部件102C與所述複數行第二主動部件 $G2$ 的間距 $E2$ 。在一些實施例中，相鄰的兩行第一主動部件102A具有相同的間距 $D3$ 且相鄰的兩行第二主動部件102B具有相同的間距 $D4$ 。在其他實施例中，所述的間距 $D3$ 等於所述的間距 $D4$ 。在一些實施例中，每行第一主動部件 $G1$ 的相鄰兩個第一主動部件102A的間距 $D5$ 等於每行第二主動部件 $G2$ 的相鄰兩個第二主動部件102B的間距 $D6$ 。在一些實施例中，相鄰兩個校正參考部件102C的間距 $D7$ 不等於所述的間距 $D5$ 且不等於所述的

間距D6。

【0014】 第2A-8A圖繪示出形成半導體結構10的製程的示意圖。第2A-1至8A-1圖繪示沿著第2A至8A圖的A-A'線的半導體結構的剖面圖；第2A-2至8A-2圖繪示沿著第2A至8A圖的B-B'線的半導體結構的剖面圖。參照第2A-1及2A-2圖，提供基板100，其上方具有主動層102。在一些實施例中，主動層102是基板100的一部分，因此主動層102與基板100包括相同的材料。在一實施例中，主動層102的材料包括矽。

【0015】 接著，形成遮罩層堆疊104於主動層102上。在一些實施例中，遮罩層堆疊104為多個膜層的堆疊，所述多個膜層的材料可各自包括：氧化物（例如：四乙氧基矽烷（tetraethyl orthosilicate，TEOS）氧化物）、氮化物（例如：氮化矽）、氮氧化物（例如：氮氧化矽（SiON））、多晶矽、非晶矽、含碳的遮罩材料或前述之組合。在一些實施例中，遮罩層堆疊104包括：第一遮罩層104A、在第一遮罩層104A上的第二遮罩層104B及在第二遮罩層104B上的第三遮罩層104C，且第一遮罩層104A、第二遮罩層104B及第三遮罩層104C可包括不同的材料。在這樣的實施例中，第一遮罩層104A的材料可包括四乙氧基矽烷（TEOS）氧化物、第二遮罩層104B的材料可包括多晶矽（polysilicon）或非晶矽（amorphous silicon）、且第三遮罩層104C的材料可包括含碳的硬遮罩材料。在其他實施例中，遮罩層堆疊104為單層結構，例如多晶矽層、非晶矽層或前述材料的單層結構。

【0016】 隨後在遮罩層堆疊104上形成犧牲層106。犧牲層106的材料可包括：氮氧化物（例如：氮氧化矽（SiON））、氮化物、多晶矽、非晶矽、碳氧化物、或前述之組合。在一些實施例中，犧牲層106為多層結構，包括第一犧牲材料層106A及第一犧牲材料層106A上的第二犧牲材料層106B。在這樣的實施例中，第一犧牲材料層106A的材料可包括氮氧化矽(SiON)，第二犧牲材料層106B的材料與第一犧牲材料層106A相異，可包括多晶矽、非晶矽。在其他實施例中，犧牲層106為單層結構。

【0017】 參照第2A、2A-1及2A-2圖，形成圖案化層108於犧牲層106上。圖案化層108具有鐵軌形輪廓。具體而言，圖案化層108包含複數個長條108A、以及介於相鄰的長條108A之間的複數個連接部件108B。連接部件108B連接相鄰的兩個長條108A。所述相鄰的長條108A與連接部件108B界定出複數個開口109且開口109暴露出犧牲層106。根據一些實施例，圖案化層108包括：光阻層、抗反射層（例如有機介電層(organic dielectric layer, ODL)）或前述之組合。

【0018】 參照第3A、3A-1及3A-2圖，形成間隔物層110'於圖案化層108及犧牲層106上。間隔物層110'的材料可包括：氧化物、氮化物、氮氧化物、碳氧化物或前述之組合。在一些實施例中，間隔物層110'順應性地形成於圖案化層108及犧牲層106上。

【0019】 參照第4A、4A-1及4A-2圖，回蝕刻間隔物層110'，以露出圖案化層108的頂表面及犧牲層106的頂表面。在一些實施例

中，蝕刻製程包括：反應式離子蝕刻（RIE）、中性粒子束蝕刻（NBE）、或感應耦合電漿蝕刻（inductive coupled plasma etch）。

【0020】 參照第5A、5A-1及5A-2圖，移除圖案化層108。留下的間隔物層110'形成圖案化間隔物110。圖案化間隔物110包括校正參考圖案P1及主動區前置圖案P2，校正參考圖案P1包括複數個環形形狀。

【0021】 參照第6A、6A-1、6A-2、7A、7A-1及7A-2圖，接著執行第一圖案化製程，將圖案化間隔物110的校正參考圖案P1及主動區前置圖案P2轉移至遮罩層堆疊104。如第6A、6A-1及6A-2圖所示，以圖案化間隔物110作為遮罩，蝕刻犧牲層106，然後移除圖案化間隔物110。在犧牲層106包括第一犧牲材料層106A及第二犧牲材料層106B的實施例中，第一犧牲材料層106A可作為蝕刻停止層，所述的蝕刻犧牲層106是蝕刻穿過第二犧牲材料層106B而未穿過第一犧牲材料層106A。在這樣的實施例中，第一犧牲材料層106A可作為蝕刻停止層。在犧牲層106為單層結構的實施例中，所述的蝕刻犧牲層106是蝕刻穿過犧牲層106，且下方的遮罩結構104可以作為蝕刻停止層。蝕刻犧牲層106的製程可包括：濕蝕刻、乾蝕刻（如反應式離子蝕刻、中性粒子束蝕刻、感應耦合電漿蝕刻或其他適合的蝕刻製程）。

【0022】 如第7A、7A-1及7A-2圖所示，以犧牲層106作為蝕刻遮罩，蝕刻穿過第一犧牲材料層106A（若存在，亦即若犧牲層106為多層結構）、第三遮罩層104C及第二遮罩層104B，在蝕刻

後移除犧牲層106及第三遮罩層104C，從而將圖案化間隔物110的校正參考圖案P1及主動區前置圖案P2轉移至遮罩層堆疊104（例如，轉移至第二遮罩層104B）。第一遮罩層104A可作為蝕刻停止層且可以保護下方的主動層免於蝕刻製程的損害。在一些實施例中，用於蝕刻遮罩層堆疊104的製程可相同或類似於上述的蝕刻製程。在其他實施例中，第一圖案化製程使用圖案化間隔物110作為遮罩，蝕刻犧牲層106及遮罩層堆疊104，以將圖案化間隔物110的校正參考圖案P1及主動區前置圖案P2轉移至遮罩層堆疊104，並在蝕刻後移除圖案化間隔物110及犧牲層106。

【0023】 參照第8A、8A-1、8A-2及9圖，在第一圖案化製程之後，執行第二圖案化製程，形成圖案化光阻層112於具有校正參考圖案P1的第二遮罩層104B上且露出部分的第二遮罩層104B。

【0024】 參照第9圖，接著移除第二遮罩層104B被露出的部分，以將具有主動區前置圖案P2的第二遮罩層104B圖案化為主動區圖案P3，隨後將圖案化光阻層112移除。執行第二圖案化製程係將具有主動區前置圖案P2的遮罩層堆疊104切割為在第一方向d1上具有彼此間隔開的多個部分的主動區圖案P3。在這樣的實施例中，可以改變圖案化光阻層112來調整第二遮罩層104B被露出的部分的形狀，從而達到所欲的主動區圖案P3。在一些實施例中，在移除第二遮罩層104B被露出的部分期間，由於圖案化光阻層112在具有校正參考圖案P1的第二遮罩層104B上，可保護具有校正參考圖案P1的第二遮罩層104B不遭受製程的影響。因此在第二圖案化製

程之前（例如由圖案化間隔物及/或第一圖案化製程）定義的校正參考圖案P1可以良好地保留在第二遮罩層104B。在執行第二圖案化製程後，第二遮罩層104B具有校正參考圖案P1及主動區圖案P3。在其他實施例中，例如遮罩層堆疊104為單層結構的實施例中，可將所述校正參考圖案P1及主動區圖案P3轉移至單層結構的遮罩層堆疊104且此遮罩層堆疊104下方為主動層102。

【0025】參照第10圖，在第二圖案化製程之後，執行第三圖案化製程，將遮罩層堆疊104的校正參考圖案P1及主動區圖案P3轉移至主動層102，以分別形成複數個校正參考部件102C以及複數行主動部件G1及G2，隨後移除遮罩層堆疊104。半導體結構10包括：校正參考部件102C，具有在第二圖案化製程之前（例如由圖案化間隔物及/或第一圖案化製程）定義的校正參考圖案P1、及複數行主動部件G1及G2，具有在第二圖案化製程定義的主動區圖案P3。透過量測校正參考部件102C與複數行主動部件G1及G2的偏移，並與預定的偏移值（理想狀態偏移值為0）比較，可以判斷第二圖案化製程與在第二圖案化製程之前（例如，形成圖案化間隔物的製程及/或第一圖案化製程）的製程之間是否有偏移。舉例而言，若量測的校正參考部件102C與複數行主動部件G1及G2的偏移等於0，則表示製程之間的沒有偏移；若量測的校正參考部件102C與複數行主動部件G1及G2的偏移不等於0，則表示製程之間可能有偏移且複數行主動部件G1及G2的位置可能有偏差。在一些實施例中，可以根據量測到的偏移，優化第一圖案化製程及/或第二圖案化製程的製程參

數，從而提昇裝置可靠度及/或製程裕度。在一些實施例中，半導體結構10可整合至半導體裝置中，例如，將所述校正參考部件102C、複數行主動部件G1及G2、以及其製程（例如，包括第二圖案化製程）與半導體裝置的主動區及其製程整合，並在形成所述部件後量測校正參考部件102C與複數行主動部件G1及G2的偏移，可以由此判斷所述複數行主動部件G1及G2、以及所述主動區是否有偏移，並根據偏移量優化製程，以提昇裝置可靠度及/或性能。

【0026】 在一些實施例中，校正參考圖案P1及主動區圖案P3的外輪廓具有相同或相似的形狀，例如，可具有平行四邊形外輪廓、橢圓形外輪廓或圓角矩型外輪廓。舉例而言，在第11圖所繪示的實施例中，第一主動部件102A、第二主動部件102B及校正參考部件102C的外輪廓皆為橢圓形。在第12圖所繪示的實施例中，第一主動部件102A、第二主動部件102B及校正參考部件102C的外輪廓皆為圓角矩型。

【0027】 本發明的一些實施例提供具有校正參考部件的半導體結構及其形成方法，可運用校正參考部件測量製程間的偏移以改善裝置可靠度及/或製程裕度。在一些實施例中，可運用所量測的偏移量判斷主動部件是否有偏移，以進一步優化製程，從而提昇裝置可靠度及/或製程裕度。此外，本發明實施例提供的半導體結構可以整合至半導體裝置中，運用所量測的偏移提昇裝置可靠度及/或性能。

【0028】 雖然本發明以前述之實施例揭露如上，然其並非用

以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0029】

10: 半導體結構

100: 基板

102: 主動層

102A: 第一主動部件

102B: 第二主動部件

102C: 校正參考部件

104: 遮罩層堆疊

104A: 第一遮罩層

104B: 第二遮罩層

104C: 第三遮罩層

106: 犧牲層

106A: 第一犧牲材料層

106B: 第二犧牲材料層

108: 圖案化層

108A: 長條

108B: 連接部件

109: 開口

110: 間隔物

110': 間隔物層

112: 圖案化光阻層

d1: 第一方向

d2: 第二方向

E1,E2,D3,D4,D5,D6,D7: 間距

G1: 第一主動部件行

G2: 第二主動部件行

L1,L2,L3: 長度

P1: 校正參考圖案

P2: 主動區前置圖案

P3: 主動區圖案

S1: 第一偏移距離

S2: 第二偏移距離

W1,W2,W3,W4: 寬度

【發明申請專利範圍】

【請求項1】 一種半導體結構，包括：

複數個校正參考部件，位於一基板上且沿一第一方向間隔設置；

以及

複數行第一主動部件及複數行第二主動部件，分別設置於該些校正參考部件的兩側，其中

每行第一主動部件在一第二方向上彼此間隔設置且每行第一主動部件包括沿該第一方向間隔設置的複數個第一主動部件，其中該第一方向不平行該第二方向，

每行第二主動部件在該第二方向上彼此間隔設置且每行第二主動部件行包括沿該第一方向間隔設置的複數個第二主動部件，

其中該些校正參考部件、該些第一主動部件及該些第二主動部件設置於同一層且是該基板的一部分，其中該些校正參考部件的寬度大於該些第一主動部件的寬度且大於該些第二主動部件的寬度，該些校正參考部件的長度大於該些第一主動部件的長度且大於該些第二主動部件的長度。

【請求項2】 如請求項 1 之半導體結構，其中該些校正參考部件的寬度至少為該些第一主動部件的寬度的兩倍且至少為該些第二主動部件的寬度的兩倍，該些校正參考部件的長度至少為該些第一主動部件的長度的兩倍且至少為該些第二主動部件的長度的兩倍。

【請求項3】 如請求項 1 之半導體結構，其中相鄰的兩行第一主動部件彼此交錯設置且相鄰的兩行第二主動部件彼此交錯設置，其

中每行第一主動部件的相鄰兩個第一主動部件的間距等於每行第二主動部件的相鄰兩個第二主動部件的間距。

【請求項4】 如請求項 1 之半導體結構，其中該些校正參考部件、該些第一主動部件、及該些第二主動部件的外輪廓具有相同的形狀。

【請求項5】 如請求項 4 之半導體結構，其中所述外輪廓的形狀包括平行四邊形、橢圓形或圓角矩型。

【請求項6】 如請求項 1 之半導體結構，其中該些校正參考部件具有一環形形狀，其中該環形形狀的一邊的寬度等於該些第一主動部件的寬度且等於該些第二主動部件的寬度。

【請求項7】 一種半導體結構的形成方法，包括：

提供一基板，其上方具有一主動層，其中該主動層是該基板的一部分；

形成一遮罩層堆疊於該主動層上；

形成一犧牲層於該遮罩層堆疊上；

形成一圖案化間隔物於該犧牲層上，該圖案化間隔物包括一校正參考圖案及一主動區前置圖案；

執行一第一圖案化製程，將該圖案化間隔物的該校正參考圖案及該主動區前置圖案轉移至該遮罩層堆疊；

在該第一圖案化製程之後，執行一第二圖案化製程，將具有該主動區前置圖案的該遮罩層堆疊圖案化為一主動區圖案；以及

在該第二圖案化製程之後，執行一第三圖案化製程，將該遮罩層堆疊的該校正參考圖案及該主動區圖案轉移至該主動層，以分別形成複數個校正參考部件以及複數行主動部件。

【請求項 8】 如請求項 7 之半導體結構的形成方法，其中該些校正參考部件沿一方向間隔設置，所述複數行主動部件包括複數行第一主動部件及複數行第二主動部件，分別設置於該些校正參考部件的兩側。

【請求項 9】 如請求項 7 之半導體結構的形成方法，其中形成該圖案化間隔物於該犧牲層上包括：

形成一圖案化層於該犧牲層上，其中該圖案化層包含複數個長條、以及介於相鄰的長條之間的複數個連接部件，所述相鄰的長條與該些連接部件界定出複數個開口且該些開口暴露出該犧牲層；

形成一間隔物層於該圖案化層及該犧牲層上；

蝕刻該間隔物層，以露出該圖案化層的頂表面及該犧牲層的頂表面；以及

移除該圖案化層。

【請求項 10】 如請求項 7 之半導體結構的形成方法，其中執行該第一圖案化製程包括：

以該圖案化間隔物作為遮罩，蝕刻該犧牲層；

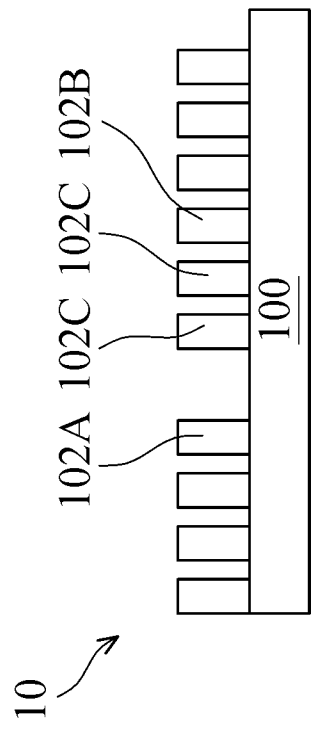
移除該圖案化間隔物；以及

以該犧牲層作為遮罩，蝕刻該遮罩層堆疊。

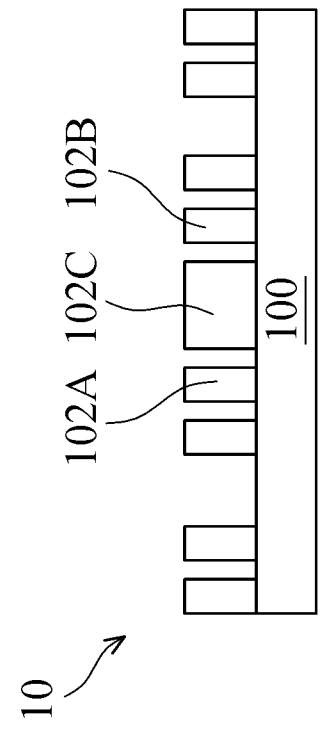
【請求項 11】 如請求項 7 之半導體結構的形成方法，其中執行該第二圖案化製程包括：

形成一圖案化光阻層於具有該校正參考圖案的該遮罩層堆疊上且露出部分的該遮罩層堆疊；以及
移除該遮罩層堆疊被露出的部分。

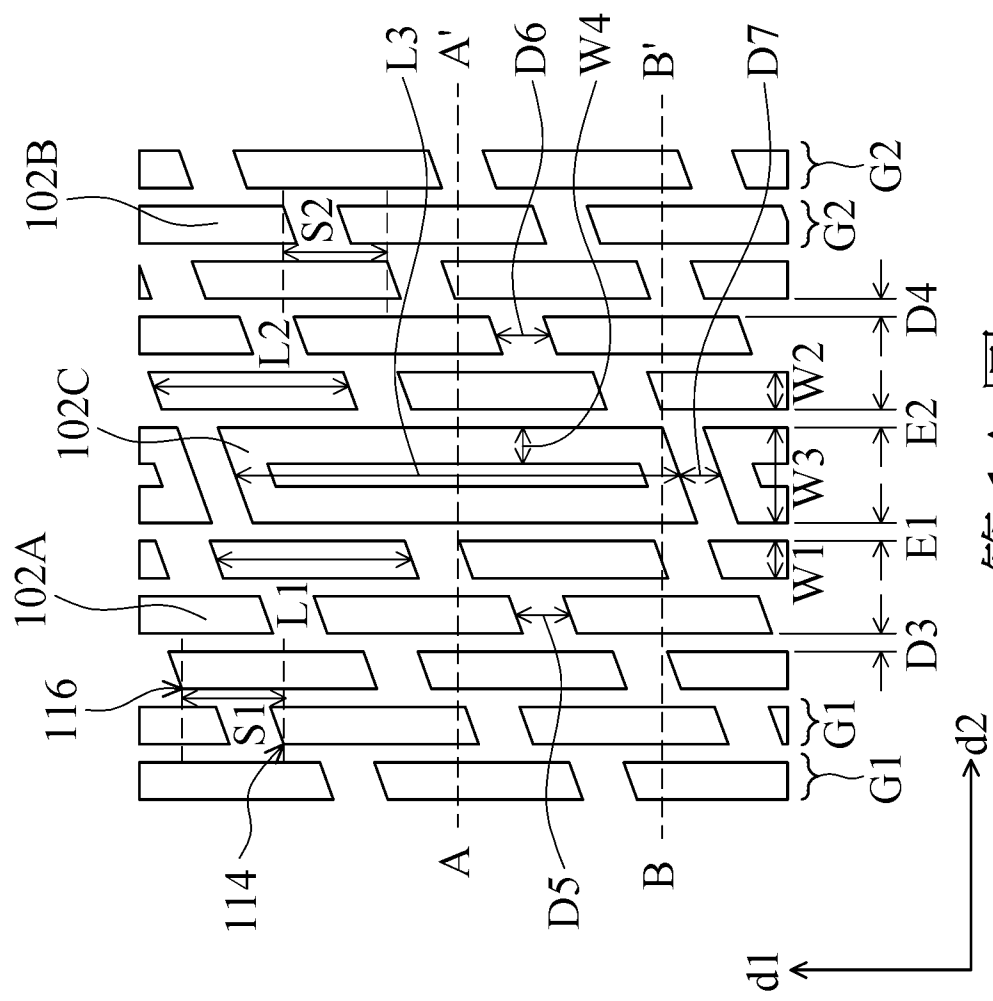
【發明圖式】



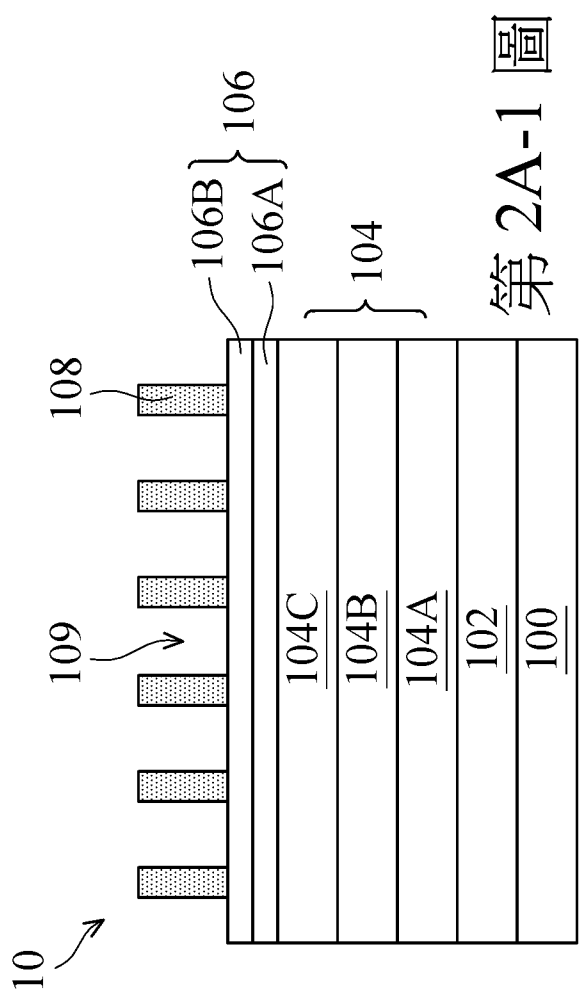
第 1A-1 圖



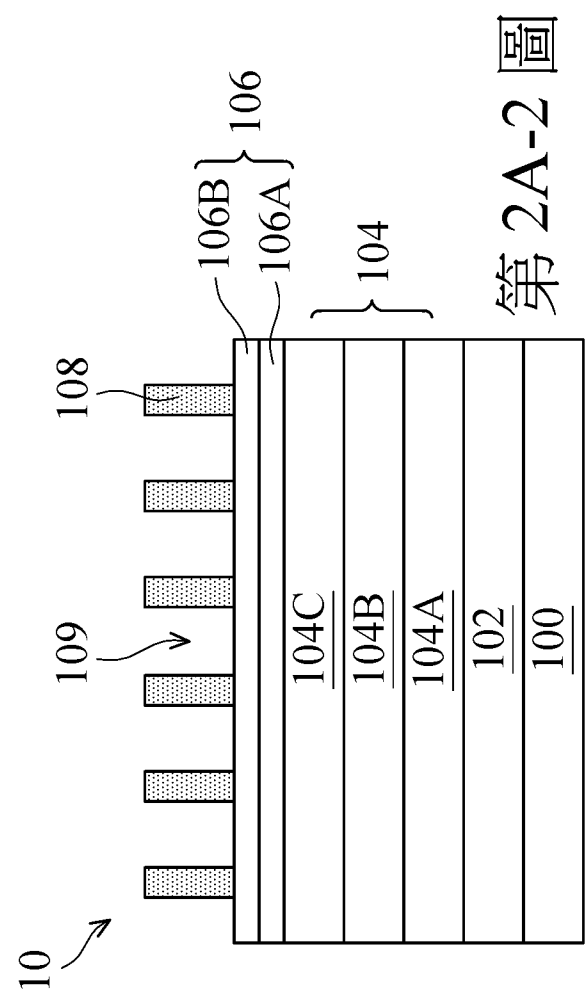
第 1A-2 圖



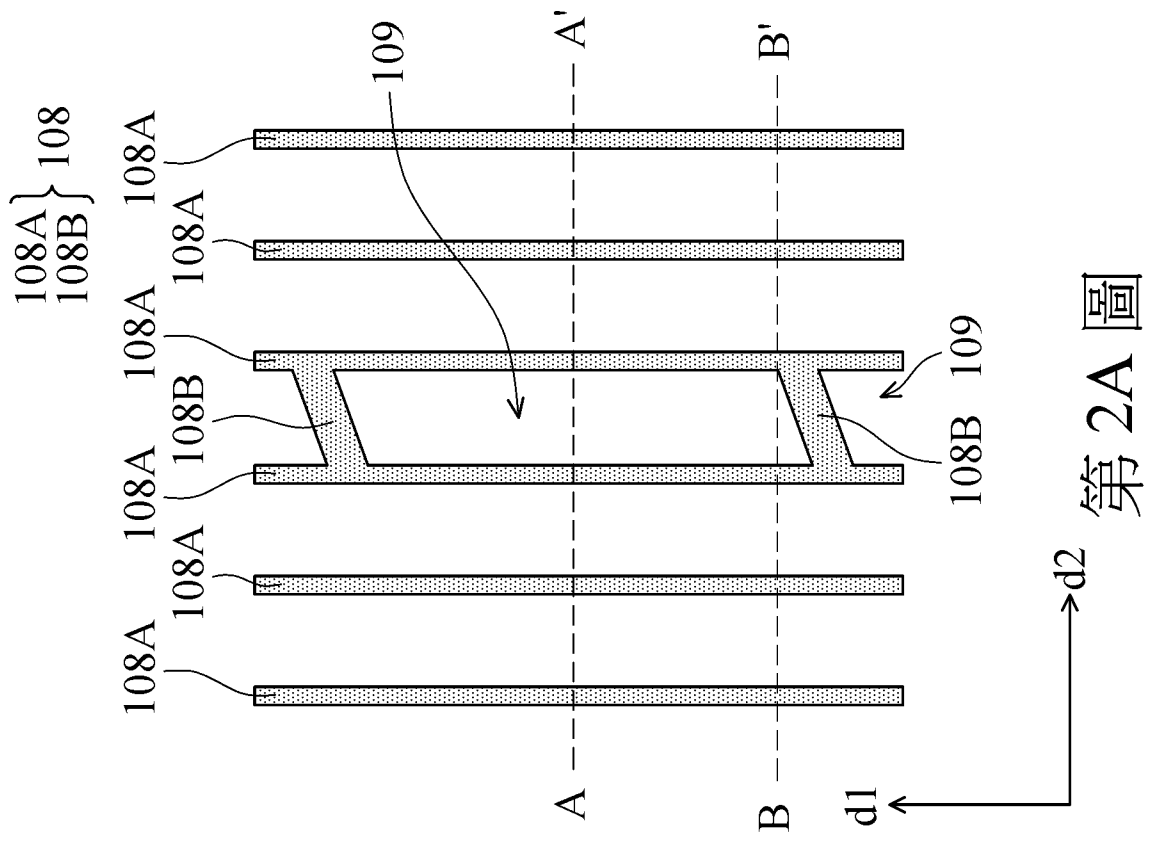
第 1A 圖



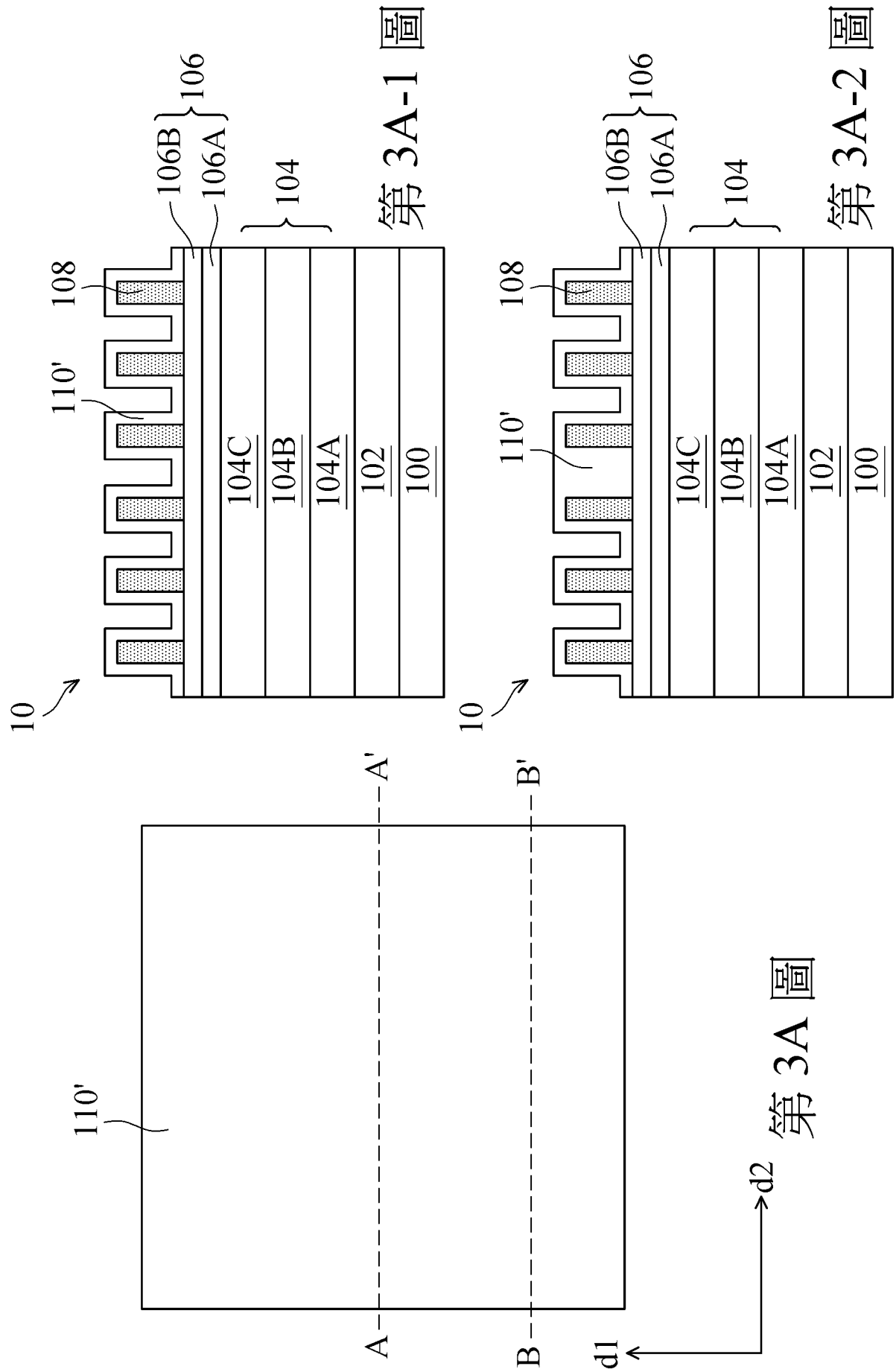
第 2A-1 圖

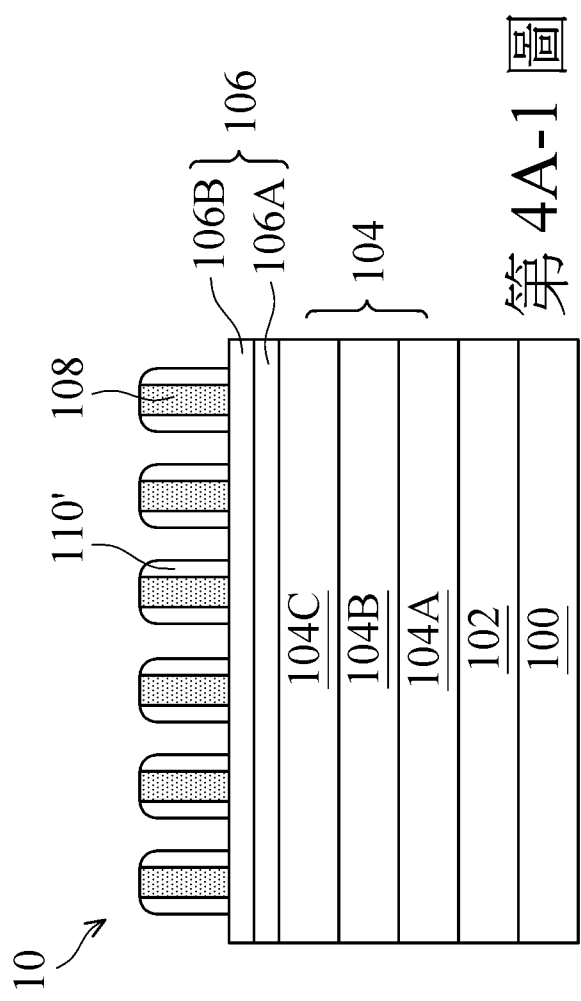


第 2A-2 圖

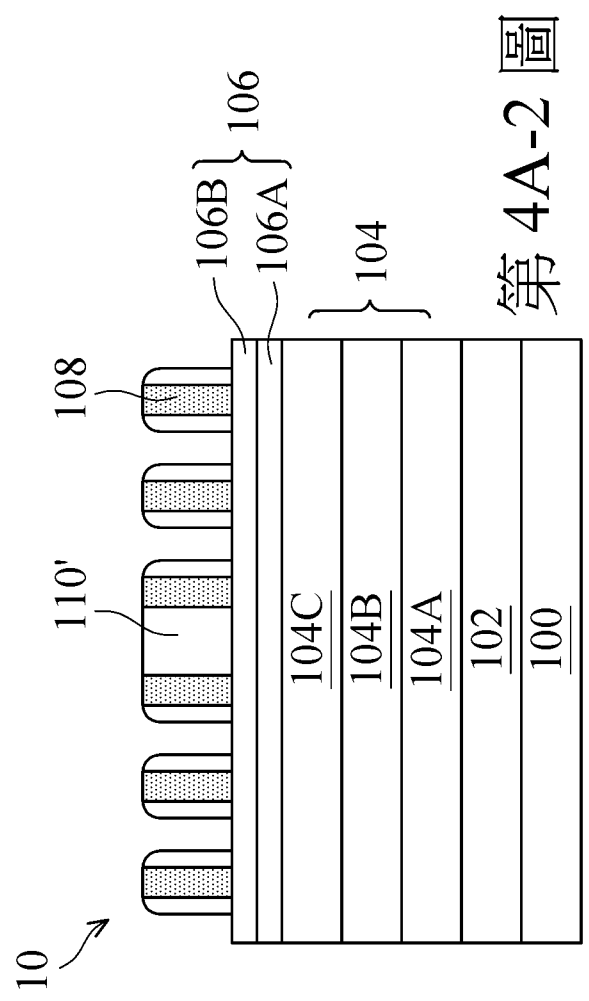


第 2A 圖

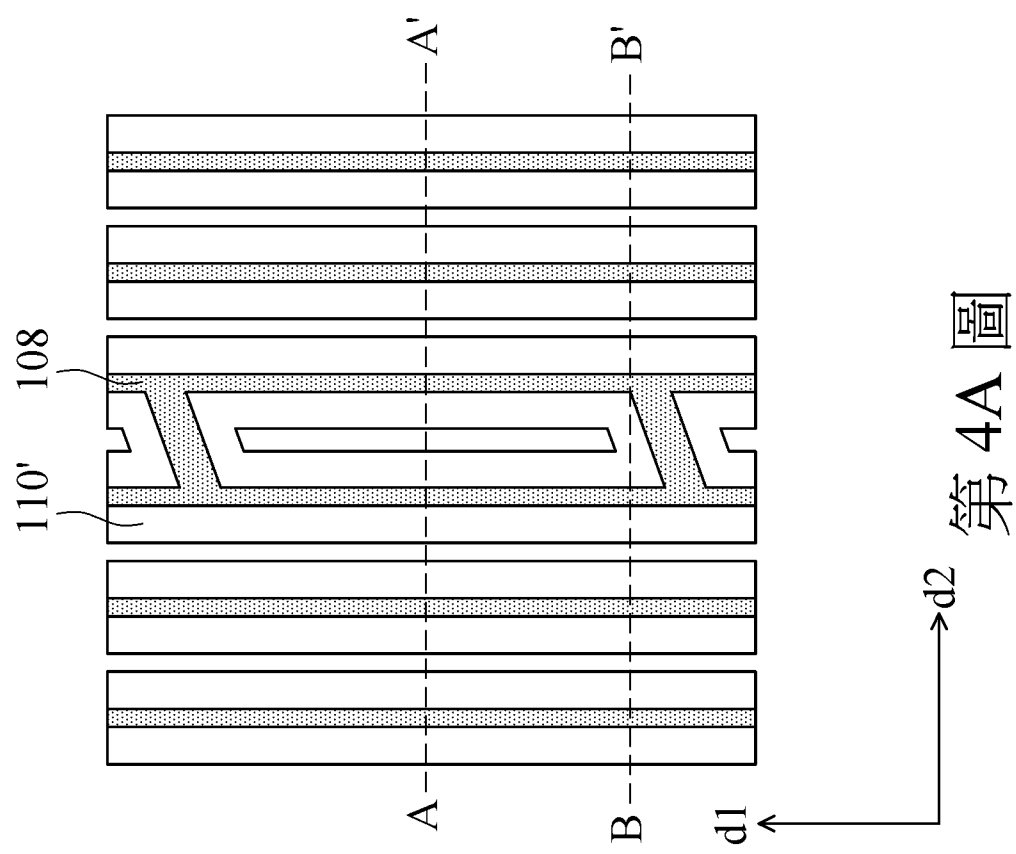




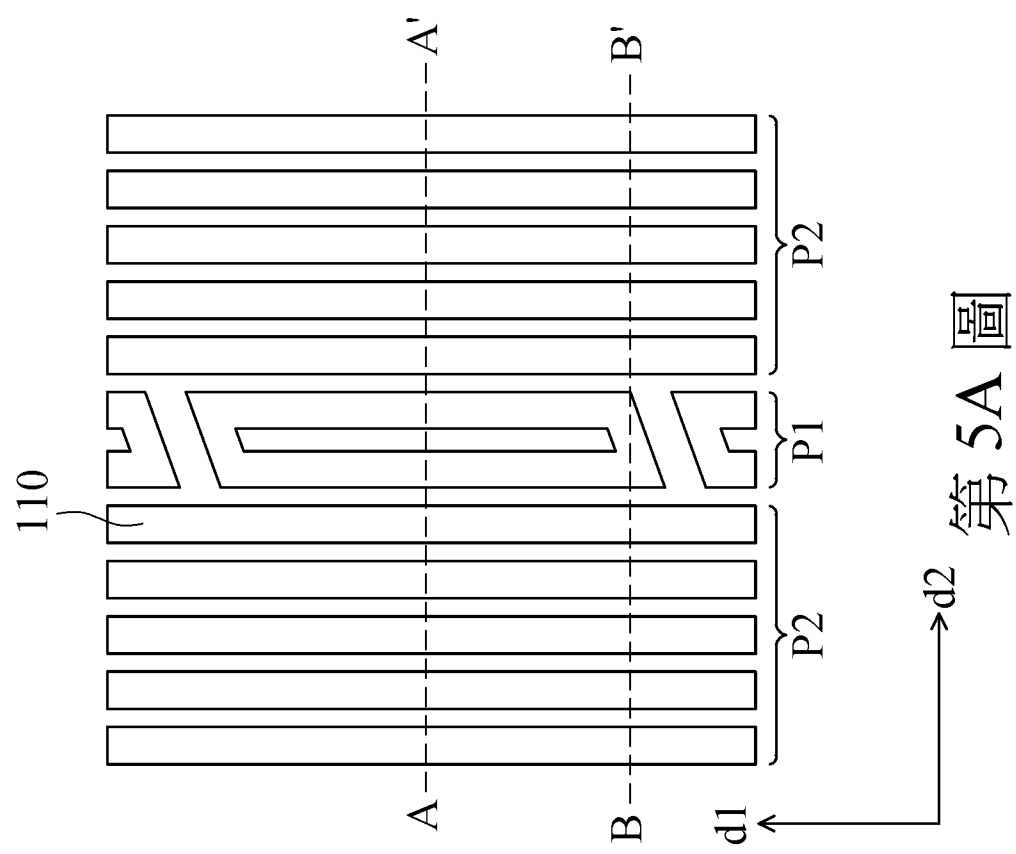
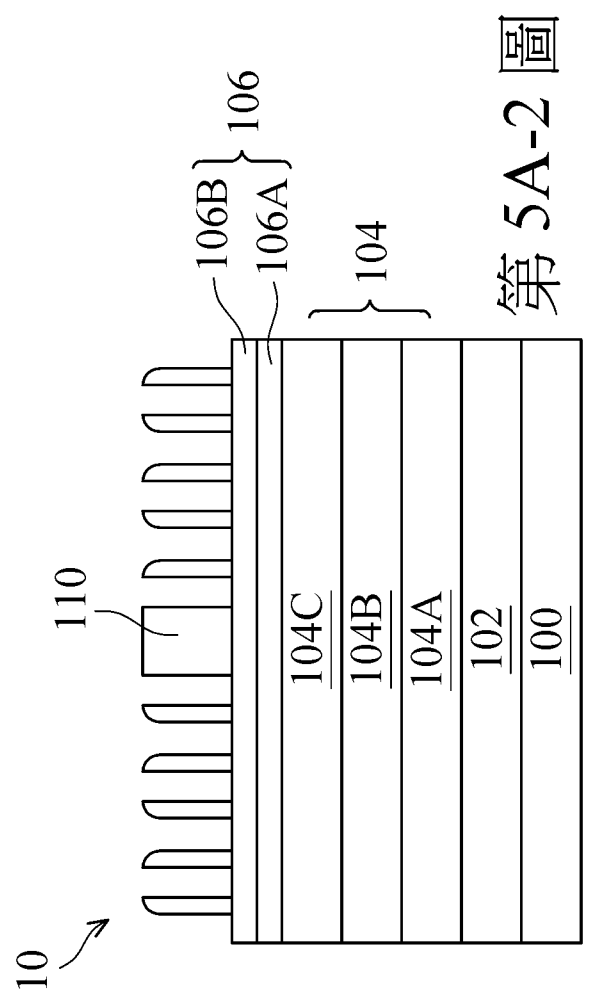
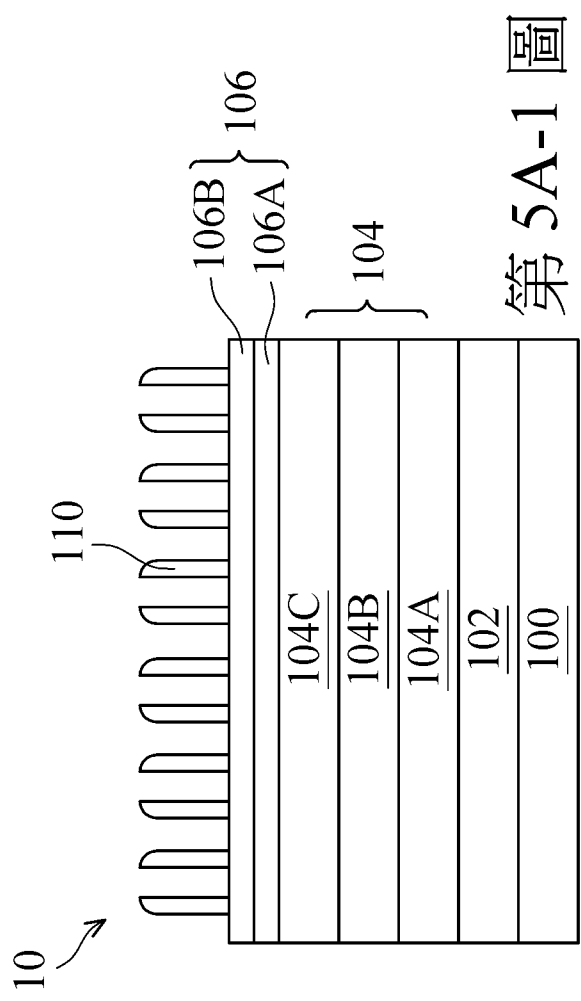
第 4A-1 圖

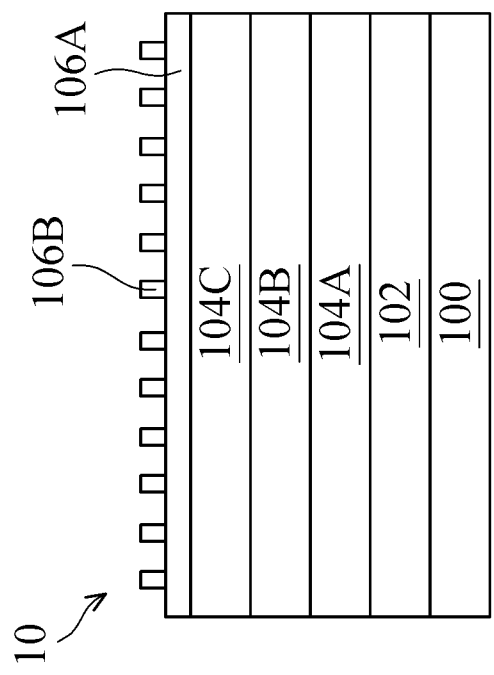


第 4A-2 圖

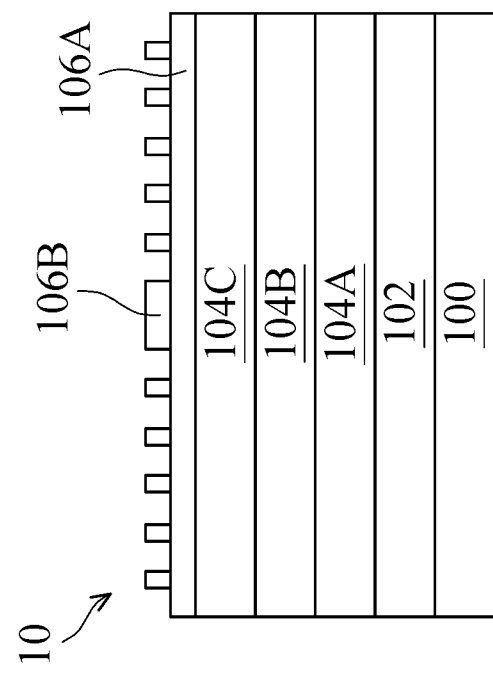


第 4A 圖

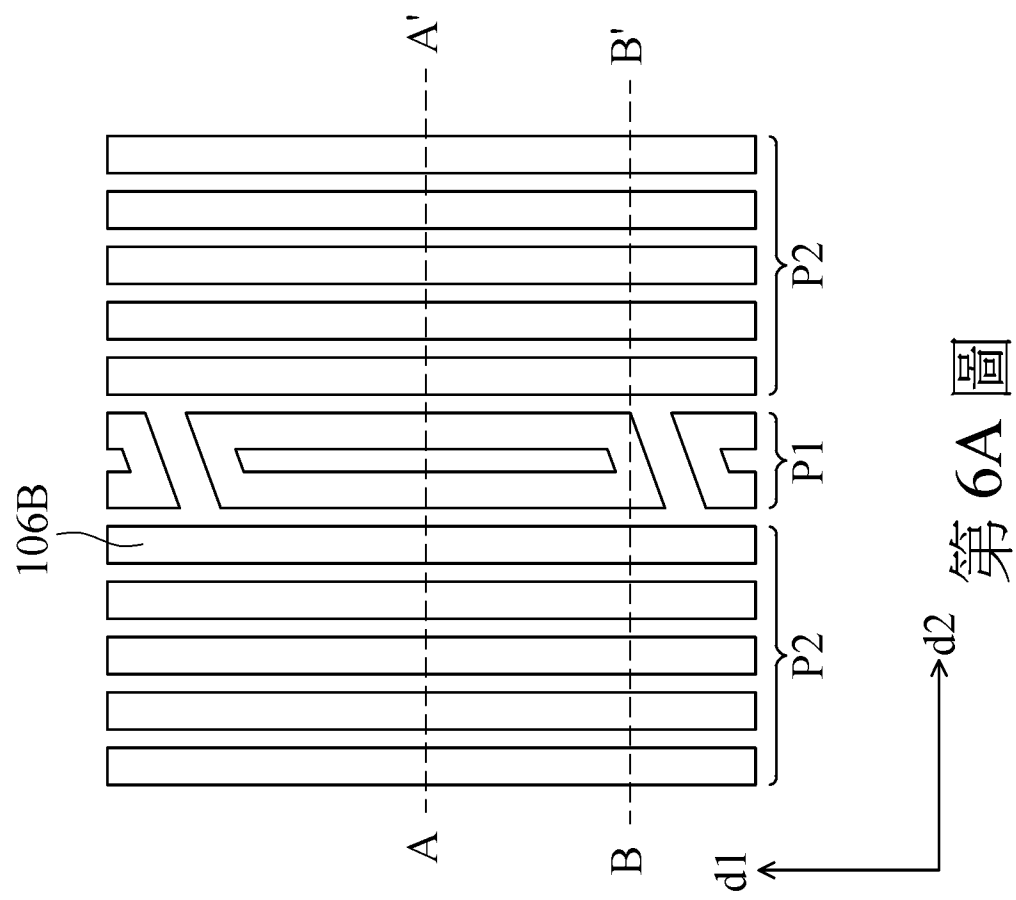




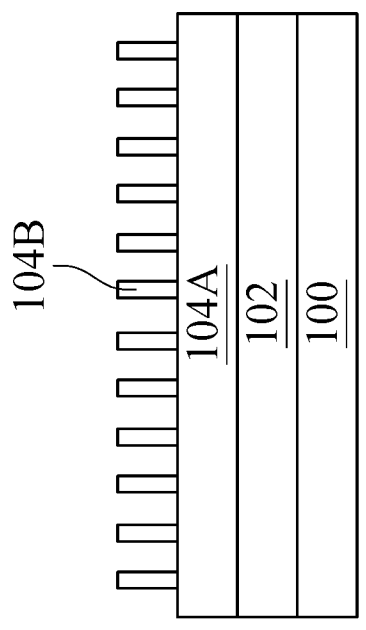
第 6A-1 圖



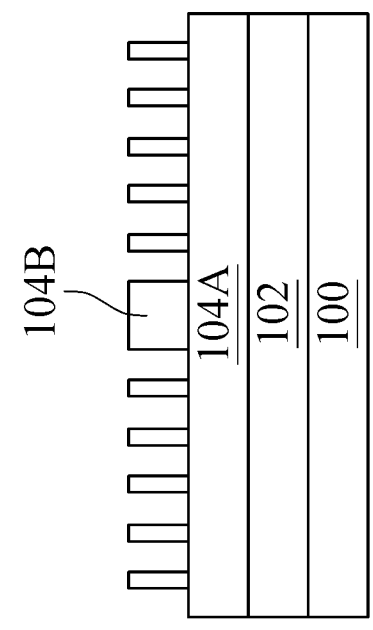
第 6A-2 圖



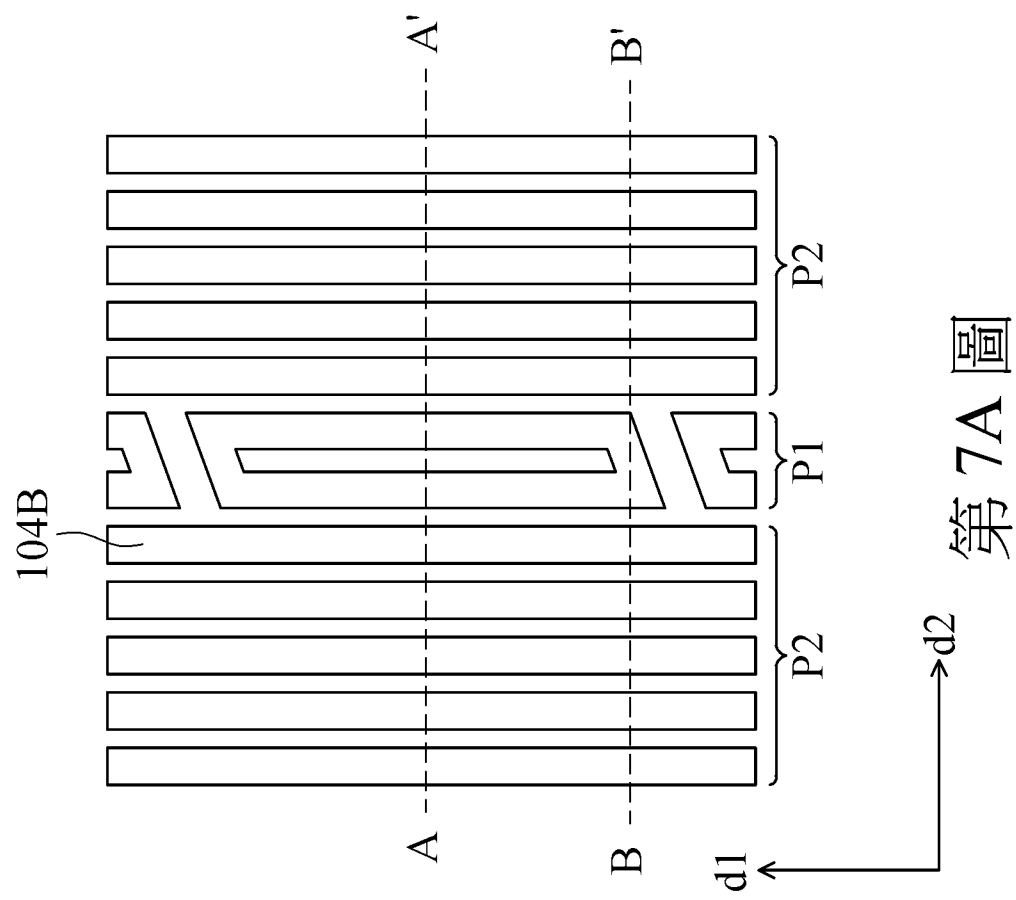
第 6A 圖



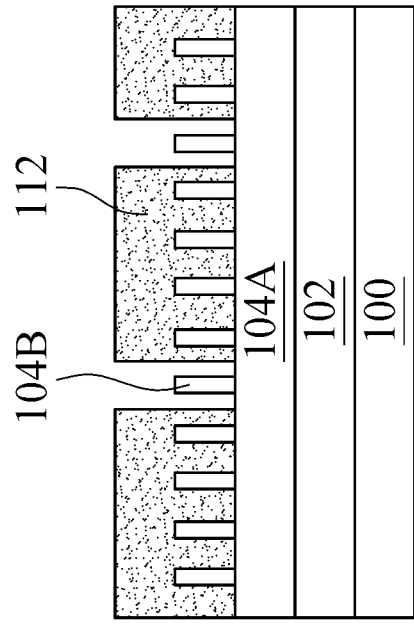
第 7A-1 圖



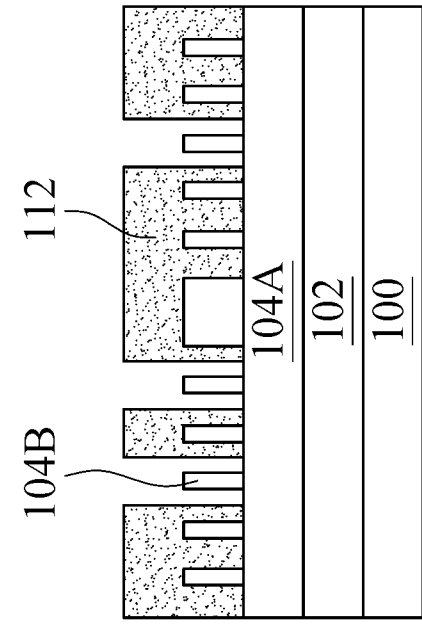
第 7A-2 圖



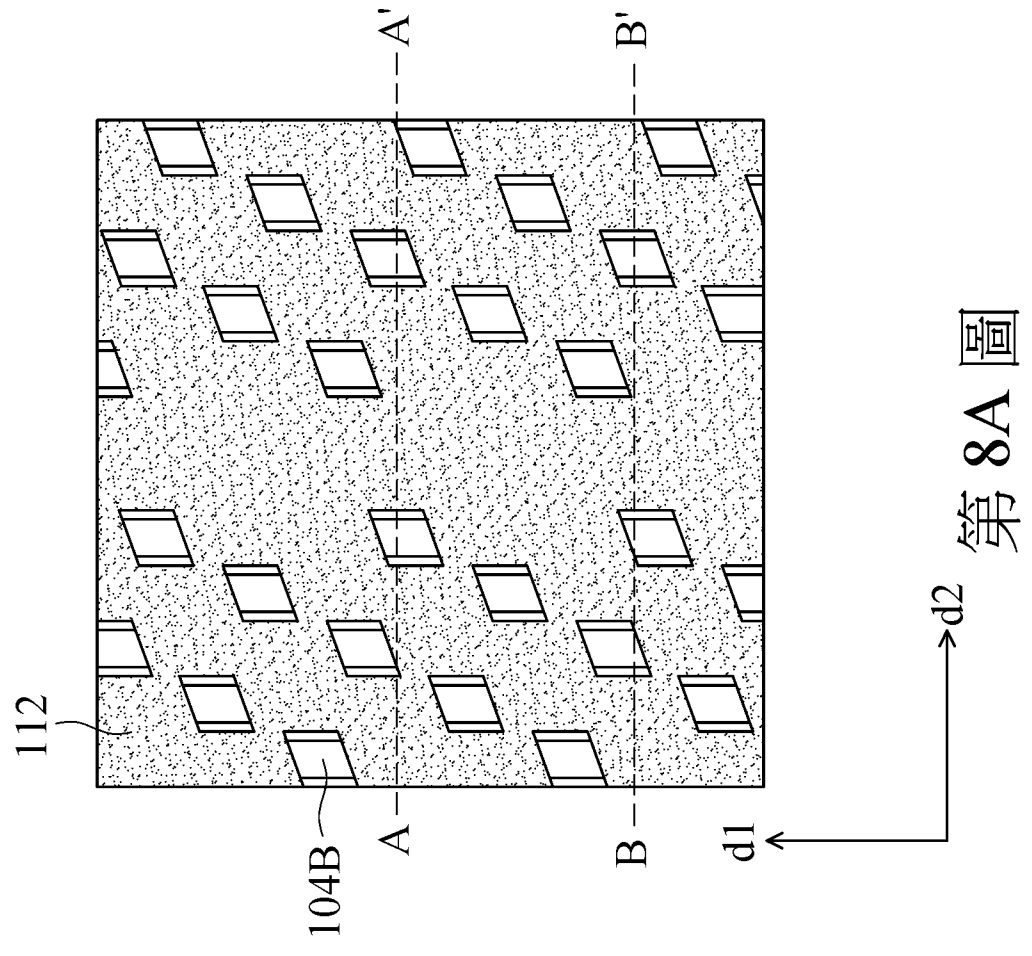
第 7A 圖



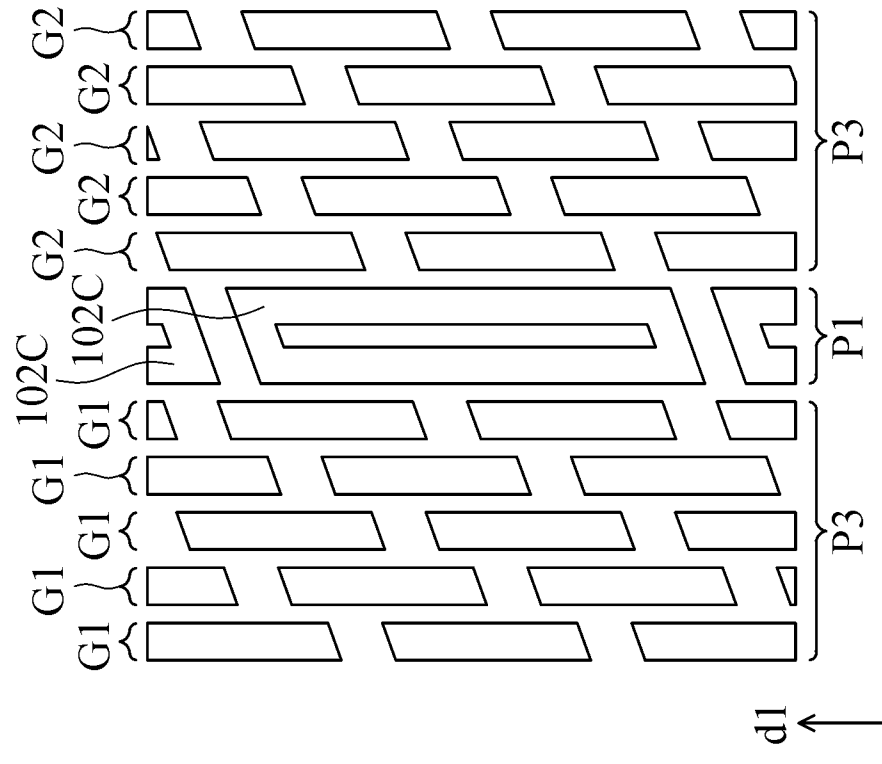
第 8A-1 圖



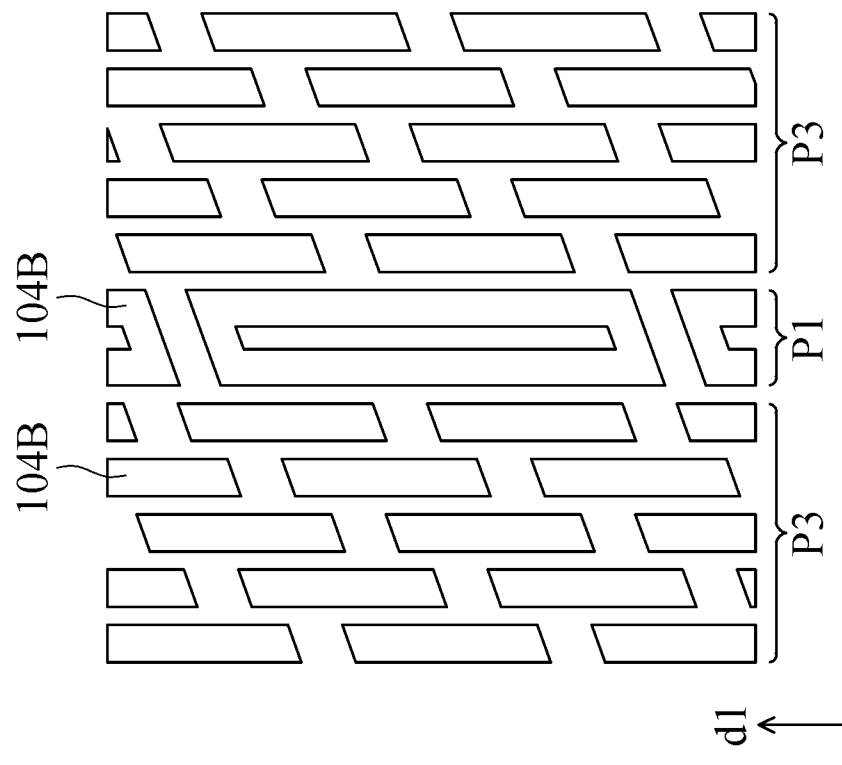
第 8A-2 圖



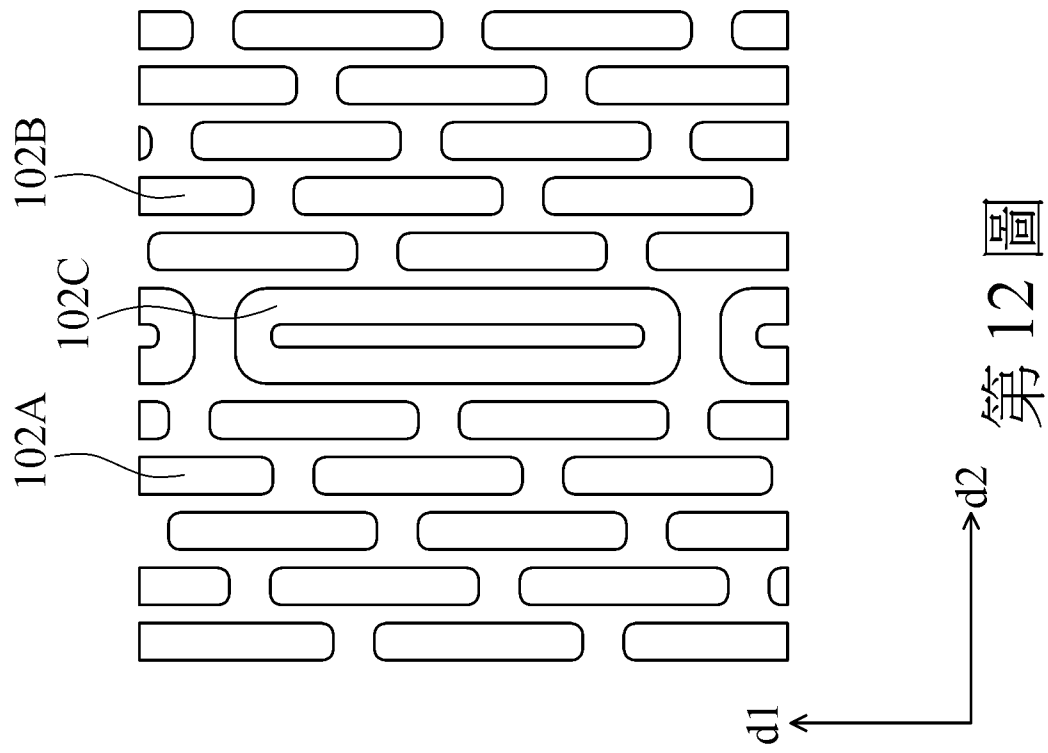
第 8A 圖



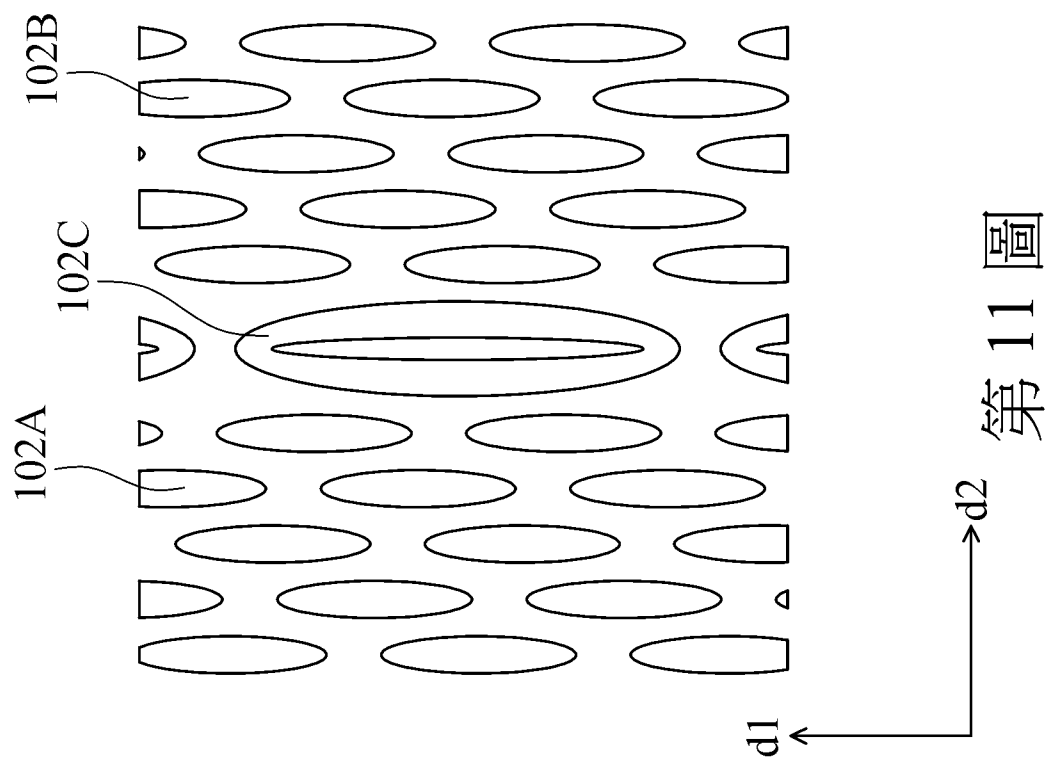
第 10 圖



第 9 圖



第 12 圖



第 11 圖