

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5933897号
(P5933897)

(45) 発行日 平成28年6月15日(2016.6.15)

(24) 登録日 平成28年5月13日(2016.5.13)

(51) Int.Cl.			F I		
G 1 1 C	11/405	(2006.01)	G 1 1 C	11/34	3 5 2 B
H O 1 L	21/8242	(2006.01)	H O 1 L	27/10	3 2 1
H O 1 L	27/108	(2006.01)	H O 1 L	29/78	6 1 3 B
H O 1 L	29/786	(2006.01)	H O 1 L	29/78	6 1 8 B

請求項の数 3 (全 33 頁)

(21) 出願番号 特願2012-53954 (P2012-53954)
 (22) 出願日 平成24年3月12日(2012.3.12)
 (65) 公開番号 特開2012-212499 (P2012-212499A)
 (43) 公開日 平成24年11月1日(2012.11.1)
 審査請求日 平成26年12月16日(2014.12.16)
 (31) 優先権主張番号 特願2011-60175 (P2011-60175)
 (32) 優先日 平成23年3月18日(2011.3.18)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 松林 大介
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1乃至第3のメモリセルと、第1及び第2のデータ線と、第1及び第2の行選択線と、第1及び第2の列選択線と、第1及び第2の読み出し線と、を有し、

前記第1のメモリセルと前記第2のメモリセルは同じ行に設けられ、

前記第1のメモリセルと前記第3のメモリセルは同じ列に設けられ、

前記第1乃至第3のメモリセルは、それぞれ、

ソースと、ドレインと、第1のゲートと、第2のゲートと、を有する第1のトランジスタと、

ソースと、ドレインと、第1のゲートと、第2のゲートと、を有する第2のトランジスタと、を有し、

前記第1のデータ線は、前記第1のメモリセルの前記第1のトランジスタの前記ソースまたは前記ドレインの一方及び前記第1のメモリセルの前記第2のトランジスタの前記ソースまたはドレインの一方と電気的に接続され、

前記第1のデータ線は、前記第3のメモリセルの前記第1のトランジスタの前記ソースまたはドレインの一方及び前記第3のメモリセルの前記第2のトランジスタの前記ソースまたはドレインの一方と電気的に接続され、

前記第2のデータ線は、前記第2のメモリセルの前記第1のトランジスタの前記ソースまたはドレインの一方及び前記第2のメモリセルの前記第2のトランジスタの前記ソースまたはドレインの一方と電気的に接続され、

10

20

前記第 1 の行選択線は、前記第 1 のメモリセルの前記第 1 のトランジスタの前記第 1 のゲート及び前記第 2 のメモリセルの前記第 1 のトランジスタの前記第 1 のゲートと電氣的に接続され、

前記第 2 の行選択線は、前記第 3 のメモリセルの前記第 1 のトランジスタの前記第 1 のゲートと電氣的に接続され、

前記第 1 の列選択線は、前記第 1 のメモリセルの前記第 1 のトランジスタの前記第 2 のゲート及び前記第 3 のメモリセルの前記第 1 のトランジスタの前記第 2 のゲートと電氣的に接続され、

前記第 2 の列選択線は、前記第 2 のメモリセルの前記第 1 のトランジスタの前記第 2 のゲートと電氣的に接続され、

前記第 1 の読み出し線は、前記第 1 のメモリセルの前記第 2 のトランジスタの前記ソースまたはドレインの他方及び前記第 2 のメモリセルの前記第 2 のトランジスタの前記ソースまたはドレインの他方に電氣的に接続され、

前記第 2 の読み出し線は、前記第 3 のメモリセルの前記第 2 のトランジスタの前記ソースまたはドレインの他方と電氣的に接続され、

前記第 2 のトランジスタの前記第 1 のゲートが前記第 2 のトランジスタの前記ソースまたはドレインの一方に電氣的に接続され、

前記第 2 のトランジスタの前記第 2 のゲートが前記第 1 のトランジスタの前記ソースまたはドレインの他方に電氣的に接続されることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタは、酸化物半導体層を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 において、

前記第 2 のトランジスタは、前記第 1 のトランジスタの上に積層して設けられることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、記憶装置に関する。

【背景技術】

【0002】

近年、データの書き換えが可能な様々な記憶装置の開発が進められている。

【0003】

上記記憶装置としては、例えば各メモリセルに選択トランジスタを備える記憶装置などが挙げられる（例えば特許文献 1）。

【0004】

上記選択トランジスタを備えるメモリセルを具備する記憶装置では、選択トランジスタをオン状態にすることにより、メモリセルの選択動作を行い、選択したメモリセルにおいて、例えばデータの書き込みなどの動作を行う。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 7 - 176184 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上記に示す従来の記憶装置では、各行のメモリセル毎に選択動作が行われるため、メモリセル毎に選択動作を行うことができなかった。

【0007】

10

20

30

40

50

例えば、あるメモリセルにおいてデータの書き込み動作を行う場合であっても、同じ行のメモリセルも選択されることにより、該同じ行の全てのメモリセルのデータが変化してしまい、データの再書き込みを行う必要があった。このため、データの書き込み時間も長かった。

【0008】

本発明の一態様では、メモリセル毎に選択動作を行うことを課題の一つとする。

【課題を解決するための手段】

【0009】

本発明の一態様では、第1のメモリセルと、第1のメモリセルと同じ行に設けられた第2のメモリセルと、を少なくとも設ける。

10

【0010】

さらに、各メモリセルにおける選択トランジスタとして機能するトランジスタとして、ソース、ドレイン、及び2つのゲートを有するトランジスタを用い、ソース及びドレインの一方にはデータ信号を入力し、2つのゲートの一方の電圧を行方向にメモリセルを選択する信号である行選択信号により制御し、2つのゲートの他方の電圧を列方向にメモリセルを選択する信号である列選択信号により制御する。つまり、各メモリセルにおける選択トランジスタとして機能するトランジスタを、行方向にメモリセルを選択する行選択信号と列方向にメモリセルを選択する列選択信号とを用いて選択する。

【0011】

さらに、同じ行に設けられた第1のメモリセル及び第2のメモリセルのそれぞれには、同じ行選択信号を入力し、且つ異なる列選択信号を入力する。

20

【0012】

また、本発明の一態様では、出力トランジスタとして機能するトランジスタを設ける。出力トランジスタとして機能するトランジスタとしては、ソース、ドレイン、2つのゲートを有するトランジスタを用い、2つのゲートの一方を出力トランジスタとして機能するトランジスタのソース及びドレインの一方に電氣的に接続させることによりダイオード接続の状態にし、2つのゲートの他方を上記選択トランジスタとして機能するトランジスタのソース及びドレインの他方に電氣的に接続させる。上記出力トランジスタとして機能するトランジスタを用いることにより、出力トランジスタのリーク電流による、データ線となる配線における電圧の変動の抑制を図る。

30

【0013】

また、本発明の一態様では、選択トランジスタとして機能するトランジスタの上に出カトランジスタとして機能するトランジスタを備えることにより、さらに回路面積の縮小を図る。

【発明の効果】

【0014】

本発明の一態様により、メモリセル毎に選択動作を行うことができる。

【図面の簡単な説明】

【0015】

【図1】記憶装置の例を説明するための図。

40

【図2】記憶装置の例を説明するための図。

【図3】記憶装置の例を説明するための図。

【図4】記憶装置の構造例を説明するための図。

【図5】記憶装置の作製方法例を説明するための断面模式図。

【図6】記憶装置の作製方法例を説明するための断面模式図。

【図7】記憶装置の作製方法例を説明するための断面模式図。

【図8】記憶装置の作製方法例を説明するための断面模式図。

【図9】記憶装置の作製方法例を説明するための断面模式図。

【図10】記憶装置の作製方法例を説明するための断面模式図。

【図11】記憶装置の作製方法例を説明するための断面模式図。

50

【図12】記憶装置の作製方法例を説明するための断面模式図。

【図13】記憶装置の作製方法例を説明するための断面模式図。

【図14】記憶装置の作製方法例を説明するための断面模式図。

【図15】記憶装置の構成例を説明するための図。

【図16】記憶装置の例を説明するための図。

【図17】電子機器の例を説明するための図。

【発明を実施するための形態】

【0016】

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。なお、本発明の趣旨及びその範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、本発明は、以下に示す実施の形態の記載内容に限定されない。

10

【0017】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに置き換えることができる。

【0018】

また、第1、第2などの序数は、構成要素の混同を避けるために付しており、各構成要素の数は、序数の数に限定されない。

【0019】

(実施の形態1)

20

本実施の形態では、メモリセル毎の選択動作が可能な記憶装置の例について説明する。

【0020】

本実施の形態における記憶装置の例は、行列方向に配列された3つ以上の複数のメモリセルを具備する。上記メモリセルは、例えばメモリセルアレイに設けられる。

【0021】

さらに、本実施の形態の記憶装置の例について図1を用いて説明する。

【0022】

まず、本実施の形態の記憶装置の構成例について、図1(A)を用いて説明する。

【0023】

図1(A)に示す記憶装置は、メモリセル100(a, b)(a, bは自然数)と、メモリセル100(a, c)(cはaより大きい自然数)と、メモリセル100(d, b)(dはbより大きい自然数)と、メモリセル100(d, c)と、を具備する。なお、必ずしもメモリセル100(d, c)を設けなくてもよい。また、メモリセル100(a, b)、メモリセル100(a, c)、メモリセル100(d, b)、及びメモリセル100(d, c)以外にメモリセルを設けてもよい。また、メモリセル100(a, b)、メモリセル100(a, c)、メモリセル100(d, b)、及びメモリセル100(d, c)のそれぞれの間の一つ又は複数にメモリセルを設けてもよい。このとき、そのメモリセルは、メモリセル100(a, b)、メモリセル100(a, c)、メモリセル100(d, b)、及びメモリセル100(d, c)と同じ構成又は異なる構成であってもよい。

30

【0024】

メモリセル100(a, c)は、メモリセル100(a, b)と同じ行に設けられる。

40

【0025】

メモリセル100(d, b)は、メモリセル100(a, b)と同じ列に設けられる。

【0026】

メモリセル100(d, c)は、メモリセル100(a, b)と異なる行且つ異なる列に設けられ、メモリセル100(d, b)と同じ行に設けられ、メモリセル100(a, c)と同じ列に設けられる。

【0027】

さらに、4つのメモリセル100のそれぞれ(メモリセル100(a, b)、メモリセル100(a, c)、メモリセル100(d, b)、及びメモリセル100(d, c)のそ

50

れぞれ)は、トランジスタ111と、データ保持回路112と、を備える。なお、図1(A)において、同じメモリセル100に設けられたトランジスタ111及びデータ保持回路112を、メモリセル100と同じ行列番号を記して表している。例えば、メモリセル100(a,b)に設けられたトランジスタ111をトランジスタ111(a,b)と記し、メモリセル100(a,b)に設けられたデータ保持回路112をデータ保持回路112(a,b)と記す。

【0028】

また、一般的に電圧とは、ある二点間における電位の差(電位差ともいう)のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト(V)で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位(基準電位ともいう)との電位差を、該一点の電圧として用いる場合がある。

10

【0029】

トランジスタ111は、ソース、ドレイン、第1のゲート、及び第2のゲートを有するトランジスタである。

【0030】

メモリセル100(a,b)では、トランジスタ111の第1のゲートに第1の行選択信号が入力され、トランジスタ111の第2のゲートに第1の列選択信号が入力される。

【0031】

メモリセル100(a,c)では、トランジスタ111の第1のゲートに第1の行選択信号が入力され、トランジスタ111の第2のゲートに第2の列選択信号が入力される。

20

【0032】

メモリセル100(d,b)では、トランジスタ111の第1のゲートに第2の行選択信号が入力され、トランジスタ111の第2のゲートに第1の列選択信号が入力される。

【0033】

メモリセル100(d,c)では、トランジスタ111の第1のゲートに第2の行選択信号が入力され、トランジスタ111の第2のゲートに第2の列選択信号が入力される。

【0034】

なお、行選択信号は、行方向にメモリセルを選択するパルス信号であり、列選択信号は、列方向にメモリセルを選択するパルス信号である。

30

【0035】

トランジスタ111は、オン状態又はオフ状態になることにより、メモリセル100における少なくともデータの書き込み及びデータの保持を制御する機能を有し、選択トランジスタとして機能する。

【0036】

トランジスタ111としては、例えば電界効果トランジスタを用いることができる。トランジスタ111としては、例えばチャネルが形成される酸化物半導体層を含むトランジスタ、又はチャネルが形成され、元素周期表における第14族の半導体(シリコンなど)を含有する半導体層を含むトランジスタなどを用いることができる。このとき、第1のゲート及び第2のゲートの間には、上記半導体層が設けられる。また、このとき、上記半導体層を介して第2のゲートを第1のゲートと重畳させることにより記憶装置の回路面積を小さくすることもできる。

40

【0037】

例えば、上記酸化物半導体層は、シリコンよりバンドギャップが高く、2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。また、上記酸化物半導体層は、真性(I型ともいう)、又は実質的に真性である半導体層である。

【0038】

また、上記酸化物半導体層としては、例えば、非単結晶であって、ab面に垂直な方向から見て、三角形、六角形、正三角形、又は正六角形の原子配列を有し、且つ、c軸方向(層の厚さ方向ともいう)に垂直な方向に金属原子が層状に配列した相、又はc軸方向に垂

50

直な方向に金属原子と酸素原子が層状に配列した相 (C A A C : c a x i s a l i g n e d c r y s t a l と 同 じ) を 含 む 酸 化 物 の 層 を 用 いる こと も 可 能 だ 。 C A A C と する 酸 化 物 半 導 体 層 を ト ラ ン ジ ス タ の チ ャ ン ネ ル が 形 成 さ れ る 層 (チ ャ ン ネ ル 形 成 層 と 同 じ) と して 用 いる こと に よ り 、 例 え ば 光 に よ る ト ラ ン ジ ス タ の 劣 化 を 抑 制 す る こと が 可 能 だ 。

【 0 0 3 9 】

ま た 、 ト ラ ン ジ ス タ 1 1 1 と して は 、 上 記 酸 化 物 半 導 体 層 に 、 互 い に 離 間 し 、 一 導 電 型 を 付 与 す る ド ー パ ン ト が 添 加 さ れ た 一 対 の 領 域 を 有 す る ト ラ ン ジ ス タ を 用 いる こと も 可 能 だ 。 ド ー パ ン ト が 添 加 さ れ た 一 対 の 領 域 を 有 す る 酸 化 物 半 導 体 層 を 含 む ト ラ ン ジ ス タ は 、 ド ー パ ン ト が 添 加 さ れ た 一 対 の 領 域 の 間 に チ ャ ン ネ ル が 形 成 さ れ る 。 ド ー パ ン ト が 添 加 さ れ た 一 対 の 領 域 の 抵 抗 値 は 、 チ ャ ン ネ ル が 形 成 さ れ る 領 域 (チ ャ ン ネ ル 形 成 領 域 と 同 じ) よ り 低 い こと が 好 ま し い 。 ド ー パ ン ト が 添 加 さ れ た 一 対 の 領 域 を 有 す る 酸 化 物 半 導 体 層 を 含 む ト ラ ン ジ ス タ を 用 いる こと に よ り 、 チ ャ ン ネ ル が 形 成 さ れ る 領 域 (チ ャ ン ネ ル 形 成 領 域 と 同 じ) と 、 ト ラ ン ジ ス タ の ソ ー ス 又 は ド レ イ ン と の 抵 抗 を 小 さ く す る こと が 可 能 だ ため 、 ト ラ ン ジ ス タ の 面 積 を 小 さ く す る こと (微 細 化 と 同 じ) が 可 能 だ 。

10

【 0 0 4 0 】

例 え ば 、 上 記 酸 化 物 半 導 体 層 を 含 む ト ラ ン ジ ス タ は 、 従 来 の シ リ コ ン な ど の 半 導 体 層 を 用 いた ト ラ ン ジ ス タ よ り オ フ 電 流 の 低 い ト ラ ン ジ ス タ で あ る 。 上 記 酸 化 物 半 導 体 層 を 含 む ト ラ ン ジ ス タ の オ フ 電 流 は 、 チ ャ ン ネ ル 幅 1 μ m あ た り 1 0 a A (1 × 1 0 ⁻¹⁷ A) 以 下 、 好 ま し く は チ ャ ン ネ ル 幅 1 μ m あ た り 1 a A (1 × 1 0 ⁻¹⁸ A) 以 下 、 さ ら に 好 ま し く は チ ャ ン ネ ル 幅 1 μ m あ た り 1 0 z A (1 × 1 0 ⁻²⁰ A) 以 下 、 さ ら に 好 ま し く は チ ャ ン ネ ル 幅 1 μ m あ た り 1 z A (1 × 1 0 ⁻²¹ A) 以 下 、 さ ら に 好 ま し く は チ ャ ン ネ ル 幅 1 μ m あ た り 1 0 0 y A (1 × 1 0 ⁻²² A) 以 下 で あ る 。

20

【 0 0 4 1 】

ま た 、 図 1 (A) に 示 す 記 憶 装 置 は 、 デ ー タ 線 1 0 1 と 、 行 選 択 線 1 0 2 と 、 列 選 択 線 1 0 3 と 、 を 具 備 す る 。 な お 、 図 1 (A) に お い て 、 デ ー タ 線 1 0 1 の そ れ ぞ れ を 、 電 気 的 に 接 続 さ れ る メ モ リ セ ル 1 0 0 と 同 じ 列 番 号 を 記 し て 表 し て い る 。 例 え ば 、 メ モ リ セ ル 1 0 0 (a , b) に 電 気 的 に 接 続 さ れ た デ ー タ 線 1 0 1 を デ ー タ 線 1 0 1 __ b と 記 し て 表 す 。 な お 、 図 1 (A) に お い て 、 行 選 択 線 1 0 2 の そ れ ぞ れ を 、 電 気 的 に 接 続 さ れ る メ モ リ セ ル 1 0 0 と 同 じ 行 番 号 を 記 し て 表 し 、 列 選 択 線 1 0 3 の そ れ ぞ れ を 、 電 気 的 に 接 続 さ れ る メ モ リ セ ル 1 0 0 と 同 じ 列 番 号 を 記 し て 表 し て い る 。 例 え ば 、 メ モ リ セ ル 1 0 0 (a , b) に 電 気 的 に 接 続 さ れ た 列 選 択 線 1 0 3 を 列 選 択 線 1 0 3 __ b と 記 し て 表 す 。

30

【 0 0 4 2 】

デ ー タ 線 1 0 1 __ b は 、 メ モ リ セ ル 1 0 0 (a , b) 及 び メ モ リ セ ル 1 0 0 (d , b) に お け る ト ラ ン ジ ス タ 1 1 1 の ソ ー ス 及 び ド レ イ ン の 一 方 の そ れ ぞ れ に 電 気 的 に 接 続 さ れ 、 デ ー タ 線 1 0 1 __ c は 、 メ モ リ セ ル 1 0 0 (a , c) 及 び メ モ リ セ ル 1 0 0 (d , c) に お け る ト ラ ン ジ ス タ 1 1 1 の ソ ー ス 及 び ド レ イ ン の 一 方 の そ れ ぞ れ に 電 気 的 に 接 続 さ れ る 。 デ ー タ 線 は 、 メ モ リ セ ル と の デ ー タ の や り と り を 行 う た め の 配 線 で あ る 。

【 0 0 4 3 】

行 選 択 線 1 0 2 __ a は 、 メ モ リ セ ル 1 0 0 (a , b) 及 び メ モ リ セ ル 1 0 0 (a , c) に お け る ト ラ ン ジ ス タ 1 1 1 の 第 1 の ゲ ー ト の そ れ ぞ れ に 電 気 的 に 接 続 さ れ 、 行 選 択 線 1 0 2 __ d は 、 メ モ リ セ ル 1 0 0 (d , b) 及 び メ モ リ セ ル 1 0 0 (d , c) に お け る ト ラ ン ジ ス タ 1 1 1 の 第 1 の ゲ ー ト の そ れ ぞ れ に 電 気 的 に 接 続 さ れ る 。 行 選 択 線 は 、 行 選 択 信 号 が 入 力 さ れ る 配 線 で あ る 。

40

【 0 0 4 4 】

列 選 択 線 1 0 3 __ b は 、 メ モ リ セ ル 1 0 0 (a , b) 及 び メ モ リ セ ル 1 0 0 (d , b) に お け る ト ラ ン ジ ス タ 1 1 1 の 第 2 の ゲ ー ト の そ れ ぞ れ に 電 気 的 に 接 続 さ れ 、 列 選 択 線 1 0 3 __ c は 、 メ モ リ セ ル 1 0 0 (a , c) 及 び メ モ リ セ ル 1 0 0 (d , c) に お け る ト ラ ン ジ ス タ 1 1 1 の 第 2 の ゲ ー ト の そ れ ぞ れ に 電 気 的 に 接 続 さ れ る 。 列 選 択 線 は 、 列 選 択 信 号 が 入 力 さ れ る 配 線 で あ る 。

50

【 0 0 4 5 】

なお、トランジスタの端子と配線は別々に形成される必要はなく、一つの導電層をトランジスタの端子及び配線として機能させてもよい。

【 0 0 4 6 】

データ保持回路 1 1 2 は、データを保持する機能を有する回路である。なお、必ずしもデータ保持回路 1 1 2 を設けなくてもよく、トランジスタ 1 1 1 のソース及びドレインの他方を記憶ノードとして機能させる、又はトランジスタ 1 1 1 のソース及びドレインの他方が記憶ノードに電氣的に接続していればよい。

【 0 0 4 7 】

データ保持回路 1 1 2 としては、例えば容量素子を用いた回路、トランジスタを用いた回路、並びに容量素子及びトランジスタを用いた回路などを用いることができる。

10

【 0 0 4 8 】

次に、本実施の形態における記憶装置の駆動方法例として、図 1 (A) に示す記憶装置の駆動方法例について、図 1 (B) を用いて説明する。図 1 (B) は、図 1 (A) に示す記憶装置の駆動方法例を説明するためのタイミングチャートである。ここでは、一例として、メモリセル 1 0 0 (a , b)、メモリセル 1 0 0 (a , c)、メモリセル 1 0 0 (d , b)、及びメモリセル 1 0 0 (d , c) のうち、M 行 N 列目 (M は a 又は d、N は b 又は c) のメモリセル 1 0 0 (メモリセル 1 0 0 (M , N) ともいう) にデータを書き込む場合について説明する。また、トランジスタ 1 1 1 は、N チャンネル型トランジスタとする。また、トランジスタ 1 1 1 の閾値電圧は、列選択線 1 0 3 の電圧 (列選択信号の電圧) に

20

【 0 0 4 9 】

メモリセル 1 0 0 (M , N) にデータを書き込む場合 (W r i t i n g ともいう)、N 本目のデータ線 1 0 1 (データ線 1 0 1 __ N ともいう) の電圧を、データ信号に応じた電圧にし、N 本目のデータ線 1 0 1 以外のデータ線 1 0 1 (データ線 1 0 1 __ o t h e r ともいう) の電圧を、基準電位 V r e f と同等の値にする (図示せず)。また、M 本目の行選択線 1 0 2 (行選択線 1 0 2 __ M ともいう) の電圧を、第 M の行選択信号により基準電位 V r e f より高い電圧 V H にし、M 本目以外の行選択線 1 0 2 (行選択線 1 0 2 __ o t h e r ともいう) の電圧を、第 M 以外の行選択信号により基準電位 V r e f と同等の値にし、N 本目の列選択線 1 0 3 (列選択線 1 0 3 __ N ともいう) の電圧を、第 N の列選択信号により基準電位 V r e f と同等の値にし、N 本目以外の列選択線 1 0 3 (列選択線 1 0 3 __ o t h e r ともいう) の電圧を、第 N 以外の列選択信号により基準電位 V r e f より低い電圧 V L にする。なお、全ての行選択線 1 0 2 の電圧の設定より先に全ての列選択線 1 0 3 の電圧の設定を行う。また、記憶装置の仕様に応じて基準電位 V r e f の値を設定する。また、選択されないメモリセル 1 0 0 においてトランジスタ 1 1 1 が確実にオフ状態になるように電圧 V L の値を適宜設定する。例えば、負電圧生成回路を用いて電圧 V L を生成することもできる。

30

【 0 0 5 0 】

このとき、トランジスタ 1 1 1 の閾値電圧は、列選択線 1 0 3 の電圧 (列選択信号の電圧) に応じた値に設定される。例えば、トランジスタ 1 1 1 が N チャンネル型トランジスタの場合、列選択線 1 0 3 の電圧を低くしていくと、トランジスタ 1 1 1 の閾値電圧は、正の方向にシフトする。よって、M 行 N 列目のメモリセル 1 0 0 が選択され、M 行 N 列目のメモリセル 1 0 0 におけるトランジスタ 1 1 1 (トランジスタ 1 1 1 (M , N) ともいう) がオン状態になり、N 本目のデータ線 1 0 1 (データ線 1 0 1 __ N ともいう) の電圧に応じて M 行 N 列目のメモリセル 1 0 0 にデータが書き込まれ、また、M 行 N 列目以外のメモリセル 1 0 0 は選択されず、トランジスタ 1 1 1 がオフ状態になる。

40

【 0 0 5 1 】

さらに、データ線 1 0 1 のそれぞれ、行選択線 1 0 2 のそれぞれ、及び列選択線 1 0 3 のそれぞれの電圧を適宜変化させてメモリセル 1 0 0 毎に上記動作を行うことにより、全てのメモリセル 1 0 0 にデータを書き込むことができる。なお、これに限定されず、例えば

50

各行のメモリセル100毎など、複数のメモリセル100毎にデータの書き込みを行ってもよい。

【0052】

以上が図1(A)に示す記憶装置の駆動方法例の説明である。

【0053】

図1を用いて説明したように、本実施の形態における記憶装置の一例では、第1のメモリセルと、第1のメモリセルと同じ行に設けられた第2のメモリセルと、第1のメモリセルと同じ列に設けられた第3のメモリセルと、を具備する。

【0054】

さらに、本実施の形態における記憶装置の一例では、第1のメモリセル乃至第3のメモリセルのそれぞれが2つのゲートを有し、選択トランジスタとして機能する電界効果トランジスタを備える。同じ行に設けられた第1のメモリセル及び第2のメモリセルにおいて、電界効果トランジスタの2つのゲートの一方の電圧を同じ行選択信号により制御し、2つのゲートの他方の電圧を異なる列選択信号により制御する。また、同じ列に設けられた第1のメモリセル及び第3のメモリセルにおいて、電界効果トランジスタの2つのゲートの一方の電圧を異なる行選択信号により制御し、2つのゲートの他方の電圧を同じ列選択信号により制御する。また、このとき、第1のゲート及び第2のゲートの間にチャンネルが形成される半導体層を設け、該半導体層を介して第2のゲートを第1のゲートと重畳させることにより記憶装置の回路面積を小さくすることができる。

【0055】

また、本実施の形態における記憶装置の一例では、同じ行に設けられた第1のメモリセル及び第2のメモリセルにおいて、電界効果トランジスタの2つのゲートの一方を同じ配線に接続させることにより制御し、2つのゲートの他方を異なる配線に接続させることにより制御する。また、同じ列に設けられた第1のメモリセル及び第3のメモリセルにおいて、電界効果トランジスタの2つのゲートの一方を異なる配線に接続させることにより制御し、2つのゲートの他方を同じ配線に接続させることにより制御する。

【0056】

上記構成にすることにより、メモリセル毎に選択動作を行うことができる。例えば、メモリセルにおける電界効果トランジスタがオン状態のときに同じ行のメモリセルにおける電界効果トランジスタをオフ状態にすることができる。よって、データの再書き込みを行う必要がなくなるため、書き込み時間を短くすることもできる。また、2つのゲートを有するトランジスタを用いることにより、メモリセルにおける素子の数を増やすことなく、メモリセル毎に選択動作を行うことができる。

【0057】

(実施の形態2)

本実施の形態では、実施の形態1に示す記憶装置の例について説明する。

【0058】

本実施の形態の記憶装置の例について図2を用いて説明する。

【0059】

まず、本実施の形態の記憶装置の構成例について、図2(A)を用いて説明する。

【0060】

図2(A)に示す記憶装置は、メモリセル200(a, b)と、メモリセル200(a, c)と、メモリセル200(d, b)と、メモリセル200(d, c)と、を具備する。なお、必ずしもメモリセル200(d, c)を設けなくてもよい。また、メモリセル200(a, b)、メモリセル200(a, c)、メモリセル200(d, b)、及びメモリセル200(d, c)以外にメモリセルを設けてもよい。また、メモリセル200(a, b)、メモリセル200(a, c)、メモリセル200(d, b)、及びメモリセル200(d, c)のそれぞれの間の一つ又は複数にメモリセルを設けてもよい。このとき、そのメモリセルは、メモリセル200(a, b)、メモリセル200(a, c)、メモリセル200(d, b)、及びメモリセル200(d, c)と同じ構成又は異なる構成であっ

10

20

30

40

50

てもよい。

【0061】

メモリセル200(a, c)は、メモリセル200(a, b)と同じ行に設けられる。

【0062】

メモリセル200(d, b)は、メモリセル200(a, b)と同じ列に設けられる。

【0063】

メモリセル200(d, c)は、メモリセル200(a, b)と異なる行且つ異なる列に設けられ、メモリセル200(d, b)と同じ行に設けられ、メモリセル200(a, c)と同じ列に設けられる。

【0064】

さらに、メモリセル200(a, b)、メモリセル200(a, c)、メモリセル200(d, b)、及びメモリセル200(d, c)のそれぞれは、トランジスタ211と、トランジスタ212と、を備える。なお、図2(A)において、同じメモリセル200に設けられたトランジスタ211及びトランジスタ212を、メモリセル200と同じ行列番号を記して表している。

【0065】

トランジスタ211は、第1のソース、第1のドレイン、第1のゲート、及び第2のゲートを有する。

【0066】

メモリセル200(a, b)では、トランジスタ211の第1のゲートに第1の行選択信号が入力され、トランジスタ211の第2のゲートに第1の列選択信号が入力される。

【0067】

メモリセル200(a, c)では、トランジスタ211の第1のゲートに第1の行選択信号が入力され、トランジスタ211の第2のゲートに第2の列選択信号が入力される。

【0068】

メモリセル200(d, b)では、トランジスタ211の第1のゲートに第2の行選択信号が入力され、トランジスタ211の第2のゲートに第1の列選択信号が入力される。

【0069】

メモリセル200(d, c)では、トランジスタ211の第1のゲートに第2の行選択信号が入力され、トランジスタ211の第2のゲートに第2の列選択信号が入力される。

【0070】

トランジスタ211は、選択トランジスタとして機能する。

【0071】

トランジスタ211としては、図1(A)におけるトランジスタ111に適用可能なトランジスタを用いることができる。

【0072】

トランジスタ212は、第2のソース、第2のドレイン、第3のゲート、及び第4のゲートを有する。

【0073】

トランジスタ212の第3のゲートは、トランジスタ212の第2のソース及び第2のドレインの一方に電氣的に接続され、トランジスタ212はダイオード接続となる。

【0074】

さらに、メモリセル200(a, b)では、トランジスタ212の第2のソース及び第2のドレインの他方に第1の読み出し選択信号が入力される。

【0075】

また、メモリセル200(a, c)では、トランジスタ212の第2のソース及び第2のドレインの他方に第1の読み出し選択信号が入力される。

【0076】

また、メモリセル200(d, b)では、トランジスタ212の第2のソース及び第2のドレインの他方に第2の読み出し選択信号が入力される。

10

20

30

40

50

【 0 0 7 7 】

また、メモリセル 2 0 0 (d , c) では、トランジスタ 2 1 2 の第 2 のソース及び第 2 のドレインの他方に第 2 の読み出し選択信号が入力される。

【 0 0 7 8 】

なお、読み出し選択信号は、データを読み出すメモリセルを選択するパルス信号である。

【 0 0 7 9 】

トランジスタ 2 1 2 は、データを読み出すための出力トランジスタとして機能する。トランジスタ 2 1 2 は、実施の形態 1 の記憶装置におけるデータ保持回路に相当する。

【 0 0 8 0 】

トランジスタ 2 1 2 としては、図 1 (A) におけるトランジスタ 1 1 1 に適用可能なトランジスタを用いることができる。また、トランジスタ 2 1 2 の構造を、トランジスタ 2 1 1 の構造と異なる構造にしてもよい。

10

【 0 0 8 1 】

また、図 2 (A) に示す記憶装置は、データ線 2 0 1 と、行選択線 2 0 2 と、列選択線 2 0 3 と、読み出し選択線 2 0 4 と、を具備する。なお、図 2 (A) において、行選択線 2 0 2 のそれぞれ及び読み出し選択線 2 0 4 のそれぞれを、電氣的に接続されるメモリセル 2 0 0 と同じ行番号を記して表し、データ線 2 0 1 のそれぞれ及び列選択線 2 0 3 のそれぞれを、電氣的に接続されるメモリセル 2 0 0 と同じ列番号を記して表している。

【 0 0 8 2 】

データ線 2 0 1 __ b は、メモリセル 2 0 0 (a , b) 及びメモリセル 2 0 0 (d , b) におけるトランジスタ 2 1 1 の第 1 のソース及び第 1 のドレインの一方のそれぞれ、並びにメモリセル 2 0 0 (a , b) 及びメモリセル 2 0 0 (d , b) におけるトランジスタ 2 1 2 の第 2 のソース及び第 2 のドレインの一方のそれぞれに電氣的に接続され、データ線 2 0 1 __ c は、メモリセル 2 0 0 (a , c) 及びメモリセル 2 0 0 (d , c) におけるトランジスタ 2 1 1 の第 1 のソース及び第 1 のドレインの一方のそれぞれ、並びにメモリセル 2 0 0 (a , c) 及び 2 0 0 (d , c) におけるトランジスタ 2 1 2 の第 2 のソース及び第 2 のドレインの一方のそれぞれに電氣的に接続される。また、トランジスタ 2 1 2 の第 4 のゲートは、トランジスタ 2 1 1 の第 1 のソース及び第 1 のドレインの他方に電氣的に接続される。トランジスタ 2 1 2 の第 4 のゲートの電圧は、メモリセルに記憶されるデータの状態を設定する電圧となる。

20

30

【 0 0 8 3 】

行選択線 2 0 2 __ a は、メモリセル 2 0 0 (a , b) 及びメモリセル 2 0 0 (a , c) におけるトランジスタ 2 1 1 の第 1 のゲートのそれぞれに電氣的に接続され、行選択線 2 0 2 __ d は、メモリセル 2 0 0 (d , b) 及びメモリセル 2 0 0 (d , c) におけるトランジスタ 2 1 1 の第 1 のゲートのそれぞれに電氣的に接続される。

【 0 0 8 4 】

列選択線 2 0 3 __ b は、メモリセル 2 0 0 (a , b) 及びメモリセル 2 0 0 (d , b) におけるトランジスタ 2 1 1 の第 2 のゲートのそれぞれに電氣的に接続され、列選択線 2 0 3 __ c は、メモリセル 2 0 0 (a , c) 及びメモリセル 2 0 0 (d , c) におけるトランジスタ 2 1 1 の第 2 のゲートのそれぞれに電氣的に接続される。

40

【 0 0 8 5 】

読み出し選択線 2 0 4 __ a は、メモリセル 2 0 0 (a , b) 及びメモリセル 2 0 0 (a , c) におけるトランジスタ 2 1 2 の第 2 のソース及び第 2 のドレインの他方のそれぞれに電氣的に接続され、読み出し選択線 2 0 4 __ d は、メモリセル 2 0 0 (d , b) 及びメモリセル 2 0 0 (d , c) におけるトランジスタ 2 1 2 の第 2 のソース及び第 2 のドレインの他方のそれぞれに電氣的に接続される。読み出し選択線 2 0 4 は、データを読み出すメモリセルを選択する読み出し選択信号が入力される配線である。

【 0 0 8 6 】

なお、トランジスタの端子と配線は別々に形成される必要はなく、一つの導電層をトランジスタの端子及び配線として機能させてもよい。

50

【 0 0 8 7 】

また、トランジスタ 2 1 1 及びトランジスタ 2 1 2 を積層構造にすることもできる。例えば、トランジスタ 2 1 2 の上にトランジスタ 2 1 1 を設けてもよい。トランジスタ 2 1 1 及びトランジスタ 2 1 2 を積層構造にすることにより、メモリセルの回路面積を小さくすることができる。

【 0 0 8 8 】

また、本実施の形態における記憶装置では、メモリセルの駆動を制御する駆動回路の上にメモリセルを設けてもよい。これにより記憶装置の回路面積を小さくすることができる。

【 0 0 8 9 】

次に、本実施の形態における記憶装置の駆動方法例として、図 2 (A) に示す記憶装置の駆動方法例について、図 2 (B) を用いて説明する。図 2 (B) は、図 2 (A) に示す記憶装置の駆動方法例を説明するためのタイミングチャートである。ここでは、一例として、メモリセル 2 0 0 (a , b)、メモリセル 2 0 0 (a , c)、メモリセル 2 0 0 (d , b)、及びメモリセル 2 0 0 (d , c) のうち、M 行 N 列目のメモリセル 2 0 0 (メモリセル 2 0 0 (M , N) ともいう) にデータを書き込む場合の動作と、メモリセル 2 0 0 (M , N) に記憶されたデータを読み出す場合の動作について説明する。また、トランジスタ 2 1 1 及びトランジスタ 2 1 2 は、N チャンネル型トランジスタとする。また、基準電位より大きい電圧 V D D をデータ (1) とし、基準電位 V r e f と同等の値の電圧をデータ (0) とする。また、列選択線 2 0 3 の電圧 (列選択信号の電圧) の値に応じてトランジスタ 2 1 1 の閾値電圧がシフトする。

【 0 0 9 0 】

メモリセル 2 0 0 (M , N) にデータを書き込む場合 (W r i t i n g)、N 本目のデータ線 2 0 1 (データ線 2 0 1 _ _ N ともいう) の電圧を、データ信号に応じた電圧にし、N 本目のデータ線 2 0 1 以外のデータ線 2 0 1 (データ線 2 0 1 _ _ o t h e r ともいう) の電圧を、基準電位 V r e f と同等の値にする (図示せず)。また、M 本目の行選択線 2 0 2 (行選択線 2 0 2 _ _ M ともいう) の電圧を、第 M の行選択信号により基準電位 V r e f より高い電圧 V H にし、M 本目以外の行選択線 2 0 2 (行選択線 2 0 2 _ _ o t h e r ともいう) の電圧を、第 M 以外の行選択信号により基準電位 V r e f と同等の値にする。また、N 本目の列選択線 2 0 3 (列選択線 2 0 3 _ _ N ともいう) の電圧を、第 N の列選択信号により基準電位 V r e f と同等の値にし、N 本目以外の列選択線 2 0 3 (列選択線 2 0 3 _ _ o t h e r ともいう) の電圧を、第 N 以外の列選択信号により基準電位 V r e f より低い電圧 V L にする。なお、全ての行選択線 2 0 2 の電圧の設定より先に全ての列選択線 2 0 3 の電圧の設定を行う。また、M 本目の読み出し選択線 2 0 4 (読み出し選択線 2 0 4 _ _ M ともいう) の電圧を電圧 V H にし、M 本目以外の読み出し選択線 2 0 4 (読み出し選択線 2 0 4 _ _ o t h e r ともいう) の電圧を電圧 V H にしてもよい。これにより、トランジスタ 2 1 2 を確実にオフ状態にすることができるため、トランジスタ 2 1 2 のソース及びドレインの間に流れるリーク電流を抑制することができる。

【 0 0 9 1 】

このとき、トランジスタ 2 1 1 の閾値電圧は、列選択線 2 0 3 の電圧 (列選択信号の電圧) に応じた値に設定される。よって、メモリセル 2 0 0 (M , N) が選択され、メモリセル 2 0 0 (M , N) におけるトランジスタ 2 1 1 (トランジスタ 2 1 1 (M , N)) がオン状態になり、メモリセル 2 0 0 (M , N) におけるトランジスタ 2 1 2 (M , N) の第 4 のゲートの電圧が N 本目のデータ線 2 0 1 (データ線 2 0 1 _ _ N ともいう) の電圧に応じた値に設定され、メモリセル 2 0 0 (M , N) にデータが書き込まれる。また、メモリセル 2 0 0 (M , N) 以外のメモリセルは選択されず、トランジスタ 2 1 1 がオフ状態になる。なお、トランジスタ 2 1 1 が確実にオフ状態になるように電圧 V L の値を適宜設定する。

【 0 0 9 2 】

さらに、データ線 2 0 1 のそれぞれ、行選択線 2 0 2 のそれぞれ、列選択線 2 0 3 のそれぞれ、及び読み出し選択線 2 0 4 のそれぞれの電圧を適宜変化させてメモリセル 2 0 0 毎

10

20

30

40

50

に上記動作を行うことにより、全てのメモリセル200にデータを書き込むことができる。なお、これに限定されず、例えば各行のメモリセル200毎など、複数のメモリセル200毎にデータの書き込みを行ってもよい。

【0093】

また、メモリセル200(M, N)のデータを読み出す場合(Readingともいう)、N本目のデータ線201(データ線201__N)の電圧を、電圧V_Hにし、N本目のデータ線201以外のデータ線201(データ線201__other)の電圧を、基準電位V_{ref}と同等の値にする(図示せず)。また、M本目の行選択線202(行選択線202__M)の電圧を、第Mの行選択信号により基準電位V_{ref}と同等の値にし、M本目以外の行選択線202(行選択線202__other)の電圧を、第M以外の行選択信号により基準電位V_{ref}と同等の値にする。また、N本目の列選択線203(列選択線203__N)の電圧を、第Nの列選択信号により基準電位V_{ref}と同等の値にし、N本目以外の列選択線203(列選択線203__other)の電圧を、第N以外の列選択信号により基準電位V_{ref}と同等の値にする。また、M本目の読み出し選択線204(読み出し選択線204__Mともいう)の電圧を基準電位V_{ref}より大きく、電圧V_Hより小さい電圧V_Mにし、M本目以外の読み出し選択線204(読み出し選択線204__other)の電圧を電圧V_Hにする。なお、電圧V_Mの値は、トランジスタ212の第4のゲートの電圧が基準電位V_{ref}と同等の値のときにトランジスタ211がオフ状態になるように適宜設定される。

10

【0094】

このとき、M行N列目のメモリセル200におけるトランジスタ211がオフ状態になる。

20

【0095】

また、トランジスタ212の閾値電圧は、トランジスタ212の第4のゲートの電圧に応じて設定される。例えば、トランジスタ212がNチャネル型トランジスタの場合、トランジスタ212の第4のゲートの電圧が電圧V_{DD}であるときには、トランジスタ212の第4のゲートの電圧が基準電位V_{ref}と同等の値であるときに比べ、トランジスタ212の閾値電圧が負の方向にシフトする。

【0096】

よって、読み出し選択線204__Mの電圧が電圧V_Mのときにトランジスタ212(M, N)の第4のゲートの電圧が電圧V_{DD}(データ(1))であれば、トランジスタ212(M, N)がオン状態になり、データ線201__Nの電圧が変化する。また、このときトランジスタ212(M, N)がダイオード接続されているため、読み出し選択線204__Mからデータ線201__Nへの方向に電流は流れない。

30

【0097】

また、読み出し選択線204__Mの電圧が電圧V_Mのときにトランジスタ212(M, N)の第4のゲートの電圧が基準電位V_{ref}と同等の値(データ(0))であれば、トランジスタ212(M, N)がオフ状態になり、データ線201__Nの電圧は変化しない。

【0098】

よって、例えばデータ線201__Nの電圧を外部の読み出し回路で検知することにより、メモリセル200(M, N)のデータを読み出すことができる。

40

【0099】

さらに、データ線201のそれぞれ、行選択線202のそれぞれ、列選択線203のそれぞれ、及び読み出し選択線204のそれぞれの電圧を適宜変化させて各行のメモリセル200毎に上記動作を行うことにより、全てのメモリセル200のデータを読み出すことができる。このとき、同じ列の複数のメモリセル200のデータを順に読み出す場合には、あるメモリセル200のデータを読み出した後、あるメモリセル200と同じ列の別のメモリセルのデータを読み出す前に、メモリセル200と同じ列にあり、メモリセル200以外のメモリセルに電氣的に接続されるデータ線201の電圧を電圧V_Hにする。

【0100】

50

以上が図2(A)に示す記憶装置の駆動方法例の説明である。

【0101】

なお、本実施の形態の記憶装置において、例えば図2(A)に示す構成に加えて図3に示すように各メモリセル200に容量素子213を設けてもよい。

【0102】

容量素子213は、第1の容量電極及び第2の容量電極を有し、容量素子213の第1の容量電極は、トランジスタ211の第1のソース及び第1のドレインの他方に電氣的に接続される。また、容量素子213の第2の容量電極は、接地される。また、容量素子213の第2の容量電極に所定の信号が入力されてもよい。

【0103】

図2及び図3を用いて説明したように、本実施の形態における記憶装置の一例では、第1のメモリセルと、第1のメモリセルと同じ行に設けられた第2のメモリセルと、第1のメモリセルと同じ列に設けられた第3のメモリセルと、を具備する。

【0104】

さらに、本実施の形態における記憶装置の一例では、第1のメモリセル乃至第3のメモリセルのそれぞれが、第1のソース、第1のドレイン、第1のゲート、及び第2のゲートを有する第1の電界効果トランジスタを備える。同じ行且つ異なる列に設けられた第1のメモリセル及び第2のメモリセルにおいて、第1の電界効果トランジスタの第1のゲートの電圧を同じ行選択信号により制御し、第2のゲートの電圧を異なる列選択信号により制御する。また、同じ列に設けられた第1のメモリセル及び第3のメモリセルにおいて、第1の電界効果トランジスタの第1のゲートの電圧を異なる行選択信号により制御し、第2のゲートの電圧を同じ列選択信号により制御する。

【0105】

また、本実施の形態における記憶装置の一例では、同じ行に設けられた第1のメモリセル及び第2のメモリセルにおいて、第1の電界効果トランジスタの第1のゲートを同じ配線に接続させることにより制御し、第2のゲートを異なる配線に接続させることにより制御する。また、同じ列に設けられた第1のメモリセル及び第3のメモリセルにおいて、第1の電界効果トランジスタの第1のゲートを異なる配線に接続させることにより制御し、第2のゲートを同じ配線に接続させることにより制御する。

【0106】

上記構成にすることにより、メモリセル毎に選択動作を行うことができる。例えば、メモリセルにおける電界効果トランジスタがオン状態のときに同じ行のメモリセルにおける電界効果トランジスタをオフ状態にすることができる。よって、データの再書き込みを行う必要がなくなるため、書き込み時間を短くすることもできる。

【0107】

また、本実施の形態における記憶装置の一例では、第1のメモリセル乃至第3のメモリセルのそれぞれが、第2のソース、第2のドレイン、第3のゲート、及び第4のゲートを有する第2の電界効果トランジスタを備え、第2の電界効果トランジスタの第3のゲートを第2のソース及び第2のドレインの一方に電氣的に接続させ、第4のゲートを第1の電界効果トランジスタの第1のソース又は第1のドレインに電氣的に接続させることにより、第2の電界効果トランジスタがオフ状態のときに第2のソース及び第2のドレインの間に流れるリーク電流を抑制することができるため、データ線となる配線における電圧の変動を抑制することができ、記憶装置の信頼性を向上させることができる。

【0108】

(実施の形態3)

本実施の形態では、上記実施の形態2の記憶装置におけるメモリセルの構造例について、図4を用いて説明する。図4は、本実施の形態におけるメモリセルの構造例を示す図である。なお、ここでは、一例として、図2に示すメモリセルの構造例について説明する。なお、図4では、実際の寸法と異なる構成要素を含む。

【0109】

図4に示すメモリセルは、導電層751と、絶縁層752と、半導体層753と、導電層754aと、導電層754bと、絶縁層755と、導電層756と、導電層757と、導電層758と、絶縁層760と、半導体層761と、導電層762aと、導電層762bと、絶縁層763と、導電層764と、導電層765と、絶縁層766と、導電層767と、を含む。

【0110】

導電層751は、基板750の上に設けられる。導電層751は、メモリセルにおける選択トランジスタとして機能するトランジスタにおける、2つのゲートの一つ(列選択信号が入力されるゲート)としての機能を有する。また、導電層751が列選択線としての機能を有していてもよい。なお、トランジスタのゲートとしての機能を有する層をゲート電極又はゲート配線ともいう。

10

【0111】

導電層751としては、例えばモリブデン、マグネシウム、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層751に適用可能な材料の積層により、導電層751を構成することもできる。

【0112】

基板750としては、例えばガラス基板又はプラスチック基板などを用いることができる。

【0113】

絶縁層752は、導電層751の上に設けられる。絶縁層752は、メモリセルにおける選択トランジスタとして機能するトランジスタのゲート絶縁層としての機能を有する。

20

【0114】

絶縁層752としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、有機絶縁材料(例えばポリイミド又はアクリルなど)などの材料の層を用いることができる。また、絶縁層752に適用可能な材料の積層により絶縁層752を構成してもよい。

【0115】

半導体層753は、絶縁層752を介して導電層751に重畳する。

30

【0116】

半導体層753としては、例えば酸化物半導体層、又は元素周期表における第14族の半導体(シリコンなど)を含有する半導体層などを用いることができる。

【0117】

酸化物半導体層として適用可能な酸化物半導体としては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などを用いることができる。

【0118】

四元系金属酸化物としては、例えばIn-Sn-Ga-Zn-O系金属酸化物などを用いることができる。

【0119】

三元系金属酸化物としては、例えばIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、又はSn-Al-Zn-O系金属酸化物などを用いることができる。

40

【0120】

二元系金属酸化物としては、例えばIn-Zn-O系金属酸化物、Sn-Zn-O系金属酸化物、Al-Zn-O系金属酸化物、Zn-Mg-O系金属酸化物、Sn-Mg-O系金属酸化物、In-Mg-O系金属酸化物、In-Sn-O系金属酸化物、又はIn-Ga-O系金属酸化物などを用いることができる。

【0121】

50

また、酸化物半導体としては、例えばIn-O系金属酸化物、Sn-O系金属酸化物、又はZn-O系金属酸化物などを用いることもできる。また、上記酸化物半導体として適用可能な金属酸化物は、酸化シリコンを含んでいてもよい。

【0122】

In-Zn-O系金属酸化物を用いる場合、例えばIn:Zn=50:1乃至In:Zn=1:2(モル数比に換算するとIn₂O₃:ZnO=25:1乃至In₂O₃:ZnO=1:4)、好ましくはIn:Zn=20:1乃至In:Zn=1:1(モル数比に換算するとIn₂O₃:ZnO=10:1乃至In₂O₃:ZnO=1:2)、さらに好ましくはIn:Zn=15:1乃至In:Zn=1.5:1(モル数比に換算するとIn₂O₃:ZnO=15:2乃至In₂O₃:ZnO=3:4)の組成比である酸化物ターゲットを用いてIn-Zn-O系金属酸化物の半導体層を形成することができる。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=S:U:Rのとき、R>1.5S+Uとする。Inの量を多くすることにより、トランジスタの移動度を向上させることができる。

10

【0123】

また、酸化物半導体としては、InLO₃(ZnO)_m(mは0より大きい数)で表記される材料を用いることもできる。InLO₃(ZnO)_mのLは、Ga、Al、Mn、及びCoから選ばれた一つ又は複数の金属元素を示す。

【0124】

また、半導体層753の少なくともチャンネルが形成される領域は、結晶性を有し、非単結晶であって、ab面に垂直な方向から見て、三角形、六角形、正三角形、又は正六角形の原子配列を有し、且つ、c軸方向に垂直な方向に金属原子が層状に配列した相、又はc軸方向に垂直な方向に金属原子と酸素原子が層状に配列した相を有してもよい。

20

【0125】

導電層754aは、半導体層753に電氣的に接続される。導電層754aは、メモリセルにおける選択トランジスタとして機能するトランジスタのソース又はドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する導電層をソース電極又はソース配線ともいう。また、トランジスタのドレインとしての機能を有する導電層をドレイン電極又はドレイン配線ともいう。

【0126】

導電層754bは、半導体層753に電氣的に接続される。導電層754bは、メモリセルにおける選択トランジスタとして機能するトランジスタのソース又はドレインとしての機能を有する。

30

【0127】

導電層754a及び導電層754bとしては、例えばアルミニウム、マグネシウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。合金材料の層としては、例えばCu-Mg-Al合金材料の層を用いることができる。

【0128】

また、導電層754a及び導電層754bとしては、導電性の金属酸化物を含む層を用いることもできる。なお、導電層754a及び導電層754bに適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

40

【0129】

また、導電層754a及び導電層754bに適用可能な材料の積層により、導電層754a及び導電層754bを構成することもできる。例えば、Cu-Mg-Al合金材料の層の上に銅の層が設けられた積層により、導電層754a及び導電層754bを構成することにより、導電層754a及び導電層754bに接する他の層との密着性を高めることができる。

【0130】

絶縁層755は、半導体層753、導電層754a、及び導電層754bの上に設けられ

50

る。絶縁層 755 は、メモリセルにおける選択トランジスタとして機能するトランジスタのゲート絶縁層としての機能を有する。

【0131】

絶縁層 755 としては、例えば絶縁層 752 に適用可能な材料の層のうち、絶縁層 752 に適用する材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、絶縁層 755 に適用可能な材料の積層により絶縁層 755 を構成してもよい。

【0132】

導電層 756 は、絶縁層 755 を介して半導体層 753 に重畳する。導電層 756 は、メモリセルにおける選択トランジスタとして機能するトランジスタの 2 つのゲートの一つ（行選択信号が入力されるゲート）としての機能を有する。また、導電層 756 が行選択線としての機能を有していてもよい。

10

【0133】

導電層 756 としては、例えば導電層 751 に適用可能な材料の層のうち、導電層 751 に適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、導電層 756 に適用可能な材料の積層により導電層 756 を構成してもよい。

【0134】

導電層 757 は、絶縁層 755 に設けられた第 1 の開口部を介して導電層 754 a に電氣的に接続される。導電層 757 は、出力トランジスタとして機能するトランジスタの 2 つのゲートの一つ（選択トランジスタとして機能するトランジスタの 2 つのゲートの一つに電氣的に接続されるゲート）としての機能を有する。なお、導電層 757 は導電層 756 より厚いことが好ましい。導電層 757 を導電層 756 より厚くすることにより、導電層 756 と他の導電層により生じる寄生容量を小さくすることができる。

20

【0135】

導電層 757 としては、例えば導電層 751 に適用可能な材料の層のうち、導電層 751 に適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、導電層 757 に適用可能な材料の積層により導電層 757 を構成してもよい。

【0136】

導電層 758 は、絶縁層 755 に設けられた第 2 の開口部を介して導電層 754 b に電氣的に接続される。導電層 758 は、電極又は配線としての機能を有する。なお、導電層 758 は、導電層 757 より厚い。なお、必ずしも導電層 758 を設けなくてもよい。

30

【0137】

導電層 758 としては、例えば導電層 751 に適用可能な材料の層のうち、導電層 751 に適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、導電層 758 に適用可能な材料の積層により導電層 758 を構成してもよい。

【0138】

絶縁層 760 は、絶縁層 755、導電層 756、及び導電層 757 の上に設けられる。絶縁層 760 は、平坦化層、及びメモリセルにおける出力トランジスタとして機能するトランジスタのゲート絶縁層としての機能を有する。

【0139】

絶縁層 760 としては、絶縁層 752 に適用可能な材料の層を用いることができる。また、絶縁層 760 に適用可能な材料の積層により絶縁層 760 を構成してもよい。

40

【0140】

半導体層 761 は、絶縁層 760 を介して導電層 757 に重畳する。

【0141】

半導体層 761 としては、例えば半導体層 753 に適用可能な材料の層のうち、半導体層 753 に適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。

【0142】

導電層 762 a は、半導体層 761 に電氣的に接続される。導電層 762 a は、メモリセルにおける出力トランジスタとして機能するトランジスタのソース又はドレインとしての機能を有する。

50

【0143】

導電層762bは、半導体層761及び導電層754bに電氣的に接続される。導電層762bは、メモリセルにおける出力トランジスタとして機能するトランジスタのソース又はドレインとしての機能を有する。

【0144】

導電層762a及び導電層762bとしては、例えば導電層754a及び導電層754bに適用可能な材料の層のうち、導電層754a及び導電層754bに適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、導電層762a及び導電層762bに適用可能な材料の積層により導電層762a及び導電層762bを構成してもよい。

10

【0145】

絶縁層763は、半導体層761、導電層762a、及び導電層762bの上に設けられる。絶縁層763は、メモリセルにおける出力トランジスタとして機能するトランジスタのゲート絶縁層としての機能を有する。

【0146】

絶縁層763としては、例えば絶縁層752に適用可能な材料の層のうち、絶縁層752に適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、絶縁層763に適用可能な材料の積層により絶縁層763を構成してもよい。

【0147】

導電層764は、絶縁層763を介して半導体層761に重畳し、絶縁層763に設けられた開口部を介して導電層762bに電氣的に接続される。導電層764は、メモリセルにおける出力トランジスタとして機能するトランジスタの2つのゲートの一つ(出力トランジスタとして機能するトランジスタのソース及びドレインの一方に電氣的に接続されるゲート)としての機能を有する。

20

【0148】

導電層764としては、例えば導電層751に適用可能な材料の層のうち、導電層751に適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、導電層764に適用可能な材料の積層により導電層764を構成してもよい。

【0149】

導電層765は、絶縁層763に設けられた開口部を介して導電層762bに電氣的に接続される。導電層765は、電極又は配線としての機能を有する。

30

【0150】

導電層765としては、例えば導電層751に適用可能な材料の層のうち、導電層751に適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、導電層765に適用可能な材料の積層により導電層765を構成してもよい。

【0151】

絶縁層766は、導電層762b、絶縁層763、及び導電層764の上に設けられる。

【0152】

絶縁層766としては、絶縁層752に適用可能な材料の層のうち、絶縁層752に適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、絶縁層766に適用可能な材料の積層により絶縁層766を構成してもよい。

40

【0153】

導電層767は、導電層765に電氣的に接続される。導電層767は、データのやりとりを行う配線としての機能を有する。

【0154】

導電層767としては、例えば導電層754a及び導電層754bに適用可能な材料の層のうち、導電層754a及び導電層754bに適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、導電層767に適用可能な材料の積層により導電層767を構成してもよい。

【0155】

50

また、メモリセルの駆動を制御する駆動回路の上にメモリセルを構成することもできる。上記駆動回路の上に設けられたメモリセルの構造例について図5に示す。なお、図5において図4と同一の構成要素である部分では、図4に示すメモリセルの構造例の説明を適宜援用することができる。

【0156】

図5に示すメモリセルは、図4に示す基板750の代わりに駆動回路を構成する電界効果トランジスタが設けられた半導体層780の上に設けられる。

【0157】

さらに、半導体層780は、領域782a、領域782b、領域783a、及び領域783bを有する。

【0158】

半導体層780としては、例えば半導体基板を用いることができる。また、別の基板の上に設けられた半導体層を半導体層780として用いることもできる。

【0159】

なお、半導体層780において、複数のメモリセルの間の領域に絶縁分離領域を設けてもよい。

【0160】

領域782a及び領域782bは、互いに離間して設けられ、N型又はP型の導電型を付与するドーパントが添加された領域である。領域782a及び領域782bは、メモリセルにおける出力トランジスタとして機能するトランジスタのソース領域又はドレイン領域としての機能を有する。

【0161】

領域783a及び領域783bは、領域782a及び領域782bの間に、互いに離間して設けられ、領域783a及び領域783bの間の領域がチャンネル形成領域となる。領域783aは、領域782aに接し、領域783bは、領域782bに接する。

【0162】

領域783a及び領域783bは、領域782a及び領域782bと同じく、N型又はP型の導電型を付与するドーパントが添加された領域である。

【0163】

なお、領域783a及び領域783bのドーパントの濃度が、領域782a及び領域782bのドーパントの濃度より低くてもよい。このとき、領域783a及び領域783bを低濃度領域ともいう。また、このとき領域782a及び領域782bを高濃度領域と呼んでもよい。また、領域783a及び領域783bの深さは、領域782a及び領域782bの深さより小さくてもよいが、これに限定されない。

【0164】

絶縁層784は、半導体層780の上に設けられる。絶縁層784は、駆動回路を構成するトランジスタのゲート絶縁層としての機能を有する。

【0165】

絶縁層784としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、有機絶縁材料（例えばポリイミド又はアクリルなど）などの材料の層を用いることができる。また、絶縁層784に適用可能な材料の積層により絶縁層784を構成してもよい。

【0166】

導電層785は、絶縁層784を介して半導体層780に重畳する。導電層785に重畳する半導体層780の領域が駆動回路を構成するトランジスタのチャンネル形成領域になる。導電層785は、駆動回路を構成するトランジスタのゲートとしての機能を有する。

【0167】

導電層785としては、例えば導電層751に適用可能な材料の層のうち、導電層751に適用した材料の層と同じ材料の層又は異なる材料の層を用いることができる。また、導

10

20

30

40

50

電層 785 に適用可能な材料の積層により導電層 785 を構成することもできる。

【0168】

絶縁層 786 a は、絶縁層 784 の上に設けられ、導電層 785 における、互いに対向する一対の側面の一方に接する。

【0169】

絶縁層 786 b は、絶縁層 784 の上に設けられ、導電層 785 における、互いに対向する上記一対の側面の他方に接する。

【0170】

絶縁層 787 a は、絶縁層 786 a の上に設けられる。

【0171】

絶縁層 787 b は、絶縁層 786 b の上に設けられる。

【0172】

絶縁層 788 は、絶縁層 784、導電層 785、絶縁層 786 a、絶縁層 786 b、絶縁層 787 a、及び絶縁層 787 b の上に設けられる。

【0173】

絶縁層 786 a、絶縁層 786 b、絶縁層 787 a、絶縁層 787 b、及び絶縁層 788 としては、絶縁層 784 に適用可能な材料のうち、絶縁層 784 に適用した材料と同じ材料の層又は異なる材料の層を用いることができる。また、絶縁層 786 a、絶縁層 786 b、絶縁層 787 a、絶縁層 787 b、及び絶縁層 788 に適用可能な材料の積層により、絶縁層 786 a、絶縁層 786 b、絶縁層 787 a、絶縁層 787 b、及び絶縁層 788 を構成することもできる。

【0174】

なお、駆動回路を構成するトランジスタの構造は上記に限定されない。

【0175】

図 5 に示すように、駆動回路の上にメモリセルを設けることにより、回路面積の増大を抑制することができる。

【0176】

さらに、本実施の形態におけるメモリセルの作製方法例として、図 4 に示すメモリセルの作製方法例について、図 6 乃至図 14 を用いて説明する。

【0177】

まず、図 6 (A) に示すように、基板 750 の上に第 1 の導電膜を形成し、第 1 の導電膜の一部をエッチングすることにより導電層 751 を形成する。

【0178】

例えば、スパッタリング法などを用いることにより導電層 751 に適用可能な材料の膜を形成することにより第 1 の導電膜を形成することができる。

【0179】

また、例えばフォトリソグラフィ工程により層又は膜の一部の上にレジストマスクを形成し、レジストマスクを用いることにより層又は膜の一部をエッチングすることができる。なお、この場合、特に指定する場合を除き、エッチング処理後にレジストマスクを除去する。

【0180】

次に、図 6 (B) に示すように、導電層 751 の上に絶縁層 752 を形成する。

【0181】

例えば、スパッタリング法又は CVD 法などを用いて絶縁層 752 に適用可能な材料の膜を形成することにより絶縁層 752 を形成することができる。

【0182】

次に、図 6 (C) に示すように、絶縁層 752 の上に半導体膜を形成し、該半導体膜の一部をエッチングすることにより半導体層 753 を形成する。

【0183】

例えば、スパッタリング法を用いて半導体層 753 に適用可能な酸化物半導体材料の膜を

10

20

30

40

50

形成することにより酸化物半導体膜を形成することができる。なお、希ガス雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で酸化物半導体膜を形成してもよい。例えば、酸素のみの雰囲気下で酸化物半導体膜を形成することにより、結晶性の高い酸化物半導体膜を形成することができる。

【0184】

また、スパッタリングターゲットとして、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の組成比である酸化物ターゲットを用いて酸化物半導体膜を形成することができる。また、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の組成比である酸化物ターゲットを用いて酸化物半導体膜を形成してもよい。

【0185】

また、作製される酸化物ターゲットのうち、全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合（相対密度ともいう）は、90%以上100%以下、さらには95%以上99.9%以下であることが好ましい。相対密度の高い金属酸化物ターゲットを用いることにより形成した酸化物半導体膜は、緻密な膜となる。

【0186】

また、スパッタリング法を用いて酸化物半導体膜を形成する際に、基板750を減圧状態にし、基板750を100 以上600 以下、好ましくは200 以上400 以下に加熱してもよい。基板750を加熱することにより、酸化物半導体膜の不純物濃度を低減することができる。また、スパッタリング法による酸化物半導体膜の損傷を軽減することができる。

【0187】

次に、図7(A)に示すように、絶縁層752及び半導体層753の上に第2の導電膜を形成し、第2の導電膜の一部をエッチングすることにより、導電層754a及び導電層754bを形成する。

【0188】

例えば、スパッタリング法などを用いて導電層754a及び導電層754bに適用可能な材料の膜を形成することにより第2の導電膜を形成することができる。また、導電層754a及び導電層754bに適用可能な材料の膜を積層させることにより第2の導電膜を形成することもできる。

【0189】

次に、図7(B)に示すように、絶縁層752、半導体層753、導電層754a、及び導電層754bの上に絶縁層755を形成する。

【0190】

例えば、絶縁層752と同様の方法を用いて絶縁層755を形成することができる。

【0191】

次に、図7(C)に示すように、半導体層753の上に第3の導電膜を形成し、第3の導電膜の一部をエッチングすることにより、導電層756を形成することができる。

【0192】

例えば、導電層751と同様の方法を用いて導電層756を形成することができる。

【0193】

次に、図8(A)に示すように、絶縁層755の一部をエッチングすることにより開口部771及び開口部772を形成する。

【0194】

次に、図8(B)に示すように、開口部771を介して導電層754aの上に第4の導電膜を形成し、第4の導電膜の一部をエッチングすることにより導電層757を形成する。

【0195】

例えば、導電層751と同様の方法を用いて導電層757を形成することができる。

【0196】

次に、図9(A)に示すように、開口部772を介して導電層754bの上に第5の導電膜を形成し、第5の導電膜の一部をエッチングすることにより導電層758を形成する。

10

20

30

40

50

【 0 1 9 7 】

例えば、導電層 7 5 1 と同様の方法を用いて導電層 7 5 8 を形成することができる。

【 0 1 9 8 】

なお、これに限定されず、例えば多階調マスクを用いて第 4 の導電膜の一部をエッチングすることにより同一工程で導電層 7 5 7 及び導電層 7 5 8 を形成することもできる。

【 0 1 9 9 】

次に、図 9 (B) に示すように、導電層 7 5 4 a、導電層 7 5 4 b、絶縁層 7 5 5、導電層 7 5 6、導電層 7 5 7、及び導電層 7 5 8 の上に絶縁層 7 6 0 を形成する。

【 0 2 0 0 】

例えば、スパッタリング法又は C V D 法を用いて絶縁層 7 6 0 に適用可能な材料の膜を形成することにより絶縁層 7 6 0 を形成することができる。

10

【 0 2 0 1 】

次に、図 1 0 (A) に示すように、絶縁層 7 6 0 の一部を除去し、導電層 7 5 8 の上面を露出させる。

【 0 2 0 2 】

例えば、CMP (化学的機械研磨) 処理やエッチング処理を行うことにより絶縁層 7 6 0 の一部を除去して導電層 7 5 8 の上面を露出させることができる。

【 0 2 0 3 】

次に、図 1 0 (B) に示すように絶縁層 7 6 0 を介して導電層 7 5 7 の上に半導体層 7 6 1 を形成する。

20

【 0 2 0 4 】

例えば、半導体層 7 5 3 と同様の方法を用いて半導体層 7 6 1 を形成することができる。

【 0 2 0 5 】

次に、図 1 1 (A) に示すように、絶縁層 7 6 0 及び半導体層 7 6 1 の上に第 6 の導電膜を形成し、第 6 の導電膜の一部をエッチングすることにより導電層 7 6 2 a 及び導電層 7 6 2 b を形成する。

【 0 2 0 6 】

例えば、導電層 7 5 4 a 及び導電層 7 5 4 b と同様の方法を用いて導電層 7 6 2 a 及び導電層 7 6 2 b を形成することができる。

【 0 2 0 7 】

次に、図 1 1 (B) に示すように、半導体層 7 6 1、導電層 7 6 2 a、及び導電層 7 6 2 b の上に絶縁層 7 6 3 を形成する。

30

【 0 2 0 8 】

例えば、絶縁層 7 5 2 と同様の方法を用いて絶縁層 7 6 3 を形成することができる。

【 0 2 0 9 】

次に、図 1 2 (A) に示すように、絶縁層 7 6 3 の一部をエッチングすることにより、導電層 7 6 2 b の上面を露出させる。

【 0 2 1 0 】

次に、図 1 2 (B) に示すように、絶縁層 7 6 3、及び露出した導電層 7 6 2 b の上に第 7 の導電膜を形成し、第 7 の導電膜の一部をエッチングすることにより導電層 7 6 4 を形成する。

40

【 0 2 1 1 】

例えば、導電層 7 5 6 と同様の方法を用いて導電層 7 6 4 を形成することができる。

【 0 2 1 2 】

次に、図 1 3 (A) に示すように、露出した導電層 7 6 2 b の上に第 8 の導電膜を形成し、第 8 の導電膜の一部をエッチングすることにより導電層 7 6 5 を形成する。

【 0 2 1 3 】

例えば、導電層 7 5 7 と同様の方法を用いて導電層 7 6 5 を形成することができる。

【 0 2 1 4 】

次に、図 1 3 (B) に示すように、導電層 7 6 2 b、絶縁層 7 6 3、導電層 7 6 4、及び

50

導電層 765 の上に絶縁層 766 を形成する。

【0215】

例えば、絶縁層 760 と同様の方法を用いて絶縁層 766 を形成することができる。

【0216】

次に、図 14 (A) に示すように、絶縁層 766 の一部を除去し、導電層 765 の上面を露出させる。

【0217】

例えば、CMP (化学的機械研磨) 処理やエッチング処理を行うことにより絶縁層 766 の一部を除去して導電層 765 の上面を露出させることができる。

【0218】

次に、図 14 (B) に示すように、絶縁層 766 及び導電層 765 の上に第 9 の導電膜を形成し、第 9 の導電膜の一部をエッチングすることにより導電層 767 を形成する。

【0219】

例えば、導電層 751 と同様の方法を用いて導電層 767 を形成することができる。

【0220】

また、図 4 に示す記憶装置の作製方法例では、例えば 600 以上 750 以下、又は 600 以上基板の歪み点未満の温度で加熱処理を行う。上記加熱処理を行うタイミングは、酸化半導体膜を形成した後であれば特に限定されない。また、上記加熱処理を複数回行ってよい。

【0221】

なお、上記加熱処理を行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いることができ、例えば GRTA (Gas Rapid Thermal Annealing) 装置又は LRTA (Lamp Rapid Thermal Annealing) 装置などの RTA (Rapid Thermal Annealing) 装置を用いることができる。LRTA 装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。また、GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処理物と反応しない不活性気体 (例えば窒素) を用いることができる。

【0222】

また、上記加熱処理を行った後、その加熱温度を維持しながら又はその加熱温度から降温する過程で該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エア (露点が -40 以下、好ましくは -60 以下の雰囲気) を導入してもよい。このとき、酸素ガス又は N_2O ガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又は N_2O ガスの純度を、6N 以上、好ましくは 7N 以上、すなわち、酸素ガス又は N_2O ガス中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下とすることが好ましい。酸素ガス又は N_2O ガスの作用により、半導体膜中の酸素欠乏に起因する欠陥を低減することができる。

【0223】

さらに、上記加熱処理とは別に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で加熱処理 (好ましくは 200 以上 600 以下、例えば 250 以上 350 以下) を行ってよい。

【0224】

以上の工程により、半導体層 753 及び半導体層 761 を高純度化させることができる。

【0225】

以上が図 4 に示すメモリセルの作製方法例の説明である。

【0226】

図 4 乃至図 14 を用いて説明したように、本実施の形態におけるメモリセルは、選択トランジスタとして機能する第 1 の電界効果トランジスタと、出力トランジスタとして機能す

10

20

30

40

50

る第2の電界効果トランジスタの積層構造である。

【0227】

また、本実施の形態におけるメモリセルは、第2の電界効果トランジスタの上に第1の電界効果トランジスタを有する構造である。

【0228】

上記構造にすることにより、回路面積を小さくすることができる。

【0229】

(実施の形態4)

本実施の形態では、記憶装置の構成例について説明する。

【0230】

本実施の形態の記憶装置の構成例について、図15を用いて説明する。図15は、本実施の形態における記憶装置の構成例を示すブロック図である。

【0231】

図15に示す記憶装置は、駆動制御回路(MCTLともいう)811と、駆動回路812a(IDRV812aともいう)と、駆動回路812b(JDRV812bともいう)と、複数のメモリセル(MCともいう)813と、を具備する。

【0232】

駆動制御回路811には、書き込み制御信号、読み出し制御信号、及びアドレス信号が入力される。駆動制御回路811は、入力される書き込み制御信号、読み出し制御信号、及びアドレス信号に応じて、複数の制御信号を生成して出力する機能を有する。例えば、駆動制御回路811は、入力されるアドレス信号に応じて行アドレス信号及び列アドレス信号を出力する機能を有する。

【0233】

駆動回路812aには、行アドレス信号が入力される。駆動回路812aは、入力された行アドレス信号に従って行方向に設けられた配線(例えば行選択線及び読み出し選択線を含む)を選択し、選択した配線の電圧を設定する機能を有する。駆動回路812aは、例えば第1のデコーダを備える。第1のデコーダは、入力された行アドレス信号に従って行方向に設けられた配線を選択する機能を有する。

【0234】

駆動回路812bには、データ信号及び列アドレス信号が入力される。駆動回路812bは、列方向に設けられた配線(例えば列選択線及びデータ線を含む)の電圧を設定する機能を有する。駆動回路812bは、例えば第2のデコーダ及び複数のアナログスイッチを備える。第2のデコーダは、列方向に設けられた配線を選択する機能を有し、複数のアナログスイッチは、第2のデコーダから入力される信号に応じてデータ信号を出力するか否かを制御する機能を有する。なお、駆動回路812bに読み出し回路を設けてもよい。読み出し回路は、選択した配線に電氣的に接続されたメモリセル813に記憶されたデータを読み出す機能を有する。

【0235】

メモリセル813は、メモリセルアレイ814に設けられる。メモリセル813の構成としては、上記実施の形態における記憶装置の構成を用いることができる。メモリセル813は、駆動回路812a及び駆動回路812bにより選択され、選択されたメモリセル813では、データの書き込み又はデータの読み出しが行われる。

【0236】

図15に示す記憶装置は、駆動制御回路に入力される信号に従って駆動回路によりメモリセルを選択し、書き込み動作又は読み出し動作を行う。

【0237】

さらに、本実施の形態における記憶装置の例について図16を用いて説明する。図16は、本実施の形態における記憶装置の例を示す模式図である。

【0238】

図16(A)に示す記憶装置は、USB(Universal Serial Bus)

10

20

30

40

50

メモリともいう。図 16 (A) に示す記憶装置は、筐体 901a と、コネクタ部 902a と、を備える。

【0239】

筐体 901a には、例えば図 15 に示すメモリセルアレイ、駆動回路、及び駆動制御回路が設けられる。

【0240】

コネクタ部 902a は、駆動制御回路に電氣的に接続される。コネクタ部 902a は、他の電子機器における USB ポートに接続可能な端子部である。

【0241】

図 16 (A) に示す記憶装置は、コネクタ部 902a を他の電子機器の USB ポートに挿入して記憶装置と該電子機器を電氣的に接続させることにより、例えば電子機器から記憶装置へのデータの書き込み、又は記憶装置から該電子機器へのデータの読み出しを行うことができる。

10

【0242】

図 16 (B) に示す記憶装置は、カード型の記憶装置である。図 16 (B) に示す記憶装置は、筐体 901b と、コネクタ部 902b と、を備える。

【0243】

筐体 901b には、例えば図 15 に示すメモリセルアレイ、駆動回路、及び駆動制御回路が設けられる。

【0244】

20

コネクタ部 902b は、駆動制御回路に電氣的に接続される。コネクタ部 902b は、他の電子機器におけるカードスロット部に接続可能な端子部である。

【0245】

図 16 (B) に示す記憶装置は、コネクタ部 902b を他の電子機器のカードスロット部に挿入して記憶装置と該電子機器を電氣的に接続させることにより、例えば電子機器から記憶装置へのデータの書き込み、又は記憶装置から該電子機器へのデータの読み出しを行うことができる。

【0246】

図 16 を用いて説明した記憶装置の構成を、上記実施の形態 2 に示す記憶装置の構成にすることにより、ノイズによるデータ信号への影響の少ない記憶装置を構成することができる。

30

【0247】

(実施の形態 5)

本実施の形態では、上記実施の形態における記憶装置を備えた電子機器の例について説明する。

【0248】

本実施の形態の電子機器の構成例について、図 17 (A) 乃至図 17 (D) を用いて説明する。

【0249】

図 17 (A) に示す電子機器は、携帯型情報端末の例である。図 17 (A) に示す携帯型情報端末は、筐体 1001a と、筐体 1001a に設けられた表示部 1002a と、を具備する。

40

【0250】

なお、筐体 1001a の側面 1003a に外部機器に接続させるための接続端子、図 17 (A) に示す携帯型情報端末を操作するためのボタンのうち、一つ又は複数も設けてもよい。

【0251】

図 17 (A) に示す携帯型情報端末は、筐体 1001a の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との間で信号の送受信を行うインターフェースと、外部機器との信号の送受信を行うアンテナと、を備える。

50

【 0 2 5 2 】

図 1 7 (A) に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【 0 2 5 3 】

図 1 7 (B) に示す電子機器は、折り畳み式の携帯型情報端末の例である。図 1 7 (B) に示す携帯型情報端末は、筐体 1 0 0 1 b と、筐体 1 0 0 1 b に設けられた表示部 1 0 0 2 b と、筐体 1 0 0 4 と、筐体 1 0 0 4 に設けられた表示部 1 0 0 5 と、筐体 1 0 0 1 b 及び筐体 1 0 0 4 を接続する軸部 1 0 0 6 と、を具備する。

【 0 2 5 4 】

また、図 1 7 (B) に示す携帯型情報端末では、軸部 1 0 0 6 により筐体 1 0 0 1 b 又は筐体 1 0 0 4 を動かすことにより、筐体 1 0 0 1 b を筐体 1 0 0 4 に重畳させることができる。

10

【 0 2 5 5 】

なお、筐体 1 0 0 1 b の側面 1 0 0 3 b 又は筐体 1 0 0 4 の側面 1 0 0 7 に外部機器に接続させるための接続端子、図 1 7 (B) に示す携帯型情報端末を操作するためのボタンのうち、一つ又は複数設けてもよい。

【 0 2 5 6 】

また、表示部 1 0 0 2 b 及び表示部 1 0 0 5 に、互いに異なる画像又は一続きの画像を表示させてもよい。なお、表示部 1 0 0 5 を必ずしも設けなくてもよく、表示部 1 0 0 5 の代わりに、入力装置であるキーボードを設けてもよい。

20

【 0 2 5 7 】

図 1 7 (B) に示す携帯型情報端末は、筐体 1 0 0 1 b 又は筐体 1 0 0 4 の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との間で信号の送受信を行うインターフェースと、を備える。なお、図 1 7 (B) に示す携帯型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

【 0 2 5 8 】

図 1 7 (B) に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【 0 2 5 9 】

図 1 7 (C) に示す電子機器は、設置型情報端末の例である。図 1 7 (C) に示す設置型情報端末は、筐体 1 0 0 1 c と、筐体 1 0 0 1 c に設けられた表示部 1 0 0 2 c と、を具備する。

30

【 0 2 6 0 】

なお、表示部 1 0 0 2 c を、筐体 1 0 0 1 c における甲板部 1 0 0 8 に設けることもできる。

【 0 2 6 1 】

また、図 1 7 (C) に示す設置型情報端末は、筐体 1 0 0 1 c の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との間で信号の送受信を行うインターフェースと、を備える。なお、図 1 7 (C) に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

40

【 0 2 6 2 】

さらに、図 1 7 (C) に示す設置型情報端末における筐体 1 0 0 1 c の側面 1 0 0 3 c に券などを出力する券出力部、硬貨投入部、及び紙幣挿入部の一つ又は複数設けてもよい。

【 0 2 6 3 】

図 1 7 (C) に示す設置型情報端末は、例えば現金自動預け払い機、券などの注文をするための情報通信端末(マルチメディアステーションともいう)、又は遊技機としての機能を有する。

【 0 2 6 4 】

図 1 7 (D) は、設置型情報端末の例である。図 1 7 (D) に示す設置型情報端末は、筐

50

体 1 0 0 1 d と、筐体 1 0 0 1 d に設けられた表示部 1 0 0 2 d と、を具備する。なお、筐体 1 0 0 1 d を支持する支持台を設けてもよい。

【 0 2 6 5 】

なお、筐体 1 0 0 1 d の側面 1 0 0 3 d に外部機器に接続させるための接続端子、図 1 7 (D) に示す設置型情報端末を操作するためのボタンのうち、一つ又は複数も設けてもよい。

【 0 2 6 6 】

また、図 1 7 (D) に示す設置型情報端末は、筐体 1 0 0 1 d の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との間で信号の送受信を行うインターフェースと、を備えてもよい。なお、図 1 7 (D) に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

10

【 0 2 6 7 】

図 1 7 (D) に示す設置型情報端末は、例えばデジタルフォトフレーム、モニタ、又はテレビジョン装置としての機能を有する。

【 0 2 6 8 】

上記実施の形態の記憶装置は、例えば電子機器の記憶装置の一つとして用いられ、例えば図 1 7 (A) 乃至図 1 7 (D) に示す電子機器の記憶装置の一つとして用いられる。なお、これに限定されず、例えば図 1 7 (A) 乃至図 1 7 (D) に示す電子機器に記憶装置接続部を設け、該記憶装置接続部に例えば図 1 6 (A) 又は図 1 6 (B) に示す記憶装置を接続させることにより、該記憶装置とのデータの読み書きを行ってもよい。

20

【 0 2 6 9 】

図 1 7 を用いて説明したように、本実施の形態の電子機器の一例は、上記実施の形態における記憶装置が用いられた記憶装置を具備する構成である。

【 0 2 7 0 】

上記構成にすることにより、電源を供給しない場合であっても電子機器内の情報を一定期間保持することができるため、信頼性が向上し、消費電力を低減することができる。

【 符号の説明 】

【 0 2 7 1 】

1 0 0	メモリセル	
1 0 1	データ線	
1 0 2	行選択線	
1 0 3	列選択線	
1 1 1	トランジスタ	
1 1 2	データ保持回路	
2 0 0	メモリセル	
2 0 1	データ線	
2 0 2	行選択線	
2 0 3	列選択線	
2 0 4	選択線	
2 1 1	トランジスタ	
2 1 2	トランジスタ	
2 1 3	容量素子	
7 5 0	基板	
7 5 1	導電層	
7 5 2	絶縁層	
7 5 3	半導体層	
7 5 4 a	導電層	
7 5 4 b	導電層	
7 5 5	絶縁層	
7 5 6	導電層	

30

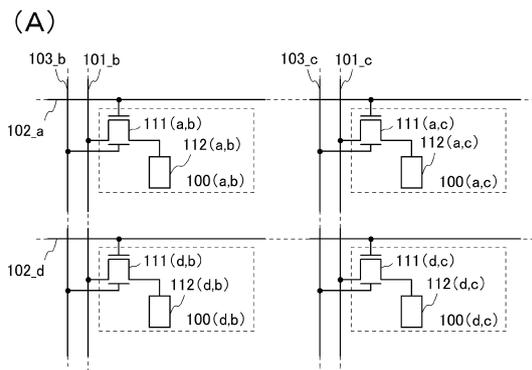
40

50

7 5 7	導電層	
7 5 8	導電層	
7 6 0	絶縁層	
7 6 1	半導体層	
7 6 2 a	導電層	
7 6 2 b	導電層	
7 6 3	絶縁層	
7 6 4	導電層	
7 6 5	導電層	
7 6 6	絶縁層	10
7 6 7	導電層	
7 7 1	開口部	
7 7 2	開口部	
7 8 0	半導体層	
7 8 2 a	領域	
7 8 2 b	領域	
7 8 3 a	領域	
7 8 3 b	領域	
7 8 4	絶縁層	
7 8 5	導電層	20
7 8 6 a	絶縁層	
7 8 6 b	絶縁層	
7 8 7 a	絶縁層	
7 8 7 b	絶縁層	
7 8 8	絶縁層	
8 1 1	駆動制御回路	
8 1 2 a	駆動回路	
8 1 2 b	駆動回路	
8 1 3	メモリセル	
8 1 4	メモリセルアレイ	30
9 0 1 a	筐体	
9 0 1 b	筐体	
9 0 2 a	コネクタ部	
9 0 2 b	コネクタ部	
1 0 0 1 a	筐体	
1 0 0 1 b	筐体	
1 0 0 1 c	筐体	
1 0 0 1 d	筐体	
1 0 0 2 a	表示部	
1 0 0 2 b	表示部	40
1 0 0 2 c	表示部	
1 0 0 2 d	表示部	
1 0 0 3 a	側面	
1 0 0 3 b	側面	
1 0 0 3 c	側面	
1 0 0 3 d	側面	
1 0 0 4	筐体	
1 0 0 5	表示部	
1 0 0 6	軸部	
1 0 0 7	側面	50

1 0 0 8 甲板部

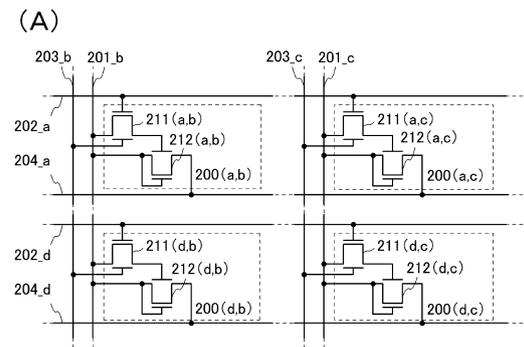
【図 1】



(B)

		Writing	
		VH	Vref
102_M	VH	[Pulse]	[Low]
	Vref	[Low]	[Pulse]
102_other	VH	[Low]	[Low]
	Vref	[Low]	[Low]
103_N	Vref	[Low]	[Low]
	VL	[Low]	[Pulse]
103_other	Vref	[Low]	[Low]
	VL	[Pulse]	[Low]

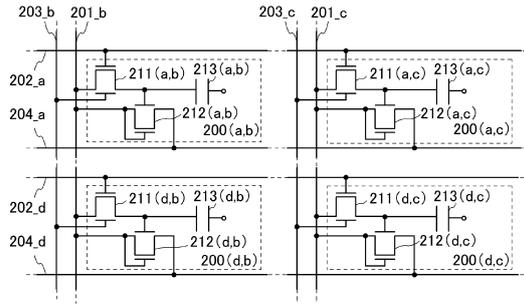
【図 2】



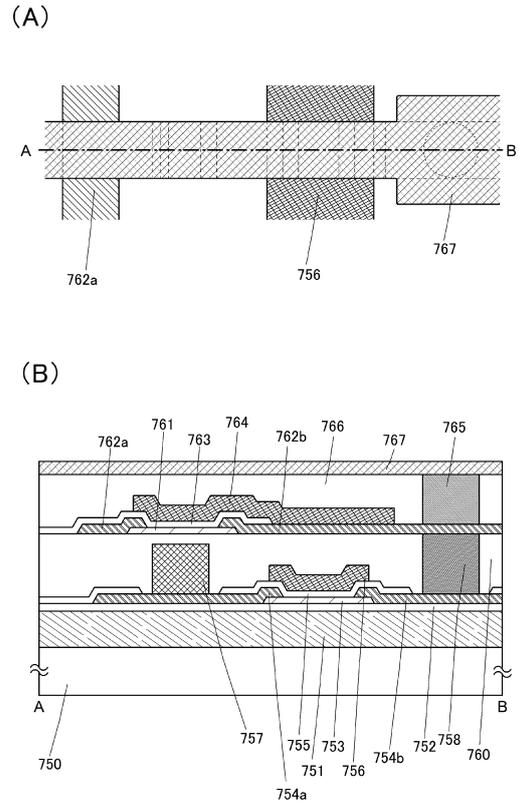
(B)

		Writing		Reading	
		VH	Vref	VH	VM
202_M	VH	[Pulse]	[Low]	[Low]	[Low]
	Vref	[Low]	[Pulse]	[Low]	[Low]
202_other	VH	[Low]	[Low]	[Low]	[Low]
	Vref	[Low]	[Low]	[Low]	[Low]
203_N	Vref	[Low]	[Low]	[Low]	[Low]
	VL	[Low]	[Low]	[Low]	[Pulse]
203_other	Vref	[Low]	[Low]	[Low]	[Low]
	VL	[Low]	[Low]	[Low]	[Pulse]
204_M	VH	[Low]	[Low]	[Low]	[Pulse]
	VM	[Low]	[Low]	[Pulse]	[Low]
	Vref	[Low]	[Low]	[Low]	[Low]
204_other	VH	[Low]	[Low]	[Low]	[Low]
	VM	[Low]	[Low]	[Low]	[Low]
	Vref	[Low]	[Low]	[Low]	[Low]

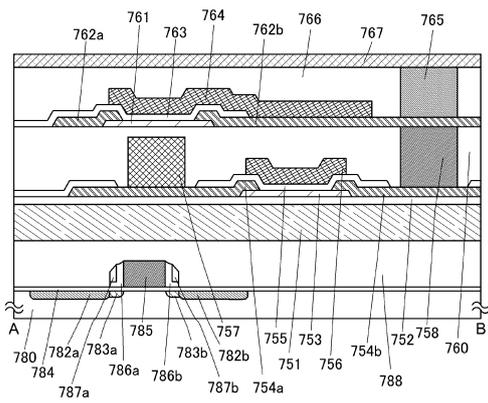
【図3】



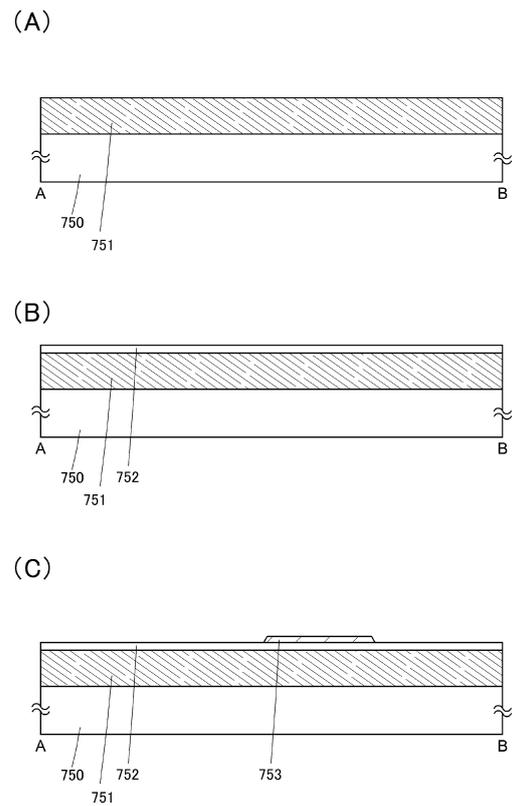
【図4】



【図5】

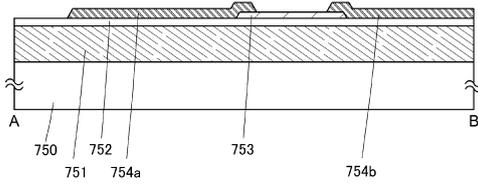


【図6】

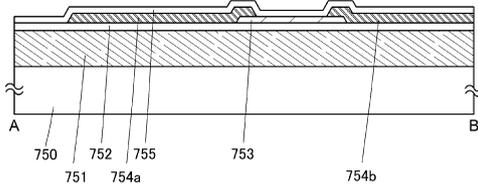


【図 7】

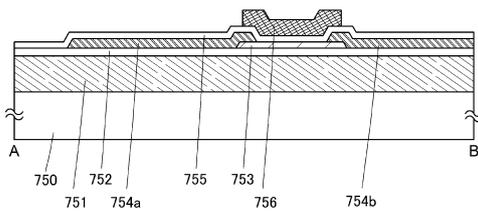
(A)



(B)

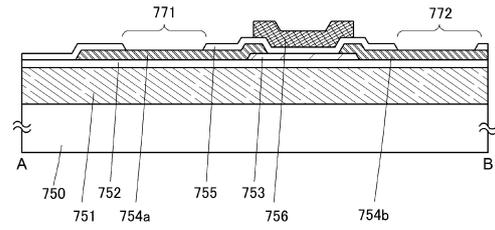


(C)

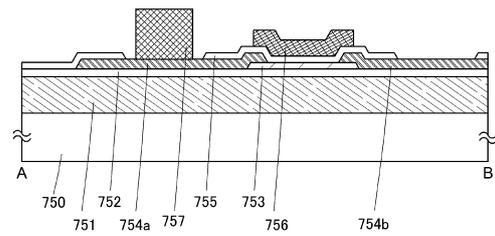


【図 8】

(A)

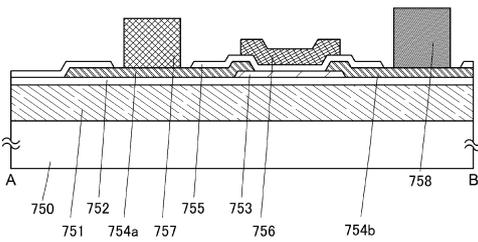


(B)

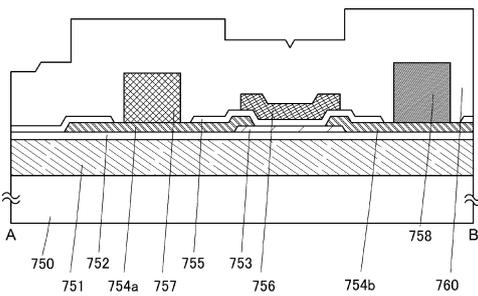


【図 9】

(A)

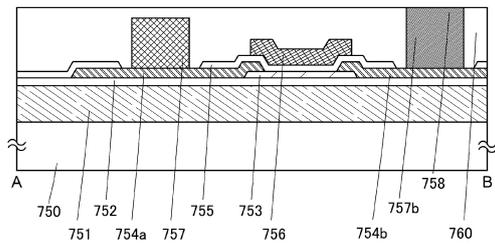


(B)

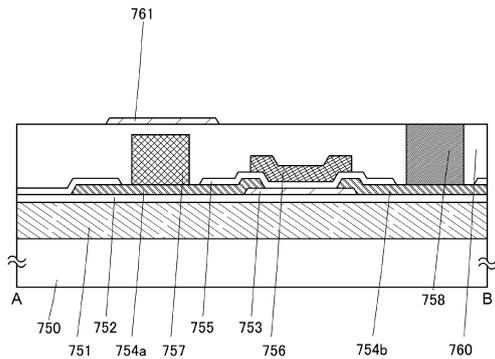


【図 10】

(A)

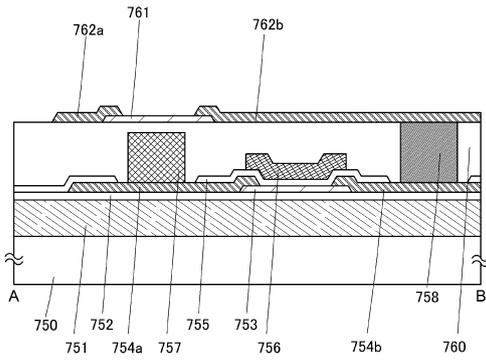


(B)

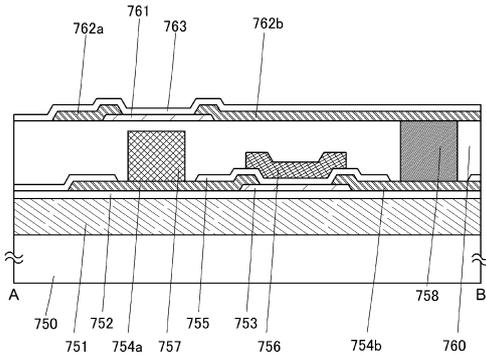


【図 1 1】

(A)

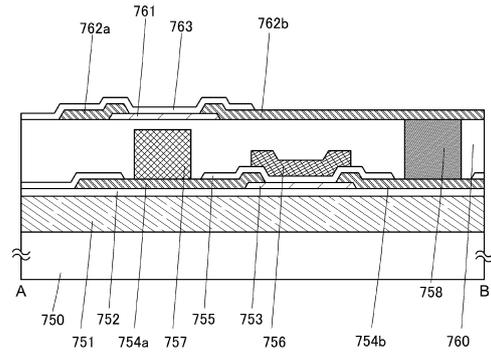


(B)

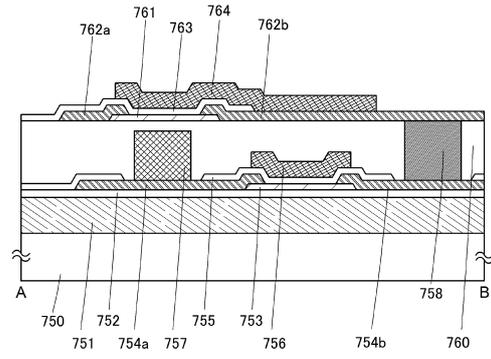


【図 1 2】

(A)

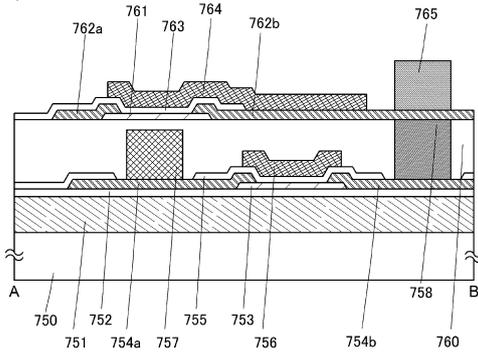


(B)

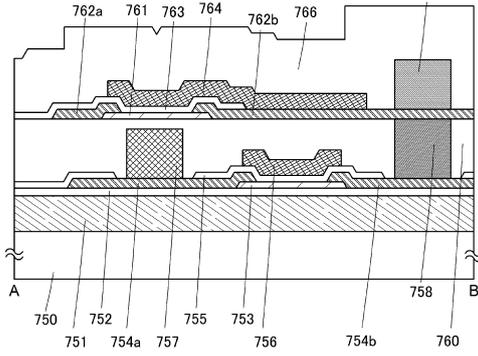


【図 1 3】

(A)

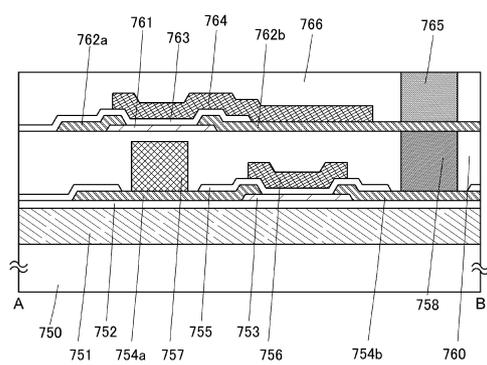


(B)

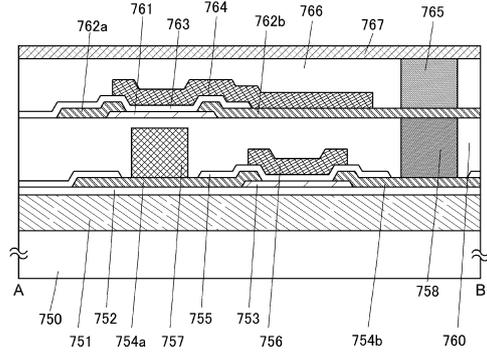


【図 1 4】

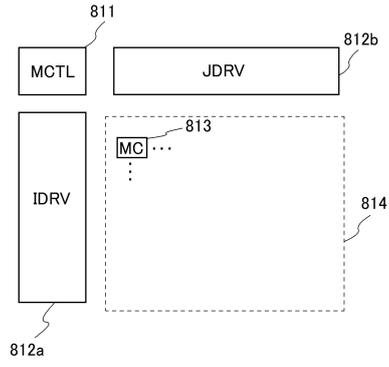
(A)



(B)

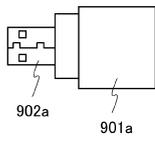


【 15 】

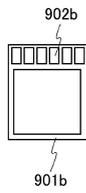


【 16 】

(A)

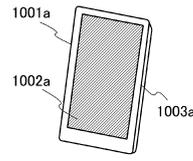


(B)

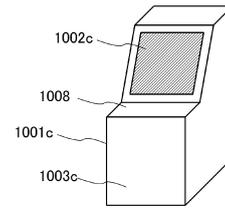


【 17 】

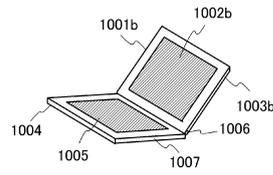
(A)



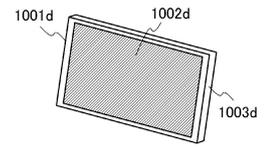
(C)



(B)



(D)



フロントページの続き

- (56)参考文献 特開平7 - 211084 (JP, A)
国際公開第95 / 19625 (WO, A1)
特開平7 - 99251 (JP, A)
米国特許第5428238 (US, A)
特開2009 - 259337 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/405
H01L 27/108
H01L 29/786