



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I422009 B

(45) 公告日：中華民國 103 (2014) 年 01 月 01 日

(21) 申請案號：099122477

(22) 申請日：中華民國 99 (2010) 年 07 月 08 日

(51) Int. Cl. : **H01L27/04 (2006.01)****H01L23/52 (2006.01)****H01L23/34 (2006.01)**

(71) 申請人：國立清華大學 (中華民國) NATIONAL TSING HUA UNIVERSITY (TW)

新竹市光復路 2 段 101 號

(72) 發明人：黃婷婷 (TW)；陳賢德 (TW)

(74) 代理人：葉大慧

(56) 參考文獻：

CN 101582412A

審查人員：于若天

申請專利範圍項數：7 項 圖式數：3 共 15 頁

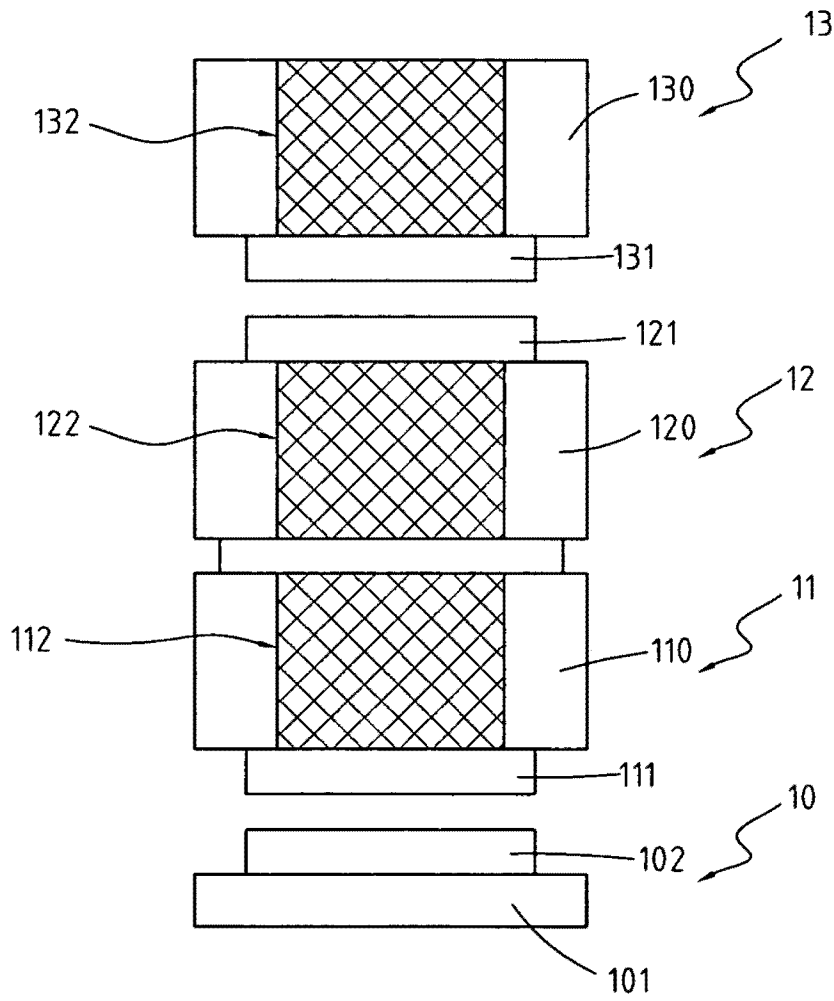
(54) 名稱

多晶片堆疊結構

MULTI-CHIP STACKED STRUCTURE

(57) 摘要

本發明之多晶片堆疊結構，係包括有一底層，其具有一線路重配置層之基板；一第一晶片，係至少包括有一非導體層及一金屬層，該非導體層設有一金屬填充通道，該金屬層係倒置設置於該底層晶片之線路重配置層上；至少二堆疊晶片，係依序堆疊向上，各堆疊晶片至少包括有：一金屬層；一非導體層，係設置有一金屬填充通道與對應堆疊之堆疊晶片的金屬層電性連接，並於堆疊在最下面之非導體層的金屬填充通道與該第一晶片之非導體層的金屬填充通道電性連結。藉由此結構，可大幅改善因金屬填充層數量的增加而導致增加散熱設計上的複雜度，提高散熱效能。>



- (10) . . . 底層
- (101) . . . 基板
- (102) . . . 線路重配置層
- (11) . . . 第一晶片
- (110) . . . 非導體層
- (111) . . . 金屬層
- (112) . . . 金屬填充通道
- (12) . . . 第一堆疊晶片
- (120) . . . 非導體層
- (121) . . . 金屬層
- (122) . . . 金屬填充通道
- (13) . . . 第二堆疊晶片
- (130) . . . 非導體層
- (131) . . . 金屬層
- (132) . . . 金屬填充通道

第一圖



日期: 102年07月01日

## 發明專利說明書 102年7月1日修正本

公告本

(本說明書格式、順序, 請勿任意更動, ※記號部分請勿填寫)

※申請案號: 99122477

H01L 27/04 (2006.01)

※申請日: 99.7.8

※IPC 分類: H01L 23/52 (2006.01)

H01L 23/34 (2006.01)

一、發明名稱:(中文/英文)

多晶片堆疊結構/multi-chip stacked structure&gt;

## 二、中文發明摘要:

本發明之多晶片堆疊結構, 係包括有一底層, 其具有一線路重配置層之基板; 一第一晶片, 係至少包括有一非導體層及一金屬層, 該非導體層設有一金屬填充通道, 該金屬層係倒置設置於該底層晶片之線路重配置層上; 至少二堆疊晶片, 係依序堆疊向上, 各堆疊晶片至少包括有: 一金屬層; 一非導體層, 係設置有一金屬填充通道與對應堆疊之堆疊晶片的金屬層電性連接, 並於堆疊在最下面之非導體層的金屬填充通道與該第一晶片之非導體層的金屬填充通道電性連結。藉由此結構, 可大幅改善因金屬填充層數量的增加而導致增加散熱設計上的複雜度, 提高散熱效能。>

## 三、英文發明摘要:

#### 四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

(10)底層

(101)基板

(102)線路重配置層

(11)第一晶片

(110)非導體層

(111)金屬層

(112)金屬填充通道

(12)第一堆疊晶片

(120)非導體層

(121)金屬層

(122)金屬填充通道

(13)第二堆疊晶片

(130)非導體層

(131)金屬層

(132)金屬填充通道

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種多晶片堆疊結構，特別係指一種具有良好電性規劃架構，透過金屬填充通道來將複數晶片堆疊設置之多晶片堆疊結構。

### 【先前技術】

為提升半導體封裝件的性能與容量，以符合小型或攜帶性電子產品日益講求輕薄短小且高性能的趨勢，對於能高密度晶片之半導體裝置需求亦日趨越高。

傳統二維整合式單系統晶片(system-on-chip, SOC)，在業界俗稱摩爾定律的加持下，透過半導體的製程將晶片上的電晶體越做越小，來讓更小型的電子產品能夠具有更佳的性能，但是物理學家發現，當電晶體中用來控制訊號的閘極小於電子波長(矽晶片約10奈米)，這種縮小電晶體方式將不再適用，或許未來有更先進的奈米製程技術，但是要如何輕易的跨越目前的技術門檻，似乎不是一件很容易的事情。

另外，除了電晶體大小的問題外，晶片於設計上，特別在於整合複數個功能模組於一單系統晶片時，便必須在布局(Layout)、時序(Timing)與訊號整合度(Signal Integrity)上付出時間、人力、金錢或具備更佳電子設計自動化(EDA)工具的龐大代價，而所付出的成本是否能夠持續保有市場的競爭力，近年來也一直受到業界的質疑。

因此，透過將複數片晶片堆疊(亦即俗稱的三維(3D)晶片)以舒緩晶片上電晶體的密度，近年來成了許多研發人員研發的目標與

重點。

然而，目前主流三維晶片製程，係以矽穿孔(Through Silicon Via, TSV)技術為基礎的多晶片堆疊，其除了可以縮短連線距離，節省中介層(Interposer)或導線架的使用，更可大幅減少晶片厚度與材料成本，並能降低電磁干擾(EMI)與功率消耗以提升晶片效能。

不過根據 IBM 工程師 John Knickerbocker 的說法，以 TSV 技術所生產之多堆疊晶片具有五大挑戰：

- (1) 缺少 EDA 設計工具輔助；
- (2) 增加 TSV 設置可能會增加散熱設計上的複雜度；
- (3) 封裝與測試的整合；
- (4) 不同功能系統的組合問題；及
- (5) 規格標準不統一。

有鑑於此，如何透過一種方法或手段解決如上述的問題，將會是是相關專業領域人士努力改善的目標。>

#### 【發明內容】

本發明人有鑑於上述之以矽穿孔(Through Silicon Via, TSV)技術生產之多堆疊晶片所具有之的挑戰，乃極力從事於試驗之方式改良與研發，經過不斷地蒐集資料與研究，終於開發出本發明。>

本發明之第一目的在於提供一種將一底部晶片反面設置之多晶片堆疊結構，可改善傳統設置 TSV 會增加散熱問題的缺點，進而建立一良好的散熱網路和電流輸送網路(current distribution network)。

本發明之第二目的在於提供一種將複數層晶片之接點(pitch)

的密度(network pitch density)以一比例關係進行設置的多晶片堆疊結構，可協助建構具備成本效益(good for high performance and high area density simultaneously)的電源供應網路(power distributed network, PDN)設計規則。

本發明之第三目的在於提供一種良好 PDN 之多晶片堆疊結構，其透過所有晶片層皆配置有相同類型的多重電壓區域(power domains)，大幅降低具有不同電壓需求之電路設計，並降低電壓轉換器(level shifter)的設置複雜度，進而簡化不同功能系統的組合問題。

為達上述之目的，本發明之多晶片堆疊結構，係包括有：

一底層，係具有一線路重配置層(Redistribution layer, RDL)之基板；

一第一晶片，係至少包括有一非導體層及一金屬層，該非導體層設有一金屬填充通道，該金屬層係倒置(flipped)設置於該底層晶片之線路重配置層上；

至少二堆疊晶片，係依序堆疊向上，各堆疊晶片至少包括有：

一金屬層；>

一非導體層，係設置有一金屬填充通道與對應堆疊之堆疊晶片的金屬層電性連結，並於堆疊在最下面之非導體層的金屬填充通道與該第一晶片之非導體層的金屬填充通道電性連結。

由於各個金屬填充通道之兩端皆通往該第一晶片與該等堆疊晶片之金屬層，在金屬相較於矽具有較佳導熱能力，以使得該堆疊晶片之熱能得以透過金屬填充通道導向該第一晶片後，再透過該底層將熱能傳導出去，大幅改善因金屬填充層數量的增加而導

致增加散熱設計上的複雜度，提高散熱效能。>

其中，該第一晶片和各堆疊晶片皆配置有相同類型的多重電壓區域(power domains)以及規定各晶片之接點係以固定之比例關係來設置，換言之，該等堆疊晶片與該第一晶片皆配置有相同的電壓區域，可協助建構具備成本效益的電源供應網路設計。

### 【實施方式】

請參考第一圖所示，係本發明之多晶片堆疊結構的實施例，其包括有：

一底層(10)，係具有一線路重配置層(Redistribution layer, RDL)(102)之基板(101)；

一第一晶片(11)，係至少包括有一非導體層(110)及一金屬層(111)，該非導體層(110)設有一金屬填充通道(112)，該金屬層(111)係倒置(flipped)設置於該底層(10)晶片之線路重配置層(102)上；

一第一堆疊晶片(12)，係設置於該第一晶片(11)上，其包括有：

一金屬層(121)；>

一非導體層(120)，係設置有一金屬填充通道(122)與該第一晶片(11)之非導體層(110)的金屬填充通道電性(112)連結；及

一第二堆疊晶片(13)，係設置於該第一堆疊晶片(12)上，其包括有：

一金屬層(131)；>

一非導體層(130)，係設置有一金屬填充通道(132)與該第一堆疊晶片(12)的金屬層(121)電性連結。

由於各個金屬填充通道(112, 122, 132)之兩端皆通往該第一晶片(11)與該第一及第二堆疊晶片(12, 13)之金屬層(111, 121, 131)，



在金屬相較於矽具有較佳導熱能力，以使得熱能得以透過金屬填充通道(112, 122, 132)導向該第一晶片(11)後，再透過該底層(10)將熱能傳導出去，大幅改善因金屬填充通道(112, 122, 132)數量的增加而導致增加散熱設計上的複雜度，提高散熱效能。

其中，第一晶片(11)、第一堆疊晶片(12)及第二堆疊晶片(13)之非導體層(110, 120, 130)係一矽質層(silicon layer)。

其中，於一實施例，該第一及第二堆疊晶片(12, 13)之面積與該第一晶片(11)的面積大小相等，但此為一配合圖式之例示說明，並非用以限定本發明；該第一及第二堆疊晶片(12, 13)之面積與第一晶片(11)面積大小近似，包括但不限於大小相等，該第一晶片(11)的面積亦可大於或小於該第一及第二堆疊晶片(12, 13)的面積。

其中，該等金屬填充通道(112, 122, 132)係以矽穿孔(TSV)技術穿設於該非導體層(110, 120, 130)，以使得該等金屬填充通道(112, 122, 132)可作為一良好的解耦電容，來過濾諧波與降低雜訊，提升整體晶片的穩定度及傳輸效率。

請參考第一、二及三圖所示，該第一晶片(11)、第一堆疊晶片(12)及第二堆疊晶片(13)之接點密度係以一比例關係進行設置，該第一晶片(11)之接點密度大於該第一及第二堆疊晶片(12, 13)上之接點密度，其接點密度係與堆疊的程度成反比，換言之，堆疊在最上層之接點密度最小。舉例來說，該等晶片之接點密度的比例關係為 1:2:R，換言之，若該第一晶片(11)上設置有 200 個接點，則該第一堆疊晶片(12)和第二堆疊晶片(13)則分別具有 100 個接點和 50 個接點。

另外，由於該第一晶片(11)、第一堆疊晶片(12)和第二堆疊晶

片(13)係具有一比例關係且堆疊於該第一晶片(11)上之晶片的接腳密度係以反比關係遞減，故可方便該等晶片上規劃複數個區域，並透過設置金屬填充通道(112, 122, 132)進行連結，以使得第一堆疊晶片(12)、第二堆疊晶片(13)與第一晶片(11)皆配置有相同電壓大小的多重電壓區域(power domains)，大幅降低具有不同電壓需求之電路設計，並降低電壓轉換器(level shifter)的設置複雜度。

舉例來說，倘若一半導體晶片輸入電壓為1伏特且比例關係為1:2:4，並且分別需要0.8及1.2伏特的運作電壓時，該半導體晶片可輕易的畫分為3個分別具有0.8, 1, 1.2伏特之多重電壓區塊(30, 31, 32)，簡單來說，雖然第一晶片(11)之接腳數量為第一堆疊晶片(12)的兩倍，但對應於該第一晶片(11)之相同接腳範圍

因此，由於各晶片皆配置有所需的電壓區域，故電路布局的設計者即可利用傳統二維晶片布局的方式，毋須考量堆疊結構間電壓分布的情況。

顯然地，依照上面實施例中的描述，本發明可能有許多的修正與差異。上述僅為本發明之較佳實施例，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成的等效改變或修飾，均應包含在下述申請專利範圍內。

#### 【圖式簡單說明】

第一圖係本發明之多晶片堆疊結構的示意圖。

第二圖係第一圖中各晶片之接腳分布示意圖。

第三圖係第一圖中各晶片之電壓區域示意圖。

#### 【主要元件符號說明】

(10) 底層

- (101) 基板
- (102) 線路重配置層
- (11) 第一晶片
- (110) 非導體層
- (111) 金屬層
- (112) 金屬填充通道
- (12) 第一堆疊晶片
- (120) 非導體層
- (121) 金屬層
- (122) 金屬填充通道
- (13) 第二堆疊晶片
- (130) 非導體層
- (131) 金屬層
- (132) 金屬填充通道
- (30) 電壓區塊
- (31) 電壓區塊
- (32) 電壓區塊

## 七、申請專利範圍：

1、一種多晶片堆疊結構，係包括有：

一底層，係具有一線路重配置層之基板；

一第一晶片，係至少包括有一非導體層及一金屬層，該非導體層設有一金屬填充通道，該金屬層係倒置設置於該底層晶片之線路重配置層上；

至少二堆疊晶片，係依序堆疊向上，各堆疊晶片至少包括有：

一金屬層；及

一非導體層，係設置有一金屬填充通道與對應堆疊之堆疊晶片的金屬層電性連結，並於堆疊在最下面之非導體層的金屬填充通道與該第一晶片之非導體層的金屬填充通道電性連結；

其中，該第一晶片和各堆疊晶片皆配置有相同電壓大小的多重電壓區域。

2、如申請專利範圍第1項所述之多晶片堆疊結構，其中，該至少二堆疊晶片，係包括有：

一第一堆疊晶片，係設置於該第一晶片上，其包括有：

一金屬層；

一非導體層，係設置有一金屬填充通道與該第一晶片之非導體層的金屬填充通道電性連結；及

一第二堆疊晶片，係設置於該第一堆疊晶片上，其包括有：

一金屬層；

一非導體層，係設置有一金屬填充通道與該第一堆疊晶片的金屬層電性連結。

3、如申請專利範圍第2項所述之多晶片堆疊結構，其中，該

第一晶片、該第一堆疊晶片及該第二堆疊晶片之非導體層係一矽質層。

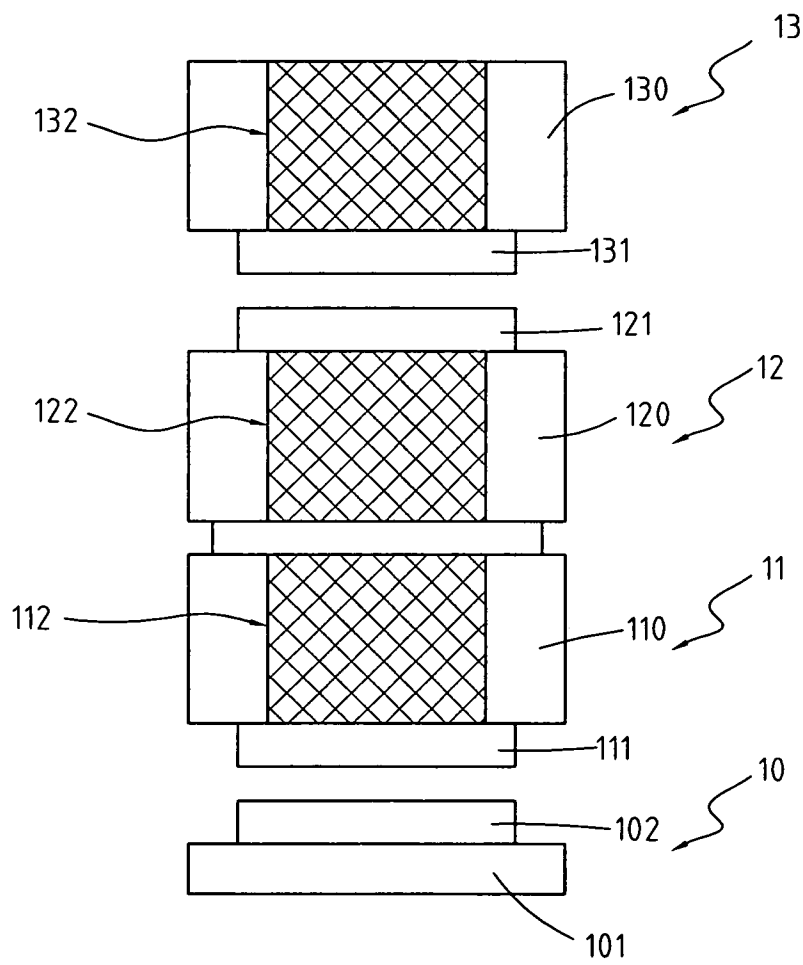
4、如申請專利範圍第2項所述之多晶片堆疊結構，其中，該第一及第二堆疊晶片之面積與該第一晶片的面積大小相等。

5、如申請專利範圍第1項所述之多晶片堆疊結構，其中，該金屬填充通道係以矽穿孔技術穿設於該非導體層，以使得該金屬填充通道形成一良好的解耦電容，來過濾諧波與降低雜訊。

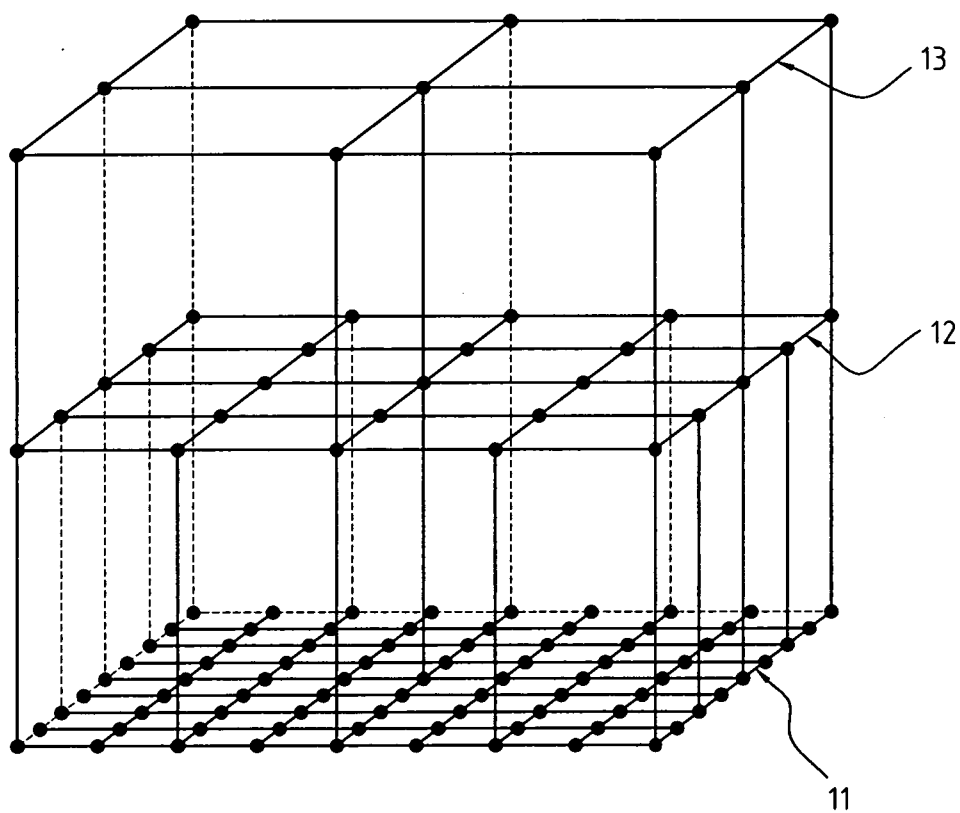
6、如申請專利範圍第1項所述之多晶片堆疊結構，該第一晶片和該至少二堆疊晶片之接點密度係以一比例關係設置。

7、如申請專利範圍第2項所述之多晶片堆疊結構，該第一晶片、第一堆疊晶片及第二堆疊晶片之接點密度係以1:2:4的比例關係設置。

八、圖式：  
(如次頁)

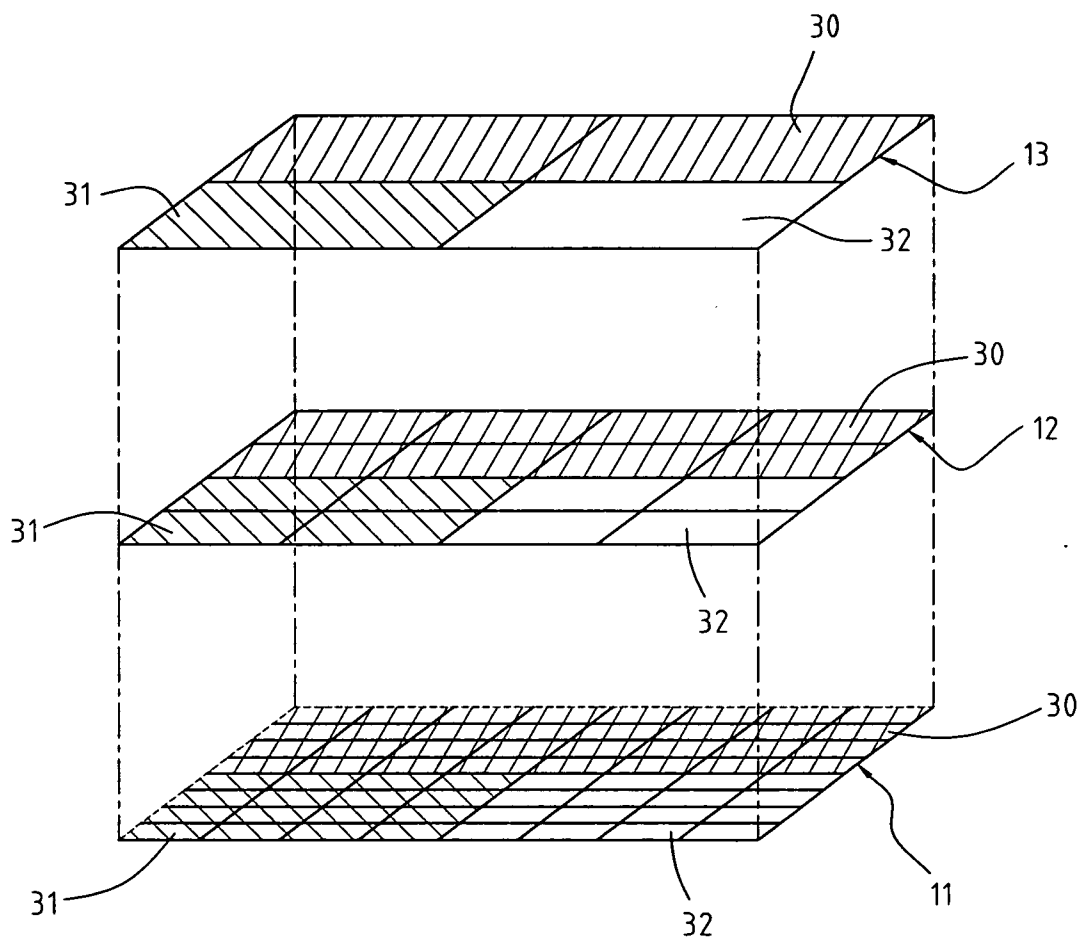


第一圖



第二圖





第三圖