



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월06일
(11) 등록번호 10-1683309
(24) 등록일자 2016년11월30일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) H04N 5/335 (2011.01)
H04N 5/361 (2011.01)
(21) 출원번호 10-2011-0025459
(22) 출원일자 2011년03월22일
심사청구일자 2015년02월20일
(65) 공개번호 10-2011-0109894
(43) 공개일자 2011년10월06일
(30) 우선권주장
JP-P-2010-082772 2010년03월31일 일본(JP)
(56) 선행기술조사문헌
JP2006216616 A
JP2009038309 A
JP2003332556 A
JP2010067736 A

(73) 특허권자
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
소고오 야스노리
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
오리 히로유키
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
(74) 대리인
최달용

전체 청구항 수 : 총 16 항

심사관 : 퇴_김한수

(54) 발명의 명칭 고체 촬상 장치 및 전자 기기

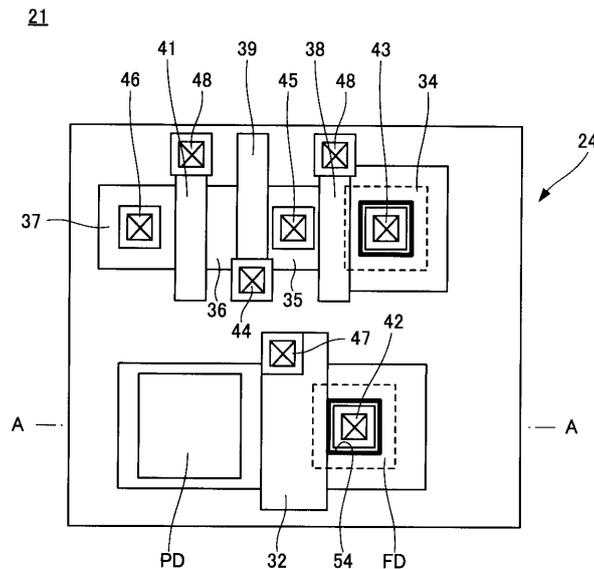
(57) 요약

[과제]

CMOS 고체 촬상 장치에 있어서, 플로팅 디퓨전 영역의 리크 전류를 적게, 또한, 화소 사이의 리크 전류량 편차를 적게 한다.

(뒷면에 계속)

대표도 - 도2



[해결 수단]

제 1 도전형의 제 1의 반도체 영역(23)과, 제 1의 반도체 영역의 소자 분리 영역(28)으로 분리된 영역 내에 형성된 제 2 도전형의 제 2의 반도체 영역(25)을 갖는 광전변환부(PD)와, 제 1의 반도체 영역에 형성된 화소 트랜지스터(Tr1 내지 Tr4)를 갖는다. 제 1의 반도체 영역의 소자 분리 영역(28)으로 분리된 영역 내에 형성된 제 2 도전형의 플로팅 디퓨전 영역(FD)을 갖는다. 또한, 플로팅 디퓨전 영역(FD)과 소자 분리 영역(28)의 사이에 존재하는 제 1의 반도체 영역(23) 상에 형성되고, 소요되는 바이어스 전압이 인가되는 전극(53)을 갖는다.

명세서

청구범위

청구항 1

제 1 도전형의 제 1의 반도체 영역과,

상기 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 형성된 제 2 도전형의 제 2의 반도체 영역을 갖는 광전변환부와,

상기 제 1의 반도체 영역에 형성된 화소 트랜지스터와,

상기 제 1의 반도체 영역의 소자 분리 영역으로 분리된 상기 영역 내에 상기 소자 분리 영역에 대해 이간되어 형성된 제 2 도전형의 플로팅 디퓨전 영역과,

상기 플로팅 디퓨전 영역과 상기 소자 분리 영역의 사이에 존재하는 상기 제 1의 반도체 영역 위를 덮음과 함께, 상기 제 1의 반도체 영역 위로부터 해당 플로팅 디퓨전 영역 위에 걸쳐서 덮여지도록 형성되고, 소요되는 바이어스 전압이 인가되는 전극을 갖는 것을 특징으로 하는 고체 촬상 장치.

청구항 2

제 1항에 있어서,

상기 소자 분리 영역이 절연막으로 형성되고,

상기 절연막을 둘러싸도록 상기 제 1의 반도체 영역보다 불순물 농도가 높은 제 1 도전형의 제 3의 반도체 영역이 형성되고,

상기 플로팅 디퓨전 영역은, 상기 제 1 및 제 3의 반도체 영역보다 불순물 농도가 높고, 상기 제 3의 반도체 영역부터 떨어져 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 전극에 인가되는 바이어스 전압은, 상기 제 1의 반도체 영역의 절연막과의 계면에서의 다수 캐리어 농도를 높이는 전압인 것을 특징으로 하는 고체 촬상 장치.

청구항 4

제 1항 또는 제 2항에 있어서,

상기 제 1의 반도체 영역이 p형이고,

상기 전극에 인가되는 바이어스 전압이 0V 또는 부전압인 것을 특징으로 하는 고체 촬상 장치.

청구항 5

제 1항 또는 제 2항에 있어서,

상기 플로팅 디퓨전 영역이 n형이고,

상기 플로팅 디퓨전 영역의 불순물이 As를 갖고 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 6

제 1항 또는 제 2항에 있어서,

상기 전극이 차광성을 갖는 것을 특징으로 하는 고체 촬상 장치.

청구항 7

제 1항 또는 제 2항에 있어서,

상기 광전변환부와 상기 화소 트랜지스터로 이루어지는 복수의 화소가 규칙적인 2차원 어레이 형상으로 배열된 촬상 영역을 갖는 것을 특징으로 하는 고체 촬상 장치.

청구항 8

제 1항 또는 제 2항에 있어서,

상기 플로팅 디퓨전 영역의 pn 접합을 끼우고 형성되어 일부가 상기 전극 바로 아래의 반도체 표면에 존재하고, 상기 소자 분리 영역에 접촉하지 않는 공핍층을 갖는 것을 특징으로 하는 고체 촬상 장치.

청구항 9

반도체 기판에, 제 1 도전형의 제 1의 반도체 영역, 소자 분리 영역 및 상기 소자 분리 영역을 둘러싸는 상기 제 1의 반도체 영역보다 불순물 농도가 높은 제 1 도전형의 제 3의 반도체 영역을 형성하는 공정과,

상기 소자 분리 영역으로 분리된 영역 내의 제 2 도전형의 제 2의 반도체 영역을 갖는 광전변환부 및 상기 제 2의 반도체 영역 내의 상기 소자 분리 영역에 대하여 이간된 제 2 도전형의 플로팅 디퓨전 영역을 형성하는 공정과,

상기 제 1의 반도체 영역에 게이트 전극을 갖는 화소 트랜지스터를 형성하는 공정과,

상기 플로팅 디퓨전 영역과 상기 소자 분리 영역의 사이에 존재하는 상기 제 1의 반도체 영역 위를 덮음과 함께, 상기 제 1의 반도체 영역 위로부터 해당 플로팅 디퓨전 영역 위에 걸쳐서 덮여지도록 소요되는 바이어스 전압이 인가되는 전극을 형성하는 공정을 갖는 것을 특징으로 하는 고체 촬상 장치의 제조 방법.

청구항 10

제 1 도전형의 제 1의 반도체 영역과,

상기 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 형성된 제 2 도전형의 제 2의 반도체 영역을 갖는 광전변환부와,

상기 제 1의 반도체 영역에 형성된 화소 트랜지스터와,

상기 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 상기 소자 분리 영역에 대해 이간되어 형성된 제 2 도전형의 플로팅 디퓨전 영역과,

상기 플로팅 디퓨전 영역과 상기 소자 분리 영역의 사이에 존재하는 상기 제 1의 반도체 영역 위를 덮음과 함께, 상기 제 1의 반도체 영역 위로부터 해당 플로팅 디퓨전 영역 위에 걸쳐서 덮여지도록 형성된 부의 고정 전하를 갖는 절연막을 갖는 것을 특징으로 하는 고체 촬상 장치.

청구항 11

제 10항에 있어서,

상기 소자 분리 영역이 절연막으로 형성되고,

상기 절연막을 둘러싸도록 상기 제 1의 반도체 영역보다 불순물 농도가 높은 제 1 도전형의 제 3의 반도체 영역이 형성되고,

상기 플로팅 디퓨전 영역은, 상기 제 1 및 제 3의 반도체 영역보다 불순물 농도가 높고, 상기 제 3의 반도체 영역부터 떨어져 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 12

제 10항 또는 제 11항에 있어서,

상기 플로팅 디퓨전 영역이 n형이고,

상기 플로팅 디퓨전 영역의 불순물이 A_s 를 갖는 것을 특징으로 하는 고체 촬상 장치.

청구항 13

제 10항 또는 제 11항에 있어서,

상기 광전변환부와 상기 화소 트랜지스터로 이루어지는 복수의 화소가 규칙적인 2차원 어레이 형상으로 배열된 촬상 영역을 갖는 것을 특징으로 하는 고체 촬상 장치.

청구항 14

제 10항 또는 제 11항에 있어서

상기 플로팅 디퓨전 영역의 pn 접합을 끼우고 형성되어 일부가 상기 부의 고정 전하를 갖는 절연막 바로 아래의 반도체 표면에 존재하고, 상기 소자 분리 영역에 접촉하지 않는 공핍층을 갖는 것을 특징으로 하는 고체 촬상 장치.

청구항 15

반도체 기판에, 제 1 도전형의 제 1의 반도체 영역 및 소자 분리 영역, 상기 소자 분리 영역을 둘러싸는 상기 제 1의 반도체 영역보다 불순물 농도가 높은 제 1 도전형의 제 3의 반도체 영역을 형성하는 공정과,

상기 소자 분리 영역으로 분리된 영역 내의 제 2 도전형의 제 2의 반도체 영역을 갖는 광전변환부, 및 상기 영역 내의 상기 소자 분리 영역에 대해 이간된 제 2 도전형의 플로팅 디퓨전 영역을 형성하는 공정과,

상기 제 1의 반도체 영역에 게이트 전극을 갖는 화소 트랜지스터를 형성하는 공정과,

상기 플로팅 디퓨전 영역과 상기 소자 분리 영역의 사이에 존재하는 상기 제 1의 반도체 영역 위를 덮음과 함께, 상기 제 1의 반도체 영역 위로부터 해당 플로팅 디퓨전 영역 위에 걸쳐서 덮여지도록, 부의 고정 전하를 갖는 절연막을 형성하는 공정을 갖는 것을 특징으로 하는 촬상 장치의 제조 방법.

청구항 16

고체 촬상 장치와,

상기 고체 촬상 장치의 포토 다이오드에 입사광을 유도하는 광학계와,

상기 고체 촬상 장치의 출력 신호를 처리하는 신호 처리 회로를 구비하고,

상기 고체 촬상 장치는, 제 1항, 제 2항, 제 10항 및 제 11항 중 어느 한 항에 기재된 고체 촬상 장치로 구성되는 것을 특징으로 하는 전자 기기.

발명의 설명

기술 분야

[0001] 본 발명은, 고체 촬상 장치, 및 이 고체 촬상 장치를 구비한 카메라 등의 전자 기기에 관한 것이다.

배경 기술

[0002] 고체 촬상 장치(이미지 센서)로서, CCD 고체 촬상 장치, CMOS 고체 촬상 장치 등이 알려져 있다. 이 CCD 고체 촬상 장치, CMOS 고체 촬상 장치는, 디지털 스틸 카메라, 디지털 비디오 카메라, 또한, 카메라 부착 휴대 전화 등의 각종 휴대 단말기 기 등에 사용되고 있다.

[0003] 일반적으로 알려져 있는 CCD 고체 촬상 장치에서는, 광전변환 소자(포토 다이오드)열의 사이에, 광전변환된 전하를 관독하는 CCD 구조의 수직 전송부를 갖고 있다. 또한, 이 수직 전송부로부터 신호 전하를 전송하는 CCD 구조의 수평 전송부와, 수평 전송부로부터의 신호 전하를 전하-전압 변환하여 출력하는 출력부를 갖는다. 이와 같은 CCD 고체 촬상 장치에서는, 수직 전송부, 수평 전송부 및 출력부는, 텅스텐 등의 금속재료로 이루어지는 차광막에 의해 피복되어 있고, 이 차광막에는 각 광전변환 소자상에 개구부가 형성되어 있다.

[0004] CMOS 고체 촬상 장치에는, 광전변환 소자(포토 다이오드)에서 광전변환시킨 신호 전하를 일제히 전하 보존부에 전하 전송하는 글로벌 셔터 기능을 갖는 고체 촬상 장치가 알려져 있다. 이 글로벌 셔터 기능을 갖는 고체 촬상 장치에서도, CCD 고체 촬상 장치와 마찬가지로, 포토 다이오드, 콘택트 개구부 이외를 탄탈, 텅스텐 등의 차광

성이 높은 막을 피복시킴에 의해, 전하 보존부를 차광하고 있다.

- [0005] 이 차광막을 전극으로 하여 암전류를 저감시키는 고체 촬상 장치도 왕성하게 개발되고 있다. 도 17에, CCD 고체 촬상 장치의 한 예(특허 문헌 1 참조)를 도시한다. 이 CCD 고체 촬상 장치는, n형 반도체 기판(301)에 p형 웰 영역(302)이 형성되고, p형 웰 영역(302)에 n형 반도체 영역에 의한 광전변환 영역(포토 다이오드)(303)이 형성되어 이루어진다. 광전변환 영역(303)의 표면에는 고농도의 p형 축적 영역(329)이 형성된다. p형 웰 영역(302) 내에는, p형 관독 영역(305), n형 전송 채널 영역(304) 및 p형 채널 스톱 영역(306)이 형성된다. n형 전송 채널 영역(304)의 직하에는, p형 웰 영역(308)이 형성된다.
- [0006] n형 전송 채널 영역(304), p형 관독 영역(305) 및 p형 채널 스톱 영역(306)상에는, 게이트 절연막을 통하여 전송 전극(311)이 형성된다. 층간 절연막(314)을 통하여 도전성 차광막(315)이 형성되고, 또한, 투명 도전막(321)이 형성된다. 그리고 평탄화 막(318)을 통하여 컬러 필터층(319) 및 온 칩 마이크로 렌즈(320)가 형성된다.
- [0007] 특허 문헌 1의 CCD 고체 촬상 장치에서는, 도 17에 도시하는 바와 같이, 광전변환 영역(303) 상에, 층간 절연막(314)을 통하여, 도전성 차광막(315) 및 투명 도전막(321)이 형성됨에 의해, MOS 커패시터 구조가 형성되어 있다. 이와 같은 구조에서는, 도전성 차광막(315) 및 투명 도전막(321)에 마이너스 전압을 인가함에 의해, 광전변환 영역(303)의 표면에 고농도의 p형 축적 영역(329)을 형성할 수 있다. 이 전압 인가에 의해 형성되는 p형 축적 영역(329)은, 광전변환 영역(303)의 기판 표면에서 발생한 암전류를 트랩하는 작용을 한다. 전압 인가 수단으로부터 도전성 차광막(315)에 하나의 극성의 전압을 인가하고, 신호 전하를 수직 전송부의 n형 전송 채널 영역(304)에 관독하는 스텝에서는, 전압 인가 수단으로부터 도전성 차광막(315)에 0V 또는 하나의 극성과는 역 극성의 전압을 인가하도록 하고 있다.
- [0008] 한편, CMOS 고체 촬상 장치에서의 플로팅 디퓨전부(FD부라고 한다)에 관해서는, 보존 시간으로서 통상 구동에서는 수 μ sec, 글로벌 셔터 동작을 실현시키기 위해서는 적어도 프레임 레이트 이상의 보존 특성이 요구된다. 이 때문에, FD부에서도, 포토 다이오드와 마찬가지로, 암전류 저감이 큰 과제가 된다. 그러나 FD부에서의 암전류 저감에 관해, 상기한 고체 촬상 장치의 구조를 적용하여도 암전류 저감 효과는 기대할 수가 없다.
- [0009] 도 18에, CMOS 고체 촬상 장치의 한 예(특허 문헌 2 참조)를 도시한다. 이 CMOS 고체촬상 장치는, n형 반도체 기판(2201)에 p형 웰 영역(2202)이 형성되고, p형 웰 영역(2202)에 LOCOS 산화막에 의한 소자 분리 영역(2204)이 형성된다. 소자 분리 영역(2202)의 하면에 접하여 p형 채널 스톱층(2203)이 형성된다. p형 웰 영역(2202)에는, n형 확산층에 의한 플로팅 디퓨전 영역(FD 영역이라고 한다)(2205)가 형성되고, 도시하지 않지만 포토 다이오드가 형성된다. 또한, 게이트 절연막(2207)을 통하여 형성된 게이트 전극(2206)을 갖는 화소 트랜지스터가 형성된다.
- [0010] 도 18의 CMOS 고체 촬상 장치에서는, LOCOS 산화막에 의한 소자 분리 영역(2204) 아래에 형성된 공핍층(2208)의 바로 위에 게이트 전극(2206)이 존재하면, 암전류가 발생하기 쉽게 되는 것을 나타내고 있다. 즉, 고농도의 n+층인 FD 영역(2205)과 p+층인 채널 스톱층(2203)이 근접하고 있는 부분에서는, 신호 관독을 행하고 있는 동안은 동작상, FD 영역(2205)의 전압은 p형 웰 영역(2202)에 대해 정의 전위가 인가된다. 이 때문에, pn 접합에 대해 역방향 전압이 인가된다.
- [0011] 또한, 도 18에 도시하는 영역(b)에서는, 소자 분리 영역(2204)을 끼우고 n+폴리실리컨으로 이루어지는 게이트 전극(2206)이 형성된다. 이 게이트 전극(2206)과 p형 채널 스톱층(2203)은 일 함수 차가 존재하기 때문에, 게이트 전극(2206)이 p형 웰 영역(2202)과 동전위라도 일 함수 차분만큼 채널 스톱층(2203)은 실효적으로 다수 캐리어가 고농도화되어 p+화한다. 이에 의해 FD 영역(2205)과 p형 웰 영역(2202) 사이에 형성된 공핍층(2208)중, 영역(b)에서는 게이트 전극(2206)이 없는 영역(c)에 비하여 공핍층폭이 짧아진다($d1 < d2$). 동시에 n+의 FD(2205)와 p+의 채널스톱층(2203) 사이에 높은 전계가 인가되어 리크 전류가 발생하기 쉽게 된다. 즉, FD 영역과 접합을 이루어 공핍층을 형성하는 반대 도전형의 반도체 영역의 다수 캐리어 농도를 실효적으로 고농도화하는 재료(전극)가, 그 공핍층의 부근에 레이아웃되면 리크전류가 발생하기 쉽게 된다.
- [0012] 예를 들면, FD 영역이 n형 실리콘인 경우, 홀 영역의 다수 캐리어 농도를 실효적으로 높이는 일 함수를 갖는 예를 들면 n형 폴리실리컨, 알루미늄 등의 재료를 이용한 경우, 리크 전류가 발생하기 쉽게 된다. 역으로 FD 영역이 p형 실리콘인 경우, n형 영역의 다수 캐리어의 농도를 실효적으로 높이는 일 함수를 갖는 예를 들면 p형 폴리실리컨 등의 재료를 이용한 경우, 리크 전류가 발생하기 쉽다 된다. 따라서, 이와 같은 경우는, 도 2b에 도시하는 바와 같이, FD 영역의 공핍층이 p+채널 스톱층과 가장 접하는 일이 없는 레이아웃이 보다 바람직하다.
- [0013] 도 19에, CMOS 고체 촬상 장치의 다른 예를 도시한다(특허 문헌 3 참조). 도 19A에서는, n형 반도체 기판(411)

에 p형 웰 영역(412)이 형성되고, 이 p형 웰 영역(412)에 LOCOS 산화막에 의한 소자 분리 영역(413), n형 반도체 영역으로 이루어지는 포토 다이오드(414) 및 관독 트랜지스터(421)가 형성된다. 관독 트랜지스터(421)는, 포토 다이오드(414) 신호 전하를 수직 신호선과의 사이에 접속된다. 관독 트랜지스터(421)는, 포토 다이오드(414)와 n형 반도체 영역(415)을 한 쌍의 소스/드레인으로 하고, 게이트 절연막(416)을 통하여 형성된 게이트 전극(417)을 갖고서 형성된다. p형 웰 영역(412)에는, 소자 분리 영역(413)을 둘러싸도록 p형 반도체 영역(422)이 형성된다.

[0014] [특허 문헌]

[0015] 특허 문헌 1 : 일본 특허 제 4247235호

[0016] 특허 문헌 2 : 일본 특개2005-142503호 공보

[0017] 특허 문헌 3 : 일본 특개2001-28433호 공보

[0018] [비특허 문헌]

[0019] 비특허 문헌 1 : Hurkx et al., "A New Recombination Model for Device Simulation Including Tunneling", IEEE TED. Vol. 39, no. 2pp. 331-338, 1992.

[0020] 비특허 문헌 2 : G. Eneman et al., "Analysis of junction leakage in advanced germanium p+/ n junctions", in proc. European Solid-State Device Research Conf. 2007, pp. 454-457

발명의 내용

해결하려는 과제

[0021] FD 영역에서 결함은 집중하는 영역은, 응력이 집중하는 필드 에지부이고, 공핍층이 겹치면, FD 영역의 암전류가 증가한다. 특허 문헌 1(도 17 참조)과 마찬가지로, LOCOS 산화막상에 차광막을 배치하고, FD 영역에 부 바이어스를 걸어주어도 특허 문헌 2(도 18 참조)에서 기술되어 있는 바와 같이, p웰 영역측의 캐리어가 고농도화하여 공핍층폭이 작아지고 전계 강도도 높아진다. 또한, 이 공핍층 영역은 결함층이 존재하는 필드 에지부이다. 이 때문에, 암전류를 증가시키고, 측정 온도를 상승시킨다면 가속도적으로 암전류가 증가한다.

[0022] 비특허 문헌 1, 2에 의하면, 일반적으로, 반도체 장치에 있어서, 결정 결함부에 pn 접합의 역바이어스에 의한 전계 집중이 생기면, TAT(Trap - Assisted - Tunneling - model)라고 불리는 기구에 의해, 결정 결함을 통한 리크 전류가 발생하는 것이 설명되어 있다. 따라서 상술한 문제는, 같은 기구에 의해 발생하고 있는 것이 널리 알려져 있다.

[0023] 특허 문헌 2에서는, 공핍층이 산화막을 통한 전극에 의한 바이어스의 영향을 최소한으로 하는 레이아웃을 제안하고 있지만, 공핍층 자신의 위치가 결함층이 존재하는 필드 에지부에서, 대폭적인 FD부에서의 리크 전류 개선을 바랄 수가 없다.

[0024] 이것을 회피하기 위해서는, 특허 문헌 3(도 19A 참조)에 도시하는 바와 같이, 소자 분리 영역(413)의 단부(이른바 필드 에지부)에 p형 반도체 영역(42)을 형성하여, 결함층인 필드 에지부를 홀 피닝하고 있다. 이에 의해, 공핍층이 표면 부분에 노출하여 버리지만, 필드 에지부로부터의 결함수가 비교적 적기 때문에 암전류는 개선된다. 그러나 도 19B에 도시하는 바와 같이, 필드 에지부를 홀 피닝하는 p형 반도체 영역(422)은, 레지스트 마스크(423)로 패터닝하기 때문에, 소자 분리 영역(413)에 대해 셀프알라인으로 형성할 수가 없다. n형 반도체 영역(415)에서 형성되는 공핍층은, p 반도체 영역(422)과 n 반도체 영역(415)의 선 폭의 겹침 편차에 의해, 공핍층 면적이 변동하여 버려, 암전류 편차가 매우 커져 버릴 우려가 있다.

[0025] 본 발명은, 상술한 점을 감안하여, 플로팅 디퓨전 영역의 리크 전류가 적고, 또한, 화소 사이의 리크 전류량 편차가 적은 고체 촬상 장치, 및 이 고체 촬상 장치를 구비한 카메라 등의 전자 기기를 제공하는 것이다.

과제의 해결 수단

[0026] 본 발명에 관한 고체 촬상 장치는, 제 1 도전형의 제 1의 반도체 영역과, 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 형성된 제 2 도전형의 제 2의 반도체 영역을 갖는 광전변환부와, 제 1의 반도체 영역에 형성된 화소 트랜지스터를 갖는다. 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 형성된 제 2 도전형의 플로팅 디퓨전 영역과, 플로팅 디퓨전 영역과 소자 분리 영역의 사이에 존재하는 제 1의 반도체 영역상

에 형성되고 소요되는 바이어스 전압이 인가되는 전극을 갖는다.

- [0027] 본 발명의 고체 활상 장치에서는, 플로팅 디퓨전 영역과 소자 분리 영역의 사이에 존재하는 제 1의 반도체 영역 상에 전극이 형성되고, 이 전극에 소요되는 바이어스 전압이 인가된다. 이 구성에 의해, 플로팅 디퓨전 영역에서 형성되는 공핍층의 퍼짐 폭이 억제된다. 따라서, 반도체 표면에 존재하는 공핍층의 면적이 작아지고, 리크 전류가 저감한다.
- [0028] 본 발명에 관한 고체 활상 장치의 제조 방법은, 반도체 기판에, 제 1 도전형의 제 1의 반도체 영역, 소자 분리 영역 및 소자 분리 영역을 둘러싸는 제 1의 반도체 영역보다 불순물 농도가 높은 제 1 도전형의 제 2의 반도체 영역을 형성하는 공정을 갖는다. 소자 분리 영역으로 구획된 영역 내의 제 2 도전형의 제 2의 반도체 영역을 갖는 광전변환부, 및 상기 영역 내의 제 2 도전형의 플로팅 디퓨전 영역을 형성하는 공정을 갖는다. 제 1의 반도체 영역에 게이트 전극을 갖는 화소 트랜지스터를 형성하는 공정을 갖는다. 또한, 플로팅 디퓨전 영역과 소자 분리 영역의 사이에 존재하는 제 1의 반도체 영역상에, 소요되는 바이어스 전압이 인가되는 전극을 형성하는 공정을 갖는다.
- [0029] 본 발명의 고체 활상 장치의 제조 방법에서는, 플로팅 디퓨전 영역과 소자 분리영역의 사이에 존재하는 제 1의 반도체 영역상에, 소요되는 바이어스 전압이 인가되는 전극을 형성하는 공정을 갖는다. 이에 의해, 플로팅 디퓨전 영역에서 형성되는 공핍층의 퍼짐 폭이 억제되고, 반도체 표면에 존재하는 공핍층의 면적이 작아지고, 리크 전류가 저감하는 고체 활상 장치의 제조가 된다.
- [0030] 본 발명에 관한 고체 활상 장치는, 제 1 도전형의 제 1의 반도체 영역과, 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 형성된 제 2 도전형의 제 2의 반도체 영역을 갖는 광전변환부와, 제 1의 반도체 영역에 형성된 화소 트랜지스터를 갖는다. 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 형성된 제 2 도전형의 플로팅 디퓨전 영역과, 플로팅 디퓨전 영역과 소자 분리 영역의 사이에 존재하는 제 1의 반도체 영역상에 형성되고, 부의 고정 전하를 갖는 절연막을 갖는다.
- [0031] 본 발명의 고체 활상 장치에서는, 플로팅 디퓨전 영역과 소자 분리 영역의 사이에 존재하는 제 1의 반도체 영역 상에 부의 고정 전하를 갖는 절연막이 형성됨에 의해, 플로팅 디퓨전 영역에서 형성되는 공핍층의 퍼짐 폭이 억제된다. 따라서, 반도체 표면에 존재하는 공핍층의 면적이 작아진다.
- [0032] 본 발명에 관한 고체 활상 장치의 제조 방법은, 반도체 기판에, 제 1 도전형의 제 1의 반도체 영역, 소자 분리 영역 및 소자 분리 영역을 둘러싸는 제 1의 반도체 영역보다 불순물 농도가 높은 제 1 도전형의 제 2의 반도체 영역을 형성하는 공정을 갖는다. 소자 분리 영역으로 구획된 영역 내의 제 2 도전형의 제 2의 반도체 영역을 갖는 광전변환부, 및 상기 영역 내의 제 2 도전형의 플로팅 디퓨전 영역을 형성하는 공정을 갖는다. 제 1의 반도체 영역에 게이트 전극을 갖는 화소 트랜지스터를 형성하는 공정을 갖는다. 또한, 플로팅 디퓨전 영역과 소자 분리 영역의 사이에 존재하는 제 1의 반도체 영역상에, 부의 고정 전하를 갖는 절연막을 형성하는 공정을 갖는다.
- [0033] 본 발명의 고체 활상 장치의 제조 방법에서는, 플로팅 디퓨전 영역과 소자 분리영역의 사이에 존재하는 제 1의 반도체 영역상에, 부의 고정 전하를 갖는 절연막을 형성하는 공정을 갖는다. 이에 의해, 플로팅 디퓨전 영역에서 형성되는 공핍층의 퍼짐 폭이 억제되고, 반도체 표면에 존재하는 공핍층의 면적이 작아지고, 리크 전류가 저감하는 고체 활상 장치의 제조가 된다.
- [0034] 본 발명에 관한 전자 기기는, 고체 활상 장치와, 고체 활상 장치의 포토 다이오드에 입사광을 유도하는 광학계와, 고체 활상 장치의 출력 신호를 처리하는 신호 처리 회로를 구비한다. 고체 활상장치는, 상술한 고체 활상 장치로 구성된다.
- [0035] 즉, 고체 활상 장치는, 제 1 도전형의 제 1의 반도체 영역과, 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 형성된 제 2 도전형의 제 2의 반도체 영역을 갖는 광전변환부와, 제 1의 반도체 영역에 형성된 화소 트랜지스터를 갖는다. 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 형성된 제 2 도전형의 플로팅 디퓨전 영역을 갖는다. 또한, 플로팅 디퓨전 영역과 소자 분리 영역의 사이에 존재하는 제 1의 반도체 영역 상에 형성되고 소요되는 바이어스 전압이 인가되는 전극을 갖고서 구성된다.
- [0036] 또는, 고체 활상 장치는, 제 1 도전형의 제 1의 반도체 영역과, 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 형성된 제 2 도전형의 제 2의 반도체 영역을 갖는 광전변환부와, 제 1의 반도체 영역에 형성된 화소 트랜지스터를 갖는다. 제 1의 반도체 영역의 소자 분리 영역으로 분리된 영역 내에 형성된 제 2 도전형의 플로팅 디퓨전 영역을 갖는다. 또한, 플로팅 디퓨전 영역과 소자 분리 영역의 사이에 존재하는 제 1의 반도체 영

역상에 형성되고, 부의 고정 전하를 갖는 절연막을 갖고서 구성된다.

[0037] 본 발명의 전자 기기에서는, 고체 활상 장치에 있어서, 플로팅 디퓨전 영역과 소자 분리 영역의 사이에 존재하는 제 1의 반도체 영역상에, 소요되는 바이어스 전압이 인가되는 전극, 또는 부의 고정 전하를 갖는 절연막이 형성된다. 이에 의해, 플로팅 디퓨전 영역에서 형성되는 공핍층의 퍼짐 폭이 억제되고, 반도체 표면에 존재하는 공핍층의 면적이 작아진다.

발명의 효과

[0038] 본 발명에 관한 고체 활상 장치에 의하면, 소요되는 바이어스 전압이 인가되는 전극을 갖기 때문에, 플로팅 디퓨전 영역에서의 공핍층에 있어서, 반도체 표면에 존재하는 공핍층의 면적이 작아진다. 이에 의해, 플로팅 디퓨전 영역의 리크 전류를 적게 하고, 화소 사이의 리크 전류량의 편차를 적게 할 수 있다.

[0039] 본 발명에 관한 고체 활상 장치의 제조 방법에 의하면, 소요되는 바이어스 전압이 인가되는 전극을 형성하는 공정을 갖기 때문에, 플로팅 디퓨전 영역의 리크 전류가 적고, 화소 사이의 리크 전류량의 편차가 적은 고체 활상 장치를 제조할 수 있다.

[0040] 본 발명에 관한 고체 활상 장치에 의하면, 부의 고정 전하를 갖는 절연막을 갖기 때문에, 플로팅 디퓨전 영역에서의 공핍층에 있어서, 반도체 표면에 존재하는 공핍층의 면적이 작아진다. 이에 의해, 플로팅 디퓨전 영역의 리크 전류를 적게 하고, 화소 사이의 리크 전류량의 편차를 적게 할 수 있다.

[0041] 본 발명에 관한 고체 활상 장치의 제조 방법에 의하면, 부의 고정 전하를 갖는 절연막을 형성하는 공정을 갖기 때문에, 플로팅 디퓨전 영역의 리크 전류가 적고, 화소 사이의 리크 전류량의 편차가 적은 고체 활상 장치를 제조할 수 있다.

[0042] 본 발명에 관한 전자 기기에 의하면, 고체 활상 장치로서 상기 본 발명의 고체 활상 장치를 구비함에 의해, 플로팅 디퓨전 영역의 리크 전류를 적게 하고, 화소 사이의 리크 전류량의 편차를 적게 할 수 있다. 따라서, 고품질의 화상을 얻을 수 있고, 고품질의 카메라 등의 전자 기기를 제공할 수 있다.

도면의 간단한 설명

- [0043] 도 1은 본 발명의 각 실시의 형태에 적용되는 고체 활상 장치의 한 예를 도시하는 개략 구성도.
- 도 2는 본 발명에 관한 고체 활상 장치의 제 1 실시의 형태를 도시하는 주요부의 개략 평면도.
- 도 3은 도 2의 A-A선상의 개략 단면도.
- 도 4는 제 1 실시의 형태의 설명에 제공하는 단면도.
- 도 5는 제 1 실시의 형태의 설명에 제공하는 비교의 단면도.
- 도 6은 제 1 실시의 형태의 설명에 제공하는 직류의 바이어스 전압과 플로팅 디퓨전 영역(FD)의 리크 전류와의 관계를 도시하는 그래프.
- 도 7의 A, B는 캐리어 농도 분포의 바이어스 전압 의존성을 도시하는 그래프 및 시료 단면도.
- 도 8의 A 내지 C는 제 1 실시의 형태의 고체 활상 장치의 제조 방법 제 1을 도시하는 제조 공정도(그 1).
- 도 9의 D 내지 F는 제 1 실시의 형태의 고체 활상 장치의 제조 방법 제 1을 도시하는 제조 공정도(그 1).
- 도 10의 A 내지 B는 제 1 실시의 형태의 고체 활상 장치의 제조 방법 제 2를 도시하는 제조 공정도.
- 도 11은 본 발명에 관한 고체 활상 장치의 제 2 실시의 형태를 도시하는 주요부의 개략 단면도.
- 도 12는 제 2 실시의 형태에 관한 고체 활상 장치의 구동의 타이밍 차트.
- 도 13은 본 발명에 관한 고체 활상 장치의 제 3 실시의 형태를 도시하는 주요부의 개략 단면도.
- 도 14는 본 발명에 관한 고체 활상 장치의 제 4 실시의 형태를 도시하는 주요부의 개략 단면도.
- 도 15는 본 발명에 관한 고체 활상 장치의 제 5 실시의 형태를 도시하는 주요부의 개략 단면도.
- 도 16은 본 발명의 제 6 실시의 형태에 관한 전자 기기의 개략 구성도.

도 17은 종래의 CCD 고체 촬상 장치의 한 예를 도시하는 주요부의 단면도.

도 18은 종래의 CMOS 고체 촬상 장치의 한 예를 도시하는 주요부의 단면도.

도 19의 A, B는 종래의 CMOS 고체 촬상 장치의 다른 예를 도시하는 주요부의 단면도.

발명을 실시하기 위한 구체적인 내용

- [0044] 이하, 발명을 실시하기 위한 형태(이하 실시의 형태라고 한다)에 관해 설명한다. 또한, 설명은 이하의 순서로 행한다.
- [0045] 1. MOS 고체 촬상 장치의 개략 구성례
- [0046] 2. 제 1 실시의 형태(고체 촬상 장치의 구성례와 제조 방법례)
- [0047] 3. 제 2 실시의 형태(고체 촬상 장치의 구성례)
- [0048] 4. 제 3 실시의 형태(고체 촬상 장치의 구성례)
- [0049] 5. 제 4 실시의 형태(고체 촬상 장치의 구성례)
- [0050] 6. 제 5 실시의 형태(고체 촬상 장치의 구성례)
- [0051] 7. 제 6 실시의 형태(전자 기기의 구성례)
- [0052] <1. CMOS 고체 촬상 장치의 개략 구성례>
- [0053] 도 1에, 본 발명의 각 실시의 형태에 적용되는 MOS 고체 촬상 장치의 한 예의 개략 구성을 도시한다. 본 예의 고체 촬상 장치(1)는, 도 1에 도시하는 바와 같이, 반도체 기관(11) 예를 들면 실리콘 기관에 광전변환부를 포함하는 복수의 화소(2)가 규칙적으로 2차원 어레이 형상으로 배열된 화소 영역(이른바 촬상 영역)(3)과, 주변 회로부를 갖고서 구성된다. 화소(2)로서는, 하나의 광전변환부와 복수의 화소 트랜지스터로 이루어지는 단위 화소를 적용할 수 있다. 또한, 화소(2)로서는, 복수의 광전변환부가 전송 트랜지스터를 제외한 다른 화소 트랜지스터를 공유한 이른바 화소 공유의 구조를 적용할 수 있다. 복수의 화소 트랜지스터는, 전송 트랜지스터, 리셋 트랜지스터, 증폭 트랜지스터 및 선택 트랜지스터의 4트랜지스터, 또는 선택 트랜지스터를 생략한 3트랜지스터로 구성할 수 있다.
- [0054] 주변 회로부는, 수직 구동 회로(4)와, 칼럼 신호 처리 회로(5)와, 수평 구동 회로(6)와, 출력회로(7)와, 제어 회로(8) 등, 이른바 로직 회로를 갖고서 구성된다.
- [0055] 제어 회로(8)는, 입력 클럭과, 동작 모드 등을 지령하는 데이터를 수취하고, 또한, 고체 촬상 장치의 내부 정보 등의 데이터를 출력한다. 즉, 제어 회로(8)에서는, 수직 동기 신호, 수평 동기 신호 및 마스터 클럭에 의거하여, 수직 구동 회로(4), 칼럼 신호 처리 회로(5) 및 수평 구동 회로(6) 등의 동작의 기준이 되는 클럭 신호나 제어 신호를 생성한다. 그리고 이들의 신호를 수직 구동 회로(4), 칼럼 신호 처리 회로(5) 및 수평 구동 회로(6) 등에 입력한다.
- [0056] 수직 구동 회로(4)는, 예를 들면 시프트 레지스터에 의해 구성되고, 화소 구동 배선을 선택하고, 선택된 화소 구동 배선에 화소를 구동하기 위한 펄스를 공급하고, 행 단위로 화소를 구동한다. 즉, 수직 구동 회로(4)는, 화소 영역(3)의 각 화소(2)를 행 단위로 순차적으로 수직 방향으로 선택 주사한다. 그리고 수직 신호선(9)을 통하여 각 화소(2)의 광전변환 소자가 되는 예를 들면 포토 다이오드에서 수광량에 의하여 생성한 신호 전하에 의거한 화소 신호를 칼럼 신호 처리 회로(5)에 공급한다.
- [0057] 칼럼 신호 처리 회로(5)는, 화소(2)의 예를 들면 열마다 배치되어 있고, 1행분의 화소(2)로부터 출력되는 신호를 화소 열마다 노이즈 제거 등의 신호 처리를 행한다. 즉 칼럼 신호처리 회로(5)는, 화소(2) 고유의 고정 패턴 노이즈를 제거하기 위한 CDS나, 신호 증폭, AD 변환 등의 신호 처리를 행한다. 칼럼 신호 처리 회로(5)의 출력 단(段)에는 수평 선택 스위치(도시 생략)가 수평 신호선(10)과의 사이에 접속되어 마련된다.
- [0058] 수평 구동 회로(6)는, 예를 들면 시프트 레지스터에 의해 구성되고, 수평 주사 펄스를 순차적으로 출력함에 의해, 칼럼 신호 처리 회로(5)의 각각을 순번대로 선택하고, 칼럼 신호 처리 회로(5)의 각각으로부터 화소 신호를 수평 신호선(10)에 출력시킨다.
- [0059] 출력 회로(7)는, 칼럼 신호 처리 회로(5)의 각각으로부터 수평 신호선(10)을 통하여 순차적으로 공급되는 신호

에 대해, 신호 처리를 행하여 출력한다. 예를 들면, 버퍼링만 하는 경우도 있으며, 흑레벨 조정, 열(列) 편차 보정, 각종 디지털 신호 처리 등이 행해지는 경우도 있다. 입출력 단자(12)는, 외부와 신호의 교환을 한다.

- [0060] <2. 제 1 실시의 형태>
- [0061] [고체 촬상 장치의 구성례]
- [0062] 도 2 내지 도 3에, 본 발명에 관한 고체 촬상 장치, 즉 CMOS 고체 촬상 장치의 제 1 실시의 형태를 도시한다. 도 2는 복수의 화소가 2차원 어레이 형상(이른바 매트릭스형상)으로 배열된 촬상 영역의 단위 화소에 상당하는 영역의 개략 평면도(레이아웃), 도 3은 도 2의 A-A선상의 개략 단면 구조를 각각 도시한다.
- [0063] 제 1 실시의 형태에 관한 고체 촬상 장치(21)는, 제 2 도전형의 실리콘 반도체 기관(22)에 제 1 도전형의 반도체 웰 영역(23)이 형성되고, 반도체 웰 영역(23)에 광전변환부가 되는 포토 다이오드(PD)와 복수의 화소 트랜지스터로 이루어지는 화소(24)를 갖고서 구성된다. 복수의 화소(24)가 규칙적으로 2차원 어레이 형상, 예를 들면 매트릭스형상으로 배열되어 촬상 영역이 형성된다. 본 예에서는, n형의 반도체 기관(22)에 p형의 반도체 웰 영역(23)이 형성되고, 이 반도체 웰(23)에 복수의 화소(24)가 형성되어 촬상 영역이 형성된다.
- [0064] 포토 다이오드(PD)는, 광전변환 및 전하 축적을 행하는 n형 반도체 영역(24)과, 그 표면층에 n형 반도체 영역보다 고불순물 농도(고도즈량)의 압전류 억제용의 p형 반도체 영역(25)을 갖고 형성된다. 복수의 화소 트랜지스터는, 본 예에서는 전송 트랜지스터(Tr1)와, 리셋 트랜지스터(Tr2)와, 증폭 트랜지스터(Tr3)와, 선택 트랜지스터(Tr4)의 4트랜지스터로 구성된다.
- [0065] p형 반도체 웰(23)에는, 화소 사이 분리 및 화소 내 분리를 하기 위한 소자 분리 영역(28)이 형성된다. 소자 분리 영역(28)으로서는, 본 예에서는 STI 구조 또는 LOCO 산화막 등에 의한 절연막으로 형성된다. 본 예에서는 소자 분리 소자(28)가 LOCO 산화막으로 형성된다. 이 소자 분리 영역(28)을 둘러싸도록 p형 반도체 웰 영역(23) 내에 p형 반도체 영역(23)보다 고불순물 농도(즉 고도즈량)의 p형 반도체 영역(29)이 형성된다.
- [0066] 포토 다이오드(PD) 및 전송 트랜지스터(Tr1)는, 소자 분리 영역(28)으로 분리된 영역 내에 형성된다. 다른 화소 트랜지스터인 리셋 트랜지스터(Tr2), 증폭 트랜지스터(Tr3) 및 선택 트랜지스터(Tr4)는, 통합되어 포토 다이오드(PD)로부터 떨어져서 소자 분리 영역(28)으로 분리된 영역에 형성된다.
- [0067] 전송 트랜지스터(Tr1)는, 포토 다이오드(PD)를 소스로 하고, n형 반도체 영역에서 형성된 플로팅 디퓨전 영역(FD)을 드레인으로 하고, 게이트 절연막(예를 들면 실리콘 산화막)(31)을 통하여 형성된 전송 게이트 전극(32)을 갖고서 형성된다. 플로팅 디퓨전 영역(FD)은, 소자 분리 영역(28)을 둘러싸는 p형 반도체 영역(29)과 p형 반도체 웰 영역(23)보다 고불순물 농도(즉 고도즈량)로 형성된다. 플로팅 디퓨전(FD)은, n형 불순물의 이온 주입으로 형성되고, 바람직하게는 As의 이온 주입으로 형성된다.
- [0068] 리셋 트랜지스터(Tr2)는, n형 반도체 영역(34)을 소스로 하고, 공유의 n형 반도체 영역(35)을 드레인으로 하고, 게이트 절연막(31)을 통하여 형성된 리셋 게이트 전극(38)을 갖고서 형성된다. 증폭 트랜지스터(Tr3)는, 공유의 n형 반도체 영역(35)을 드레인으로 하고, 공유의 n형 반도체 영역(36)을 소스로 하고, 게이트 절연막(31)을 통하여 형성된 증폭 게이트 전극(39)을 갖고서 형성된다. 선택 트랜지스터(Tr4)는, 공유의 n형 반도체 영역(36)을 드레인으로 하고, n형 반도체 영역(37)을 소스로 하고, 게이트 절연막(31)을 통하여 형성된 선택 게이트 전극(41)을 갖고서 형성된다. 각 n형 반도체 영역(34 내지 37)은, 플로팅 디퓨전 영역과 같은 공정으로 형성된다. 각 게이트 전극(32, 38, 39 및 41)은, 예를 들면 불순물 도프의 폴리실리콘막으로 형성된다.
- [0069] 후술하는 바와 같이, 플로팅 디퓨전 영역(FD)은, 리셋 트랜지스터(Tr2)의 소스가 되는 n형 반도체 영역(34)과 증폭 게이트 전극(39)에, 콘택트부(42, 43 및 44)를 통하여 전기적으로 접속된다. 리셋 트랜지스터(Tr2) 및 증폭 트랜지스터(Tr3)의 드레인이 되는 공유의 n형 반도체 영역(35)은, 콘택트부(45)를 통하여 전원(VDD)에 접속된다. 선택 트랜지스터(Tr4)의 소스가 되는 n형 반도체 영역(37)은, 콘택트부(46)를 통하여 수직 신호선에 접속된다.
- [0070] 전송 트랜지스터(Tr1)의 전송 게이트 전극(32)은, 콘택트부(47)를 통하여 전송 게이트 펄스가 인가되는 전송 배선에 접속된다. 전송 트랜지스터(Tr1)가 온 함에 의해, 포토 다이오드(PD)의 신호 전하가 플로팅 디퓨전 영역(FD)에 전송되어 보존된다. 리셋 트랜지스터(Tr2)의 리셋 게이트 전극(38)은, 콘택트부(48)를 통하여 리셋 게이트 펄스가 인가되는 리셋 배선에 접속된다. 리셋 트랜지스터(Tr2)가 온 함에 의해, 플로팅 디퓨전 영역(FD)에 보존되어 있던 신호 전하는 리셋된다. 선택 트랜지스터(Tr4)의 선택 게이트 전극(41)은, 콘택트부(49)를 통하여 선택 게이트 펄스가 인가되는 선택 배선에 접속된다. 선택 트랜지스터(Tr4)가 온 함에 의해 열 선택되고, 증폭

트랜지스터(Tr3)에서 전하 전압 변환하여 얻어진 화소 신호가 수직 신호선에 출력된다.

[0071] 그리고 본 실시의 형태에서는, 플로팅 디퓨전 영역(FD)이 소자 분리 영역(28) 및 이것을 둘러싸는 p형 반도체 영역(29)으로부터 떨어져서 형성된다. 또한, 플로팅 디퓨전 영역(FD)의 pn 접합(j)을 끼우고 형성되는 공핍층(51)이 소자 분리 영역(28)에 걸쳐지지 않도록, 또한, 공핍층(51)의 일부가 반도체 표면에 존재하도록 구성된다. 도 3에서는, 공핍층(51)이 소자 분리 영역(28) 및 이것을 둘러싸는 p형 반도체 영역(29)에 걸쳐지지 않고, p형 반도체 웰 영역(23)측으로 넓어지는 공핍층(51) 및 플로팅 디퓨전(FD)측으로 넓어지는 공핍층(51)의 일부가 반도체 표면에 노출하고 있다.

[0072] 게이트 전극(32, 38, 39 및 42), 소자 분리 영역(28)상을 포함하는 반도체 기판 표면상에는, 실리콘 산화막(50), 실리콘 질화막(30), 실리콘 산화막(40)이 형성된다. 게이트 전극을 제외한 타부분 전면에는, 절연한 게이트 절연막(예를 들면 실리콘 산화막)(31)과, 실리콘 질화막(30)과, 실리콘 산화막(40)에 의한 적층 절연막이 형성된다. 또한, 반도체 기판상에, 따라서 이 적층된 절연막상의 적어도 플로팅 디퓨전 영역(FD)과 소자 분리 영역(28)의 사이에 존재하도록, 소요되는 직류의 바이어스 전압을 인가하는 전극(53)이 형성된다. 환언하면, 공핍층(51)의 일부가 반도체 표면에 노출하는 영역에, 소요되는 직류의 바이어스 전압을 인가하는 전극(53)이 형성된다. 이 소요되는 바이어스 전압은, 반도체 웰 영역(23)의 절연막과의 계면에서의 다수 캐리어 농도가 높아지는 전압으로 설정된다. 본 예에서는 반도체 웰 영역(23)이 p형이기 때문에, 바람직하게는 상기 계면에 다수 캐리어인 홀을 유지하는 부의 전압이 전극(53)에 인가된다. 또한, 후술하는 바와 같이, 전극(53)에 0V를 인가하여도 효과가 있다. 전극(53)으로서는, 예를 들면 텅스텐(W) 등의 금속막으로 형성되고, 차광막을 겸할 수 있다. 본 예에서는, 포토 다이오드(PD) 및 콘택트부의 개구(54)를 제외하고, 전면에 형성된다.

[0073] 포토 다이오드(FD) 및 복수의 화소 트랜지스터(Tr1 내지 Tr4)가 형성된 반도체기판(23)의 표면측의 상방에, 층간 절연막(55)을 통하여 복수층의 배선(56)이 배치된 다층배선층(57)이 형성된다. 도 2에서는 1층째의 배선(56)만 나타낸다. 각 콘택트부는 도전 플러그(58)를 통하여 소요되는 배선(56)에 접속된다. 플로팅 디퓨전 영역(FD)은, 전극(53)의 개구(54)를 관통하여 소요되는 배선(56)에 접속된다. 또한, 전극(53)은 도전 플러그(58)를 통하여 소요되는 배선(56)에 접속된다(도 3 참조). 도전 플러그(58)는, 예를 들면 배리어 메탈(59)을 통하여 텅스텐 플러그로 형성할 수 있다. 배선(56)은, 상하로 배리어 메탈(59)을 통하여 알루미늄 배선으로 형성할 수 있다.

[0074] 또한, 도시하지 않지만, 다층 배선층(57)상에 컬러 필터 및 온 칩 렌즈를 형성하여 목적하는 표면 조사형의 고체 촬상 장치(21)가 구성된다.

[0075] 제 1 실시의 형태에 관한 고체 촬상 장치(21)에 의하면, 플로팅 디퓨전 영역의 pn 접합(j)을 끼우고 형성된 공핍층(51)의 일부가 반도체 표면에 노출하는 영역상에 절연막을 통하여 부의 바이어스 전압을 인가하는 전극(53)이 형성되어 있다. 이에 의해, p형 반도체 웰 영역(23)의 절연막과의 계면에 홀이 유지되고, 그 계면이 홀 피닝되기 때문에, 도 4에 도시하는 바와 같이, p형 반도체 웰 영역(23)측의 반도체 표면에 노출하는 공핍층의 퍼짐 폭이 작아진다. 한편, 플로팅 디퓨전 영역(FD)이 되는 n형 반도체 영역측에서는 전자 농도가 감소하는 경향이 되지만, 플로팅 디퓨전 영역(FD)인 n형 반도체 영역의 불순물 농도가 p형 반도체 웰 영역(23)보다 고농도이기 때문에, 반도체 표면에 노출하는 공핍층의 퍼짐이 억제된다. 즉, n형의 플로팅디퓨전 영역(FD)에서 생성되는 전자수가 많기 때문에, 부 바이어스의 조건하에서도 공핍화가 저감된다. 이 때문에, 도 4에 도시하는, 반도체 표면에 노출하는 공핍층(51)의 폭(t1)은, 도 5에 도시하는, 전극(53)을 그라운드 전위(0V)로 한 때의 공핍층(51)의 퍼짐 폭(t2)보다 작게 되고, 반도체 표면에 노출하는 공핍층(51)의 면적이 작아진다. 따라서, 플로팅 디퓨전 영역(FD)에서의 리크 전류, 이른바 암전류가 적어지고, 또한, 화소 사이의 리크 전류량의 편차도 적어진다. 리크 전류는, 반도체 표면에 노출하는 공핍층(51)의 면적이 작을수록, 적어진다.

[0076] 여기서, 부 바이어스를 걸은 때의 우려되는 점은, 상기 공핍층 면적이 작아지면 필연적으로 플로팅 디퓨전 영역(FD)의 pn 접합부의 전계 강도가 높아지는 것이다. 그러나 플로팅 디퓨전 영역(FD)의 반도체 표면에서는, 소자 분리 영역(28)의 단부(이른바 필드 에지)에 비하여, 소자 분리 영역 형성시의 응력이 걸리지 않는다. 게다가 소자 분리 영역(28)에 의한 단차도 없게 상층의 막 응력의 영향이 반도체 표면에 대해 작기 때문에, 제조 프로세스에서 유발하는 결정 결함도 발생하기 어렵다. 따라서, TAT에 의한 다결정 결함을 통한 리크 전류는, 결함 발생 빈도가 적기 때문에 전계 강도는 증가하는데도 불구하고, 억제할 수 있다. 또한, 반도체 표면에 노출하고 있는 공핍층 면적은, 전극(53)에 인가하는 바이어스 전압에 의해 제어되기 때문에, 화소 사이에서의 반도체 표면에 노출하고 있는 공핍층 면적은 일정하게 되고, 화소 사이의 리크 전류량의 편차도 제어된다.

[0077] 도 6에, 전극(53)에 인가하는 바이어스 전압을 플러스(정)로부터 0V 또한, 마이너스(부)의 방향으로 혼든 때의,

플로팅 디퓨전 영역(FD)에서의 접합 리크 전류가 변화를 도시한다. 직선(I)으로 도시하는 바와 같이, 부 바이어스가 될수록, 접합 리크 전류가 저감하는 것이 인정된다. 또한, 0V에서도 플로팅 디퓨전 영역(FD)에서의 접합 리크 전류가 저감하는 것이 인정된다. 특히, 전극(53)이 없는 경우에는, 예를 들면 절연막중에 플러스 이온이 내재하고 있으면, 도 6으로부터 분명한 바와 같이, 접합 리크 전류가 증가한다.

[0078] 도 7의 A에, 전극(53) 아래의 플로팅 디퓨전 영역(FD) 및 p형 웰 영역(23)의 최표면에서의 캐리어 농도 분포의 전극(53)에 인가하는 바이어스 전압 의존성을 도시한다. 시료는, 도 7의 B에 도시하고, 도 3과 대응하는 부분은 동일 부호를 붙이고 중복 설명을 생략한다. 도 7의 A에서, 좌측의 곡선은 LOCs 산화막에 의한 소자 분리 영역(29)을 둘러싸는 p형 반도체 영역(29)의 홀 농도(캐리어 농도)를 나타내고, 우측의 곡선은 플로팅 디퓨전 영역(FD)의 전자 농도(캐리어 농도)를 나타낸다. 홀 농도와 전자 농도의 곡선간이 공핍층에 상당한다.

[0079] 그리고 도 7의 A에서, 곡선(II)은 전극(53)에 그라운드 전압(0V)을 인가한 때의 분포를 나타낸다. 곡선(III)은 전극(53)에 -2V의 부 바이어스 전압을 인가한 때의 분포를 나타낸다. 곡선(IV)은 전극(53)에 -4V의 부 바이어스 전압을 인가한 때의 분포를 나타낸다.

[0080] 부 바이어스 전압을 인가한 때에는, 예를 들면 곡선(IV)으로 도시하는 바와 같이, 그라운드 전압을 인가한 때(곡선(II))에 비하여, p형 반도체 웰 영역(23)측에서는 어큐물레이션 상태가 되고, 표면 공핍층부의 홀 농도가 상승한다. 한편, n형의 플로팅 디퓨전 영역(FD)측에서는 불순물 도즈량(불순물 농도)이 높게 설정되어 있기 때문에, 표면 공핍층부에서의 전자 농도의 감소는 극히 적게 무시할 수 있을 정도이다. 따라서, 부 바이어스 전압을 인가한 때에는, 도 7의 A에 도시하는 공핍층의 폭(t1)이, 그라운드 전압을 인가한 때의 공핍층의 폭(t2)에 비하여 작아져 있고, 반도체 표면에 노출하는 공핍층(51)의 면적이 작아지는 것이 인정된다. 따라서, 본 실시의 형태에 있어서, 플로팅 디퓨전 영역(FD)에서의 리크 전류의 저감 효과가 실증된다.

[0081] 한편, p형 반도체 웰 영역(23)의 절연막과의 계면이 홀 피닝되기 때문에, 이 계면에서의 암전류를 억제할 수 있다. 불순물 농도가 높은 n형의 플로팅 디퓨전 영역(FD)이 소자 분리 영역(28)을 둘러싸는 고불순물 농도의 p형 반도체 영역(29)으로부터 떨어져 있기 때문에, 플로팅 디퓨전 영역(FD)의 pn 접합의 전계 강도가 높아지지 않고, 여기서의 리크 전류도 억제된다. 공핍층(51)이 결합층이 존재하는 소자 분리 영역(28)에 겹쳐지는 일이 없기 때문에, 리크 전류 증가가 회피된다.

[0082] 포토 다이오드(PD)상에 실리콘 산화막(31), 실리콘 질화막(30), 실리콘 산화막(40)의 적층 절연막이 형성되기 때문에, 적층 절연막에는 반사 방지 작용이 있고, 포토 다이오드(PD)에의 광 입사 효율을 향상시킬 수 있다. 전극(53)이 차광막을 겸할 때는, 별도 차광막을 배치할 필요가 없고, 구조적으로 간소화된다.

[0083] [제조 방법례 1]

[0084] 도 8 내지 도 9에, 제 1 실시의 형태에 관한 고체 촬상 장치의 제조 방법례 1을 도시한다. 우선, 도 8의 A에 도시하는 바와 같이, n형의 실리콘 반도체 기판(22)을 준비한다. 이 n형 반도체 기판(22)의 표면에 산화 처리하여 실리콘 산화막을 형성하고, 그 위에 CVD법에 의해 실리콘 질화막을 퇴적한다. 그 후, 실리콘 질화막의 소자 분리 영역을 형성하여야 할 영역 부분을, 리소그래피 기술 및 드라이 에칭 기술을 이용하여 선택적으로 제거하고, 뒤이어 필드 산화 처리하여, LOCOS 산화막에 의한 소자 분리 영역(28)을 형성한다. 다음에, n형 반도체 기판(22)의 표면에, 희생 산화 처리를 행하여 희생 산화막(59)을 형성한다. 그 후, p형 불순물, 예를 들면 붕소(B) 이온 주입하고, 850°C의 열처리를 행하여 p형 반도체 웰 영역(23)을 형성한다. 소자 분리 영역(28)의 형성 전, 또는 형성 후에 소자 분리 영역(28)을 둘러싸는 p형 반도체 영역(29)을 형성한다.

[0085] 다음에, 도 8의 B에 도시하는 바와 같이, 희생 산화막(59)을 제거하고, 다시 게이트 절연막(31)을 형성한다. 게이트 절연막(31)은, 예를 들면 열산화에 의한 실리콘 산화막으로 형성할 수 있다. 화소 트랜지스터를 형성하여야 할 영역의 게이트 절연막(31)상에 p형 불순물이 도포된 폴리시리콘막을 퇴적하고, 리소그래피 기술 및 드라이 에칭 기술을 이용하여 패터닝하여, p형 도프트 폴리시리콘막에 의한 화소 트랜지스터의 게이트 전극을 형성한다. 이때, 활성 영역상의 게이트 전극(31)은 남겨 둔다. 즉, 전송 게이트 전극(32), 리셋 게이트 전극(38), 증폭 게이트 전극(39) 및 선택 게이트 전극(41)을 형성한다.

[0086] 뒤이어, 레지스트 마스크(61)를 이용하여, n형 반도체 영역(25) 및 그 표면의 p형 반도체 영역(26)을 이온 주입법에 의해 형성하고, 포토 다이오드(PD)를 형성한다. n형 반도체 영역(25)은, n형 불순물, 예를 들면 비소(As)를 이온 주입하여 형성한다. p형 반도체 영역(26)은, 표면 부근에 p형 불순물, 예를 들면 붕소(B)를 이온 주입하여 형성한다.

[0087] 다음에, 도 8C에 도시하는 바와 같이, 레지스트 마스크(62)를 통하여, 플로팅 디퓨전 영역(FD)을 포함하는 화소

트랜지스터의 소스, 드레인이 되는 n형 반도체 영역(34, 35, 36 및 37)을 형성한다. 플로팅 디퓨전 영역(FD) 및 각 n형 반도체 영역(34 내지 37)은, 바람직하게는 비소(As)의 이온 주입으로 형성한다. 비소(As)는 확산 계수가 작기 때문에, n형 반도체 영역과 p형 반도체 웰 영역과의 경계의 불순물 농도가 가파르게 되어, 바람직하다.

- [0088] 플로팅 디퓨전 영역(FD)은, 그 pn 접합으로부터 넓어지는 공핍층이 소자 분리영역(28) 외부에 겹쳐지지 않도록 레이아웃된다. 즉, 소자 분리 영역(38) 및 이것을 둘러싸는 p형 반도체 영역(29)으로부터 필요한 거리를 떨어트려 형성한다.
- [0089] 소자 분리 영역(28)을 둘러싸는 p형 반도체 영역(29)은, p형 반도체 웰 영역보다도 높은 불순물 농도로 형성한다. 플로팅 디퓨전(FD)은, p형 반도체 영역(29) 및 p형 반도체 웰 영역(23)의 불순물 농도보다도 높은 불순물 농도로 형성한다. 플로팅 디퓨전 영역(FD)의 불순물 농도는 다음의 조건을 충족시키는 것이 바람직하다. 전술한 전류(53)에 부 바이어스 전압이 인가된 때에도, 표면에 유기되는 홀 농도에 영향받지 않고, 공핍층의 퍼짐 폭이 억제되는 농도일 것. 플로팅 디퓨전 영역에서의 pn 접합에 걸리는 전계 강도가 억제되고, 접합 리크 전류가 억제되는 농도일 것. 플로팅 디퓨전 영역(FD)의 콘택트가 충분히 취하여지는 농도일 것.
- [0090] p형 반도체 웰 영역(23)의 불순물 농도(도즈량 환산)로서는, 1×10^{12} 내지 $1 \times 10^{13}/\text{cm}^2$ 정도로 할 수 있다. 소자 분리 영역을 둘러싸는 p형 반도체 영역(29)의 불순물 농도(도즈량 환산)로서는, 1×10^{13} 내지 $1 \times 10^{14}/\text{cm}^2$ 정도로 할 수 있다.
- [0091] 도시하지 않지만, 활상 영역, 주변 회로에서의 n채널 MOS 트랜지스터, p채널 MOS 트랜지스터의 소스, 드레인이 되는, n형 반도체 영역 및 p형 반도체 영역으로서는, LDD 구조의 고농도 영역 및 저농도 영역을 형성한다.
- [0092] 다음에, 도 9의 D에 도시하는 바와 같이, 게이트 전극(32) 및 게이트 전극(38, 39, 41)(도시 생략)상을 포함하는 전면예, 실리콘 산화막(50), 실리콘 질화막(30) 및 실리콘 산화막(50)의 적층 절연막을 성막한다. 실리콘 산화막(50, 40)으로서는, 예를 들면 TEOS막을 이용할 수 있다. 또한, 그 위에 전극(53)이 되는 예를 들면 텅스텐(W) 등의 고용점 금속, 그 밖의 금속 등에 의한 금속막(53A)을 퇴적한다. 차광성을 구하는 고체 활상 장치에서는, 이 금속막(53A)이 차광막으로서의 기능을 갖는다. 실리콘 산화막(50), 실리콘 질화막(30) 및 실리콘 산화막(40)의 적층 절연막은, 반사 방지막으로서 기능한다. 이 적층 절연막의 총 막두께는, 10nm 내지 250nm 정도로 할 수 있다.
- [0093] 다음에, 도 9의 E에 도시하는 바와 같이, 금속막(53A)을 패터닝 가공한다. 포토 다이오드(PD), 게이트 전극의 콘택트부, 소스, 드레인이 되는 n형 반도체 영역의 콘택트부에 대응하는 영역에 개구를 형성하도록 패터닝 가공한다. 금속막(53A)은, 특히, 플로팅 디퓨전 영역(FD)과 p형 반도체 웰 영역(23)에 걸쳐져서, 반도체 표면에 노출하는 공핍층이 완전히 피복되도록 패터닝하여, 전극(53)을 형성한다.
- [0094] 다음에, 도 9의 F에 도시하는 바와 같이, 층간 절연막(55)을 퇴적하고, CMP(화학 기계 연마)법으로 층간 절연막(5)을 평탄화 처리한다. 그 후, 콘택트용의 개구를 형성한다. 그리고 개구 내면에 티탄(Ti) 등의 고용점 금속이나 TiN 등의 배리어 메탈(59) 스퍼터하고, 텅스텐(W)을 상기 개구 내에 매입하도록 CVD법에 의해 퇴적한다. 다음에, 텅스텐(W)을 에치백 또는 CMP 연마하여 콘택트용의 도전 플러그(58)를 형성한다.
- [0095] 다음에, 층간 절연막(55)상에 TiN 등의 배리어 메탈(59), 알루미늄, 배리어 메탈(59)을 순차적으로 퇴적하고, 패터닝하여 알루미늄에 의한 배선(56)을 형성한다. 이 공정을 반복하여 복수층의 배선(56)을 형성하고, 다층 배선층을 형성한다.
- [0096] 다음에, 도시하지 않지만, 다층 배선층상에 평탄화막을 통하여 컬러 필터 및 온 칩렌즈를 순차적으로 형성하여 목적하는 고체 활상 장치(21)를 얻는다.
- [0097] [제조 방법례 2]
- [0098] 도 10에, 제 1 실시의 형태에 관한 고체 활상 장치의 제조 방법례 2를 도시한다. 본 실시의 형태는, 소자 분리 영역(28)으로서 STI 구조의 소자 분리 영역을 이용한 경우이다.
- [0099] 도 10의 A에 도시하는 바와 같이, n형 실리콘 반도체 기판(22)에 p형 반도체 웰 영역(23)을 형성하고, 뒤이어, 소자 분리 영역을 형성하여야 할 영역에 소망하는 깊이의 홈(61)을 형성한다. 홈(61)의 내벽면에 실리콘 산화막(62)을 형성한 후, 홈(61) 내를 통과하여 p형 반도체 웰 영역(23)에 선택적으로 p형 불순물, 예를 들면 붕소(B)를 이온 주입하여 홈(61)을 둘러싸도록 홈(61)의 계면에 p형 반도체 영역(29)을 형성한다. p형 반도체 웰 영역(23)의 표면에는, 희생 산화막(59)이 형성되어 있다.

- [0100] 다음에, 도 10B에 도시하는 바와 같이, 홈(61) 내에 실리콘 산화막(63)을 매입하고, STI 구조의 소자 분리 영역(28)을 형성한다. 그 후는, 전술한 도 8의 B 내지 도 9의 F에서 도시한 것과 같은 공정을 거친다. 플로팅 디퓨전 영역(FD)은, p형 반도체 영역(29)과 겹쳐지지 않도록 떨어져서 형성한다. p형 반도체 영역(28)은, STI 구조의 소자 분리 영역(28)을 형성한 후에 형성하도록 하여도 좋다. 그 밖의 공정 및 각 공정에서의 형성 조건은, 전술한 제조 방법례 1과 마찬가지로이기 때문에, 상세 설명을 생략한다.
- [0101] 본 실시의 형태에 관한 제조 방법례 1, 2에 의하면, 플로팅 디퓨전 영역의 리크 전류가 적고, 또한, 화소 사이의 리크 전류량 편차가 적은 제 1 실시의 형태에 관한 고체 촬상 장치(21)를 제조할 수 있다.
- [0102] <3. 제 2 실시의 형태>
- [0103] [고체 촬상 장치의 구성례]
- [0104] 도 11에, 본 발명에 관한 고체 촬상 장치, 즉 CMOS 고체 촬상 장치의 제 2 실시의 형태를 도시한다. 본 실시의 형태는, 글로벌 셔터 동작을 행하는 고체 촬상 장치에 적용한 경우이다. 제 2 실시의 형태에 관한 고체 촬상 장치(71)는, 기본 구성은, 전술한 제 1 실시의 형태에 관한 고체 촬상 장치(21)와 마찬가지로이다. 따라서, 도 11에서, 도 3과 대응하는 부분에 동일 부호를 붙이고 중복 설명을 생략한다.
- [0105] 본 실시의 형태에 관한 고체 촬상 장치(71)는, 특히 각 화소의 플로팅 디퓨전 영역(FD)에 포토 다이오드(PD)로부터의 신호 전하를, 전 화소 동시에 전송하고, 플로팅 디퓨전 영역(FD)에 신호 전하를 소요되는 기간 보존하도록 구성된다. 즉, 고체 촬상 장치(71)에서는, 전 화소의 포토 다이오드(PD)에 축적된 신호 전하를 동시에 대응하는 플로팅 디퓨전 영역(FD)에 전송하여, 여기에 보존하고, 그 후, 1라인마다의 화소의 신호 전하를 순차적으로 전하 전압 변환하여 출력하도록 구성된다. 즉, 플로팅 디퓨전 영역(FD)은, 메모리 기능을 갖는 전하 보존부로서 구성된다.
- [0106] 도 12에, 고체 촬상 장치(71)의 구동 타이밍 차트를 도시한다. 우선, 포토 다이오드(PD)를 리셋하기 위해, 전 화소의 전송 트랜지스터(Tr1) 및 리셋 트랜지스터(Tr2)를 온 하여, 포토 다이오드(PD)의 전하를 리셋한다. 즉, 도 12에 도시하는 전송 게이트 펄스(TGi, TGi+1)를 전송 게이트 전극에 공급하고, 리셋 게이트 펄스(RSTi, RSTi+1)를 리셋 게이트 전극에 공급한다. 그 후, 노광을 시작하여 포토 다이오드(PD)에 전하를 축적한다.
- [0107] [0085]
- [0108] 다음에, 포토 다이오드(PD)로부터 플로팅 디퓨전 영역(FD)에 신호 전하를 전송시키는데, 그 전에 전 화소의 플로팅 디퓨전 영역(FD)을 리셋시킨다. 즉, 리셋 게이트 펄스(RSTi, RSTi+)를 공급하여 리셋 트랜지스터(Tr2)를 온 하여 플로팅 디퓨전 영역(FD)을 리셋한다. 기간(A)이 전 화소 공통의 노광 기간이 된다.
- [0109] 전극(53)은, 항상, 부 바이어스 전압이 인가된 상태이다. 단, 전극(53)은, 포토 다이오드(PD)로부터 플로팅 디퓨전 영역(FD)에 신호 전하를 전송시킬 때만, 전하 전송을 확실하게 실효(實效)하기 위해, 그라운드 전압 또는 정(正)의 바이어스 전압(Vw)이 인가된다. 신호 전하의 전송 완료 후, 전송 게이트 전압(TGi, TGi+1)과 동시에, 전극(53)의 전압(Vw)도 부 바이어스의 상태로 되돌려, 플로팅 디퓨전 영역(FD)의 전하 보존 상태에서는 전극(53)을 부 바이어스 상태로 한다. 즉, 전송 게이트 전극(TGi, TGi+1)도 부 바이어스 상태가 된다. 기간(Bi)이 i행째의 전하 보존 기간이고, 기간(Bi+1)이 i+1행째의 전하 보존 기간이다.
- [0110] 플로팅 디퓨전 영역(FD)에 보존시킨 신호 전하는, 선택 게이트 전극에 선택 게이트 펄스(SELi, SELi+1)를 인가하고, 선택 트랜지스터(Tr4)를 온 시켜, 화소 1행씩 판독을 행한다. 이 경우, 플로팅 디퓨전 영역(FD)의 전하 보존 기간은 i행째보다 i+1행째의 쪽이 1행째 판독 기간 보존한 분만큼 길어지고, 따라서, 후단의 행의 판독이 될수록, 전하 보존 기간이 길어진다. 전하 보존 기간에서의 플로팅 디퓨전 영역(FD)의 전위(VFD)는, 이상적으로는 변화하지 않는 것이 바람직하지만, 실제로는, 과선으로 도시하는 바와 같이, 보존 기간이 지날수록 리크 전류의 증가로 전위가 저하되어 간다.
- [0111] 또한, 도 12에서, D기간은 전하가 플로팅 디퓨전 영역(FD)에 축적된 상태의 기간이고, P기간은 전하가 플로팅 디퓨전 영역(FD)에 없는 상태의 기간이다.
- [0112] 제 2 실시의 형태에 관한 고체 촬상 장치(71)에 의하면, 이 플로팅 디퓨전 영역(FD)에서의 보존 기간중의 리크 전류를 적게 하고, 화소 사이의 리크 전류량의 편차를 적게 할 수 있다. 그 밖에, 제 1 실시의 형태에서 설명한 것과 같은 효과를 이룬다.
- [0113] <4. 제 3 실시의 형태>

- [0114] [고체 촬상 장치의 구성례]
- [0115] 도 13에, 본 발명에 관한 고체 촬상 장치, 즉 CMOS 고체 촬상 장치의 제 3 실시의 형태를 도시한다. 본 실시의 형태는, 글로벌 셔터 동작을 행하는 고체 촬상 장치의 다른 예에 적용한 경우이다. 제 3 실시의 형태에 관한 고체 촬상 장치(71)는, 포토 다이오드(PD)와 플로팅 디퓨전 영역(FD)의 사이에, 포토 다이오드(PD)의 신호 전하를 일단 보존하는 전하 보존부(이른바 메모리부)(74)를 마련하여 구성된다. 전하 보존부(74)는, 포토 다이오드(PD)에 이웃하도록, p형 반도체 웰 영역(23)에 형성한 n형 반도체 영역(75)과, 그 위에 게이트 절연막(31)을 통하여 형성된 게이트 전극(76)을 갖고서 형성된다. n형 반도체 영역(74)은, 예를 들면 플로팅 디퓨전 영역(FD)이 되는 n형 반도체 영역과 같은 공정으로 형성할 수 있다. 전하 보존부(75)와 플로팅디퓨전 영역(FD) 사이의 p형 반도체 웰 영역(23)의 표면상에, 게이트 절연막(31)을 통하여 전송 게이트 전극(32)이 형성된다. 전극(53)은, 전하 보존부의 게이트 전극(76) 및 전송 게이트 전극(32)상에도 피복하도록 형성된다.
- [0116] 그 밖의 구성은, 전술한 제 1 실시의 형태에 관한 고체 촬상 장치(21)와 마찬가지로이기 때문에, 도 13에서, 도 3과 대응하는 부분에 동일 부호를 붙이고 중복 설명을 생략한다.
- [0117] 제 3 실시의 형태에 관한 고체 촬상 장치(73)의 제조 방법은, 전술한 제 1 실시의 형태의 제조 방법례 1, 2와 같은 공정으로 제조할 수 있다. 이때, 전하 보존부(74)의 n형 반도체 영역(75)은, 플로팅 디퓨전 영역(FD) 및 다른 소스, 드레인이 되는 n반도체 영역과 같은 공정으로 형성하고, 전하 보존부(74)의 게이트 전극(76)은, 화소 트랜지스터의 게이트 전극과 같은 공정으로 형성한다.
- [0118] 제 3 실시의 형태의 고체 촬상 장치(73)에서는, 전 화소 일양한 노광 기간을 거친 후, 전하 보존부(74)의 게이트 전극(76)에 판독 게이트 펄스가 인가되어, 전 화소의 포토 다이오드(PD)의 신호 전하가 일단 전하 보존부(74)의 n형 반도체 영역(75)에 판독되어 보존된다. 그 후, 통상과 같이, 전송 게이트 전극에 전송 게이트 펄스가 인가되어, 화소 1행씩 전하 보존부(74)에 보존된 신호 전하가 플로팅 디퓨전 영역(FD)에 전송되고, 선택 트랜지스터가 온 하여 화소 신호의 판독이 행하여진다. 타이밍 차트는, 전송 게이트 펄스의 타이밍을 제외하고, 또한, 전하 보존부(74)의 게이트 전극(76)에 인가하는 판독 게이트 펄스를 도 12의 전송 게이트 펄스로 치환한 것을 제외하고, 도 12의 타이밍 차트와 같다.
- [0119] 제 3 실시의 형태에 관한 고체 촬상 장치(73)에 의하면, 전극(53)에 부의 바이어스 전압이 인가됨에 의해, 플로팅 디퓨전 영역(FD)에서의 리크 전류를 적게 하고, 또한, 화소 사이의 리크 전류량을 적게 할 수 있다. 전하 보존부(74)의 리크 전류는, 게이트 전극(73)의 바이어스 전압으로 컨트롤된다. 그 밖에, 제 1 실시의 형태에서 설명한 것과 같은 효과를 이룬다.
- [0120] <5. 제 4 실시의 형태>
- [0121] [고체 촬상 장치의 구성례]
- [0122] 도 14에, 본 발명에 관한 고체 촬상 장치, 즉 CMOS 고체 촬상 장치의 제 4 실시의 형태를 도시한다. 본 실시의 형태에 관한 고체 촬상 장치(78)는, 상기한 부의 바이어스 전압을 인가하는 전극(53)을 생략하고, 대신에 포토 다이오드(PD), 플로팅 디퓨전 영역(FD)을 피복하도록, 전면에 부의 고정 전하를 갖는 절연막(79)을 형성하여 구성된다. 이 절연막(79)상에 실리콘 질화막(30) 및 실리콘 산화막(40)이 순차적으로 형성된다. 부의 고정 전하를 갖는 절연막(79)은, p형 반도체 웰 영역(23)의 표면에 전술한 홀 농도가 상승하는 홀 어큐물레이션 상태가 형성되는 막두께면 좋고, 예를 들면 3nm 내지 100nm 정도의 막두께로 형성된다.
- [0123] 부의 고정 전하를 갖는 절연막(79)은, 예를 들면, 이산화 하프늄(HfO₂), 3산화2알루미늄(Al₂O₃), 5산화2탄탈(Ta₂O₅), 3산화2란탄(La₂O₃) 또는 3산화2이트륨(Y₂O₃) 등의 막을 이용할 수 있다. 상기 절연막(79)은, 그 밖에, Zn, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu, Ti 등의 산화막을 이용할 수도 있다. 부의 고정 전하를 갖는 절연막(79)의 성막 방법은, 예를 들면 전자층 증착(ALD : Atomic Layer Deposition)법, MOCVD법을 이용할 수 있다.
- [0124] 그 밖의 구성은, 전술한 제 1 실시의 형태에 관한 고체 촬상 장치(21)와 마찬가지로이기 때문에, 도 14에서, 도 3과 대응하는 부분에 동일 부호를 붙이고 중복 설명을 생략한다.
- [0125] 제 4 실시의 형태에 관한 고체 촬상 장치(78)의 제조 방법은, 도 8의 A 내지 도 8C의 공정까지는 같다. 뒤이어, 전면에 부의 고정 전하를 갖는 절연막(79), 실리콘 질화막(30) 및 실리콘 산화막(40)을 적층한다. 그 후, 층간 절연막, 도전 플러그, 배선을 형성하고, 이 반복에 의해 다층 배선층을 형성하고, 평탄화막을 통하여 컬러 필터

및 은 칩 렌즈를 형성하여 고체 촬상 장치(78)를 얻는다.

- [0126] 제 4 실시의 형태에 관한 고체 촬상 장치(79)에 의하면, 부의 고정 전하를 갖는 절연막(79)에 의해 p형 반도체 웰 영역(23)의 표면의 홀 농도가 상승하고, 이 표면이 홀 피닝 상태가 된다. 플로팅 디퓨전 영역(FD)의 n형 반도체 영역 표면은 전자 농도가 저하하면, 그 n형 반도체 영역의 불순물 농도가 p형 반도체 웰 영역(23)보다 고농도이기 때문에, n형 반도체 영역측에서의 공핍화가 억제된다. 결과로서, 전술한 전극(53)에 부 바이어스 전압을 주는 조건하와 같은 상태를 실현할 수 있고, 플로팅 디퓨전 영역(FD)에서의 리크 전류(암전류)를 적게 할 수 있다. 또한, 화소 사이의 리크 전류량의 편차를 적게 할 수 있다.
- [0127] 제 4 실시의 형태에서의 부의 고정 전하를 갖는 절연막(78)을 형성하는 구성은, 전술한 글로벌 셔터 동작을 가능하게 한 도 11, 도 13의 구성에도 적용할 수 있다.
- [0128] <6. 제 5 실시의 형태>
- [0129] [고체 촬상 장치의 구성례]
- [0130] 도 15에, 본 발명에 관한 고체 촬상 장치, 즉 CMOS 고체 촬상 장치의 제 5 실시의 형태를 도시한다. 본 실시의 형태에 관한 고체 촬상 장치(81)는, 부의 고정 전하를 갖는 절연막(79)을, 실리콘 산화막(50), 실리콘 질화막(30) 및 실리콘 산화막(40)에 의한 적층 절연막상에 층간 절연막(82)을 통하여 일양하게 형성하여 구성된다. 그 밖의 구성은, 제 4 실시의 형태와 마찬가지로이기 때문에, 도 15에서, 도 14와 대응하는 부분에는 동일 부호를 붙이고 중복 설명을 생략한다.
- [0131] 제 5 실시의 형태에 관한 고체 촬상 장치(81)의 제조 방법은, 부의 고정 전하를 갖는 절연막(79)의 형성 공정이 제 4 실시의 형태에서의 형성 공정보다 후가 될 뿐이고, 제 4 실시의 형태의 고체촬상 장치(78)의 제조 방법과 실질적으로 변하지 않는다.
- [0132] 제 5 실시의 형태에 관한 고체 촬상 장치(81)에 의하면, 부 바이어스 전압을 주는 전극(53)에 치환하여, 부의 고정 전하를 갖는 절연막(79)이 형성되기 때문에, 제 4 실시의 형태에서 설명한 것과 같은 작용을 가지며, 플로팅 디퓨전 영역(FD)에서의 리크 전류(암전류)를 적게 할 수 있다. 또한, 화소 사이의 리크 전류량의 편차를 적게 할 수 있다.
- [0133] 제 5 실시의 형태에서의 부의 고정 전하를 갖는 절연막(78)을 형성하는 구성은, 전술한 글로벌 셔터 동작을 가능하게 한 도 11, 도 13의 구성에도 적용할 수 있다.
- [0134] 상술한 실시의 형태에 관한 고체 촬상 장치의 화소는, 하나의 포토 다이오드와 복수의 화소 트랜지스터, 예를 들면 4트랜지스터, 3트랜지스터로 이루어지는 단위화소(비공유 타입)를 적용할 수 있다. 또는 복수의 포토 다이오드에 하나의 플로팅 디퓨전(FD), 하나의 화소 트랜지스터부를 공유시킨 공유 화소(공유 타입)를 적용할 수 있다.
- [0135] 상술한 실시의 형태에 관한 고체 촬상 장치에서는, 신호 전하를 전자로 하고, 제 1 도전형을 p형, 제 2 도전형을 n형으로 하여 구성하였지만, 신호 전하를 정(홀)으로 하는 고체 촬상 장치에도 적용할 수 있다. 이 2도전형, n형이 제 1 도전형이 된다.
- [0136] <7. 제 6 실시의 형태>
- [0137] [전자 기기의 구성례]
- [0138] 상술한 본 발명에 관한 고체 촬상 장치는, 예를 들면 디지털 카메라나 비디오 카메라 등의 카메라 시스템이나, 촬상 기능을 갖는 휴대 전화, 또는 촬상 기능을 구비한 다른 기기, 등의 전자기기에 적용할 수 있다.
- [0139] 도 16에, 본 발명에 관한 전자 기기의 한 예로서 카메라에 적용한 제 6 실시의 형태를 도시한다. 본 실시의 형태에 관한 카메라는, 정지화상 또는 동화 촬영 가능한 비디오 카메라를 예로 한 것이다. 본 실시 형태의 카메라(91)는, 고체 촬상 장치(92)와, 고체 촬상 장치(92)의 포토 다이오드(PD)에 입사광을 유도하는 광학계(93)와, 셔터 장치(94)를 갖는다. 또한, 카메라(91)는, 고체 촬상 장치(92)를 구동하는 구동 회로(95)와, 고체 촬상 장치(91)의 출력 신호를 처리하는 신호 처리 회로(96)를 갖는다.
- [0140] 고체 촬상 장치(91)는, 상술한 각 실시의 형태의 고체 촬상 장치의 어느 하나가 적용된다. 광학계(광학 렌즈)(93)는, 피사체로부터의 상광(입사광)을 고체 촬상 장치(91)의 촬상면 위에 결상시킨다. 이에 의해, 고체 촬상 장치(92) 내에, 일정 기간 신호 전하가 축적된다. 광학계(93)는, 복수의 광학 렌즈로 구성된 광학 렌즈계로

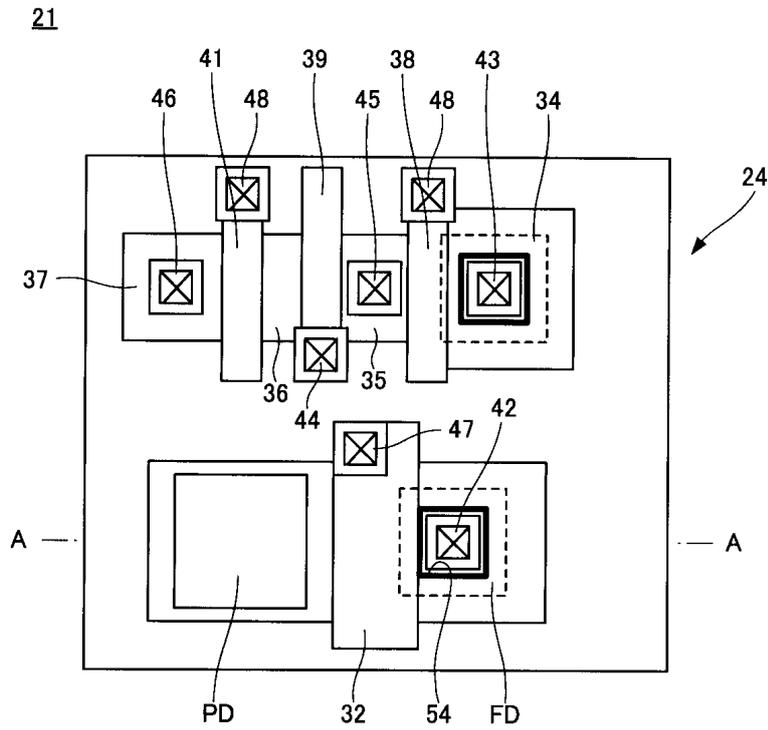
하여도 좋다. 셔터 장치(94)는, 고체 촬상 장치(92)에의 광조사 기간 및 차광 기간을 제어한다. 구동 회로(95)는, 고체 촬상 장치(92)의 전송 동작 및 셔터 장치(94)의 셔터 동작을 제어하는 구동 신호를 공급한다. 구동 회로(95)로부터 공급되는 구동 신호(타이밍 신호)에 의해, 고체 촬상 장치(92)의 신호 전송을 행한다. 신호 처리 회로(96)는, 각종의 신호 처리를 행한다. 신호 처리가 행하여진 영상 신호는, 메모리 등의 기억 매체에 기억되고, 또는, 모니터에 출력된다.

[0141] 제 6 실시의 형태에 관한 카메라 등의 전자 기기에 의하면, 고체 촬상 장치(92)에서, 플로팅 디퓨전 영역에서 리크 전류(암전류)가 적어지고, 화소 사이의 리크 전류량의 편차도 적어지고, 고화질의 화상을 얻을 수 있다. 따라서, 고품질의 카메라 등의 전자 기기를 제공할 수 있다.

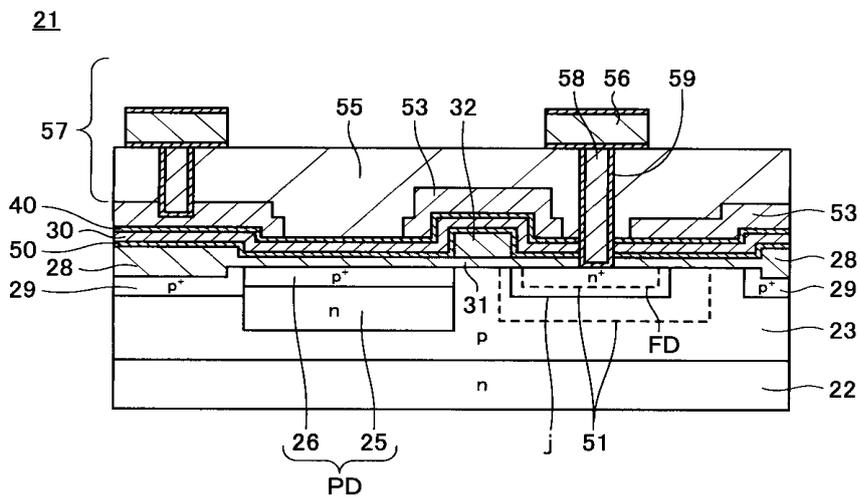
부호의 설명

- [0142] 21 : 고체 촬상 장치
- 22 : 반도체 기관
- 23 : 반도체 웰 영역
- PD : 포토 다이오드
- FD : 플로팅 디퓨전 영역
- 25 : n형 반도체 영역
- 26 : p형 반도체 영역
- 28 : 소자 분리 영역
- 29 : p형 반도체 영역
- 30, 49, 50 : 절연막
- 31 : 게이트 절연막
- 32, 38, 39, 41 : 게이트 전극
- 51 : 공핍층
- 53 : 전극
- 55 : 층간 절연막
- 56 : 배선
- 58 : 도전 플러그

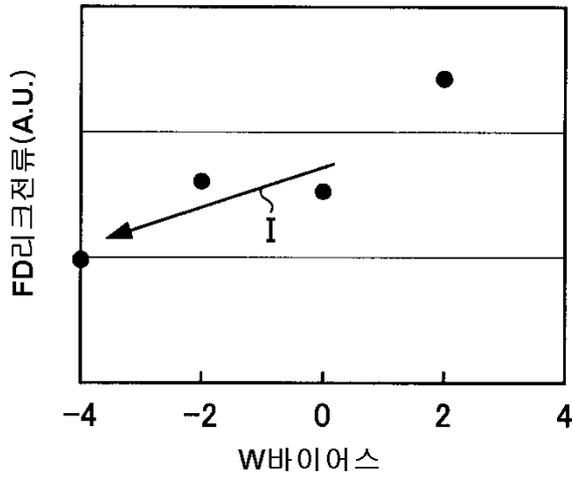
도면2



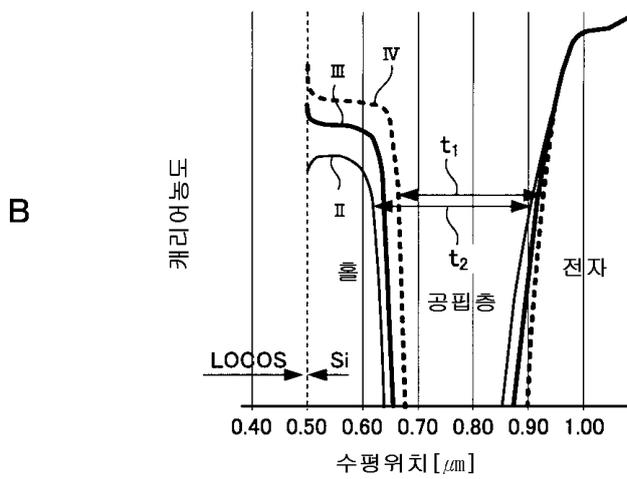
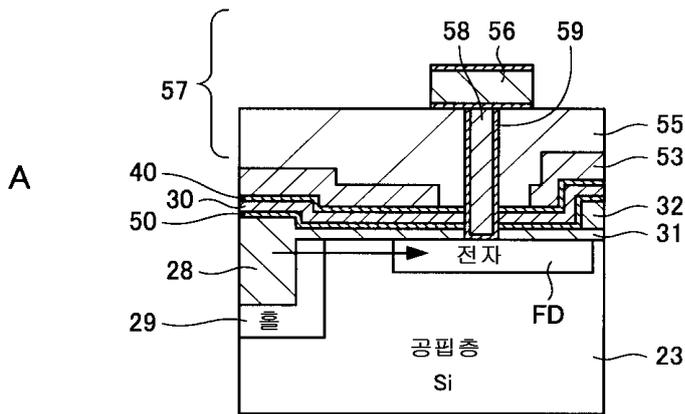
도면3



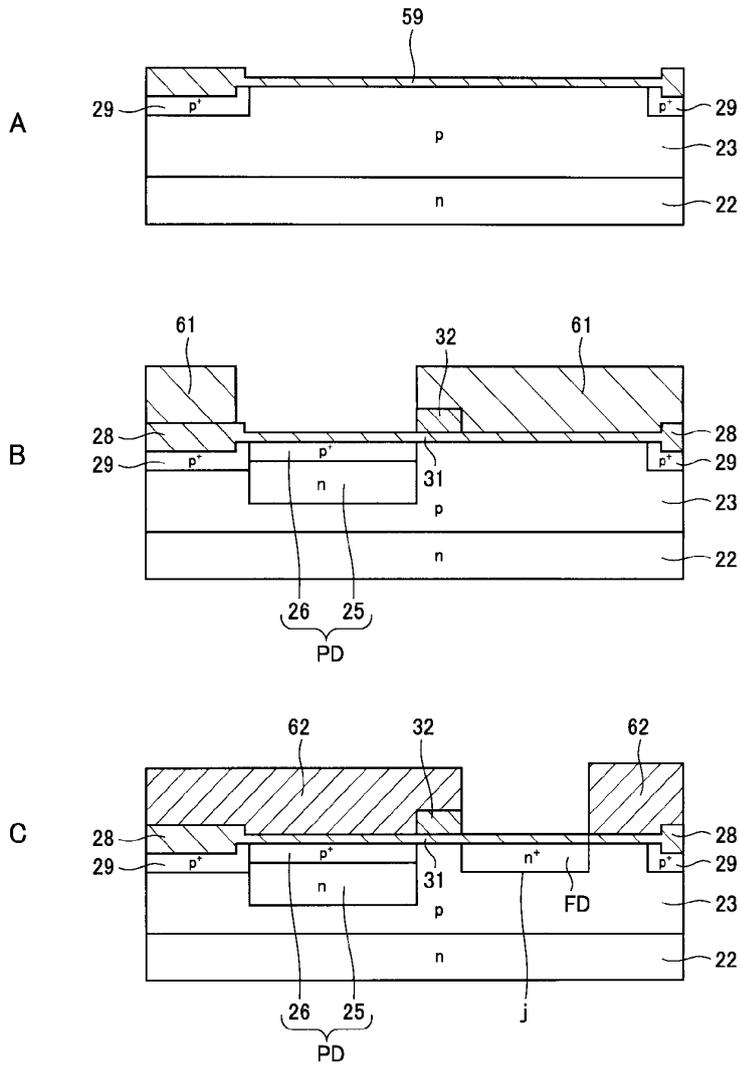
도면6



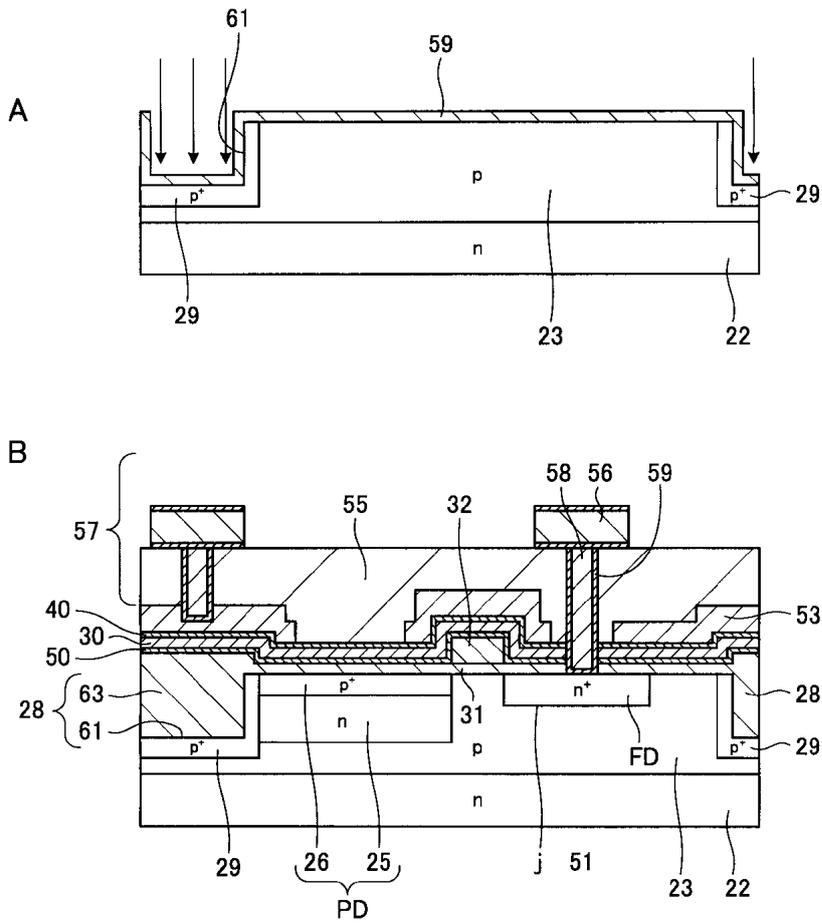
도면7



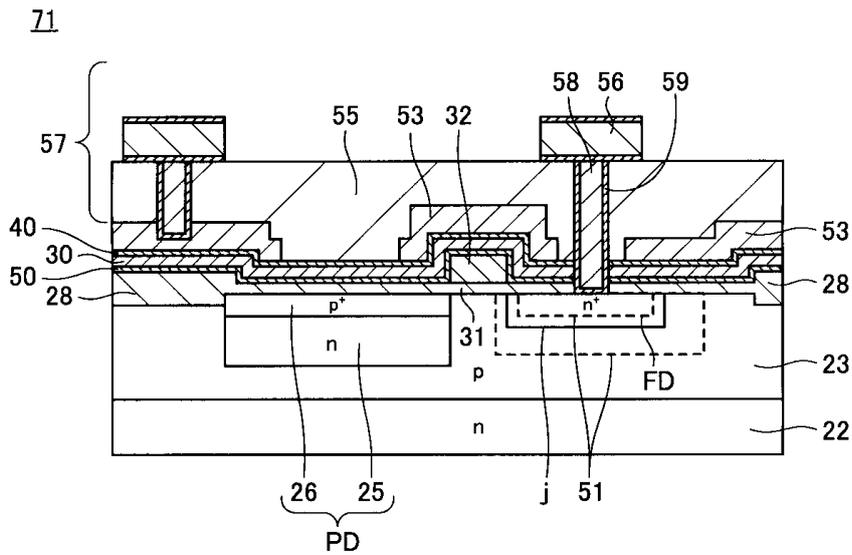
도면8



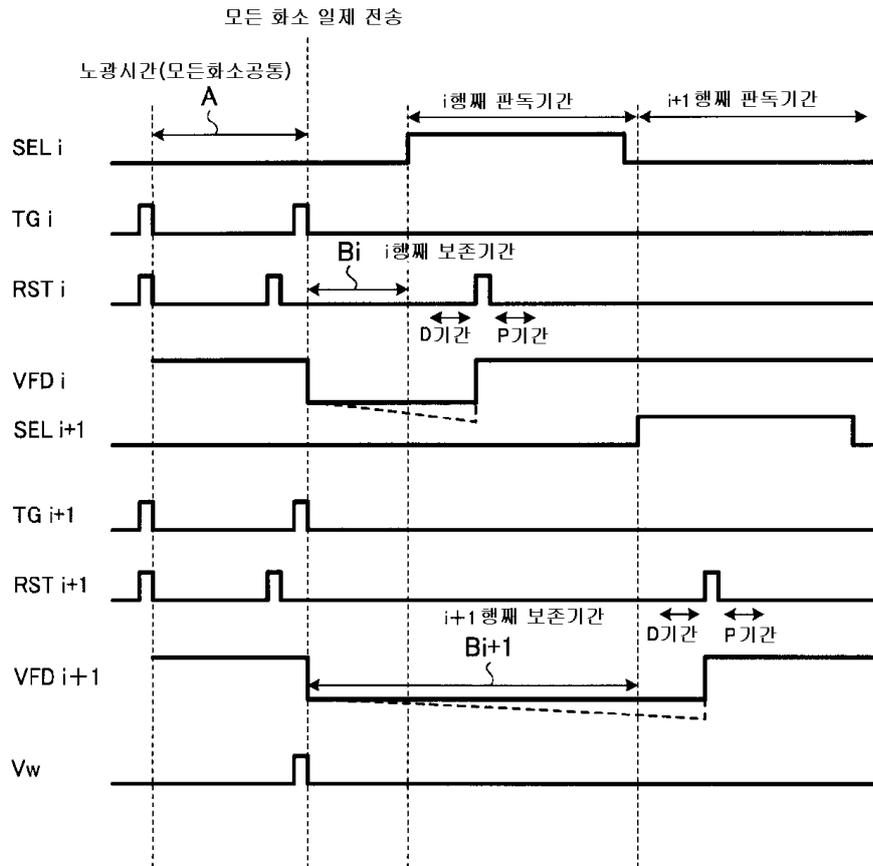
도면10



도면11

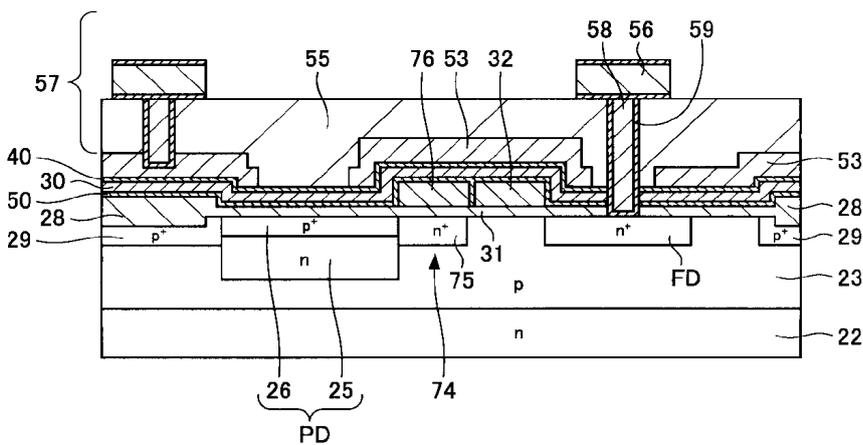


도면12

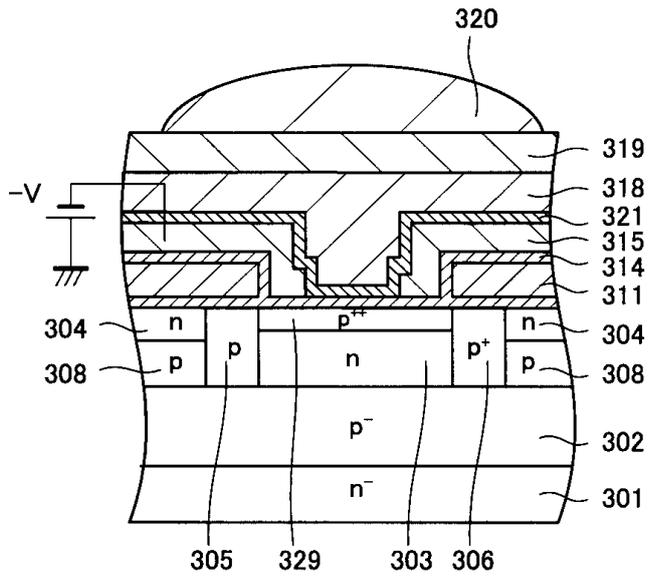


도면13

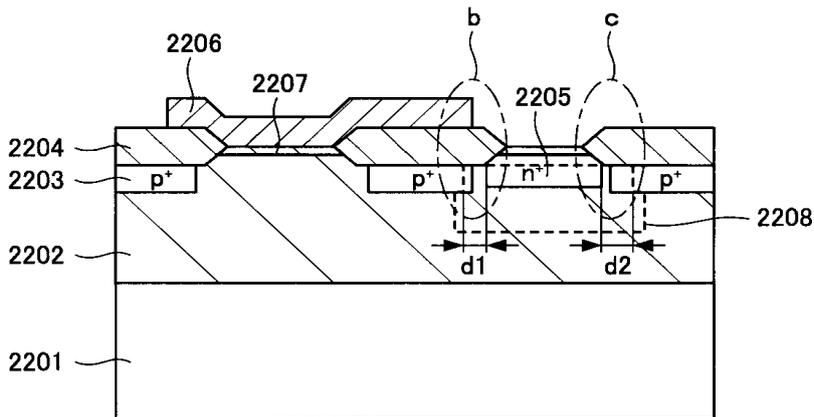
73



도면17



도면18



도면19

