



(12) 发明专利

(10) 授权公告号 CN 110554974 B

(45) 授权公告日 2022.06.24

(21) 申请号 201910725402.0

G06F 12/1081 (2016.01)

(22) 申请日 2019.08.07

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 109062145 A, 2018.12.21

申请公布号 CN 110554974 A

US 5875464 A, 1999.02.23

CN 107436851 A, 2017.12.05

(43) 申请公布日 2019.12.10

颜丽. 基于SVA的FPGA接口时序验证方法研究.《萍乡高等专科学校学报》.2014, (第3期),

(73) 专利权人 上海航天控制技术研究所

王亮军. 电动自行车无刷直流电机控制系统

地址 201109 上海市闵行区中春路1555号

研究与设计.《中国优秀硕士学位论文全文数据库 工程科技II辑》.2015, (第3期),

(72) 发明人 孟其琛 杜宁 沈怡飏 许婉

沈昱昊 尹海宁 李芳华 朱虹

张驰 朱晏庆 林荣峰 朱文山

审查员 邱祥吉

(74) 专利代理机构 上海元好知识产权代理有限公司

31323

专利代理师 张妍 刘琰

(51) Int. Cl.

G06F 12/02 (2006.01)

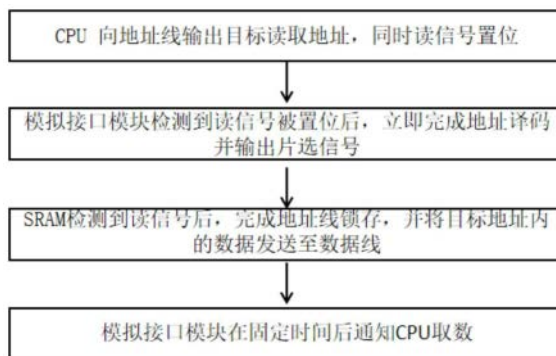
权利要求书1页 说明书4页 附图3页

(54) 发明名称

一种提升全数字卫星姿轨控软件运行平台运行倍数的方法

(57) 摘要

本发明公开了一种提升全数字卫星姿轨控软件运行平台运行倍数的方法,其中读操作步骤包括:向地址线输出目标读取地址,同时读信号置位;检测到读信号被置位后,立即完成地址译码并输出片选信号;检测到读信号后,完成地址线锁存,并将目标地址内的数据发送至数据线;在固定时间后通知CPU取数;写操作步骤包括:向地址线输出目标写入地址,向数据线输出目标写入数据,同时写信号置位;检测到写信号被置位后,立即完成地址译码并输出片选信号;检测到写信号后,完成地址线和数据线锁存,并按照数据线和地址线的数据完成写操作;在固定时间后通知CPU写数。该方法保证了系统运行的高效准确,同时具备进一步提升全数字平台运行效率的能力。



1. 一种提升全数字卫星姿轨控软件运行平台运行倍数的方法,其特征在于,包括读操作步骤和写操作步骤;

所述读操作步骤包括:

- 1)、CPU向地址线输出目标读取地址,同时读信号置位;
- 2)、模拟接口模块检测到读信号被置位后,立即完成地址译码并输出片选信号;
- 3)、存储芯片检测到读信号后,完成地址线锁存,并将目标地址内的数据发送至数据线;
- 4)、模拟接口模块在固定时间后通知CPU取数;

所述写操作步骤包括:

- 1)、CPU向地址线输出目标写入地址,向数据线输出目标写入数据,同时写信号置位;
- 2)、模拟接口模块检测到写信号被置位后,立即完成地址译码并输出片选信号;
- 3)、存储芯片检测到写信号后,完成地址线和数据线锁存,并按照数据线和地址线的数据完成写操作;
- 4)、模拟接口模块在固定时间后通知CPU写数;

还包括将所述方法写入全数字卫星姿轨控软件:

- 1) 修改CPU外设访问模块;
- 2) 修改外设存储芯片模块;
- 3) 修改CPU内核读写处理模块。

2. 如权利要求1所述的提升全数字卫星姿轨控软件运行平台运行倍数的方法,其特征在于,所述存储芯片为SRAM、EEPROM或I/O空间。

## 一种提升全数字卫星姿轨控软件运行平台运行倍数的方法

### 技术领域

[0001] 本发明涉及全数字技术模拟的卫星姿轨控软件运行平台领域,具体涉及一种提升全数字卫星姿轨控软件运行平台运行倍数的方法。

### 背景技术

[0002] 随着卫星平台技术的不断进步,卫星平台功能日趋复杂,同时对卫星平台的软硬件要求越来越高。在硬件方面,卫星平台使用的CPU型号和FPGA型号工作主频越来越高,信息采集、交互的时间越来越短。在软件方面,随着控制精度要求的不断提升,卫星姿轨控软件的体积越来越大,同时软件运行周期越来越短。

[0003] 硬件软件两方面的提升都对全数字平台提出了新的要求,目前的PC技术更新速度远远落后于航天宇航产品软硬件更新的速度。以某卫星平台为例,在TSC695时代,CPU主频为16MHz,PC机主频为2.0GHz,在PC机上运行X86指令解析695内核下运行的代码,全数字平台的超实时倍数能够达到10倍的速度。当卫星平台CPU更新换代为BM3803后,CPU主频提升为50MHz,而PC机主频提升为3.2GHz多核处理器,同时代码体积增大为之前的2倍左右,全数字平台的超实时倍数仍旧维持在10倍左右,对于高轨卫星和深空探测器而言,这个超实时性能很难满足当前的研制要求。

### 发明内容

[0004] 本发明的目的是提供一种提升全数字卫星姿轨控软件运行平台运行倍数的方法,以保证系统运行正确无误的基础上,提升全数字平台的运行效率,从而达到提升全数字平台运行倍数的目的。

[0005] 为达到上述目的,本发明提供了一种提升全数字卫星姿轨控软件运行平台运行倍数的方法,其包括读操作步骤和写操作步骤;

[0006] 所述读操作步骤包括:

[0007] 1)、CPU向地址线输出目标读取地址,同时读信号置位;

[0008] 2)、模拟接口模块检测到读信号被置位后,立即完成地址译码并输出片选信号;

[0009] 3)、存储芯片检测到读信号后,完成地址线锁存,并将目标地址内的数据发送至数据线;

[0010] 4)、模拟接口模块在固定时间后通知CPU取数;

[0011] 所述写操作步骤包括:

[0012] 1)、CPU向地址线输出目标写入地址,向数据线输出目标写入数据,同时写信号置位;

[0013] 2)、模拟接口模块检测到写信号被置位后,立即完成地址译码并输出片选信号;

[0014] 3)、存储芯片检测到写信号后,完成地址线和数据线锁存,并按照数据线和地址线的数据完成写操作;

[0015] 4)、模拟接口模块在固定时间后通知CPU写数。

[0016] 上述的提升全数字卫星姿轨控软件运行平台运行倍数的方法,其中,所述存储芯片为SRAM、EEPROM或I/O空间。

[0017] 相对于现有技术,本发明具有以下有益效果:

[0018] 本发明依托现有全数字仿真试验平台,在访问时序上针对全数字系统设计了一种快捷访问的技术方案,以实现缩短CPU访问外围存储设备的时间,从而达到提升全数字平台运行倍数的目的。该方法适用于全数字平台上的嵌入式软件测试,保证了系统运行的高效准确,同时具备进一步提升全数字平台运行效率的能力。

### 附图说明

[0019] 图1为嵌入式计算机真实读数据流程图;

[0020] 图2为本发明优化后的虚拟CPU读时序图;

[0021] 图3为本发明中读操作一较佳实施例的流程图;

[0022] 图4为本发明中写操作一较佳实施例的流程图。

### 具体实施方式

[0023] 以下结合附图通过具体实施例对本发明作进一步的描述,这些实施例仅用于说明本发明,并不是对本发明保护范围的限制。

[0024] 在现有的真实的全数字卫星姿轨控软件运行平台中,具体的运行时序由时钟信号控制,以CPU完成一次SRAM的读操作为例,具体操作如下(如图1所示):

[0025] 1)、CPU在晶振方波的上升沿向地址总线输出读取地址(T1时刻);

[0026] 2)、由FPGA根据地址线上信号完成相应区域的片选操作,输出片选信号(T2时刻);

[0027] 3)、在SRAM芯片采集到片选信号后,将地址线上数据锁存,SRAM芯片内部进行取数操作后,将地址内存放的数据发送到数据总线上(T3时刻);

[0028] 4)、FPGA检测到SRAM输出的数据准备好信号后,通知CPU完成读数操作(T4时刻);

[0029] 5)、CPU将数据线上的数据取回(T5时刻)。

[0030] 对于嵌入式系统而言,完成一次数据读操作需要经过:CPU输出、FPGA识别、存储芯片响应、FPGA检测、CPU取数五个步骤,完成一次写操作需要经过:CPU输出、FPGA识别、存储芯片响应、FPGA检测、CPU检测五个步骤。

[0031] 结合卫星平台CPU特性,CPU内部无存储空间,所有的数据均存储在外设存储器上,具体存储器类型包括(PROM、EEPROM、SRAM、I/O空间),不同的存储器之间的区别在于,存储芯片响应外部读写操作的步骤不尽相同。卫星平台软件在运行过程中,CPU存在大量对SRAM和I/O空间的读写操作和对EEPROM存在周期性的读操作。

[0032] 在现有的真实的全数字卫星姿轨控软件运行平台中,以CPU完成一次SRAM的写操作为例,具体操作如下:

[0033] 1)、CPU输出目标地址至数据总线;

[0034] 2)、FPGA检测到改地址后完成地址译码,将目标地址对应的存储芯片选通,给出片选和锁存信号;

[0035] 3)、存储芯片检测到片选和锁存信号后,完成地址线上的地址数据锁存和读取操作;

[0036] 4)、存储芯片将目标地址的数据返回至数据总线,并输出数据准备好信号;

[0037] 5)、FPGA检测到存储芯片的准备好信号后,通知CPU读取数据;

[0038] 6)、CPU将数据线上的数据锁存并读回。

[0039] 如图2所示,本发明提出了一种优化CPU读写时序的技术方案。结合全数字平台的特性,真实平台上根据硬件时钟进行的一系列顺序操作可简化为两次内存操作。在完成读操作时,虚拟CPU在输出读指令后,全数字平台的接口软件取得具体的读操作地址,同时将目标地址的数据取回,填写至虚拟CPU数据总线。中间取消了FPGA根据时序完成片选信号输出、SRAM芯片根据所存信号读地址以及响应读操作并返回数据这三个过程。在完成写操作时,虚拟CPU在输出写指令后,全数字平台的接口软件取得具体的写操作地址并完成写操作,在约定的时钟周期后,继续执行下一条指令。

[0040] 本发明提供了一种提升全数字卫星姿轨控软件运行平台运行倍数的方法,其包括读操作步骤和写操作步骤;

[0041] 如图3所示,具体读操作步骤包括:

[0042] 1)、CPU向地址线输出目标读取地址,同时读信号置位;

[0043] 2)、模拟接口模块(代替真实的FPGA)检测到读信号被置位后,立即完成地址译码并输出片选信号;

[0044] 3)、SRAM(以此为例)检测到读信号后,完成地址线锁存,并将目标地址内的数据发送至数据线;

[0045] 4)、模拟接口模块(代替真实的FPGA)不根据SRAM的数据准备好信号来通知CPU取数,而是在固定时间( $\Delta T$ ,表示等待时间)后通知CPU取数。

[0046] 说明:节省的时间主要在第二步和第四步,第二步中真实的时间为150ns左右,而在本全数字系统中,这个时间实际运行不到10ns;第四步中真实的SRAM数据准备好信号发出需要经过200ns左右,而在本全数字系统中,这个时间实际运行不到10ns。

[0047] 如图4所示,具体写操作步骤包括:

[0048] 1)、CPU向地址线输出目标写入地址,向数据线输出目标写入数据,同时写信号置位;

[0049] 2)、模拟接口模块(代替真实的FPGA)检测到写信号被置位后,立即完成地址译码并输出片选信号;

[0050] 3)、SRAM(以此为例)检测到写信号后,完成地址线和数据线锁存,并按照数据线和地址线的数据完成写操作;

[0051] 4)、模拟接口模块(代替真实的FPGA)不根据SRAM的数据准备好信号来通知CPU写数完成,而是在固定时间( $\Delta T$ ,表示等待时间)后通知CPU写数完成。

[0052] 说明:节省的时间主要在第二步和第四步,第二步中真实的时间为150ns左右,而在本全数字系统中,这个时间实际运行不到10ns;第四步中真实的SRAM数据写入完成信号发出需要经过200ns左右,而在本全数字系统中,这个时间实际运行不到10ns。

[0053] 为了在现有全数字卫星姿轨控软件运行平台实现本发明所提供的方法可以采取以下具体步骤:第一步修改CPU外设访问模块;第二步修改外设存储芯片(SRAM、EEPROM、I/O空间)模块;第三步修改CPU内核读写处理模块。

[0054] 具体为:

[0055] (1) 修改CPU外设访问模块

[0056] 修改CPU外设访问模块。在原有的全数字系统中，CPU外设访问模块需完成真实嵌入式系统中根据地址输出片选信号到响应存储器的操作。在本发明设计的全数字系统中，这一步骤被取消，即修改后的CPU外设访问模块在读写操作上更简洁高效。在CPU进行读操作时，只需将读信号和地址信号给出；在CPU进行写操作时，只需将写信号、地址信号和数据信号给出。

[0057] (2) 修改外设存储芯片模块

[0058] 修改外设存储芯片模块。在原有的全数字系统中，外设存储芯片模块需根据片选信号来完成真实嵌入式系统中存储芯片操作地址总线 and 数据总线的功能。在本发明设计的全数字系统中，这一步骤被取消，即修改后的外设存储芯片模块在完成读写操作时不再依赖于FPGA给出的片选信号。在CPU进行读操作时，修改后的外设存储芯片模块在检测到CPU输出的读信号后，直接完成对地址线的读数操作；在CPU进行写操作时，修改后的外设存储芯片模块在检测到CPU输出的写信号后，直接完成对地址线和数据线的读数操作。

[0059] (3) 修改CPU内核读写处理模块

[0060] 修改CPU内核读写处理模块。在原有的全数字系统中，CPU内核读写处理模块需在读写操作发出后持续查询FPGA辅助给出的读写操作结束标志。在本发明设计的全数字系统中，这一步骤被取消，即修改后的CPU内核读写处理模块在完成读写操作时不再依赖于FPGA给出的结束信号，由于时序上外设存储芯片读写过程已处于精简后的状态，CPU内核读写处理模块只需在固定指令周期后继续执行下一条指令即可。在CPU进行读操作时，修改后的CPU内核读写处理模块在固定等待周期后，去数据总线采集数据即可，在CPU进行写操作时，修改后的CPU内核读写处理模块在固定等待周期后即可继续执行下一条指令。

[0061] 本发明所提供的提升全数字卫星姿轨控软件运行平台运行倍数的技术对现有全数字平台功能无任何影响：和现有的全数字平台相比，功能无任何差异，星上代码仍能继续在平台上运行，所有的外设操作均可继续执行。代码运行效率更高：相比较旧平台，本发明涉及的提升运行效率后的全数字平台技术，在软件运行效率上更加高效。CPU外设操作具有统一属性：本发明涉及的提升全数字平台运行倍数的技术，对旧平台的CPU外设操作技术进行了更新，所有外设操作具备统一属性。超实时倍数更高：通过对旧平台的改造，新平台具备更高的超实时运行倍数。

[0062] 综上所述，本发明提出的提升全数字平台运行倍数的技术，仅对外设访问模块、存储器模拟模块、CPU内核读写模块进行了优化，不影响软件代码的运行。通过提升软件的外设访问效率，代码执行的指令周期数从繁琐到精简，代码运行效率更高。CPU外设操作具有统一属性，即新技术下CPU访问不同存储单元时，访问时序相同，均按最快时序执行。在外设访问时序优化完成后，新平台具备更高的超实时运行倍数。

[0063] 尽管本发明的内容已经通过上述优选实施例作了详细介绍，但应当认识到上述的描述不应被认为是对本发明的限制。在本领域技术人员阅读了上述内容后，对于本发明的多种修改和替代都将是显而易见的。因此，本发明的保护范围应由所附的权利要求来限定。

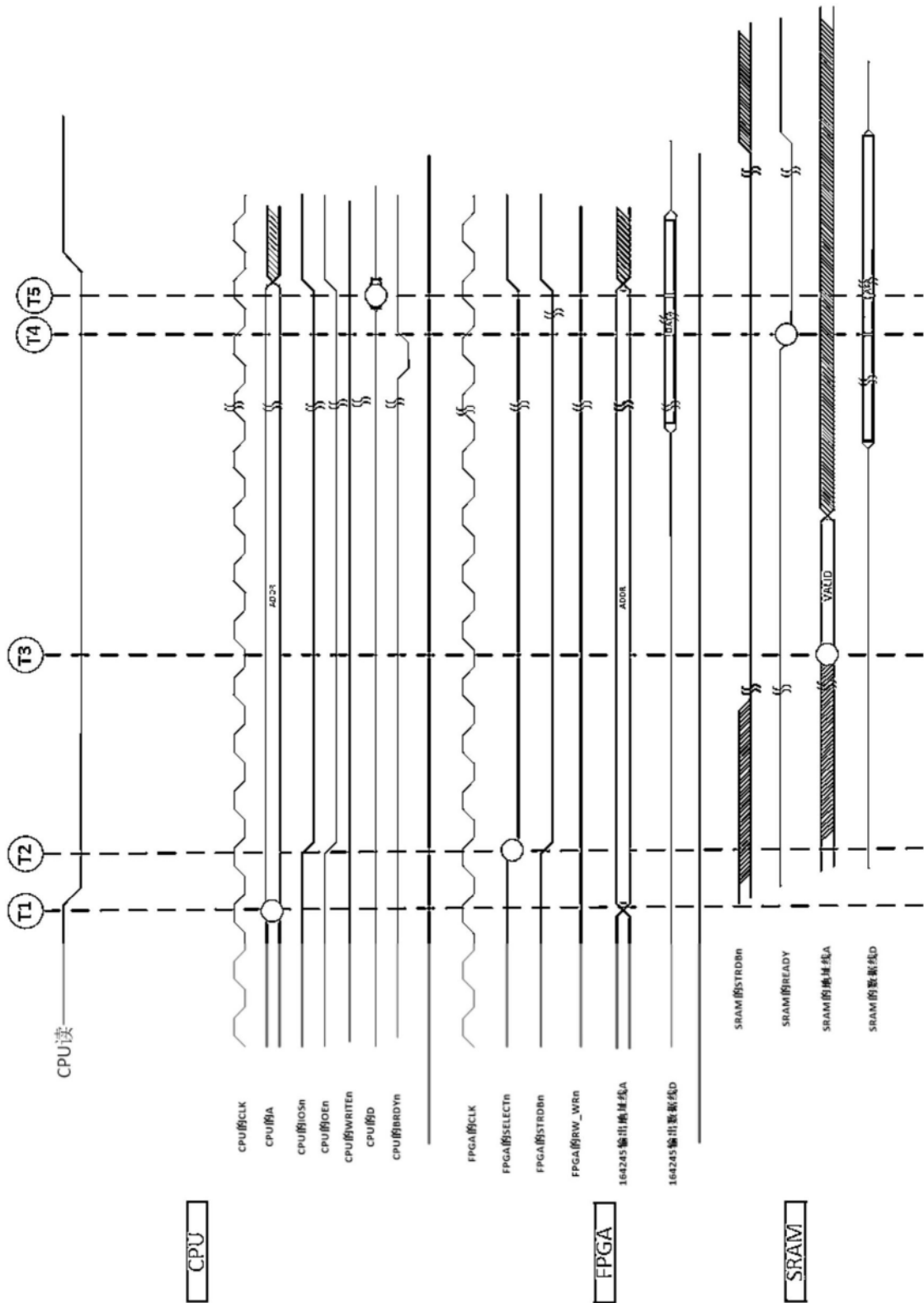


图1

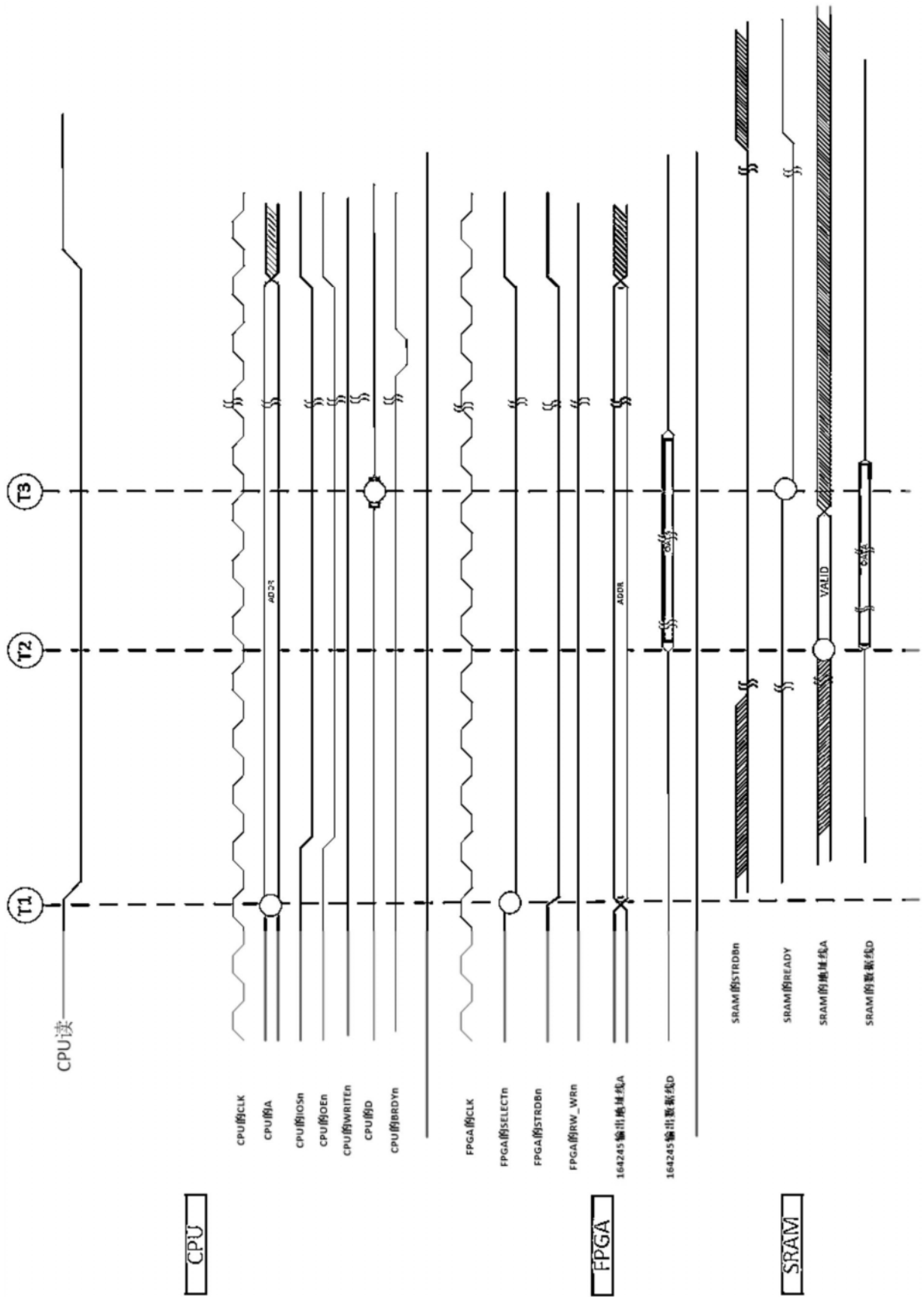


图2



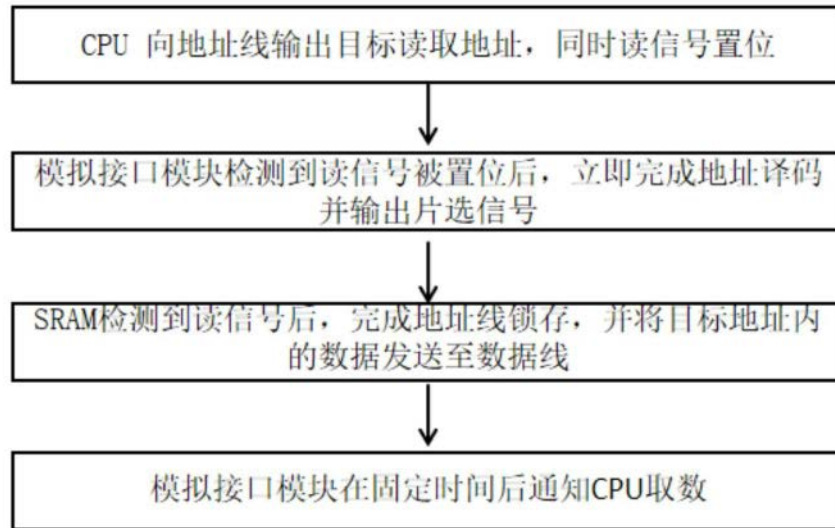


图3

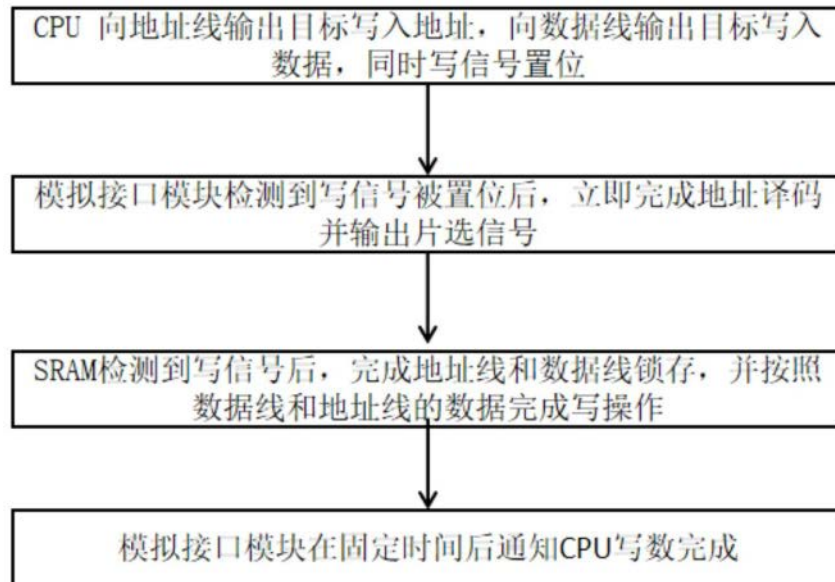


图4