



# (12)发明专利申请

(10)申请公布号 CN 108710508 A

(43)申请公布日 2018.10.26

(21)申请号 201810495756.6

(22)申请日 2018.05.22

(71)申请人 联想(北京)有限公司

地址 100085 北京市海淀区上地信息产业  
基地创业路6号

(72)发明人 宁宏超

(74)专利代理机构 北京集佳知识产权代理有限  
公司 11227

代理人 王宝筠

(51) Int. Cl.

G06F 9/4401(2018.01)

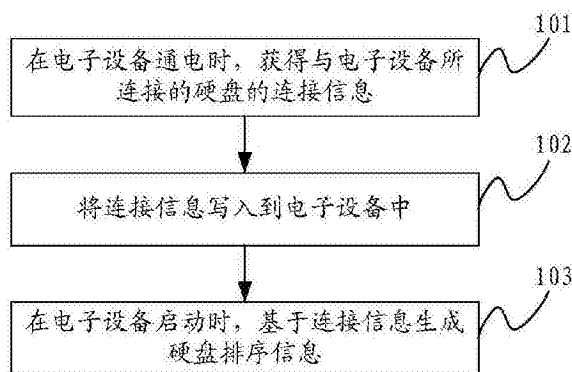
权利要求书2页 说明书8页 附图3页

## (54)发明名称

一种处理方法、装置及电子设备

## (57)摘要

本发明公开了一种处理方法、装置及电子设备,所述方法包括:在所述电子设备通电时,获得与所述电子设备所连接的硬盘的连接信息,所述连接信息包括:所述硬盘所在插槽及所述插槽所连接的PCIE总线端口;将所述连接信息写入所述电子设备中;在所述电子设备启动时,基于所述连接信息生成硬盘排序信息,以使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。



1. 一种处理方法,应用于电子设备,所述方法包括:

在所述电子设备通电时,获得与所述电子设备所连接的硬盘的连接信息,所述连接信息包括:所述硬盘所在插槽及所述插槽所连接的高速串行计算机扩展总线标准PCIE总线端口;

将所述连接信息写入所述电子设备中;

在所述电子设备启动时,基于所述连接信息生成硬盘排序信息,以使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。

2. 根据权利要求1所述的方法,其特征在于,获得与所述电子设备所连接的硬盘的连接信息,包括:

通过所述电子设备的背板逻辑芯片,监测所述背板上的插槽所设置的硬盘;

通过总线,获得所述插槽所连接的PCIE总线端口。

3. 根据权利要求1或2所述的方法,其特征在于,将所述连接信息写入所述电子设备中,包括:

通过总线将所述连接信息写入到所述电子设备的存储芯片中。

4. 根据权利要求3所述的方法,其特征在于,基于所述连接信息生成硬盘排序信息,包括:

通过总线,读取所述存储芯片中的连接信息;

解析所述连接信息,以得到所述硬盘与PCIE总线端口的连接关系,以使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。

5. 根据权利要求1或3所述的方法,其特征在于,还包括:

基于所述连接信息,设置所述PCIE总线端口连接到CPU的分配信息。

6. 一种处理装置,应用于电子设备,所述装置包括:

获得单元,用于在所述电子设备通电时,获得与所述电子设备所连接的硬盘的连接信息,所述连接信息包括:所述硬盘所在插槽及所述插槽所连接的PCIE总线端口;

写入单元,用于将所述连接信息写入所述电子设备中;

生成单元,用于在所述电子设备启动时,基于所述连接信息生成硬盘排序信息,以使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。

7. 一种电子设备,包括:

背板控制器,用于在所述电子设备通电时,获得与所述电子设备所连接的硬盘的连接信息,所述连接信息包括:所述硬盘所在插槽及所述插槽所连接的PCIE总线端口;

主板控制器,用于将所述连接信息写入所述电子设备中;

Bios,用于在所述电子设备启动时,基于所述连接信息生成硬盘排序信息,以使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。

8. 根据权利要求7所述的电子设备,其特征在于,还包括:

中转板,用于存储所述背板控制器所获得的连接信息;

所述主板控制器还用于:从所述中转板中读取所述连接信息,并写入所述电子设备中。

9. 根据权利要求7或8所述的电子设备,其特征在于,还包括:

存储芯片,用于存储所述主板控制器写入的连接信息。

10. 根据权利要求7所述的电子设备,其特征在于,所述bios还用于:基于所述连接信

---

息,设置所述PCIE总线端口连接到CPU的分配信息。

## 一种处理方法、装置及电子设备

### 技术领域

[0001] 本发明涉及计算机技术领域,尤其涉及一种处理方法、装置及电子设备。

### 背景技术

[0002] 随着大数据时代的到来,对存储的性能要求越来越高,致使一个系统里面需要支持外设硬盘如NVMe硬盘的数目越来越多,外设连接的方式也越来越灵活,但是为了保证硬盘在系统前视图的排序、bios setup菜单的排序、操作系统下的硬盘排序保持一致,就需要硬盘线缆按照固定的顺序进行组装。

[0003] 但是固定的硬盘线缆组装顺序,会增加硬盘线缆组装的难度,降低硬盘线缆组装的效率。

### 发明内容

[0004] 有鉴于此,本发明提供一种处理方法、装置及电子设备,用以解决现有技术中硬盘线缆组装难度较大,硬盘线缆组装的效率较低的技术问题。

[0005] 由此,本申请提供了一种处理方法,应用于电子设备,所述方法包括:

[0006] 在所述电子设备通电时,获得与所述电子设备所连接的硬盘的连接信息,所述连接信息包括:所述硬盘所在插槽及所述插槽所连接的高速串行计算机扩展总线标准PCIE总线端口;

[0007] 将所述连接信息写入所述电子设备中;

[0008] 在所述电子设备启动时,基于所述连接信息生成硬盘排序信息,以使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0009] 上述方法,优选地,获得与所述电子设备所连接的硬盘的连接信息,包括:

[0010] 通过所述电子设备的背板逻辑芯片,监测所述背板上的插槽所设置的硬盘;

[0011] 通过总线,获得所述插槽所连接的PCIE总线端口。

[0012] 上述方法,优选地,将所述连接信息写入所述电子设备中,包括:

[0013] 通过总线将所述连接信息写入到所述电子设备的存储芯片中。

[0014] 上述方法,优选地,基于所述连接信息生成硬盘排序信息,包括:

[0015] 通过总线,读取所述存储芯片中的连接信息;

[0016] 解析所述连接信息,以得到所述硬盘与PCIE总线端口的连接关系,以使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0017] 上述方法,优选地,还包括:

[0018] 基于所述连接信息,设置所述PCIE总线端口连接到CPU的分配信息。

[0019] 本申请还提供了一种处理装置,应用于电子设备,所述装置包括:

[0020] 获得单元,用于在所述电子设备通电时,获得与所述电子设备所连接的硬盘的连接信息,所述连接信息包括:所述硬盘所在插槽及所述插槽所连接的PCIE总线端口;

[0021] 写入单元,用于将所述连接信息写入所述电子设备中;

[0022] 生成单元,用于在所述电子设备启动时,基于所述连接信息生成硬盘排序信息,以使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0023] 本申请还提供了一种电子设备,包括:

[0024] 背板控制器,用于在所述电子设备通电时,获得与所述电子设备所连接的硬盘的连接信息,所述连接信息包括:所述硬盘所在插槽及所述插槽所连接的PCIE总线端口;

[0025] 主板控制器,用于将所述连接信息写入所述电子设备中;

[0026] Bios,用于在所述电子设备启动时,基于所述连接信息生成硬盘排序信息,以使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0027] 上述电子设备,优选地,还包括:

[0028] 中转板,用于存储所述背板控制器所获得的连接信息;

[0029] 所述主板控制器还用于:从所述中转板中读取所述连接信息,并写入所述电子设备中。

[0030] 上述电子设备,优选地,还包括:

[0031] 存储芯片,用于存储所述主板控制器写入的连接信息。

[0032] 上述电子设备,优选地,所述bios还用于:基于所述连接信息,设置所述PCIE总线端口连接到CPU的分配信息。

[0033] 从上述技术方案可以看出,本申请公开的一种处理方法、装置及电子设备,通过在电子设备通电时即可获取电子设备所连接的硬盘的连接信息,进而将这些连接信息写入到电子设备中,从而在电子设备启动时就可以基于这些连接信息来生成硬盘排序顺序,由此使得硬盘在系统前视图、bios setup及操作系统中的排序顺序一致。本申请中硬盘的排序顺序不再受限于固定的硬盘线缆组装顺序,无论硬盘线缆组装如何变化,通过在电子设备通电后获取到当前的硬盘连接信息,从而在电子设备启动时就可以生成硬盘排序信息,由此保证硬盘在各个视图环境下的排序一致,实现本申请目的。

## 附图说明

[0034] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0035] 图1为本申请实施例一提供的一种处理方法的流程图;

[0036] 图2为本申请实施例一的部分流程图;

[0037] 图3为本申请实施例二提供的一种处理装置的结构示意图;

[0038] 图4为本申请实施例三提供的一种电子设备的结构示意图;

[0039] 图5与图6分别为本申请实施例三提供的一种电子设备的另一结构示意图;

[0040] 图7为本申请实施例的应用示例图。

## 具体实施方式

[0041] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于

本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0042] 如图1所示,为本申请实施例一提供的一种处理方法的实现流程图,适用于电子设备中各硬盘的排序状态进行处理。该电子设备可以为能够连接各种硬盘的电脑或服务器等系统设备。

[0043] 在本实施例中,该处理方法可以包括以下步骤:

[0044] 步骤101:在电子设备通电时,获得与电子设备所连接的硬盘的连接信息。

[0045] 其中,该连接信息中至少包括有:硬盘所在插槽及插槽所连接的PCIE(peripheral component interconnect express)总线端口等信息。也就是说,连接信息中至少包含能够表明以下信息的内容:每个硬盘与其所插接的插槽的对应关系,以及,每个插槽与其所连接的PCIE总线端口的对应关系。

[0046] 需要说明的是,在电子设备没有通电时,用户可以对电子设备上所连接的硬盘进行插拔,根据需求对硬盘线缆进行组装,不受限于固定的硬盘线缆组装顺序,在用户组装结束之后,对电子设备进行通电,而在电子设备通电后,本实施例中对更新后的硬盘线缆组装状态进行检查,从而获得与电子设备所连接的硬盘的连接信息,如硬盘与插槽的连接以及插槽与PCIE总线端口的连接等信息。

[0047] 其中,这里的硬盘可以为能够插接在电子设备如背板上的设备,如非易失性内存主机控制器接口规范NVME(Non-Volatile Memory express)盘等。

[0048] 步骤102:将连接信息写入到电子设备中。

[0049] 其中,本实施例中可以将连接信息写入到电子设备中的存储单元中。

[0050] 步骤103:在电子设备启动时,基于连接信息生成硬盘排序信息,以使得硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0051] 其中,电子设备在未启动之前而通电后,本实施例将硬盘在电子设备上的连接信息写入到电子设备中,而在电子设备启动后,就可以基于电子设备中存储的这些连接信息来生成硬盘排序信息,进而电子设备能够基于这一硬盘排序信息生成硬盘在系统前视图、bios setup及操作系统中的排序,因此,本实施例中硬盘在系统前视图、bios setup及操作系统中的排序能够一致,而不受限于硬盘在电子设备中的组装状态。

[0052] 从上述技术方案可以看出,本申请实施例一提供的一种处理方法,通过在电子设备通电时即可获取电子设备所连接的硬盘的连接信息,进而将这些连接信息写入到电子设备中,从而在电子设备启动时就可以基于这些连接信息来生成硬盘排序顺序,由此使得硬盘在系统前视图、bios setup及操作系统中的排序顺序一致。本实施例中硬盘的排序顺序不再受限于固定的硬盘线缆组装顺序,无论硬盘线缆组装如何变化,通过在电子设备通电后获取到当前的硬盘连接信息,从而在电子设备启动时就可以生成硬盘排序信息,由此保证硬盘在各个视图环境下的排序一致,实现本实施例目的。

[0053] 在一种实现方式中,本实施例中在获得与电子设备所连接的硬盘的连接信息时,可以通过以下方式实现,如图2中所示:

[0054] 步骤201:通过电子设备的背板逻辑芯片,监测背板上的插槽所设置的硬盘。

[0055] 例如,利用背板逻辑芯片通过I2C总线或其他总线监测背板上每个插槽上面的retimer卡上通过动态的线缆连接,是否连接有硬盘,如果连接有硬盘,那么识别接到了哪

些硬盘。

[0056] 步骤202:通过总线,获得插槽所连接的PCIE总线端口。

[0057] 例如,利用线缆中的I2C总线或其他总线来获得每个插槽连接在哪组CPU的PCIE retimer卡,从而获得每个插槽所连接的PCIE总线端口,如通过I2C总线或其他总线识别出槽1到槽N分别对应哪组CPU的PCIE物理总线端口,由此,本实施例中通过I2C总线或其他总线从retimer卡上读取连接信息。

[0058] 在一种实现方式中,本实施例中在将连接信息写入到电子设备中时,具体可以通过以下方式实现:

[0059] 通过总线,将连接信息写入到电子设备的存储芯片中。

[0060] 其中,该存储芯片可以为电子设备中的现场可编程门阵列FPGA(Field-Programmable Gate Array)芯片,该芯片能够在电子设备启动时被电子设备如bios读取,由此电子设备能够基于该连接信息生成硬盘排序信息,使得硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0061] 具体的,本实施例中在基于连接信息生成硬盘排序信息时,具体可以通过以下方式实现:

[0062] 首先,通过总线读取存储芯片如FPGA中存储的连接信息,之后,解析读取到的连接信息,以得到硬盘与PCIE总线端口的连接关系,以使得硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0063] 另外,在一种实现方式中,本实施例在获得连接信息之后,还可以基于连接信息,设置PCIE总线端口连接到CPU的分配信息,例如,在电子设备启动之后,通过总线读取到连接信息时,基于连接信息,就可以了解到背板上哪些硬盘连接到了哪组CPU的PCIE总线,从而基于这些信息,可以动态设置PCIE总线的分配,由此实现硬盘能够平均分配到每组CPU下,实现性能最大化。

[0064] 参考图3,为本申请实施例二提供的一种处理装置的结构示意图,可以设置在电子设备中,适用于对电子设备中各硬盘的排序状态进行处理,该电子设备可以为能够连接各种硬盘的电脑或服务器等设备。

[0065] 在本实施例中,该处理装置可以包括以下结构:

[0066] 获得单元301,用于在所述电子设备通电时,获得与所述电子设备所连接的硬盘的连接信息。

[0067] 其中,该连接信息中至少包括有:硬盘所在插槽及插槽所连接的PCIE总线端口等信息。也就是说,连接信息中至少包含能够表明以下信息的内容:每个硬盘与其所插接的插槽的对应关系,以及,每个插槽与其所连接的PCIE总线端口的对应关系。

[0068] 需要说明的是,在电子设备没有通电时,用户可以对电子设备上所连接的硬盘进行插拔,根据需求对硬盘线缆进行组装,不受限于固定的硬盘线缆组装顺序,在用户组装结束之后,对电子设备进行通电,而在电子设备通电后,本实施例中获得单元301对更新后的硬盘线缆组装状态进行检查,从而获得与电子设备所连接的硬盘的连接信息,如硬盘与插槽的连接以及插槽与PCIE总线端口的连接等信息。

[0069] 写入单元302,用于将所述连接信息写入所述电子设备中。

[0070] 其中,本实施例中写入单元302可以将连接信息写入到电子设备中的存储单元

中。

[0071] 生成单元303,用于在所述电子设备启动时,基于所述连接信息生成硬盘排序信息,以使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0072] 其中,电子设备在未启动之前而通电后,本实施例的写入单元302将硬盘在电子设备上的连接信息写入到电子设备中,而在电子设备启动后,生成单元303就可以基于电子设备中存储的这些连接信息来生成硬盘排序信息,进而电子设备能够基于这一硬盘排序信息生成硬盘在系统前视图、bios setup及操作系统中的排序,因此,本实施例中硬盘在系统前视图、bios setup及操作系统中的排序能够一致,而不受限于硬盘在电子设备中的组装状态。

[0073] 从上述技术方案可以看出,本申请实施例二提供一种处理装置,通过在电子设备通电时即可获取电子设备所连接的硬盘的连接信息,进而将这些连接信息写入到电子设备中,从而在电子设备启动时就可以基于这些连接信息来生成硬盘排序顺序,由此使得硬盘在系统前视图、bios setup及操作系统中的排序顺序一致。本实施例中硬盘的排序顺序不再受限于固定的硬盘线缆组装顺序,无论硬盘线缆组装如何变化,通过在电子设备通电后获取到当前的硬盘连接信息,从而在电子设备启动时就可以生成硬盘排序信息,由此保证硬盘在各个视图环境下的排序一致,实现本实施例目的。

[0074] 在一种实现方式中,本实施例中获得单元301具体可以通过以下方式实现:

[0075] 首先,通过电子设备的背板逻辑芯片,监测背板上的插槽所设置的硬盘,例如,利用背板逻辑芯片通过I2C总线或其他总线监测背板上每个插槽上面的retimer卡上通过动态的线缆连接,是否连接有硬盘,如果连接有硬盘,那么识别接到了哪些硬盘。

[0076] 之后或者同时,通过总线,获得插槽所连接的PCIE总线端口。

[0077] 例如,利用线缆中的I2C总线或其他总线来获得每个插槽连接在哪组CPU的PCIE retimer卡,从而获得每个插槽所连接的PCIE总线端口,如通过I2C总线或其他总线识别出槽1到槽N分别对应哪组CPU的PCIE物理总线端口,由此,本实施例中通过I2C总线或其他总线从retimer卡上读取连接信息。

[0078] 在一种实现方式中,本实施例中写入单元302具体可以通过总线,将连接信息写入到电子设备的存储芯片中。

[0079] 其中,该存储芯片可以为电子设备中的FPGA芯片,该芯片能够在电子设备启动时被电子设备如bios读取,由此电子设备能够基于该连接信息生成硬盘排序信息,使得硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0080] 具体的,本实施例中生成单元303在基于连接信息生成硬盘排序信息时,具体可以通过以下方式实现:

[0081] 首先,通过总线读取存储芯片如FPGA中存储的连接信息,之后,解析读取到的连接信息,以得到硬盘与PCIE总线端口的连接关系,以使得硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0082] 另外,在一种实现方式中,本实施例中在获得单元301获得连接信息之后,还可以基于连接信息,设置PCIE总线端口连接到CPU的分配信息,例如,在电子设备启动之后,通过总线读取到连接信息时,基于连接信息,就可以了解到背板上哪些硬盘连接到了哪组CPU的PCIE总线,从而基于这些信息,可以动态设置PCIE总线的分配,由此实现硬盘能够平



均分配到每组 CPU下,实现性能最大化。

[0083] 参考图4,为本申请实施例三提供的一种电子设备的结构示意图,该电子设备可以为能够连接各种硬盘的电脑或服务器等设备。

[0084] 具体的,本实施例中的电子设备可以包括以下结构:

[0085] 背板控制器401,用于在所述电子设备通电时,获得与所述电子设备所连接的硬盘的连接信息。

[0086] 其中,该连接信息中至少包括有:硬盘所在插槽及插槽所连接的PCIE总线端口等信息。也就是说,连接信息中至少包含能够表明以下信息的内容:每个硬盘与其所插接的插槽的对应关系,以及,每个插槽与其所连接的PCIE总线端口的对应关系。

[0087] 需要说明的是,在电子设备没有通电时,用户可以对电子设备上所连接的硬盘进行插拔,根据需求对硬盘线缆进行组装,不受限于固定的硬盘线缆组装顺序,在用户组装结束之后,对电子设备进行通电,而在电子设备通电后,本实施例中背板控制器401对更新后的硬盘线缆组装状态进行检查,从而获得与电子设备背板上所连接的硬盘的连接信息,如硬盘与插槽的连接以及插槽与PCIE总线端口的连接等信息。

[0088] 主板控制器402,用于将所述连接信息写入所述电子设备中。

[0089] 其中,主板控制器402可以将连接信息写入到电子设备的存储单元中。

[0090] Bios403,用于在所述电子设备启动时,基于所述连接信息生成硬盘排序信息,使得所述硬盘在系统前视图、bios setup及操作系统中的排序一致。

[0091] 其中,电子设备在未启动之前而通电后,本实施例的主板控制器402将硬盘在电子设备上的连接信息写入到电子设备中,而在电子设备启动后,电子设备的Bios403就可以基于电子设备中存储的这些连接信息来生成硬盘排序信息,进而电子设备能够基于这一硬盘排序信息生成硬盘在系统前视图、bios setup及操作系统中的排序,因此,本实施例中硬盘在系统前视图、bios setup及操作系统中的排序能够一致,而不受限于硬盘在电子设备中的组装状态。

[0092] 从上述技术方案可以看出,本申请实施例三提供的一种电子设备,通过在电子设备通电时即可获取电子设备所连接的硬盘的连接信息,进而将这些连接信息写入到电子设备中,从而在电子设备启动时就可以基于这些连接信息来生成硬盘排序顺序,由此使得硬盘在系统前视图、bios setup及操作系统中的排序顺序一致。本实施例中硬盘的排序顺序不再受限于固定的硬盘线缆组装顺序,无论硬盘线缆组装如何变化,通过在电子设备通电后获取到当前的硬盘连接信息,从而在电子设备启动时就可以生成硬盘排序信息,由此保证硬盘在各个视图环境下的排序一致,实现本实施例目的。

[0093] 在具体实现中,如图5中所示,电子设备中还可以包括有:

[0094] 中转板404,用于存储所述背板控制器401所获得的连接信息。

[0095] 其中,中转板404可以由riser卡实现,本实施例中,将背板控制器401所获得的连接信息暂时存储在中转板404中,用以后续读取。

[0096] 相应的,所述主板控制器402还用于:从所述中转板404中读取所述连接信息,并写入所述电子设备中。

[0097] 具体的,主板控制器402将从所述中转板404中读取所述连接信息,并写入所述电子设备中的存储芯片405如FPGA中,如图6中所示,该存储芯片405用于存储主板控制器402

写入的连接信息。

[0098] 另外,在本实施例的电子设备中,bios403还可以用于:

[0099] 基于所述连接信息,设置所述PCIE总线端口连接到CPU的分配信息。

[0100] 例如,在电子设备启动之后,bios403通过总线读取到连接信息时,基于连接信息,就可以了解到背板上哪些硬盘连接到了哪组CPU的PCIE总线,从而基于这些信息,可以动态设置PCIE总线的分配,由此实现硬盘能够平均分配到每组CPU下,实现性能最大化。

[0101] 以下结合图7,对本申请实施例中的实现方案进行说明:

[0102] 在电子设备中包括有背板BP、主板控制器BMC、存储芯片FPGA以及 bios系统,其中,BP上具有背板逻辑芯片。

[0103] 在本实施例中,通过背板BP的逻辑芯片,主板的BMC侦测到当前背板上哪些槽位的NVMe盘有安装,以及他们分别使用的是哪组CPU的PCIE总线,把这些信息通知FPGA,FPGA会在这些信息记录到自己的寄存器里面,在电子设备开机上电后,bios去FPGA把这些信息抓取,并通过这些信息设置PCIE总线的mapping,显示在bios setup界面,并通知操作系统,以此顺序做NVMe硬盘在系统下的排序。由此,本实施例中无论如何做线缆的连接,系统都能通过软件的动态设置,实现系统前视图、bios setup和操作系统下硬盘排序一致性的目的,实现最优性能。

[0104] 具体的,首先,如图7中所示,背板(BP)通过上面的逻辑芯片,侦测哪些槽上面有插入NVMe盘,如图7中的流程1所示,然后通过线缆里面的I2C总线(或者使用其他类似总线协议)告之与之相连的PCIE retimer卡,当前的线缆连接,是NVMe的前视图里面哪些盘位使用槽1的PCIE总线(bios知道槽1到槽N分别对应CPU的哪组PCIE物理总线)。

[0105] 其次,BMC(主板管理芯片)通过I2C总线(或者使用其他类似总线协议),如图7中的流程2所示,从retimer卡上面的逻辑芯片读到流程1中获取到的信息。

[0106] 之后,BMC通过I2C总线(或者使用其他类似总线协议),如图7中的流程3所示,把读取到的流程1中获取到的信息传递给FPGA。

[0107] 之后,Bios透过eSPI总线(或者使用其他类似总线协议),如图7中的流程4所示,从FPGA里面读取到流程1中获取到的信息。

[0108] 最后,bios知道槽1到槽N分别对应CPU的哪组PCIE物理总线,又通过上述路径知道,每个槽上面的retimer卡通过动态的线缆连接,接到了背板的哪个NVMe盘;此时bios就知道背板的哪个NVMe盘接到了CPU的哪组PCIE总线,然后以此信息,还可以设计PCIE总线的分配,再把分析的方式告之操作系统OS(Operating System),由此,就可以实现系统前视图、bios setup,和操作系统下硬盘排序一致性的目的。另外,也可以通过这个动态线缆连接实现NVMe盘平均分配在每个CPU下面,又不会影响上述三者的硬盘排序一致,实现性能最大化。

[0109] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。对于实施例公开的装置而言,由于其与实施例公开的方法相对应,所以描述的比较简单,相关之处参见方法部分说明即可。

[0110] 专业人员还可以进一步意识到,结合本文中所公开的实施例描述的各示例的单元及算法步骤,能够以电子硬件、计算机软件或者二者的结合来实现,为了清楚地说明硬

件和软件的可互换性,在上述说明中已经按照功能一般性地描述了各示例的组成及步骤。这些功能究竟以硬件还是软件方式来执行,取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本发明的范围。

[0111] 结合本文中所公开的实施例描述的方法或算法的步骤可以直接用硬件、处理器执行的软件模块,或者二者的结合来实施。软件模块可以置于随机存储器(RAM)、内存、只读存储器(ROM)、电可编程ROM、电可擦除可编程ROM、寄存器、硬盘、可移动磁盘、CD-ROM、或技术领域内所公知的任意其它形式的存储介质中。

[0112] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

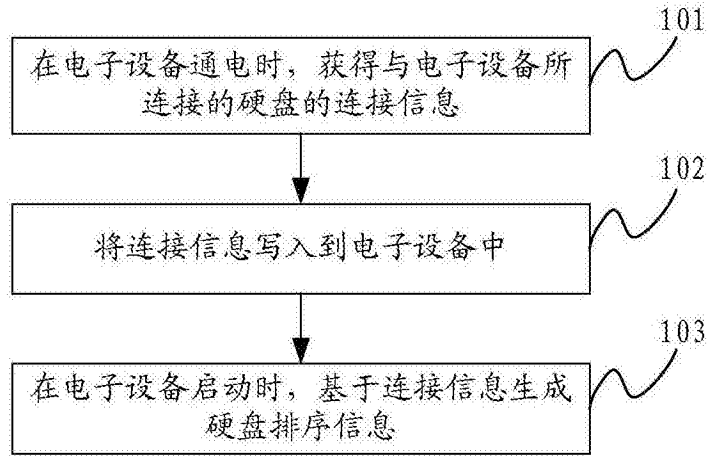


图1

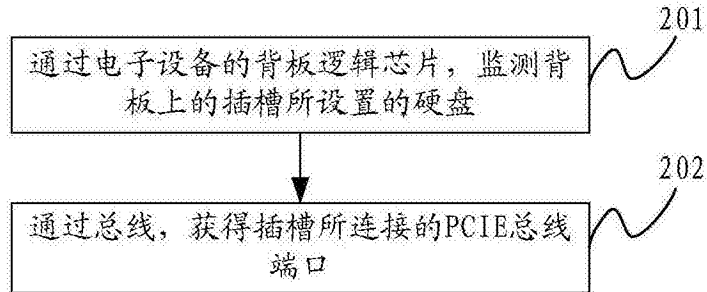


图2

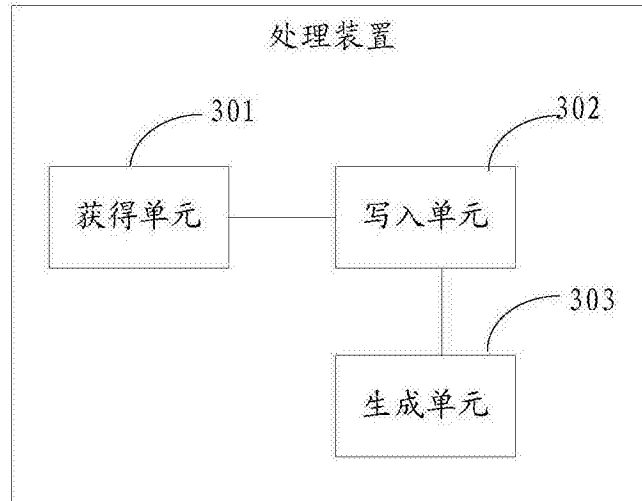


图3

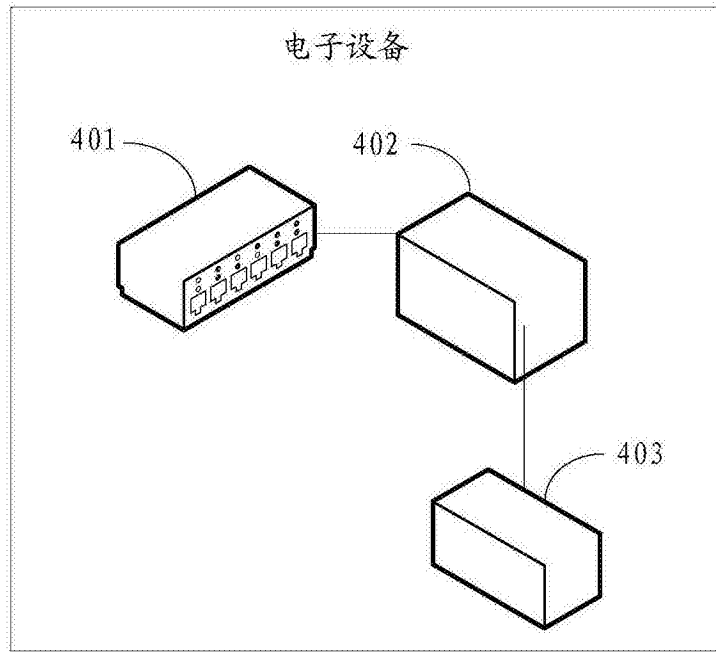


图4

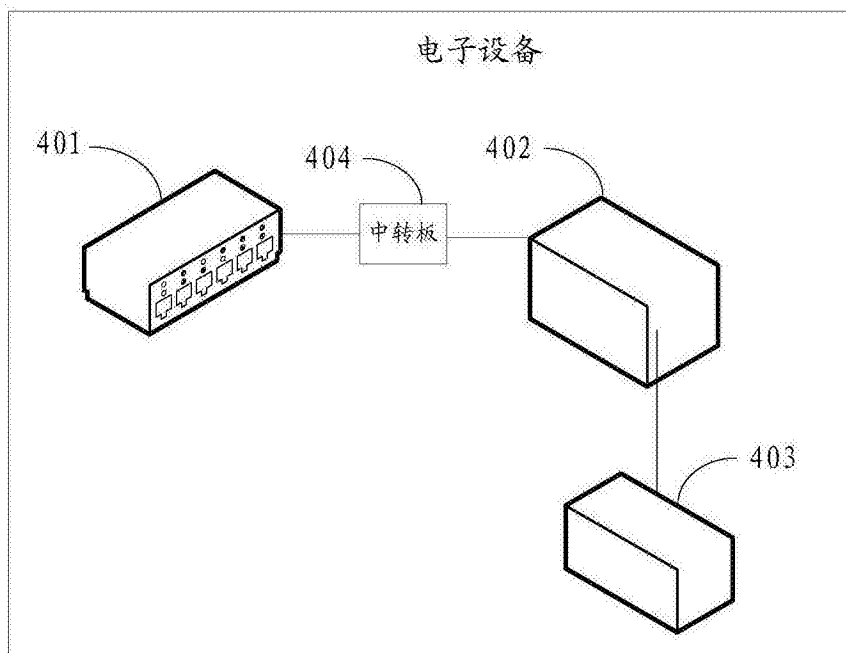


图5

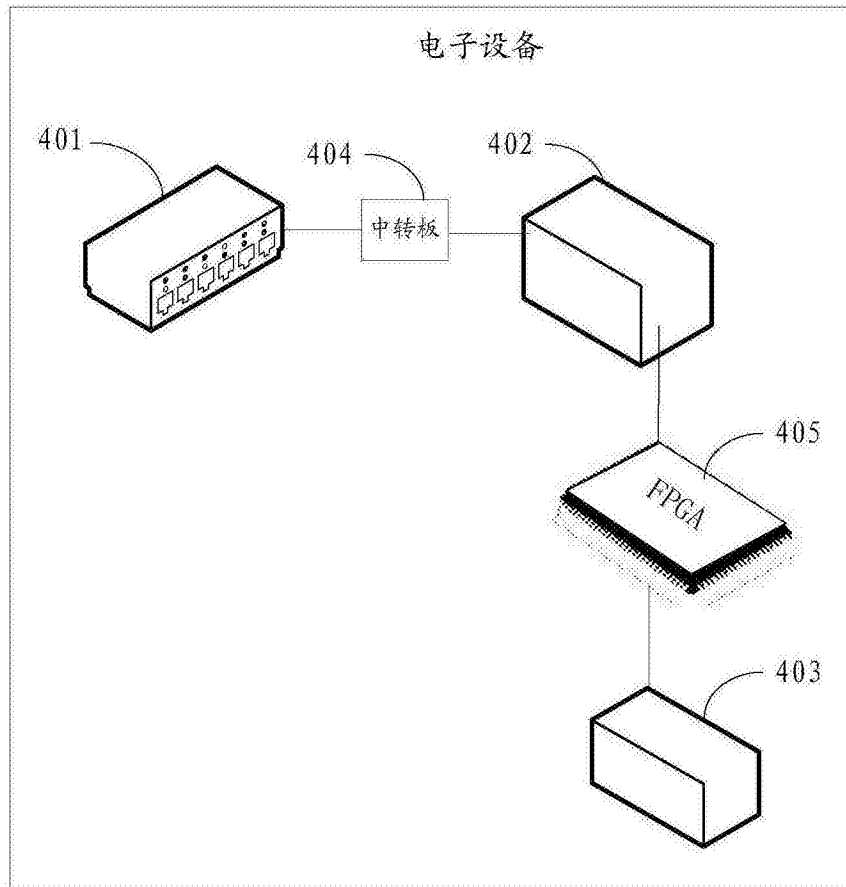


图6

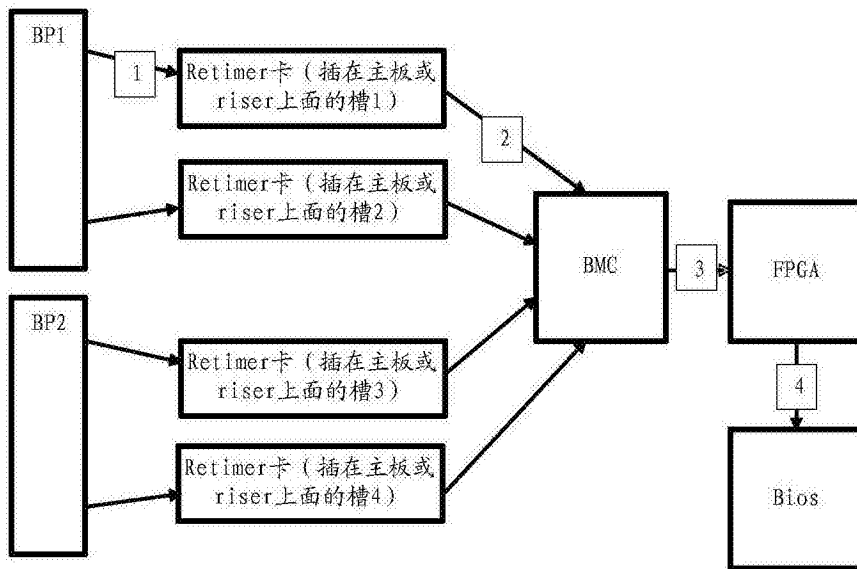


图7