



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2010-0135315  
(43) 공개일자 2010년12월24일

- |   |   |
|---|---|
| <p>(51) Int. Cl.<br/><i>G11C 11/15</i> (2006.01) <i>G11C 11/16</i> (2006.01)</p> <p>(21) 출원번호 10-2010-7026417</p> <p>(22) 출원일자(국제출원일자) 2009년05월26일<br/>심사청구일자 2010년11월25일</p> <p>(85) 번역문제출일자 2010년11월25일</p> <p>(86) 국제출원번호 PCT/JP2009/059560</p> <p>(87) 국제공개번호 WO 2009/145161<br/>국제공개일자 2009년12월03일</p> <p>(30) 우선권주장<br/>JP-P-2008-140082 2008년05월28일 일본(JP)</p> | <p>(71) 출원인<br/>가부시키가이샤 히타치세이사쿠쇼<br/>일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고</p> <p>(72) 발명자<br/>이또, 겐찌<br/>일본 100-8220 도쿄도 치요다쿠 마루노우찌 1쵸메 6-1 마루노우찌센터 빌딩 12층 가부시키가이샤 히타치세이사쿠쇼 지적재산권본부 내</p> <p>(74) 대리인<br/>박충범, 이중희, 장수길</p> |
|---|---|

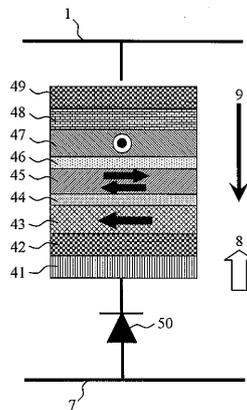
전체 청구항 수 : 총 13 항

**(54) 자기 메모리 셀 및 자기 랜덤 액세스 메모리**

**(57) 요약**

본 발명의 과제는 재기입 시의 전류 방향의 전환이 불필요하며, 또한 고정적의 스핀 토크 자화 반전 응용의 자기 메모리를 제공하는 것이다. 강자성체로 이루어지는 고정층, 비자성층, 강자성체로 이루어지는 기록층, 비자성층, 강자성체로 이루어지는 자화 회전 어시스트층이 순차적으로 적층된 메모리 셀을 구비하고, 고정층의 자화 방향에 대한 기록층의 자화 방향이 대략 평행한지, 대략 반 평행한지에 따라서 기록을 행하는 자기 메모리에서, 고정층, 기록층, 자화 회전 어시스트층의 자화의 방향이 모두 자성층의 대략 면내 방향을 향하고 있고, 자화 회전 어시스트층의 자화의 방향을 고정층의 자화의 방향과 대략 90도의 방향으로 한다. 기입 전류는, 기록층의 자화 방향을 고정층의 자화 방향과 평행한 방향으로부터 반 평행한 방향으로 재기입하는 경우도, 반 평행한 방향으로부터 평행한 방향으로 재기입하는 경우도, 고정층으로부터 기록층의 방향으로 흐르게 된다.

**대표도** - 도4



## 특허청구의 범위

### 청구항 1

강자성체로 이루어지는 고정층, 비자성층, 강자성체로 이루어지는 기록층, 비자성층, 강자성체로 이루어지는 자화 회전 어시스트층이 순차적으로 적층된 자기 저항 효과 소자를 구비하고,

상기 고정층, 기록층, 자화 회전 어시스트층의 자화는 모두 면내 방향을 향하고, 상기 자화 회전 어시스트층의 자화의 방향은 상기 고정층의 자화의 방향과 대략 직교하고 있고,

상기 고정층의 자화 방향에 대한 상기 기록층의 자화 방향이 대략 평행한지, 대략 반 평행한지에 따라서 정보의 기록을 행하는 것을 특징으로 하는 자기 메모리 셀.

### 청구항 2

제1항에 있어서,

상기 고정층의 상기 기록층과는 반대측의 면에 반 강자성층이 접촉하여 형성되어 있는 것을 특징으로 하는 자기 메모리 셀.

### 청구항 3

제1항에 있어서,

상기 자화 회전 어시스트층의 상기 기록층과는 반대측의 면에 반 강자성층이 접촉하여 형성되어 있는 것을 특징으로 하는 자기 메모리 셀.

### 청구항 4

제1항에 있어서,

상기 자기 저항 효과 소자에, 상기 고정층으로부터 상기 기록층의 방향으로 전류를 통전 가능한 다이오드가 접속되어 있는 것을 특징으로 하는 자기 메모리 셀.

### 청구항 5

제4항에 있어서,

상기 기록층의 자화 방향을 상기 고정층의 자화 방향과 평행한 방향으로부터 반 평행한 방향으로 재기입하는 경우도, 반 평행한 방향으로부터 평행한 방향으로 재기입하는 경우도, 상기 고정층으로부터 기록층의 방향으로 전류를 흘리는 것을 특징으로 하는 자기 메모리 셀.

### 청구항 6

제5항에 있어서,

상기 재기입을 위한 전류는, 상기 기록층의 자화의 세차 운동의 주기를 T로 할 때, 재기입 개시로부터 T/4까지 통전하고, 그 후 제로로 저감하는 것을 특징으로 하는 자기 메모리 셀.

### 청구항 7

제6항에 있어서,

그 후, 상기 재기입을 위한 전류를 3T/4로부터 5T/4까지 통전하는 것을 특징으로 하는 자기 메모리 셀.

### 청구항 8

제1항에 있어서,

상기 자기 저항 효과 소자에 전류를 통전하기 위한 트랜지스터가 접속되어 있는 것을 특징으로 하는 자기 메모리 셀.

**청구항 9**

제8항에 있어서,

상기 기록층의 자화 방향을 상기 고정층의 자화 방향과 평행한 방향으로부터 반 평행한 방향으로 재기입하는 경우도, 반 평행한 방향으로부터 평행한 방향으로 재기입하는 경우도, 상기 고정층으로부터 기록층의 방향으로 전류를 흘리고, 상기 자기 메모리의 정보를 판독할 때에는, 판독 전류를 상기 기록층으로부터 고정층의 방향으로 흘리는 것을 특징으로 하는 자기 메모리 셀.

**청구항 10**

제9항에 있어서,

상기 재기입을 위한 전류는, 상기 기록층의 자화의 세차 운동의 주기를 T로 할 때, 재기입 개시로부터 T/4까지 통전하고, 그 후 제로로 저감하는 것을 특징으로 하는 자기 메모리 셀.

**청구항 11**

제10항에 있어서,

그 후, 상기 재기입을 위한 전류를 3T/4로부터 5T/4까지 통전하는 것을 특징으로 하는 자기 메모리 셀.

**청구항 12**

복수의 소스선이 접속된 제1 드라이버 회로와,

복수의 비트선이 접속된 제2 드라이버 회로와,

상기 소스선과 상기 비트선의 교차 영역에 각각 배치된 복수의 자기 메모리 셀과,

상기 복수의 비트선에 각각 접속되고 상기 자기 메모리 셀로부터의 판독 신호를 증폭하는 복수의 앰프를 갖고,

상기 자기 메모리 셀은, 강자성체로 이루어지는 고정층, 비자성층, 강자성체로 이루어지는 기록층, 비자성층, 강자성체로 이루어지는 자화 회전 어시스트층이 순차적으로 적층된 자기 저항 효과 소자와, 상기 자기 저항 효과 소자에 일단이 접속된 다이오드를 구비하고, 상기 고정층, 기록층, 자화 회전 어시스트층의 자화는 모두 면내 방향을 향하고, 상기 자화 회전 어시스트층의 자화의 방향은 상기 고정층의 자화의 방향과 대략 직교하고 있고, 상기 고정층의 자화 방향에 대한 상기 기록층의 자화 방향이 대략 평행한지, 대략 반 평행한지에 따라서 정보의 기록을 행하고,

상기 다이오드는, 상기 자기 저항 효과 소자에, 상기 고정층으로부터 상기 기록층의 방향으로 전류를 통전 가능하게 타단이 상기 소스선에 접속되고,

상기 자기 저항 효과 소자의 상기 자화 회전 어시스트층은 상기 비트선에 접속되어 있는 것을 특징으로 하는 자기 랜덤 액세스 메모리.

**청구항 13**

복수의 소스선이 접속된 제1 드라이버 회로와,

복수의 비트선이 접속된 제2 드라이버 회로와,

복수의 워드선이 접속된 제3 드라이버 회로와,

상기 소스선과 상기 비트선과 상기 워드선의 교차 영역에 각각 배치된 복수의 자기 메모리 셀과,

상기 복수의 비트선에 각각 접속되고 상기 자기 메모리 셀로부터의 판독 신호를 증폭하는 복수의 앰프를 갖고,

상기 자기 메모리 셀은, 강자성체로 이루어지는 고정층, 비자성층, 강자성체로 이루어지는 기록층, 비자성층, 강자성체로 이루어지는 자화 회전 어시스트층이 순차적으로 적층된 자기 저항 효과 소자와, 상기 자기 저항 효과 소자에 일단이 접속된 트랜지스터를 구비하고, 상기 고정층, 기록층, 자화 회전 어시스트층의 자화는 모두 면내 방향을 향하고, 상기 자화 회전 어시스트층의 자화의 방향은 상기 고정층의 자화의 방향과 대략 직교하고 있고, 상기 고정층의 자화 방향에 대한 상기 기록층의 자화 방향이 대략 평행한지, 대략 반 평행한지에 따라서

정보의 기록을 행하고,

상기 트랜지스터의 타단은 상기 소스선에 접속되고,

상기 자화 회전 어시스트층은 상기 비트선에 접속되고,

상기 워드선에 의해서 상기 트랜지스터의 저항이 제어되고,

정보의 기입 시에는, 상기 제1 드라이버 회로에 의해서 기입을 행하는 자기 메모리 셀이 접속된 소스선을 기입 전압으로 승압함과 함께, 상기 제3 드라이버 회로에서 그 자기 메모리 셀의 트랜지스터를 통전 제어하고,

정보의 판독 시에는, 상기 제2 드라이버 회로에 의해서 판독을 행하는 자기 메모리 셀이 접속된 비트선을 판독 전압으로 승압함과 함께, 상기 제3 드라이버 회로에서 그 자기 메모리 셀의 트랜지스터를 통전 제어하는 것을 특징으로 하는 자기 랜덤 액세스 메모리.

## 명세서

### 기술분야

[0001] 본 발명은, 스핀 토크 자화 반전을 응용한 자기 메모리 셀 및 자기 랜덤 액세스 메모리에 관한 것이다.

### 배경기술

[0002] 최근, 종래의 다이내믹 랜덤 액세스 메모리(DRAM)를 치환할 가능성을 갖는 자기 랜덤 액세스 메모리(MRAM)가 주목받고 있다. 종래의 MRAM에서는, 예를 들면 미국 특허 제5734605호 명세서에 기재되어 있는 바와 같이, 자성 막/비자성 절연막/자성막의 다층 구조를 갖는 터널 자기 저항 효과(TMR) 소자의 한쪽의 자화를, TMR 소자의 상하에 서로 직교하는 방향으로 설치된 2개의 금속 배선에 흐르는 전류가 만드는 합성 자계를 이용하여 반전시킴으로써 기록을 행하는 방식이 채용되고 있다. 그러나, MRAM에서도, 대용량화를 위해 TMR 소자의 사이즈를 작게 하면 자화 반전에 요하는 자계의 크기가 커져, 많은 전류를 금속 배선에 흘리는 것이 필요해져, 소비 전력의 증가, 나아가서는 배선의 파괴를 초래하게 되는 과제가 지적되고 있다.

[0003] 자계를 이용하지 않고 자화 반전하는 방법으로서, 자기 재생 헤드에서 이용되는 거대 자기 저항 효과(GMR)막이나 터널 자기 저항 효과(TMR)막에, 일정 이상의 전류를 흘리는 것만으로 자화 반전이 가능한 것이 이론적으로 예시되어, 예를 들면, Applied Physics Letters, Vol.84, pp.3118-3120(2004)에 기재되어 있는 바와 같이, TMR 막을 이용한 나노필러를 이용하여, 스핀 토크 자화 반전이 실증되었다. 특히 TMR막을 이용한 스핀 토크 자화 반전에서는, 종래의 MRAM과 동등 이상의 출력이 얻어지기 때문에, 대단히 주목받고 있다.

[0004] 이상 언급한 스핀 토크 자화 반전의 모식도를 도 1에 도시한다. 도 1에서, 비트선(1)에, 자화 방향이 변화하는 제1 강자성층(기록층)(2), 중간층(3), 자화 방향이 고정된 제2 강자성층(고정층)(4)으로 이루어지는 자기 저항 효과 소자와, 게이트 전극(5)에서 전도를 제어받은 트랜지스터(6)가 접속되고, 트랜지스터의 다른 한쪽의 단자는 소스선(7)에 접속되어 있다. 도 1의 (a)와 같이, 고정층(4)과 기록층(2)의 자화를 반 평행(고저항) 상태에서부터 평행(저저항) 상태로 변화시키는 경우에는, 전류(8)는 비트선(1)으로부터 소스선(7)으로 흐르게 된다. 이 때, 전자(9)는 소스선(7)으로부터 비트선(1)으로 흐른다. 한편, 도 1의 (b)와 같이, 고정층(4)과 자유층(2)의 자화를 평행(저저항) 상태에서부터 반 평행(고저항) 상태로 변화시키는 경우에는, 전류(8)는 소스선(7)으로부터 비트선(1)의 방향으로 흘러면 된다. 이 때, 전자(9)는 비트선(1)으로부터 소스선(7)의 방향으로 흐른다.

[0005] Applied Physics Letters, Vol.84, pp.3897-3899(2004)에는, 자성막 면에 수직인 자화를 이용하여, 전류 방향을 바꾸는 일 없이, 스핀 토크 자화 반전을 행하는 방법이 제안되어 있다. 이 예에서는, 도 2에 도시한 바와 같이, 막 면에 수직인 자화 방향을 갖는 고정층(21), 비자성의 제1 중간층(22), 막 면내의 자화 방향을 갖는 기록층(23), 비자성의 제2 중간층(24), 막 면내에 자화 방향을 갖는 참조층(25)을 적층하여 이루어지는 자기 저항 효과 소자를 이용한다. 예를 들면 기록층(23)의 자화가 참조층(25)의 자화와 평행한 경우, 우선 플러스의 전류(26)를 흘려 기록층의 자화에 스핀 토크를 부여한다. 플러스의 전류를 흘리는 시간은, 스핀 토크에 의한 자화의 세차 운동의 주기 T의 1/4의 시간이다. 그 후에는 전류의 방향을 반대 방향(27)으로 전환하고, 자화의 운동을 멈추게 하는 토크를 부여하여, 불과 T/2의 시간에서 스핀 토크 자화 반전이 가능한 것을 나타내고 있다.

[0006] 일본 특허 공개 제2006-128579호에 기재에는, 도 3과 같이, 막 면내 방향으로 자화를 갖는 고정층(31), 비자성층(32), 막 면내 방향으로 자화를 갖는 자유층(기록층)(33), 비자성층(34), 막 면에 수직인 자화를 갖는 스핀 토크 구동층(35)을 갖는 자기 저항 효과 소자를 이용하여, 전류(8)를 흘리는 것만으로, 자유층(33)의 자화의 방

향을, 고정층(31)의 자화 방향과 평행한 방향으로부터 반 평행한 방향으로, 혹은 반 평행한 방향으로부터 평행한 방향으로, 어느 쪽의 방향으로도 반전시키는 것이 가능한 것이 개시되어 있다. 자화 반전을 행할지 행하지 않을지는, 펄스 시간을 제어함으로써 행하는 것도 아울러 개시되어 있다.

**선행기술문헌**

**특허문헌**

- [0007] (특허문헌 0001) 특허 문헌 1 : 미국 특허 제5734605호 명세서
- (특허문헌 0002) 특허 문헌 2 : 일본 특허 공개 제2006-128579호 공보

**비특허문헌**

- [0008] (비특허문헌 0001) 비특허 문헌 1 : Journal of Magnetism and Magnetic Materials, 159, L1-6(1996)
- (비특허문헌 0002) 비특허 문헌 2 : Applied Physics Letters, Vol.84, pp.3118-3120(2004)
- (비특허문헌 0003) 비특허 문헌 3 : Applied Physics Letters, Vol.84, pp.3897-3899(2004)

**발명의 내용**

**해결하려는 과제**

- [0009] 그러나, 종래의 스핀 토크 자화 반전을 응용한 TMR형의 MRAM에는, 이하와 같은 문제가 있다.
- [0010] 스핀 토크 자화 반전을 응용하여 자기 메모리의 정보의 재기입을 행하는 경우, 도 1에 도시한 바와 같이 평행 상태로부터 반 평행 상태로의 재기입의 경우와, 반 평행 상태로부터 평행 상태로의 재기입의 경우에서 전류 방향을 반대로 해야만 한다. 이것에는, 전류 방향 절환용의 스위치 등의 특별한 회로를 필요로 한다. 또한 도 2의 경우도, 동작은 고속이지만, 역시 전류 절환용의 스위치, 게다가 매우 고속으로 동작하는 스위치가 필요해진다. 또한 전류의 방향을 절환하는 재기입 방식을 채용하면, 다이오드를 소자 선택을 위해 사용할 수 없다. 이것은 셀 면적의 저감을 방해하는 요인으로 된다.
- [0011] 한편, 도 3에 도시되는 구조에서는, 전류의 방향을 바꾸는 일 없이, 평행 상태로부터 반 평행 상태의 재기입, 및 반 평행 상태로부터 평행 상태의 재기입의 쌍방을 행할 수 있다. 그러나, 자성막 면에 수직으로 자화한 스핀 토크 구동층(35)이 최상층에 있기 때문에, 자성막(35)의 자기 이방성의 제어가 용이하지 않을 뿐만 아니라, 자성막의 자화의 방향을 일정하게 유지하는 것도 어렵다고 하는 과제가 있다.
- [0012] 본 발명의 목적은, 현실적으로 제작이 가능하며, 또한 정보 재기입 시의 전류 방향의 절환이 불필요한, 스핀 토크 자화 반전을 응용한 자기 메모리 셀 및 자기 랜덤 액세스 메모리를 제공하는 것이다.

**과제의 해결 수단**

- [0013] 본 발명에서는, 강자성체로 이루어지는 고정층, 비자성층, 강자성체로 이루어지는 기록층, 비자성층, 강자성체로 이루어지는 자화 회전 어시스트층이 순차적으로 적층된 메모리 셀을 구성한다. 고정층, 기록층, 자화 회전 어시스트층의 자화의 방향은 모두 자성층의 대략 면내 방향으로 하고, 자화 회전 어시스트층의 자화의 방향은 고정층의 자화의 방향과 대략 90도로 한다. 또한, 고정층의 자화를 기록층과는 반대의 면에 고정층과 접촉하여 형성된 반 강자성층으로부터의 교환 결합력으로 고정한다. 또한, 자화 회전 어시스트층의 자화를 기록층과는 반대의 면에 자화 회전 어시스트층과 접촉하여 형성된 반 강자성층으로부터의 교환 결합력으로 고정한다.
- [0014] 또한 자기 메모리 셀에, 고정층으로부터 기록층의 방향으로 전류를 통전 가능한 다이오드 소자를 접속한다. 혹은, 자기 메모리 셀에 전류를 통전하기 위한 트랜지스터를 접속한다.
- [0015] 다이오드가 접속된 자기 메모리 셀에서는, 다이오드의 일단을 제1 기입 드라이버 회로에 접속된 소스선에 전기적으로 접속하고, 자화 회전 어시스트층을, 제2 기입 드라이버 회로와 판독 신호를 증폭하는 앰프에 접속된 비트선에 접속한다. 자기 메모리 셀에 트랜지스터를 접속하는 경우에는, 트랜지스터의 일단을 제1 기입 드라이버

회로에 접속된 소스선에 전기적으로 접속하고, 자화 회전 어시스트층의 일단을, 제2 기입 드라이버 회로와 판독 신호를 증폭하는 앰프에 접속된 비트선에 접속하고, 트랜지스터의 저항을 제어하는 워드선을 구비하고, 워드선을 제3 기입 드라이버 회로에 접속하도록 한다.

[0016] 다이오드를 접속한 자기 메모리 셀에서는, 기록층의 자화 방향을 고정층의 자화 방향과 평행한 방향으로부터 반 평행한 방향으로 재기입하는 경우도, 반 평행한 방향으로부터 평행한 방향으로 재기입하는 경우도, 고정층으로부터 기록층의 방향으로 전류를 흘리도록 한다.

[0017] 한편, 트랜지스터를 접속한 자기 메모리 셀에서는, 기록층의 자화 방향을 고정층의 자화 방향과 평행한 방향으로부터 반 평행한 방향으로 재기입하는 경우도, 반 평행한 방향으로부터 평행한 방향으로 재기입하는 경우도, 고정층으로부터 기록층의 방향으로 전류를 흘리고, 게다가 자기 메모리 셀의 정보를 판독하는 경우에는, 판독 전류를 기록층으로부터 고정층의 방향으로 흘리도록 한다.

[0018] 자기 메모리 셀에 정보를 기입하는 전류 파형에 관해서는, 전류 펄스를 인가하기 시작하고 나서부터의 시간 t에 대해, 다음의 형태로 제어한다. 여기서 I<sub>0</sub>는 소정의 기입 전류, T는 기록층의 자화의 세차 운동의 주기이다.

$$\begin{aligned}
 I &= I_0 \quad (0 \leq t \leq T/4) \\
 0 &\quad (T/4 < t \leq 3T/4) \\
 I_0 &\quad (3T/4 < t \leq 5T/4) \\
 &\vdots \\
 0 &\quad (T/4 + (n-1)T < t \leq 3T/4 + (n-1)T) \\
 I_0 &\quad (3T/4 + (n-1)T < t \leq 5T/4 + (n-1)T)
 \end{aligned}$$

[0019]

**발명의 효과**

[0020] 본 발명에 따르면, 재기입 시의 전류 방향의 전환이 불필요하며, 또한 고집적의 스핀 토크 자화 반전 응용의 자기 메모리를 제공할 수 있다.

**도면의 간단한 설명**

[0021] 도 1은 스핀 토크 자화 반전의 원리를 도시하는 도면이며, (a)는 반 평행 상태에서부터 평행 상태로의 자화 반전을 도시하는 도면, (b)는 평행 상태에서부터 반 평행 상태로의 자화 반전을 도시하는 도면.

도 2는 공지예의 설명도.

도 3은 다른 공지예의 설명도.

도 4는 본 발명에서 이용하는 자기 저항 효과 소자의 구성예를 도시하는 도면.

도 5는 평행 상태에서부터 반 평행 상태로의 기입 방법을 도시하는 도면.

도 6은 반 평행 상태에서부터 평행 상태로의 기입 방법을 도시하는 도면.

도 7은 본 발명의 자기 저항 효과 소자의 자화 회전 어시스트층으로부터의 누설 자계를 도시하는 도면.

도 8은 본 발명에서, 자화 반전이 종료될 때까지의 자화의 회전수를, 시간 제로에서의 기록층의 자화가 자화 용이축과 이루는 각도 θ의 정현(sinθ)과, 전류의 값의 함수로서 플롯한 도면.

도 9는 종래예에서, 자화 반전이 종료될 때까지의 자화의 회전수를, 시간 제로에서의 기록층의 자화가 자화 용이축과 이루는 각도 θ의 정현(sinθ)과, 전류의 값의 함수로서 플롯한 도면.

도 10은 다이오드를 이용한 자기 랜덤 액세스 메모리의 구성예를 도시하는 도면.

도 11은 트랜지스터를 이용한 자기 랜덤 액세스 메모리의 구성예를 도시하는 도면.

**발명을 실시하기 위한 구체적인 내용**

[0022] 이하, 본 발명을, 도면을 이용하여 상세하게 설명한다.

[0023] 도 4에, 본 발명을 이용한 자기 메모리 셀의 주요한 구성예를 도시한다. 본 발명의 자기 저항 효과 소자는, 기

초막(41), 반 강자성막(42), 고정층(43), 절연 장벽층(44), 기록층(45), 비자성의 중간층(46), 자화 반전 어시스트층(47), 반 강자성층(48), 적당한 캡층(49)을 순차적으로 적층한 구조를 갖는다. 고정층(43)의 자화의 방향은, 반 강자성막(42)으로부터의 교환 결합력에 의해서 막 면내의 소정의 방향으로 고정되어 있다. 기록층(45)의 자화는, 막면에 평행하고, 고정층(43)의 자화의 방향과 대략 평행, 또는 반 평행이다. 비자성의 중간층(46)으로서는, 통상은 절연층이 이용된다. 자화 반전 어시스트층(47)은, 자화의 방향이 막면에 평행하고 또한 고정층(43)의 자화의 방향과 대략 수직이며, 반 강자성층(48)에 의해 자화의 방향이 고정되어 있다. 다이오드(50)는, 소스선(7)으로부터 비트선(1)에 흐르는 전류(8)(전자는 방향(9)으로 흐름)를 온, 오프하기 위한 스위치로서 이용된다.

[0024] 다음으로, 이 자기 메모리 셀의 기입 동작에 대해서 설명한다. 도 5는, 도 4에 도시한 자기 저항 효과 소자에서, 기록층(45)의 자화 방향을 고정층(43)의 자화 방향에 대하여 평행(저저항 상태)으로부터 반 평행(고저항 상태)으로 변화시키는 경우의 전류값의 시간 변화와, 그에 수반하는 기록층의 자화 방향의 변화의 일례를 도시한 도면이다. 우선 시간 제로에서 전류를 소정의 크기까지 증가시키고, 그 후, 기록층(45)의 자화의 세차 운동의 주기 T의 1/4의 시간까지, 그 전류값을 유지하고, 그 후 제로까지 저감한다. 이 전류로부터 기록층의 자화에 주어지는 스핀 토크에 의해, 도 5의 (b)와 같이 기록층의 자화의 세차 운동이 여기된다. 이 세차 운동은, 전류가 오프로 되어 있는 시간 T/4 내지 3T/4의 동안도 도 5의 (c), (d)와 같이 계속된다. 다시 시간 3T/4에서 전류를 소정의 값까지 증가시켜, 시간 5T/4까지 일정한 값으로 유지한다. 그 동안 다시 이 전류로부터 기록층의 자화에 스핀 토크가 작용하고, 기록층의 자화의 세차 운동이 도 5의 (e), (f)와 같이 증폭되어, 전류를 오프한 후에 도 5의 (g)와 같이 자화가 초기 상태와 반대 방향으로 스위칭하여 세차 운동이 정지된다.

[0025] 도 6은, 도 4에 도시한 자기 저항 효과 소자에서, 기록층(45)의 자화 방향을 고정층(43)의 자화 방향에 대하여 반 평행(고저항 상태)으로부터 평행(저저항 상태)의 방향으로 변화시키는 경우의 전류값의 시간 변화와, 그에 수반하는 기록층의 자화 방향의 변화의 일례를 도시한 도면이다. 이 경우도 도 5의 경우와 동일하도록, 우선 시간 제로에서 전류를 소정의 크기까지 증가시키고, 그 후, 기록층의 자화의 세차 운동의 주기 T의 1/4의 시간까지, 그 전류값을 유지하고, 그 후 제로까지 저감한다. 이 전류로부터 기록층의 자화에 주어지는 스핀 토크에 의해, 도 6의 (b)와 같이 기록층의 자화의 세차 운동이 여기된다. 그 후 이 세차 운동은, 전류가 오프로 되어 있는 시간 T/4 내지 3T/4의 동안도 도 6의 (c), (d)와 같이 계속된다. 다시 시간 3T/4에서 전류를 소정의 값까지 증가시켜, 시간 5T/4까지 일정한 값으로 유지한다. 그 동안 다시 이 전류로부터 기록층의 자화에 스핀 토크가 작용하고, 기록층의 자화의 세차 운동이 도 6의 (e), (f)와 같이 증폭되어, 전류를 오프한 후에 도 6의 (g)와 같이 자화가 초기 상태와 반대 방향으로 스위칭하여 세차 운동이 정지된다.

[0026] 도 5와 도 6에서는, 세차 운동에서의 기록층의 자화의 회전 방향이 반대로 되어 있는 것에 주의해 주십시오. 즉, 전류의 방향을 도 4의 화살표 8의 방향, 즉 전자의 방향을 도 4의 화살표 9의 방향을 향하는 경우, 시간 제로로부터 T/4까지는, 통전 전류의 전자가 갖는 스핀으로부터 기록층(45)의 자화에 작용하는 스핀 토크는, 기록층(45)의 자화의 방향을 자화 회전 어시스트층(47)의 자화의 방향에 일치하고자 하는 방향으로 움직인다. 따라서 도 5의 (b), 도 6의 (b)에 도시된 바와 같은 세차 운동이 여기된다. 그러나, 만일 시간 T/4 이후도 전류를 오프하지 않고 지속시켰다고 하면, 시간 T/4 내지 시간 3T/4의 동안은, 도 5에서도 도 6에서도, 스핀 토크는 기록층(45)의 자화를 자화 회전 어시스트층(47)의 방향에 일치하는 방향, 즉 세차 운동을 덤핑하는 방향으로 움직이게 되어, 결과적으로 전류를 낭비하게 되게 된다. 따라서, 이 시간의 동안은 전류를 오프로 한다. 다시 시간 3T/4에서 전류를 온으로 하면, 시간 5T/4까지, 다시 스핀 토크는 기록층의 자화의 세차 운동을 여기하는 방향으로 움직이는 것으로 되어, 결과적으로 스핀 토크에 의한 기록층 자화의 반전을 완료한다. 이와 같이, 기록층(45)의 자화 방향을 고정층(43)의 자화 방향에 대하여 평행(저저항 상태)으로부터 반 평행(고저항 상태)의 방향으로 변화시키는 경우라도, 기록층(45)의 자화 방향을 고정층(43)의 자화 방향에 대하여 반 평행(고저항 상태)으로부터 평행(저저항 상태)의 방향으로 변화시키는 경우라도, 동일한 전류 방향과 전류 펄스의 시간축 상의 과형을 이용할 수 있는 것이, 본 발명의 제1 특징이다.

[0027] 다음으로, 본 발명의 제2 특징을 설명한다. 예를 들면, Applied Physics Letters, Vol.88, p.152505(2006)에 기재되어 있는 바와 같이, 일반적으로 스핀 토크에 의한 자화 반전은,

[0028] (1) 펄스 폭이 10ns 이하의 영역에서, 펄스 폭의 감소와 함께 급속히 기입 전류가 증대된다

[0029] (2) 자화 반전이 확률적으로 생겨, 스위칭 시간에 분포가 생긴다

[0030] 라고 하는 것이 기재되어 있다. 상기 (1)은 소비 전력의 증대라고 하는 관점에서, (2)는 메모리의 안정된 기입 동작을 저해한다고 하는 관점에서 바람직하지 못하다. 펄스 폭이 10ns 이하의 영역에서는, 기입에 필요한 전류

I는 다음 식으로 표현된다.

**수학식 1**

$$I = I_{c0} + I_{c0} \ln(\pi/2 \theta) (\alpha \gamma H_{eff})^{-1} / \tau_p$$

[0031]

**수학식 2**

$$I_{c0} \propto \sin \theta [p/2 / (1 + p^2 \cos \theta)] - 1$$

[0032]

[0033] 여기서  $\alpha$ 는 기록층 자화막의 댄핑 상수,  $\gamma$ 는 자기 회전비,  $H_{eff}$ 는 기록층(45)에 걸리는 실효 자계,  $\tau_p$ 는 전류 펄스 폭,  $p$ 는 기록층 및 자화 회전 어시스트층의 자성막의 스핀 분극율,  $\theta$ 는 펄스 전류가 주어지기 전의 기록층과 자화 회전 어시스트층의 자화가 이루는 각이다. 수학식 2로 나타내는  $I_{c0}$ 는, 기록층이나 자화 회전 어시스트층의 자성막의 재료나 형상으로 결정되는 인트린싱크한 임계 전류값, 즉 직류 전류를 이용한 경우의 임계 전류값이다. 본 실시예에서는,  $\theta$ 가 대략 90도이므로, 수학식 2로부터, 동일한 재료나 구조의 소자에서의 인트린싱크한 임계 전류값  $I_{c0}$ 를 최소로 할 수 있다. 또한 수학식 1에서도,  $\theta$ 가 대략 90도임으로써, 수학식 1의 제2항이 작아지므로, 상기 (1)의 문제점이 크게 완화된다고 하는 효과가 있다.

[0034]

또한 본 발명에서는, 도 7과 같이, 자화 회전 어시스트층(47)의 자화는 기록층(45)의 자화와 수직인 방향을 향하고 있기 때문에, 자화 회전 어시스트층(47)으로부터 발생되는 누설 자계(71)는, 기록층(45)의 자화 방향과 대략 수직 방향을 향하고 있다. 잘 알려진 바와 같이, 본 발명과 같은 자기 메모리에서, 도 4에 도시되어 있는 기록층(45)의 자화 방향의 에너지적으로 안정된 방향은, 자화 용이축이라고 불리어지고 있다. 한편, 이 방향과 수직인 방향은 자화 곤란축이라고 불리어지고 있다. 본 실시예와 같이 기록층의 자화 곤란축 방향에 자계를 건 경우, 예를 들면, Physical Review B, Vol.75, p.064402(2007)에 기재되어 있는 바와 같이, 스위칭 확률의 분포를 크게 저감하는 것이 가능하다. 따라서 본 발명은, 상기 과제 (1) (2)를 동시에 해결하는 효과가 있는 것을 알 수 있다.

[0035]

다음으로, 전류 펄스의 시간 파형을 어떻게 결정할지라고 하는 점에 대해서 설명한다. 도 8은, 자화 회전 어시스트층으로부터의 누설 자계 H가, 기록층의 자화를 자화 용이축 방향으로부터 자화 곤란축 방향을 향하는 데에 필요한 자계 Hk(이를 이방성 자계라고 부름)의 1/4이었던 경우의, 자화 반전이 종료될 때까지의 자화의 회전수를, 시간 제로에서의 기록층의 자화가 자화 용이축과 이루는 각도  $\theta$ 의 정현( $\sin \theta$ )과, 전류의 값의 함수로서 플롯한 것이다. 이 경우, 예를 들면 전류의 값을  $I_{c0}$ 으로 한 경우, 열요란에 의해서 기록층의 자화가 자화 용이축과 이루는 각도가 도 8에 도시한 범위 A에서 변동하고 있었다고 하여도, 반드시 도 5, 도 6에서 도시한 바와 같이, 5/4 회전으로 자화 반전이 종료되는 것을 알 수 있다. 이와 같이, 자화 반전까지 요하는 세차 운동의 회전수는, 자화 회전 어시스트층으로부터의 누설 자계 H와 주어지는 전류값으로 일의적으로 정할 수 있으므로, 그에 따라서 펄스 파형을 결정할 수 있다. 즉, 일반적으로 자화 반전이 종료될 때까지의 기록층의 자화의 세차 운동의 회전수가  $1/4+n$ ( $n$ 은 1 이상의 정수)인 경우에는, 전류 파형은 시간 T에 대해 이하와 같이 하면 된다.

**수학식 3**

$$\begin{aligned}
 I &= I_0 \quad (0 \leq t \leq T/4) \\
 0 &\quad (T/4 < t \leq 3T/4) \\
 I_0 &\quad (3T/4 < t \leq 5T/4) \\
 &\quad \vdots \\
 0 &\quad (T/4 + (n-1)T < t \leq 3T/4 + (n-1)T) \\
 I_0 &\quad (3T/4 + (n-1)T < t \leq 5T/4 + (n-1)T)
 \end{aligned}
 \tag{3}$$

[0036]

- [0037] 단,  $I_0$ 은 도 8로부터 결정되는 복수의 영역을 넘지 않는 통전 전류의 값, T는 세차 운동의 1회전에 요하는 시간이다. 수확식 3에서는, 전류는 펄스 형상으로 ON/OFF하도록 기술되어 있지만, 회로의 용량에 의한 파형의 지연이 있으므로, 실제의 파형은 도 5, 도 6과 같이 반드시 펄스 형상으로 되지 않는다. 일반적으로, n은 제로 내지 1의 경우가 대부분이며, 필요한 전류  $I_0$ 도 거의  $I_{c0}$ 으로 작게 할 수 있다. 즉 본 발명에 따르면, 주어진 자기 저항 효과 소자의 구조나 재료에 대하여 적절한 전류의 펄스 파형을 설정함으로써, 매우 정밀도 좋게 스핀 토크 자화 반전의 과정을 제어할 수 있다.
- [0038] 도 9는, 도 1의 (종래예)의 스핀 토크 자화 반전의 경우의, 자화 반전이 종료될 때까지의 자화의 회전수를, 시간 제로에서의 기록층의 자화가 자화 용이축과 이루는 각도  $\theta$ 의 정현( $\sin\theta$ )과, 전류의 값의 함수로서 플롯한 것이다. 예를 들면, 기입 전류를  $3I_{c0}$ 으로 한 경우, 열요란에 의해서 기록층의 자화가 자화 용이축과 이루는 각도가 도 9에 범위 B로 나타내는 정도 변동되므로, 스핀 토크 자화 반전이 종료될 때까지 요하는 회전수는 8/4 회전으로부터 18/4 회전의 넓은 회전수의 사이에 분포하고, 그에 수반하여 자화 반전에 요하는 시간도 크게 변동된다. 도 8과 도 9를 비교하면, 본 실시예의 경우, 자화 반전에 요하는 전류를 매우 작게 할 수 있고, 또한 매우 정밀도 좋게 스핀 토크 자화 반전에 요하는 시간을 제어할 수 있는 것을 알 수 있다.
- [0039] 이상, 본 발명에 따르면, 상기에서 설명한 곤란측 자계 인가에 의한 스위칭 확률의 변동의 일반적인 저감 효과 이상에 더하여, 스핀 토크 자화 반전의 반전 확률을 완전하게 제어하여, 반전 확률 변동의 과제를 근본적으로 해결하는 효과가 있는 것을 알 수 있다.
- [0040] 다음으로, 본 발명에 따른 자기 메모리 셀의 막 구조의 예와, 자기 메모리 셀 어레이의 구성예에 대해서 설명한다.
- [0041] (1) 자기 메모리 셀의 막 구조의 예
- [0042] 이하, 구체적인 자기 메모리 셀의 구조에 대해서 설명한다.
- [0043] 제1 막 구성예 : 도 4에서, 기초막(41)으로서 Ta, 반 강자성막(42)으로서 MnIr, 고정층(43)으로서 CoFeB, 절연 장벽층(44)으로서 MgO, 기록층(45)으로서 CoFeB, 비자성의 중간층(46)으로서 MgO, 자화 반전 어시스트층(47)으로서 CoFeB, 반 강자성층(48)으로서 PtMn, 캡층(49)으로서 Ta를 이용한다. 이 구성은 기본 구성이며, 상기에서 설명한 모든 효과를 달성할 수 있는 구성이다.
- [0044] 제2 막 구성예 : 도 4에서, 기초막(41)으로서 Ta, 반 강자성막(42)으로서 MnIr, 고정층(43)으로서 CoFe/Ru/CoFeB의 적층 페리 구조(CoFe와 CoFeB가 Ru막을 개재하여 반 교환 결합하고 있는 구조), 절연 장벽층(44)으로서 MgO, 기록층(45)으로서 CoFeB, 비자성의 중간층(46)으로서 MgO, 자화 반전 어시스트층(47)으로서 CoFeB, 반 강자성층(48)으로서 PtMn, 캡층(49)으로서 Ta를 이용한다. 이 구성에서는, 고정층의 자화가 서로 반 평행 결합하여 반대 방향을 향하고 있기 때문에, 고정층(43)으로부터의 누설 자속이 기록층(45)에 걸리는 것이 없으므로, 기록층(45)의 성능을 결정하는 자계-저항 히스테리시스의 자계에 대한 오프셋(히스테리시스의 중심이 제로 자계로부터 어긋나는 것)을 저감할 수 있다.
- [0045] 제3 막 구성예 : 도 4에서, 기초막(41)으로서 Ta, 반 강자성막(42)으로서 MnIr, 고정층(43)으로서 CoFe/Ru/CoFeB의 적층 페리 구조, 절연 장벽층(44)으로서 MgO, 기록층(45)으로서 CoFeB/Ru/CoFeB의 적층 페리 구조, 비자성의 중간층(46)으로서 MgO, 자화 반전 어시스트층(47)으로서 CoFeB, 반 강자성층(48)으로서 PtMn, 캡층(49)으로서 Ta를 이용한다. 이 구성에서는, 고정층(43)의 자화가 서로 반 평행 결합하여 반대 방향을 향하고 있기 때문에, 고정층(43)으로부터의 누설 자속이 기록층(45)에 걸리는 일이 없어지는 것 외에, 기록층 자신의 누설 자계도 기록층을 구성하는 2매의 자화막 내에서 갇히기 때문에, 기록층의 자계-저항 히스테리시스의 자계에 대한 오프셋을 대부분 제로로 할 수 있다. 또한, 기록층 전체의 체적을 증대시키고, 또한 기록층을 구성하는 2매의 자화막의 막 두께를 가깝게 함으로써 기록층의 보자력을 증대시킬 수 있으므로, 열적으로 안정된 자기 메모리 셀을 제공할 수 있다.
- [0046] 제4 막 구성예 : 도 4에서, 기초막(41)으로서 Ta, 반 강자성막(42)으로서 MnIr, 고정층(43)으로서 CoFe/Ru/CoFeB의 적층 페리 구조, 절연 장벽층(44)으로서 MgO, 기록층(45)으로서 CoFeB/Ru/CoFe의 적층 페리 구조, 비자성의 중간층(46)으로서 Cu, 자화 반전 어시스트층(47)으로서 CoFe, 반 강자성층(48)으로서 PtMn, 캡층(49)으로서 Ta를 이용한다. 이 구성에서는, 상기 제3 막 구성예 비해 중간층(46)에 금속의 Cu를 이용하고 있음으로써, 소자 전체의 저항을 감소시킬 수 있다.
- [0047] 이상에서, 반 강자성막(42, 48)으로서 MnIr, PtMn 이외의 반 강자성 재료를 이용하여도, 본 발명의 기본적인 효

과는 변하지 않는다. 또한 고정층(43)의 재료에 CoFe 베이스의 재료를 이용하여도, 본 발명의 기본적인 효과는 변하지 않고, 또한 고정층(43)의 재료에 Co<sub>2</sub>MnSi 등의 소위 호이슬러 합금을 이용하여, 더욱 분극율 p를 더 높이면, I<sub>c0</sub>를 더 저감하는 효과가 있다. 장벽층 재료(44)로서는, Al의 산화물, Ti의 산화물이나, TiN이나 AlN 등의 질화물 재료를 이용하여도 본 발명의 기본적인 효과는 변하지 않는다.

[0048]

(2) 자기 랜덤 액세스 메모리의 구성예

[0049]

(2-1) 다이오드를 이용한 자기 랜덤 액세스 메모리의 구성예

[0050]

도 10에, 본 발명에 따른 자기 랜덤 액세스 메모리의 구성예를 도시한다. 도 10에서, 참조 부호 1은 소스선, 참조 부호 50은 다이오드, 참조 부호 91은 본 발명의 자기 저항 효과 소자이고, 참조 부호 7은 비트선, 참조 부호 92는 하나의 자기 메모리 셀을 나타낸다. 소스선(1)과 비트선(7)은, 별도의 기입 드라이버 회로로 구동된다. 비트선(7)에는 자기 메모리 셀로부터의 판독 신호를 증폭하는 센스 앰프가 접속되어 있다. 도시한 예에서는, 다이오드(50)는, 자기 저항 효과 소자(91)에, 고정층으로부터 기록층의 방향으로 전류를 통전 가능하게 접속되어 있다. 또한, 다이오드의 일단은 소스선에 전기적으로 접속되고, 자기 저항 효과 소자(91)의 자화 회전 어시스트층이 비트선에 접속되어 있다.

[0051]

기입 시에는, 소스선 기입 드라이버에서 하나의 소스선(1)만을 기입 전압 V로 승압하고, 그 밖의 소스선은 그랜드로 떨어뜨려 두고, 비트선 기입 드라이버에서는 하나의 비트선(7)만 그랜드로 떨어뜨리고, 그 이외를 전압 V로 유지해 둔다. 이와 같이 하면 선택된 메모리 셀(92)에만 전류가 흐르므로, 선택된 자기 저항 소자(91)에만 기입이 행해진다. 판독 시에는, 마찬가지로의 수순으로 메모리 셀(91)에만 통전을 하지만, 흘리는 전류는 I<sub>c0</sub>보다 충분히 작은 값으로 하여, 오기입을 방지한다. 이 구조는 가장 단순한 크로스 포인트 배치이므로, 단위 셀이 차지하는 면적은  $2F \times 2F = 4F^2$ 으로 고집적인 것으로 할 수 있다.

[0052]

(2-2) 트랜지스터를 이용한 자기 랜덤 액세스 메모리의 구성예

[0053]

도 11에, 본 발명에 따른 자기 랜덤 액세스 메모리의 다른 구성예를 나타낸다. 도 11에서, 참조 부호 1은 소스선, 참조 부호 101은 본 발명의 자기 저항 효과 소자이며, 참조 부호 7은 비트선, 참조 부호 102는 셀 선택 트랜지스터, 참조 부호 103은 워드선, 참조 부호 104는 하나의 자기 메모리 셀을 나타낸다. 비트선(7)에는 자기 메모리 셀로부터의 판독 신호를 증폭하는 센스 앰프가 접속되어 있다. 도시한 예에서는, 트랜지스터(102)의 일단이 소스선(1)에 전기적으로 접속되고, 자기 저항 효과 소자(101)의 자화 회전 어시스트층이 비트선(7)에 접속되고, 트랜지스터(102)는 워드선(103)에 의해 제어된다.

[0054]

본 구성의 경우의 기입은, 기입 드라이버에서 기입하고자 하는 메모리 셀에 연결된 하나의 소스선(1)만을 기입 전압 V로 승압하고, 그 메모리 셀의 셀 선택 트랜지스터(102)에 연결되어 있는 워드선만을 다른 쪽의 기입 드라이버에서 선택하여 트랜지스터(102)를 ON으로 하여 전류를 흘려, 기입을 행한다.

[0055]

판독 시에는, 상기와는 반대로, 판독하고자 하는 메모리 셀에 연결된 비트선(7)만을 판독 전압 V로 승압하고, 선택 트랜지스터(102)에 연결되는 워드선만을 다른 쪽의 기입 드라이버에서 선택하여 트랜지스터(102)를 ON으로 하여 전류를 흘려, 판독을 행한다. 이 경우, 판독 시의 전류 방향이 기입 시의 전류 방향과 반대이므로, 판독 전류에 의한 오기입의 염려는 없다. 따라서 보다 큰 판독 전류를 흘리는 것이 가능해져, 고속의 판독이 가능하게 된다. 이 구조는 가장 단순한 1 트랜지스터+1 메모리 셀의 배치이므로, 단위 셀이 차지하는 면적은  $2F \times 4F = 8F^2$ 으로 고집적인 것으로 할 수 있다.

**부호의 설명**

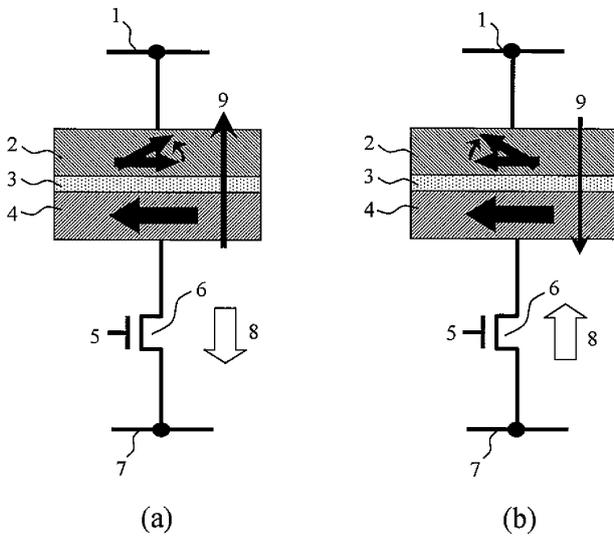
[0056]

- 1 : 비트선
- 2 : 강자성층(기록층)
- 3 : 중간층
- 4 : 강자성층(고정층)
- 5 : 게이트 전극
- 6 : 트랜지스터

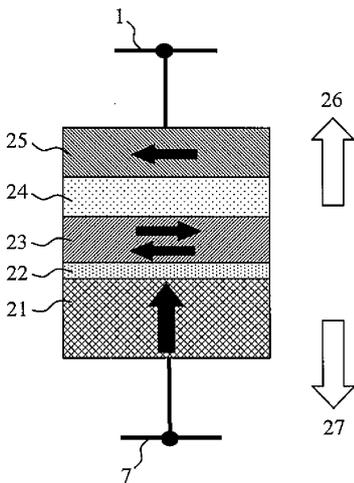
- 7 : 소스선
- 8 : 전류 방향
- 9 : 전자가 이동하는 방향
- 21 : 자성막에 수직인 자화 방향을 갖는 강자성 고정층
- 22 : 비자성 중간층
- 23 : 강자성층(기록층)
- 24 : 비자성 중간층
- 25 : 참조층
- 26, 27 : 전류의 방향
- 31 : 고정층
- 32 : 비자성층
- 33 : 기록층
- 34 : 비자성층
- 35 : 스핀 토크 구동층
- 41 : 기초막
- 42 : 반 강자성막
- 43 : 고정층
- 44 : 절연 장벽층
- 45 : 기록층
- 46 : 중간층
- 47 : 자화 회전 어시스트층
- 48 : 반 강자성층
- 49 : 캡층
- 50 : 다이오드
- 71 : 누설 자속
- 91 : 자기 저항 효과 소자
- 92 : 메모리 셀
- 101 : 메모리 셀
- 102 : 트랜지스터
- 103 : 워드선
- 104 : 메모리 셀

도면

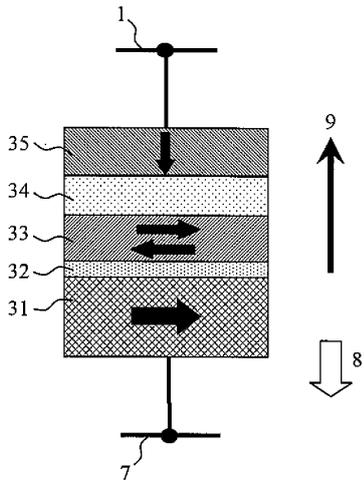
도면1



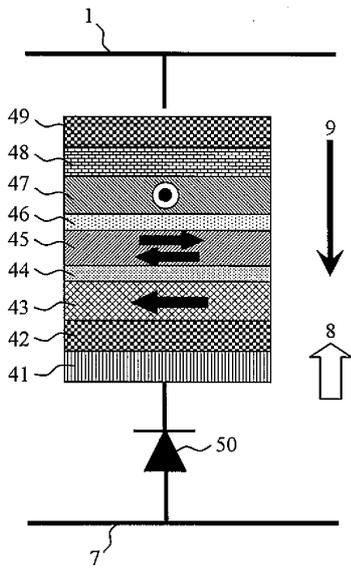
도면2



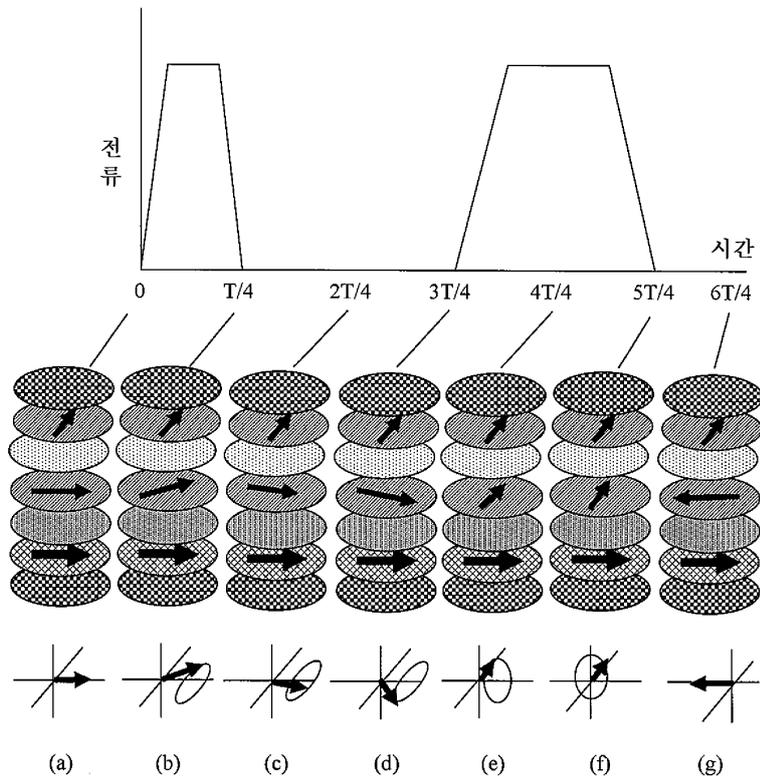
도면3



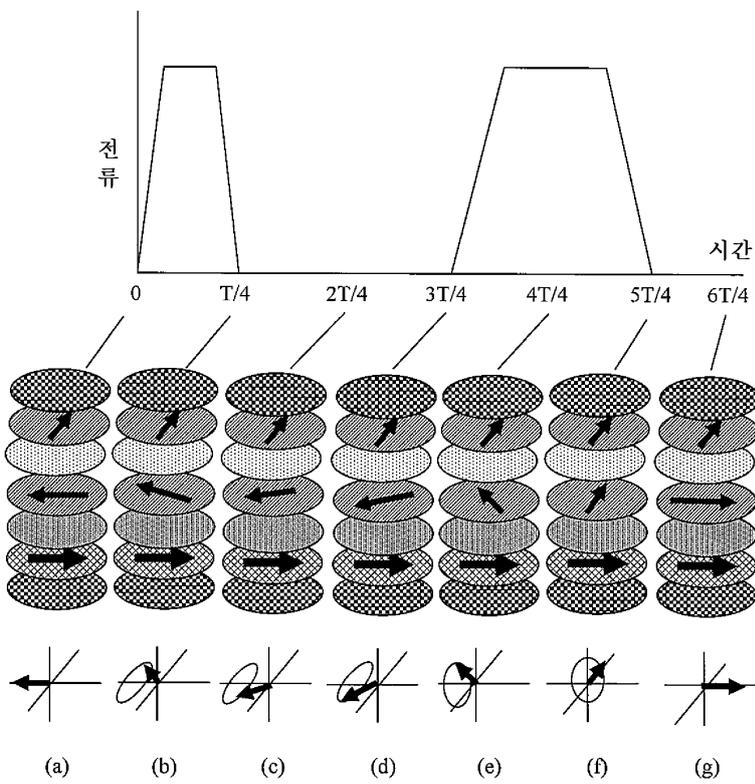
도면4



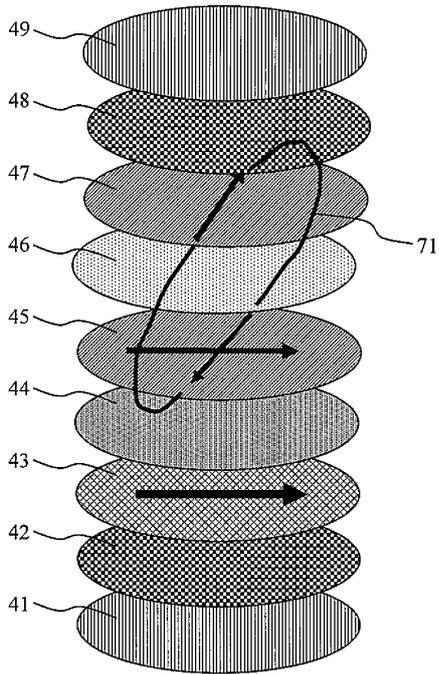
도면5



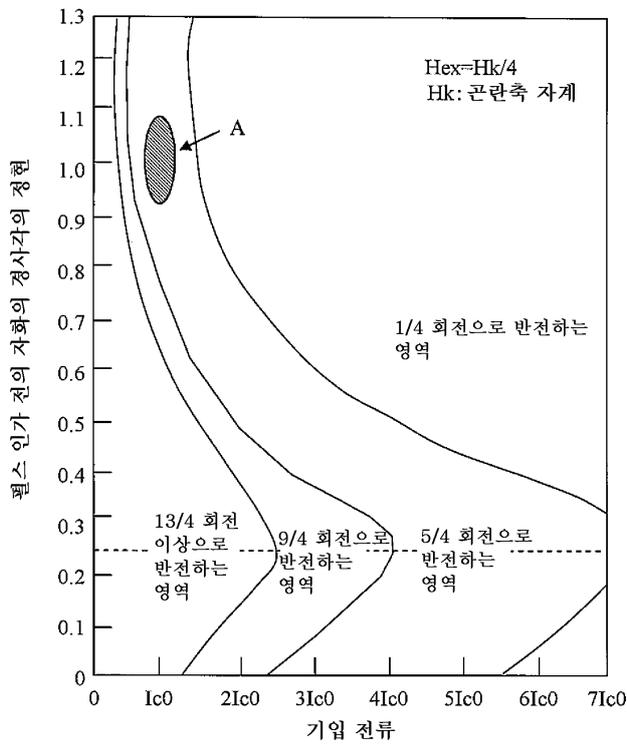
도면6



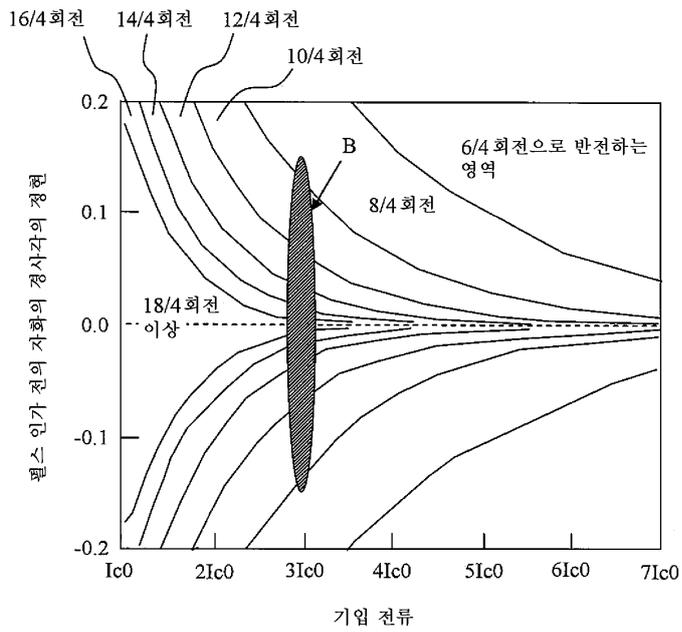
도면7



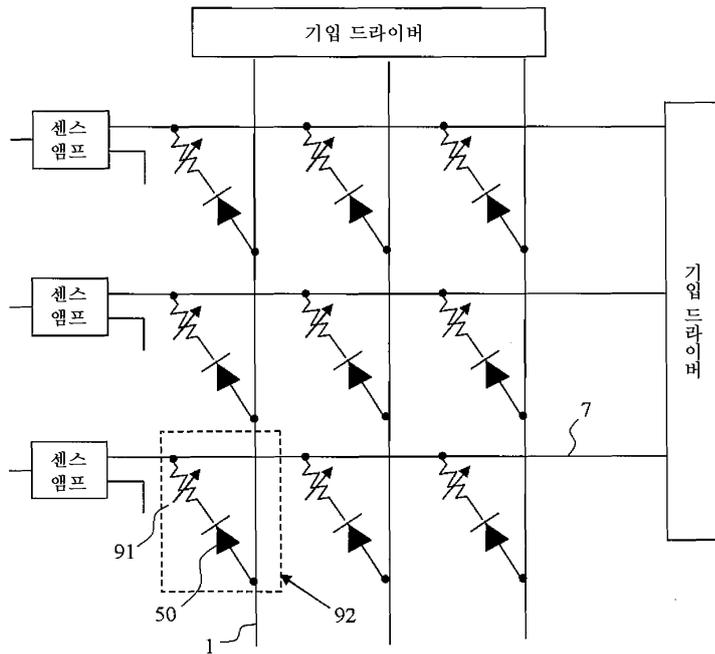
도면8



도면9



도면10



도면11

