

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4383028号
(P4383028)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月2日(2009.10.2)

(51) Int.Cl. F I
G 1 1 C 11/413 (2006.01) G 1 1 C 11/34 J
G 1 1 C 11/417 (2006.01) G 1 1 C 11/34 3 0 5

請求項の数 19 (全 40 頁)

(21) 出願番号	特願2002-236950 (P2002-236950)	(73) 特許権者	302062931 NECエレクトロニクス株式会社
(22) 出願日	平成14年8月15日(2002.8.15)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2004-79063 (P2004-79063A)	(74) 代理人	100080816 弁理士 加藤 朝道
(43) 公開日	平成16年3月11日(2004.3.11)	(72) 発明者	高橋 弘行 東京都港区芝五丁目7番1号 日本電気株式会社内
審査請求日	平成17年7月5日(2005.7.5)	(72) 発明者	松井 雄嗣 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	園田 正俊 東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

入力されるクロック信号の第1の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック(RC)を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック(WC)を生成するアドレス用クロック生成回路と、

入力されたアドレス信号を前記クロック信号に基づきラッチし、前記アドレス用クロック生成回路から出力される前記リード用クロック(RC)と前記ライト用クロック(WC)を入力し、前記リード用クロック(RC)と前記ライト用クロック(WC)のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力するアドレスレジスタと、

前記クロック信号の前記第1の遷移に基づきリード用のパルス信号(RPB)を生成するリード用パルス発生回路と、

前記クロック信号の前記第2の遷移に基づきライト用のパルス信号(WPB)を生成するライト用パルス回路と、

複数のメモリセルを有するメモリセルアレイと、

前記アドレスレジスタより出力されるアドレス信号を受けてデコードするデコーダと、前記リード用パルス発生回路からのリード用のパルス信号(RPB)を入力し、前記リード用のパルス信号(RPB)に基づきリード用のワンショットのパルス信号(ROS)を生成する回路と、

前記ライト用パルス回路からのライト用のパルス信号(WPB)を入力し、前記ライト

10

20

用のパルス信号（WPB）に基づき、ライト用のワンショットのパルス信号（WOS）を生成する回路と、

前記リード用のワンショットのパルス信号（ROS）と前記ライト用のワンショットのパルス信号（WOS）とを入力し、前記リード用のワンショットのパルス信号（ROS）と前記ライト用のワンショットのパルス信号（WOS）のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、選択されたワード線を活性化する回路と、

前記クロック信号の前記第1の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号（SE）を活性化する回路と、

前記センスイネーブル信号（SE）が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルに接続されるビット線に読み出されたデータの増幅を行い読み出しデータとして出力するセンスアンプと、

前記クロック信号の前記第2の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ（WA）活性化信号を出力する回路と、

前記ライトアンプ（WA）活性化信号が活性化を指示している場合に、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行うライトアンプと、

を備え、

前記クロック信号の前記第1の遷移から生成される、前記リード用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによる

前記クロック信号の前記第2の遷移から生成される、前記ライト用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作、及び、前記ライトアンプによる書き込み動作と、がライトサイクルを構成し、

前記リードサイクルと前記ライトサイクルとを交互に行うように制御する回路と、

前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する回路と、

を備え、

前記リードサイクルにおけるワード線の選択期間と、前記アドレスレジスタから前記アドレスデコーダに出力されるアドレス信号が変化するタイミングのスキューの時間のある第1の時間が、前記ライトサイクルにおけるワード線の選択期間と前記プリチャージ期間の和である第2の時間よりも大きいとき、前記ライト用クロック（WC）と前記ライト用のワンショットのパルス信号（WOS）を生成するためのライト用パルス信号（WPB）をさらに、

（前記第1の時間 - 前記第2の時間）/ 2、遅らせる、ことを特徴とする半導体記憶装置。

【請求項2】

入力されるクロック信号の第1の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック（RC）を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック（WC）を生成するアドレス用クロック生成回路と、

入力されたアドレス信号を前記クロック信号に基づきラッチし、前記アドレス用クロック生成回路から出力される前記リード用クロック（RC）と前記ライト用クロック（WC）とを入力し、前記リード用クロック（RC）と前記ライト用クロック（WC）のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力するアドレスレジスタと、

前記クロック信号の前記第1の遷移に基づきリード用のパルス信号（RPB）を生成するリード用パルス発生回路と、

前記クロック信号の前記第2の遷移に基づきライト用のパルス信号（WPB）を生成す

10

20

30

40

50

るライト用パルス回路と、

複数のメモリセルを有するメモリセルアレイと、

前記アドレスレジスタより出力されるアドレス信号を受けてデコードするデコーダと、
前記リード用パルス発生回路からのリード用のパルス信号 (R P B) を入力し、前記リード用のパルス信号 (R P B) に基づきリード用のワンショットのパルス信号 (R O S) を生成する回路と、

前記ライト用パルス回路からのライト用のパルス信号 (W P B) を入力し、前記ライト用のパルス信号 (W P B) に基づき、ライト用のワンショットのパルス信号 (W O S) を生成する回路と、

前記リード用のワンショットのパルス信号 (R O S) と前記ライト用のワンショットのパルス信号 (W O S) とを入力し、前記リード用のワンショットのパルス信号 (R O S) と前記ライト用のワンショットのパルス信号 (W O S) のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、選択されたワード線を活性化する回路と、

10

前記クロック信号の前記第 1 の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号 (S E) を活性化する回路と、

前記センスイネーブル信号 (S E) が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルのビット線に読み出されたデータの増幅を行い読み出しデータとして出力するセンスアンプと、

前記クロック信号の前記第 2 の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ (W A) 活性化信号を出力する回路と、

20

前記ライトアンプ (W A) 活性化信号が活性化を指示している場合に、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行うライトアンプと、

前記メモリセルアレイにおけるビット線のプリチャージを行うプリチャージ回路と、
を備え、

前記クロック信号の前記第 1 の遷移から生成される、前記リード用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによるセンス動作とがリードサイクルを構成し、

前記クロック信号の前記第 2 の遷移から生成される、前記ライト用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作、及び、前記選択されたワード線を活性化する回路によるワード線の選択動作及び前記ライトアンプによる書き込み動作と、前記プリチャージ回路によるプリチャージ動作とがライトサイクルを構成し、前記ワード線の選択動作と前記書き込み動作はオーバーラップして行われ、

30

前記リードサイクルと前記ライトサイクルとを交互に行うように制御する回路と、

前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させ、

前記ライトサイクルにおける前記プリチャージ回路によるビット線のプリチャージ動作と、前記ライトサイクルの次のサイクルのリードサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する回路と、

40

を備え、

前記リードサイクルにおけるワード線の選択期間と、前記アドレスレジスタから前記アドレスデコーダに出力されるアドレス信号が変化するタイミングのスキューの時間の和である第 1 の時間が、前記ライトサイクルにおけるワード線の選択期間と前記プリチャージ期間の和である第 2 の時間よりも大きいとき、前記ライト用クロック (W C) と前記ライト用のワンショットのパルス信号 (W O S) を生成するためのライト用パルス信号 (W P B) をさらに、

(前記第 1 の時間 - 前記第 2 の時間) / 2、遅らせる、ことを特徴とする半導体記憶装置。

50

【請求項3】

入力されるクロック信号の第1の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック(RC)を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック(WC)を生成するアドレス用クロック生成回路と、

入力されたアドレス信号を前記クロック信号に基づきラッチし、前記アドレス用クロック生成回路から出力される前記リード用クロック(RC)と前記ライト用クロック(WC)を入力し、前記リード用クロック(RC)と前記ライト用クロック(WC)のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力するアドレスレジスタと、

前記クロック信号の前記第1の遷移に基づきリード用のパルス信号(RPB)を生成するリード用パルス発生回路と、

前記クロック信号の前記第2の遷移に基づきライト用のパルス信号(WPB)を生成するライト用パルス回路と、

複数のメモリセルを有するメモリセルアレイと、

前記アドレスレジスタより出力されるアドレス信号を受けてデコードするデコーダと、

前記リード用パルス発生回路からのリード用のパルス信号(RPB)を入力し、前記リード用のパルス信号(RPB)に基づきリード用のワンショットのパルス信号(ROS)を生成する回路と、

前記ライト用パルス回路からのライト用のパルス信号(WPB)を入力し、前記ライト用のパルス信号(WPB)に基づき、ライト用のワンショットのパルス信号(WOS)を生成する回路と、

前記リード用のワンショットのパルス信号(ROS)と前記ライト用のワンショットのパルス信号(WOS)とを入力し、前記リード用のワンショットのパルス信号(ROS)と前記ライト用のワンショットのパルス信号(WOS)のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、選択されたワード線を活性化する回路と、

前記クロック信号の前記第1の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号(SE)を活性化する回路と、

前記センスイネーブル信号(SE)が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルに接続されるビット線に読み出されたデータの増幅を行い読み出しデータとして出力するセンスアンプと、

前記クロック信号の前記第2の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ(WA)活性化信号を出力する回路と、

前記ライトアンプ(WA)活性化信号が活性化を指示している場合に、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行うライトアンプと、

を備え、

前記クロック信号の前記第1の遷移から生成される、前記リード用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによるセンス動作がリードサイクルを構成し、

前記クロック信号の前記第2の遷移から生成される、前記ライト用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作、及び、前記ライトアンプによる書き込み動作と、がライトサイクルを構成し、

前記リードサイクルと前記ライトサイクルとを交互に行うように制御する回路と、

前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する回路と、

を備え、

前記リードサイクルにおけるワード線の選択期間と、前記アドレスレジスタから前記ア

10

20

30

40

50

ドレスデコーダに出力されるアドレス信号が変化するタイミングのスキューの時間の和である第1の時間が、前記ライトサイクルにおけるワード線の選択期間と前記プリチャージ期間の和である第2の時間よりも小さいとき、前記リード用クロック(RC)と前記リード用のワンショットパルス(ROS)を生成するためのリード用パルス(RPB)をさらに、

(前記第2の時間 - 前記第1の時間) / 2、遅らせる、ことを特徴とする半導体記憶装置。

【請求項4】

入力されるクロック信号の第1の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック(RC)を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック(WC)を生成するアドレス用クロック生成回路と、

入力されたアドレス信号を前記クロック信号に基づきラッチし、前記アドレス用クロック生成回路から出力される前記リード用クロック(RC)と前記ライト用クロック(WC)とを入力し、前記リード用クロック(RC)と前記ライト用クロック(WC)のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力するアドレスレジスタと、

前記クロック信号の前記第1の遷移に基づきリード用のパルス信号(RPB)を生成するリード用パルス発生回路と、

前記クロック信号の前記第2の遷移に基づきライト用のパルス信号(WPB)を生成するライト用パルス回路と、

複数のメモリセルを有するメモリセルアレイと、

前記アドレスレジスタより出力されるアドレス信号を受けてデコードするデコーダと、前記リード用パルス発生回路からのリード用のパルス信号(RPB)を入力し、前記リード用のパルス信号(RPB)に基づきリード用のワンショットのパルス信号(ROS)を生成する回路と、

前記ライト用パルス回路からのライト用のパルス信号(WPB)を入力し、前記ライト用のパルス信号(WPB)に基づき、ライト用のワンショットのパルス信号(WOS)を生成する回路と、

前記リード用のワンショットのパルス信号(ROS)と前記ライト用のワンショットのパルス信号(WOS)とを入力し、前記リード用のワンショットのパルス信号(ROS)と前記ライト用のワンショットのパルス信号(WOS)のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、選択されたワード線を活性化する回路と、

前記クロック信号の前記第1の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号(SE)を活性化する回路と、

前記センスイネーブル信号(SE)が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルのビット線に読み出されたデータの増幅を行い読み出しデータとして出力するセンスアンプと、

前記クロック信号の前記第2の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ(WA)活性化信号を出力する回路と、

前記ライトアンプ(WA)活性化信号が活性化を指示している場合に、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行うライトアンプと、

前記メモリセルアレイにおけるビット線のプリチャージを行うプリチャージ回路と、を備え、

前記クロック信号の前記第1の遷移から生成される、前記リード用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによるセンス動作とがリードサイクルを構成し、

前記クロック信号の前記第2の遷移から生成される、前記ライト用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作、及び、前記

10

20

30

40

50

選択されたワード線を活性化する回路によるワード線の選択動作及び前記ライトアンプによる書き込み動作と、前記プリチャージ回路によるプリチャージ動作とがライトサイクルを構成し、前記ワード線の選択動作と前記書き込み動作はオーバーラップして行われ、

前記リードサイクルと前記ライトサイクルとを交互に行うように制御する回路と、

前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させ、

前記ライトサイクルにおける前記プリチャージ回路によるビット線のプリチャージ動作と、前記ライトサイクルの次のサイクルのリードサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する回路と、

を備え、

前記リードサイクルにおけるワード線の選択期間と、前記アドレスレジスタから前記アドレスデコーダに出力されるアドレス信号が変化するタイミングのスキューの時間の和である第1の時間が、前記ライトサイクルにおけるワード線の選択期間と前記プリチャージ期間の和である第2の時間よりも小さいとき、前記リード用クロック(RC)と前記リード用のワンショットパルス(ROS)を生成するためのリード用パルス(RPB)をさらに、

(前記第2の時間 - 前記第1の時間) / 2、遅らせる、ことを特徴とする半導体記憶装置。

【請求項5】

前記クロック信号の前記第2の遷移を、前記第1の遷移に後続するサイクルのクロック信号の遷移とする代わりに、

リードコマンドとライトコマンドよりなるコマンド及びアドレス信号を、前記クロック信号の1つのパルスの立ち上がりエッジと立ち下がりエッジでサンプルし、

前記セルアレイブロックでのデコード、前記センスアンプの活性化、前記ライトアンプの活性化は、前記クロック信号の前記立ち上がりエッジを用いて生成する手段を備えている、ことを特徴とする請求項1乃至4のいずれかーに記載の半導体記憶装置。

【請求項6】

前記ライトアンプの入力端子は、ライトバスを介して入力レジスタの出力端子に接続され、

前記入力レジスタは、入力される前記クロック信号に同期してデータ入力端子に供給されるデータをラッチして、前記ライトバスに出力し、

前記ライトアンプの出力端子はライトデータ線に接続され、

前記ビット線は、書き込み用のYスイッチを介して前記ライトデータ線に接続され、

アドレス信号が、前記メモリセルアレイの行選択を行うXアドレス、列選択を行うYアドレス、ブロックの選択を行うブロック選択アドレスよりなり、

前記ブロック選択アドレスのデコード結果を受け、前記ライトアンプを活性化させ、前記ライトアンプは、前記ライトデータ線に書き込みデータを出力し、

つづいて前記Yスイッチの選択が行われ、オンされた前記書き込み用のYスイッチに接続されるビット線には書き込みデータが伝達され、

つづいてワード線を選択し、選択されたセルへのデータの書き込みが行われる、ことを特徴とする請求項1乃至4のいずれかーに記載の半導体記憶装置。

【請求項7】

ライトデータの入力用ポートとリードデータの出力ポートとが別々に設けられている、ことを特徴とする請求項1乃至4のいずれかーに記載の半導体記憶装置。

【請求項8】

前記リードサイクルが、前記センスアンプによるセンス動作後に行う前記プリチャージ回路によるプリチャージ動作をさらに含み、

前記タイミングを制御する回路は、前記リードサイクルにおけるプリチャージ動作と、前記リードサイクルの次の前記ライトサイクルにおける前記ライトアンプによる書き込み

10

20

30

40

50

動作と、を並行して動作させるように、タイミングを制御する、ことを特徴とする請求項 1 乃至 4 のいずれか一に記載の半導体記憶装置。

【請求項 9】

入力されるクロック信号の第 1 の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック (RC) を生成し、前記クロック信号の前記第 1 の遷移に後続するサイクルの第 2 の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック (WC) を、アドレス用クロック生成回路により、生成する工程と、

アドレスレジスタにおいて、入力されたアドレス信号を前記クロック信号に基づきラッチし、前記リード用クロック (RC) と前記ライト用クロック (WC) を入力し、前記リード用クロック (RC) と前記ライト用クロック (WC) のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力する工程と、

前記クロック信号の前記第 1 の遷移に基づきリード用のパルス信号 (RPB) を、リード用パルス発生回路により、生成する工程と、

前記クロック信号の前記第 2 の遷移に基づきライト用のパルス信号 (WPB) を、ライト用パルス回路により、生成する工程と、

を有し、

複数のメモリセルを有するメモリセルアレイと、前記アドレスレジスタより出力されるアドレス信号を受けてデコードするデコーダと、コントロール回路と、センスアンプと、ライトアンプを有するセルアレイブロックにおいて、

前記コントロール回路が、前記リード用パルス発生回路からのリード用のパルス信号 (RPB) を入力し、前記リード用のパルス信号 (RPB) に基づきリード用のワンショットのパルス信号 (ROS) を生成する工程と、

前記コントロール回路が、前記ライト用パルス回路からのライト用のパルス信号 (WPB) を入力し、前記ライト用のパルス信号 (WPB) に基づき、ライト用のワンショットのパルス信号 (WOS) を生成する工程と、

前記リード用のワンショットのパルス信号 (ROS) と前記ライト用のワンショットのパルス信号 (WOS) とを入力し、前記リード用のワンショットのパルス信号 (ROS) と前記ライト用のワンショットのパルス信号 (WOS) のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、ワードライバが、選択されたワード線を活性化する工程と、

前記クロック信号の前記第 1 の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号 (SE) を、前記コントロール回路が、活性化する工程と、

前記センスアンプにおいて、センスイネーブル信号 (SE) が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルのビット線に読み出されたデータの増幅を行い読み出しデータとして出力する工程と、

前記クロック信号の前記第 2 の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ (WA) 活性化信号を、前記コントロール回路が出力する工程と、

前記ライトアンプにおいて、前記ライトアンプ (WA) 活性化信号に基づき、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行う工程と、

を有し、

前記クロック信号の前記第 1 の遷移から生成される、前記リード用クロック及びパルス信号で順次活性化される、前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによるセンス動作がリードサイクルを構成し、

前記クロック信号の前記第 2 の遷移から生成される、前記ライト用クロック及びパルス信号で順次活性化される、前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作、及び、前記ライトアンプによる書き込み動作と、がライトサイクルを構成し、

前記リードサイクルと前記ライトサイクルとを交互に行うように制御する工程と、

前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイク

10

20

30

40

50

ルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する工程と、

前記リードサイクルにおけるワード線の選択期間と、前記アドレスレジスタから前記アドレスデコーダに出力されるアドレス信号が変化するタイミングのスキューの時間の和である第1の時間が、前記ライトサイクルにおけるワード線の選択期間と前記プリチャージ期間の和である第2の時間よりも大きい場合に、前記ライト用クロック(WC)と前記ライト用のワンショットパルス(WOS)を生成するためのライト用パルス(WPB)を、 $(\text{前記第1の時間} - \text{前記第2の時間}) / 2$ 、遅らせる工程を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項10】

入力されるクロック信号の第1の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック(RC)を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック(WC)を、アドレス用クロック生成回路により、生成する工程と、

アドレスレジスタにおいて、入力されたアドレス信号を前記クロック信号に基づきラッチし、前記リード用クロック(RC)と前記ライト用クロック(WC)とを入力し、前記リード用クロック(RC)と前記ライト用クロック(WC)のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力する工程と、

前記クロック信号の前記第1の遷移に基づきリード用のパルス信号(RPB)を、リード用パルス発生回路により、生成する工程と、

前記クロック信号の前記第2の遷移に基づきライト用のパルス信号(WPB)を、ライト用パルス回路により、生成する工程と、

を有し、

複数のメモリセルを有するメモリセルアレイと、前記アドレスレジスタより出力されるアドレス信号を受けてデコードするデコーダと、コントロール回路と、センスアンプと、ライトアンプを有するセルアレイブロックにおいて、

前記コントロール回路が、前記リード用パルス発生回路からのリード用のパルス信号(RPB)を入力し、前記リード用のパルス信号(RPB)に基づきリード用のワンショットのパルス信号(ROS)を生成する工程と、

前記コントロール回路が、前記ライト用パルス回路からのライト用のパルス信号(WPB)を入力し、前記ライト用のパルス信号(WPB)に基づき、ライト用のワンショットのパルス信号(WOS)を生成する工程と、

前記リード用のワンショットのパルス信号(ROS)と前記ライト用のワンショットのパルス信号(WOS)とを入力し、前記リード用のワンショットのパルス信号(ROS)と前記ライト用のワンショットのパルス信号(WOS)のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、ワードライバが、選択されたワード線を活性化する工程と、

前記クロック信号の前記第1の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号(SE)を、前記コントロール回路が、活性化する工程と、

前記センスアンプにおいて、センスイネーブル信号(SE)が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルのビット線に読み出されたデータの増幅を行い読み出しデータとして出力する工程と、

前記クロック信号の前記第2の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ(WA)活性化信号を、前記コントロール回路が出力する工程と、

前記ライトアンプにおいて、前記ライトアンプ(WA)活性化信号に基づき、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行う工程と、

を有し、

前記クロック信号の前記第1の遷移から生成される、前記リード用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによる

10

20

30

40

50

センス動作とがリードサイクルを構成し、

前記クロック信号の前記第2の遷移から生成される、前記ライト用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作、及び、前記ライトアンプによる書き込み動作と、前記プリチャージ回路によるプリチャージ動作とがライトサイクルを構成し、前記ワード線の選択動作と前記書き込み動作はオーバーラップして行われ、

前記リードサイクルと、前記ライトサイクルを交互に行うように制御する工程と、

前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する工程と、

10

前記ライトサイクルにおける前記プリチャージ回路によるビット線のプリチャージ動作と、前記ライトサイクルの次のサイクルのリードサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する工程と、

前記リードサイクルにおけるワード線の選択期間と、前記アドレスレジスタから前記アドレスデコーダに出力されるアドレス信号が変化するタイミングのスキューの時間の和である第1の時間が、前記ライトサイクルにおけるワード線の選択期間と前記プリチャージ期間の和である第2の時間よりも大きい場合に、前記ライト用クロック(WC)と前記ライト用のワンショットパルス(WOS)を生成するためのライト用パルス(WPB)を、
(前記第1の時間 - 前記第2の時間) / 2、遅らせる工程と、

を含む、ことを特徴とする半導体記憶装置の制御方法。

20

【請求項11】

入力されるクロック信号の第1の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック(RC)を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック(WC)を、アドレス用クロック生成回路により、生成する工程と、

アドレスレジスタにおいて、入力されたアドレス信号を前記クロック信号に基づきラッチし、前記リード用クロック(RC)と前記ライト用クロック(WC)を入力し、前記リード用クロック(RC)と前記ライト用クロック(WC)のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力する工程と、

前記クロック信号の前記第1の遷移に基づきリード用のパルス信号(RPB)を、リード用パルス発生回路により、生成する工程と、

30

前記クロック信号の前記第2の遷移に基づきライト用のパルス信号(WPB)を、ライト用パルス回路により、生成する工程と、

を有し、

複数のメモリセルを有するメモリセルアレイと、前記アドレスレジスタより出力されるアドレス信号を受けてデコードするデコーダと、コントロール回路と、センスアンプと、ライトアンプを有するセルアレイブロックにおいて、

前記コントロール回路が、前記リード用パルス発生回路からのリード用のパルス信号(RPB)を入力し、前記リード用のパルス信号(RPB)に基づきリード用のワンショットのパルス信号(ROS)を生成する工程と、

40

前記コントロール回路が、前記ライト用パルス回路からのライト用のパルス信号(WPB)を入力し、前記ライト用のパルス信号(WPB)に基づき、ライト用のワンショットのパルス信号(WOS)を生成する工程と、

前記リード用のワンショットのパルス信号(ROS)と前記ライト用のワンショットのパルス信号(WOS)とを入力し、前記リード用のワンショットのパルス信号(ROS)と前記ライト用のワンショットのパルス信号(WOS)のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、ワードライバが、選択されたワード線を活性化する工程と、

前記クロック信号の前記第1の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号(SE)を、前記コントロール回路が、活性化する工程と、

50

前記センスアンプにおいて、センスイネーブル信号（SE）が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルのビット線に読み出されたデータの増幅を行い読み出しデータとして出力する工程と、

前記クロック信号の前記第2の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ（WA）活性化信号を、前記コントロール回路が出力する工程と、

前記ライトアンプにおいて、前記ライトアンプ（WA）活性化信号に基づき、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行う工程と、

を有し、

前記クロック信号の前記第1の遷移から生成される、前記リード用クロック及びパルス信号で順次活性化される、前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによるセンス動作がリードサイクルを構成し、

10

前記クロック信号の前記第2の遷移から生成される、前記ライト用クロック及びパルス信号で順次活性化される、前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作、及び、前記ライトアンプによる書き込み動作と、がライトサイクルを構成し、

前記リードサイクルと前記ライトサイクルとを交互に行うように制御する工程と、

前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する工程と、

20

前記リードサイクルにおけるワード線の選択期間と、前記アドレスレジスタから前記アドレスデコーダに出力されるアドレス信号が変化するタイミングのスキューの時間の和である第1の時間が、前記ライトサイクルにおけるワード線の選択期間と前記プリチャージ期間の和である第2の時間よりも小さい場合に、前記リード用クロック（RC）と前記リード用のワンショットパルス（ROS）を生成するためのリード用パルス（RPB）を、 $(\text{前記第2の時間} - \text{前記第1の時間}) / 2$ 、遅らせる工程と、

を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項12】

入力されるクロック信号の第1の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック（RC）を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック（WC）を、アドレス用クロック生成回路により、生成する工程と、

30

アドレスレジスタにおいて、入力されたアドレス信号を前記クロック信号に基づきラッチし、前記リード用クロック（RC）と前記ライト用クロック（WC）とを入力し、前記リード用クロック（RC）と前記ライト用クロック（WC）のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力する工程と、

前記クロック信号の前記第1の遷移に基づきリード用のパルス信号（RPB）を、リード用パルス発生回路により、生成する工程と、

前記クロック信号の前記第2の遷移に基づきライト用のパルス信号（WPB）を、ライト用パルス回路により、生成する工程と、

40

を有し、

複数のメモリセルを有するメモリセルアレイと、前記アドレスレジスタより出力されるアドレス信号を受けてデコードするデコーダと、コントロール回路と、センスアンプと、ライトアンプを有するセルアレイブロックにおいて、

前記コントロール回路が、前記リード用パルス発生回路からのリード用のパルス信号（RPB）を入力し、前記リード用のパルス信号（RPB）に基づきリード用のワンショットのパルス信号（ROS）を生成する工程と、

前記コントロール回路が、前記ライト用パルス回路からのライト用のパルス信号（WPB）を入力し、前記ライト用のパルス信号（WPB）に基づき、ライト用のワンショットのパルス信号（WOS）を生成する工程と、

50

前記リード用のワンショットのパルス信号（R O S）と前記ライト用のワンショットのパルス信号（W O S）とを入力し、前記リード用のワンショットのパルス信号（R O S）と前記ライト用のワンショットのパルス信号（W O S）のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、ワードライバが、選択されたワード線を活性化する工程と、

前記クロック信号の前記第 1 の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号（S E）を、前記コントロール回路が、活性化する工程と、

前記センスアンプにおいて、センスイネーブル信号（S E）が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルのビット線に読み出されたデータの増幅を行い読み出しデータとして出力する工程と、

10

前記クロック信号の前記第 2 の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ（W A）活性化信号を、前記コントロール回路が出力する工程と、

前記ライトアンプにおいて、前記ライトアンプ（W A）活性化信号に基づき、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行う工程と、

を有し、

前記クロック信号の前記第 1 の遷移から生成される、前記リード用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによるセンス動作とがリードサイクルを構成し、

前記クロック信号の前記第 2 の遷移から生成される、前記ライト用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作、及び、前記ライトアンプによる書き込み動作と、前記プリチャージ回路によるプリチャージ動作とがライトサイクルを構成し、前記ワード線の選択動作と前記書き込み動作はオーバーラップして行われ、

20

前記リードサイクルと、前記ライトサイクルを交互に行うように制御する工程と、

前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する工程と、

前記ライトサイクルにおける前記プリチャージ回路によるビット線のプリチャージ動作と、前記ライトサイクルの次のサイクルのリードサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する工程と、

30

前記リードサイクルにおけるワード線の選択期間と、前記アドレスレジスタから前記アドレスデコーダに出力されるアドレス信号が変化するタイミングのスキューの時間の和である第 1 の時間が、前記ライトサイクルにおけるワード線の選択期間と前記プリチャージ期間の和である第 2 の時間よりも小さい場合に、前記リード用クロック（R C）と前記リード用のワンショットパルス（R O S）を生成するためのリード用パルス（R P B）を、 $(\text{前記第 2 の時間} - \text{前記第 1 の時間}) / 2$ 、遅らせる工程と、

を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項 13】

前記クロック信号の前記第 2 の遷移を、前記第 1 の遷移に後続するサイクルのクロックの遷移とする代わりに、

40

リードコマンドとライトコマンドよりなるコマンド及びアドレス信号を、前記クロック信号の 1 つのパルスの立ち上がりエッジと立ち下がりエッジでサンプルする工程と、

前記セルアレイブロックでのデコード、前記センスアンプの活性化、前記ライトアンプの活性化を制御する信号を、前記クロック信号の前記立ち上がりエッジを用いて生成する工程を含む、ことを特徴とする請求項 9 乃至 12 のいずれか一に記載の半導体記憶装置の制御方法。

【請求項 14】

入力されるクロック信号の第 1 の遷移に基づき生成される第 1 の制御信号と、前記クロック信号の前記第 1 の遷移に基づき生成され、前記第 1 の制御信号よりも後に活性化され

50

る第2の制御信号のうちいずれかが活性化される場合に、予め定められた所定の期間、活性化される第1の回路と、

前記クロック信号の前記第1の遷移に基づき生成され、前記第1の制御信号よりも後に活性化される第3の制御信号が活性化される場合に、予め定められた所定の期間、活性化され、前記第1の回路の出力結果を受けて動作する第2の回路と、

前記クロック信号の前記第1の遷移に基づき生成され、前記第2の制御信号よりも後に活性化される第4の制御信号が活性化される場合に、予め定められた所定の期間、活性化され、前記第1の回路の出力結果を受けて動作する第3の回路と、

を備え、

前記クロック信号の前記第1の遷移から生成される前記第1、第3の制御信号にしたがって順次活性化される前記第1の回路と前記第2の回路による一連の動作が第1の動作サイクルを構成し、

前記クロック信号の前記第1の遷移から生成される前記第2、第4の制御信号にしたがって順次活性化される前記第1の回路と前記第3の回路による一連の動作が第2の動作サイクルを構成し、

前記第1の動作サイクルと前記第2の動作サイクルとを交互に行うように制御する回路と、

前記第1の動作サイクルにおける前記第2の回路の活性化と、前記第2の動作サイクルにおける前記第1の回路の活性化とに関連する前記制御信号のタイミングを制御し、前記第1の動作サイクルにおける前記第2の回路の一部の動作と前記第2の動作サイクルにおける前記第1の回路の動作とが時間的にオーバーラップする、ように制御する回路と、

を備えている、ことを特徴とする半導体装置。

【請求項15】

入力されるクロック信号の第1の遷移に基づき生成される第1の制御信号と、前記クロック信号の前記第1の遷移に基づき生成され、前記第1の制御信号よりも後に活性化される第2の制御信号のうちいずれかが活性化される場合に、予め定められた所定の期間、活性化される第1の回路と、

前記クロック信号の前記第1の遷移に基づき生成され、前記第1の制御信号よりも後に活性化される第3の制御信号と、前記クロック信号の前記第1の遷移に基づき生成され、前記第2の制御信号よりも後に活性化される第4の制御信号のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記第1の回路の出力結果を受けて動作する第2の回路と、

前記クロック信号の前記第1の遷移に基づき生成され、前記第3の制御信号よりも後に活性化される第5の制御信号が活性化される場合に、予め定められた所定の期間、活性化され、前記第2の回路の動作結果に基づき動作する第3の回路と、

前記クロック信号の前記第1の遷移に基づき生成され、前記第4の制御信号よりも後に活性化される第6の制御信号が活性化される場合に、予め定められた所定の期間、活性化される第4の回路と、

を備え、

前記クロック信号の前記第1の遷移から生成される前記第1、第3、第5の制御信号にしたがって順次活性化される前記第1の回路、前記第2の回路、及び、前記第3の回路による一連の動作が第1の動作サイクルを構成し、

前記クロック信号の前記第1の遷移から生成される前記第2、第4、第6の制御信号にしたがって順次活性化される前記第1の回路、前記第2の回路、及び、前記第4の回路と、による一連の動作が第2の動作サイクルを構成し、

前記第1の動作サイクルと前記第2の動作サイクルとを交互に行うように制御する回路と、

前記第1の動作サイクルにおける前記第3の回路と、前記第2の動作サイクルにおける前記第1の回路とを並行して動作させるように前記第3の制御信号及び前記第2の制御信号のタイミングを制御する回路を備えている、ことを特徴とする半導体装置。

【請求項 16】

複数のメモリセルを有するメモリセルアレイと、

入力されたアドレス信号を、入力されたクロック信号によってラッチするとともに、前記クロック信号の第1の遷移に基づき生成される第1の制御信号と、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき生成される第2の制御信号のうちいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記ラッチしたアドレス信号を出力するアドレスレジスタ、及び、前記アドレスレジスタより出力されるアドレス信号を入力してデコードするデコーダと、

前記クロック信号の前記第1の遷移に基づき、リード活性化用の第3の制御信号を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づきライト活性化用の第4の制御信号を生成する回路と、

前記第3の制御信号と前記第4の制御信号のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダで選択されたワード線を活性化させ、ワード線の選択を行い、前記第3の制御信号が活性化される場合と前記第4の制御信号が活性化される場合とで、前記ワード線の選択開始時刻と活性期間とをそれぞれ異なるように制御する回路と、

前記クロック信号の前記第1の遷移に基づき生成される第5の制御信号が活性化される場合、予め定められた所定の期間、活性化され、選択されたセルのビット線に読み出されたデータの増幅を行い読み出しデータとして出力するセンスアンプと、

前記クロック信号の前記第2の遷移に基づき生成される第6の制御信号が活性化される場合、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行うライトアンプと、

を備え、

入力されるクロック信号の前記第1の遷移から生成される前記制御信号によって、順次、活性化される、前記デコーダによるアドレスのデコード動作と、前記デコーダで選択されたワード線を活性化するワード線選択動作と、前記センスアンプによるセンス動作とがリードサイクルを構成し、

前記クロック信号の前記第2の遷移から生成される前記制御信号で順次活性化される前記デコーダによるアドレスのデコード動作と、前記デコーダで前記選択されたワード線を活性化する回路によるワード線の選択動作、及び、前記ライトアンプによる書き込み動作とがライトサイクルを構成し、

前記リードサイクルと前記ライトサイクルとを交互に行うように制御する回路と、

前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する回路を備えている、ことを特徴とする半導体記憶装置。

【請求項 17】

前記ワード線が前記リードサイクルから前記ライトサイクルに継続して選択されることを特徴とする請求項 16 に記載の半導体記憶装置。

【請求項 18】

前記第1の回路が、前記第1の制御信号に基づき、リードアドレスのデコード処理、前記第2の制御信号に基づき、ライトアドレスのデコード処理を行い、

前記第2の回路が、前記第3の制御信号に基づき、リードアクセスの選択ワード線の活性化とセンスアンプの活性化を行い、

前記第3の回路が、直前のリードサイクルの前記クロック信号の前記第1の遷移に基づき生成される前記第4の制御信号に基づき、ライトアクセスの選択ワード線の活性化及びライトアンプの活性化を行い、

前記第2の回路でのセンスアンプの活性化と、前記第1の回路におけるライトアドレスのデコード処理とが時間的にオーバーラップする、ことを特徴とする請求項 14 に記載の半導体記憶装置。

10

20

30

40

50

【請求項 19】

前記第 1 の回路が、前記第 1 の制御信号に基づき、リードアドレスのデコード処理、前記第 2 の制御信号に基づき、ライトアドレスのデコード処理を行い、

前記第 2 の回路が、前記第 3 の制御信号に基づき、リードアクセスの選択ワード線の活性化を行い、直前のリードサイクルの前記クロック信号の前記第 1 の遷移に基づき生成される前記第 4 の制御信号に基づき、ライトアクセスの選択ワード線の活性化を行い、

前記第 3 の回路が、前記第 5 の制御信号に基づき、センスアンプによるセンス動作を行い、

前記第 4 の回路が、直前のリードサイクルの前記クロック信号の前記第 1 の遷移に基づき生成される前記第 6 の制御信号に基づき、ライトアンプの活性化を行い、

前記第 1 の動作サイクルにおける前記第 3 の回路のセンス動作と、前記第 2 の動作サイクルにおける前記第 1 の回路のライトアドレスのデコード処理とを並行して行う、ことを特徴とする請求項 15 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、動作速度をさらに向上させる設計方式の半導体記憶装置に関する。

【0002】

【従来の技術】

近年、スイッチャルータなど通信機器等において、OC - 192 (10 Gbps) や OC - 768 (40 Gbps) などの超高速光通信規格が一般的となり、これらの規格に応えるデータ転送速度を実現するSRAM (Static Random Access Memory) 技術として QDR (Quad Data Rate) / DDR (Double Data Rate) が共同開発されており、QDR I / DDR II SRAM は最高動作周波数が 333 MHz までサポートする仕様とされている (NEC . プレスリリース : 2002 年 04 月 15 日 - 2 : "http://www.nec.co.jp/press/ja/0204/1502/html")。QDR II アーキテクチャ (設計方式) は、データ・ポートが入力ポートと出力ポートとに分かれており (I/O セパレート)、それぞれが、ダブルデータレートで動作する。なお、QDR は、IDT 社、マイクロン社の登録商標である。

【0003】

QDR では、メモリセルアレイからのデータの読み出しを行うリードサイクルと、メモリセルアレイへのデータの書き込みを行うデータのライトサイクルは交互に行われる。

【0004】

図 2 を参照して、この種のメモリデバイスについて、その概略を説明しておく。図 2 を参照すると、セルアレイブロック 10 が複数設けられている。複数のセルアレイブロック 10 は同一の構成とされており、図 2 では 1 つのセルアレイブロック 10 の構成が示されている。セルアレイブロック 10 は、セルアレイ 100 と、X アドレスをデコードする X デコーダ及び、X デコーダによるデコードの結果選択されたワード線を駆動するワードドライバを含む X 選択回路 101 と、Y アドレスをデコードする Y デコーダ、及び、Y デコーダによるデコードの結果選択されたカラムのビット線をセンスアンプ又はライトアンプに接続する Y スwitch を含む Y 選択回路と、センスアンプ SA、及びライトアンプ WA を含む回路群 103 と、コントロール回路 102 と、を備えている。

【0005】

入力ポートをなす入力レジスタ 109 は、入力端子 Din からライト (書き込み) データをクロック信号 CLK に同期してラッチし、ライトバス (Write Bus) を介してライトアンプ WA に供給する。また、センスアンプ SA からのデータが出力されるリードバス (Read Bus) に入力端子が接続される出力レジスタ 108 は、クロック信号 CLK に同期して、リード (読み出し) データをラッチし、出力端子 Dout から出力する。

【0006】

リード用パルス発生回路 106 は、リード / ライト (R / W) コマンドを受け、リード (

10

20

30

40

50

読み出し)動作のとき、リード制御用パルスR P Bを出力し、コントロール回路1 0 2に供給する。

【0 0 0 7】

ライト用パルス発生回路1 0 7は、リード/ライトコマンドを受け、ライト(書き込み)動作のとき、ライト制御用パルスW P Bを出力し、コントロール回路1 0 2に供給する。

【0 0 0 8】

アドレス用クロック発生回路1 0 5は、リード/ライトコマンドを受け、クロック信号C L Kの遷移エッジで、リード用クロックR C、ライト用クロックW Cを生成して出力する。

【0 0 0 9】

アドレスレジスタ1 0 4は、図示されないメモリコントローラ、チップセット等から供給されるアドレス信号A d dを入力し、該アドレス信号を、例えばクロック信号C L Kの立ち上がりエッジでラッチし、リード用クロック信号R C又はライト用クロック信号W Cがそれぞれ活性化されているとき、ラッチされたアドレス(Xアドレスと、Yアドレス、ブロック選択アドレス)を出力する。Xアドレスは、Xデコーダに供給され、YアドレスはYデコーダに供給され、ブロック選択アドレスは、例えばコントロール回路1 0 2に供給される。コントロール回路1 0 2は、リード制御用パルスR P B、ライト制御用パルスW P Bを入力し、セルアレイブロック1 0内で用いられるリード活性化信号及びライト活性化信号を生成し、選択されたワード線の活性化、センスアンプS Aの活性化、ライトアンプW Aの活性化を制御する。

【0 0 1 0】

上記の通り、メモリデバイスには、複数のセルアレイブロック部1 0が設けられており、リードバス(Read Bus)、ライトバス(Write Bus)等のバス長、リード制御用パルスR P B、ライト制御用パルスW P B信号の制御信号の信号配線の配線長が長くなり、動作周波数の高速化、すなわちクロック周期の短時間化により、信号配線の遠端、近端間でのスキューが顕在化している。またメモリ容量の増大は、アドレス信号のビット幅の増大となり、Xデコーダ等のデコーダを構成する回路の段数が増大し、アドレスデコードの結果セルアレイに供給される内部アドレス信号の変化点のスキューも顕在化している。

【0 0 1 1】

Q D R等の設計仕様においては、リードサイクルとライトサイクルが交互に行われるが、この場合、R P B、W P B信号等の制御信号、及び、内部アドレス信号等のスキューも考慮して、サイクル時間が決定される。

【0 0 1 2】

【発明が解決しようとする課題】

上記した構成において、例えば、リードサイクルでは、選択されたメモリセルの記憶データに応じてビット線に現れる電圧を、読み出し回路を構成するセンスアンプで増幅して読み出しを行う。ライトサイクルでは、書き込み回路を構成するライトアンプによりフルスイングの信号電圧でビット線を駆動することで、選択されたメモリセルへの書き込みを行う。このため、セルアレイブロック内においては、リード動作の方が、ライト動作よりも長時間となる。かかる構成において、リードサイクルとライトサイクルを交互に行うメモリシステムでは、1サイクルの期間の長い方のリードサイクルによって最高動作周波数が律速される。

【0 0 1 3】

したがって、本発明は、動作周波数をさらに向上させる半導体記憶装置と半導体装置及びその制御方法を提供することにある。

【0 0 1 4】

【課題を解決するための手段】

上記目的を達成する本発明の1つのアスペクトに係る半導体装置は、入力されるクロック信号の第1の遷移に基づき生成される第1の制御信号と、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき生成される第2の制御信号のうちいずれか

10

20

30

40

50

が活性化される場合に、予め定められた所定の期間、活性化される第1の回路と、前記クロック信号の前記第1の遷移に基づき生成される第3の制御信号が活性化される場合に、予め定められた所定の期間、活性化され、前記第1の回路の出力結果を受けて動作する第2の回路と、前記クロック信号の前記第2の遷移に基づき生成される第4の制御信号が活性化される場合に、予め定められた所定の期間、活性化され、前記第1の回路の出力結果を受けて動作する第3の回路と、を備え、前記クロック信号の前記第1の遷移から生成される前記制御信号にしたがって順次活性化される前記第1の回路と前記第2の回路による一連の動作が第1の動作サイクルを構成し、前記クロック信号の前記第2の遷移から生成される前記制御信号にしたがって順次活性化される前記第1の回路と前記第3の回路による一連の動作が第2の動作サイクルを構成し、前記第1の動作サイクルと前記第2の動作サイクルとを交互に行うように制御する回路と、前記第1の動作サイクルにおける前記第2の回路の活性化と、前記第2の動作サイクルにおける前記第1の回路の活性化とに関連する前記制御信号のタイミングを制御し、前記第1の動作サイクルにおける前記第2の回路の一部の動作と前記第2の動作サイクルにおける前記第1の回路とが時間的にオーバーラップして動作するように、制御する回路と、を備えている。

10

【0015】

本発明の他のアスペクトに係る半導体装置は、半導体記憶装置は、複数のメモリセルを有するメモリセルアレイと、入力されたアドレス信号を、入力されたクロック信号によってラッチするとともに、前記クロック信号の第1の遷移に基づき生成される第1の制御信号と、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき生成される第2の制御信号のうちいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記ラッチしたアドレス信号を出力するアドレスレジスタ、及び、前記アドレスレジスタより出力されるアドレス信号を入力してデコードするデコーダと、前記クロック信号の第1の遷移に基づき、リード活性化用の第3の制御信号を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づきライト活性化用の第4の制御信号を生成する回路と、前記クロック信号の前記第1の遷移に基づき生成される前記第3の制御信号と前記第4の制御信号のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダで選択されたワード線を活性化させ、ワード線の選択を行う回路と、前記クロック信号の第1の遷移に基づき生成される第5の制御信号が活性化される場合、予め定められた所定の期間、活性化され、選択されたセルのビット線に読み出されたデータの増幅を行い読み出しデータとして出力するセンスアンプと、前記クロック信号の第2の遷移に基づき生成される第6の制御信号が活性化される場合、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行うライトアンプと、を備え、入力されるクロック信号の前記第1の遷移から生成される前記制御信号によって、順次、活性化される、前記デコーダによるアドレスのデコード動作と、前記デコーダで選択されたワード線を活性化するワード線選択動作と、前記センスアンプによるセンス動作とがリードサイクルを構成し、前記クロック信号の前記第2の遷移から生成される前記制御信号で順次活性化される前記デコーダによるアドレスのデコード動作と、前記デコーダで前記選択されたワード線を活性化する回路によるワード線の選択動作、及び、前記ライトアンプによる書き込み動作とがライトサイクルを構成し、前記リードサイクルと前記ライトサイクルとを交互に行うように制御する回路と、前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する回路と、を備えている。

20

30

40

【0016】

本発明の他のアスペクトに係る半導体記憶装置は、入力されるクロック信号の第1の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック(RC)を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック(WC)を生成するアドレス用クロック生成回路と、入力されたアドレス信号を前記クロック信号に基づきラッチし、前記アドレ

50

ス用クロック生成回路から出力される前記リード用クロック（RC）と前記ライト用クロック（WC）を入力し、前記リード用クロック（RC）と前記ライト用クロック（WC）のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力するアドレスレジスタと、前記クロック信号の前記第1の遷移に基づきリード用のパルス信号（RPB）を生成するリード用パルス発生回路と、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づきライト用のパルス信号（WPB）を生成するライト用パルス回路と、複数のメモリセルを有するメモリセルアレイと、前記アドレスレジスタより出力されるアドレス信号を受けてデコードするデコーダと、前記リード用パルス発生回路からのリード用のパルス信号（RPB）を入力し、前記リード用のパルス信号（RPB）に基づきリード用のワンショットのパルス信号（ROS）を生成する回路と、前記ライト用パルス回路からのライト用のパルス信号（WPB）を入力し、前記ライト用のパルス信号（WPB）に基づき、ライト用のワンショットのパルス信号（WOS）を生成する回路と、前記リード用のワンショットのパルス信号（ROS）と前記ライト用のワンショットのパルス信号（WOS）とを入力し、前記リード用のワンショットのパルス信号（ROS）と前記ライト用のワンショットのパルス信号（WOS）のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、選択されたワード線を活性化する回路と、前記クロック信号の前記第1の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号（SE）を活性化する回路と、前記センスイネーブル信号（SE）が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルに接続されるビット線に読み出されたデータの増幅を行い読み出しデータとして出力するセンスアンプと、前記クロック信号の前記第2の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ（WA）活性化信号を出力する回路と、前記ライトアンプ（WA）活性化信号が活性化を指示している場合に、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行うライトアンプと、を備え、前記クロック信号の前記第1の遷移から生成される、前記リード用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによるセンス動作がリードサイクルを構成し、前記クロック信号の前記第2の遷移から生成される、前記ライト用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記ライトアンプによる書き込み動作と、がライトサイクルを構成し、前記リードサイクルと前記ライトサイクルとを交互に行うように制御する回路と、前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する回路を備えている。

【0017】

本発明のさらに別のアスペクトに係る半導体装置は、入力されるクロック信号の第1の遷移に基づき活性化され、前記第1の遷移から第1の遅延をもって、第1の期間（A）の第1の動作を行う第1の回路と、入力される前記クロック信号の前記遷移に後続する第2の遷移に基づき活性化され、前記第2の遷移から第2の遅延をもって、第2の期間（B）の第2の動作を行う第2の回路と、を備え、前記第1の動作と前記第2の動作とのサイクルが交互に行われる半導体装置において、 $A > B$ の場合、前記クロック信号の周期を、 $(A + B) / 2$ とし、前記第2の回路の動作のサイクルの開始を、前記クロック信号の前記第2の遷移から、前記第2の遅延にさらに時間 $(A - B) / 2$ 分遅らせる手段を備えている。

【0018】

また本発明のさらに別のアスペクトに係る半導体装置において、 $B > A$ の場合、前記クロック信号の周期を、 $(A + B) / 2$ とし、前記第1の動作のサイクルの開始を、前記クロック信号の前記第1の遷移から、前記第1の遅延にさらに時間 $(B - A) / 2$ 分遅らせる手段を備えている。

10

20

30

40

50

【 0 0 1 9 】

本発明の1つのアスペクトに係る半導体記憶装置の制御方法は、

(a) 入力されるクロック信号の第1の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック (R C) を生成し、前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック (W C) を、アドレス用クロック生成回路により、生成する工程と、

(b) アドレスレジスタにおいて、入力されたアドレス信号を前記クロック信号に基づきラッチし、前記リード用クロック (R C) と前記ライト用クロック (W C) を入力し、前記リード用クロック (R C) と前記ライト用クロック (W C) のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力する工程と、

(c) 前記クロック信号の前記第1の遷移に基づきリード用のパルス信号 (R P B) を、リード用パルス発生回路により、生成する工程と、

(d) 前記クロック信号の前記第1の遷移に後続するサイクルの第2の遷移に基づきライト用のパルス信号 (W P B) を、ライト用パルス回路により、生成する工程と、

(e) 複数のメモリセルを有するメモリセルアレイと、前記アドレスレジスタより出力されるアドレス信号を受けてデコードするデコーダと、コントロール回路と、センスアンプと、ライトアンプを有するセルアレイブロックの前記コントロール回路が、前記リード用パルス発生回路からのリード用のパルス信号 (R P B) を入力し、前記リード用のパルス信号 (R P B) に基づきリード用のワンショットのパルス信号 (R O S) を生成する工程と、

(f) 前記コントロール回路が、前記ライト用パルス回路からのライト用のパルス信号 (W P B) を入力し、前記ライト用のパルス信号 (W P B) に基づき、ライト用のワンショットのパルス信号 (W O S) を生成する工程と、

(g) 前記リード用のワンショットのパルス信号 (R O S) と前記ライト用のワンショットのパルス信号 (W O S) とを入力し、前記リード用のワンショットのパルス信号 (R O S) と前記ライト用のワンショットのパルス信号 (W O S) のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、ワードドライバが、選択されたワード線を活性化する工程と、

(h) 前記クロック信号の前記第1の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号 (S E) を、前記コントロール回路が、活性化する工程と、

(i) 前記センスアンプにおいて、センスイネーブル信号 (S E) が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルのビット線に読み出されたデータの増幅を行い読み出しデータとして出力する工程と、

(j) 前記クロック信号の前記第2の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ (W A) 活性化信号を、前記コントロール回路が出力する工程と、

(k) 前記ライトアンプにおいて、前記ライトアンプ (W A) 活性化信号に基づき、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行う工程と、

を有し、前記クロック信号の前記第1の遷移から生成される、前記リード用クロック及びパルス信号で順次活性化される、前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによるセンス動作がリードサイクルを構成し、

前記クロック信号の前記第2の遷移から生成される、前記ライト用クロック及びパルス信号で順次活性化される、前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記ライトアンプによる書き込み動作と、がライトサイクルを構成しており、

(l) 前記リードサイクルと前記ライトサイクルとを交互に行うように制御する工程と、

(m) 前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する工程と、

を有する。かかる本発明によれば、クロック信号の動作周波数を向上させることができる

10

20

30

40

50

。【 0 0 2 0 】

【 発 明 の 実 施 の 形 態 】

本発明の実施の形態について説明する。本発明は、その一実施の形態において、入力されるクロック信号の第 1 の遷移に基づき生成される第 1 の制御信号と、前記クロック信号の前記第 1 の遷移に後続するサイクルの第 2 の遷移に基づき生成される第 2 の制御信号のうちいずれかが活性化される場合に、予め定められた所定の期間、活性化される第 1 の回路（例えば図 2 のアドレスレジスタ、X 選択回路、Y 選択回路等のアドレスデコード系回路）と、前記クロック信号の前記第 1 の遷移に基づき生成される第 3 の制御信号と、前記クロック信号の前記第 1 の遷移に後続するサイクルの第 2 の遷移に基づき生成される第 4 の制御信号のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記第 1 の回路の出力結果を受けて動作する第 2 の回路（例えば図 2 の X 選択回路においてワード線の選択を行うワード線駆動回路とその制御回路：図 5（C）参照）と、前記クロック信号の前記第 1 の遷移に基づき生成される第 5 の制御信号が活性化される場合に、予め定められた所定の期間、活性化され、前記第 2 の回路の動作結果に基づき動作する第 3 の回路（例えば図 2 のセンスアンプ SA）と、前記クロック信号の前記第 2 の遷移に基づき生成される第 6 の制御信号が活性化される場合に、予め定められた所定の期間、活性化される第 4 の回路（例えば図 2 のライトアンプ WA、この第 4 の回路は第 2 の回路と同時に活性化されてもよい）と、を備え、前記クロック信号の前記第 1 の遷移から生成される前記制御信号にしたがって順次活性化される前記第 1 の回路と前記第 2 の回路と前記第 3 の回路による一連の動作が第 1 の動作サイクル（例えばリードサイクル）を構成し、前記クロック信号の前記第 2 の遷移から生成される前記制御信号にしたがって順次活性化される前記第 1 の回路と、前記第 2 の回路、及び前記第 4 の回路と、による一連の動作が第 2 の動作サイクル（ライトサイクル）を構成し、前記第 1 の動作サイクルと前記第 2 の動作サイクルとを交互に行うように制御する回路（図 17 参照）と、前記第 1 の動作サイクルにおける前記第 3 の回路と、前記第 2 の動作サイクルにおける前記第 1 の回路とを並行して動作させるように前記第 3 及び前記第 2 の制御信号のタイミングを制御する回路（例えば図 2 のアドレス用クロック発生回路、リード用及びライト用パルス発生回路）を備えている。同様な原理に従い、本発明は、その一実施の形態において、入力されるクロック信号の第 1 の遷移に基づき生成される第 1 の制御信号と、前記クロック信号の前記第 1 の遷移に後続するサイクルの第 2 の遷移に基づき生成される第 2 の制御信号のうちいずれかが活性化される場合に、予め定められた所定の期間、活性化される第 1 の回路（例えば図 2 の X 選択回路のワードドライバによるワード線の選択）と、前記クロック信号の前記第 1 の遷移に基づき生成される第 3 の制御信号が活性化される場合に、予め定められた所定の期間、活性化され、前記第 1 の回路の出力結果を受けて動作する第 2 の回路（例えば図 2 の X 選択回路によるワード線駆動回路とセンスアンプよりなる）と、前記クロック信号の前記第 2 の遷移に基づき生成される第 4 の制御信号が活性化される場合に、予め定められた所定の期間、活性化され、前記第 1 の回路の出力結果を受けて動作する第 3 の回路（図 2 の X 選択回路によるワード線駆動回路とライトアンプ）と、を備え、前記クロック信号の前記第 1 の遷移から生成される前記制御信号にしたがって順次活性化される前記第 1 の回路と前記第 2 の回路による一連の動作が第 1 の動作サイクルを構成し、前記クロック信号の前記第 2 の遷移から生成される前記制御信号にしたがって順次活性化される前記第 1 の回路と前記第 3 の回路による一連の動作が第 2 の動作サイクルを構成し、前記第 1 の動作サイクルと前記第 2 の動作サイクルとを交互に行うように制御する回路（図 17 参照）と、前記第 1 の動作サイクルにおける前記第 2 の回路の活性化と、前記第 2 の動作サイクルにおける前記第 1 の回路の活性化とに関連する前記制御信号のタイミングを制御し、前記第 1 の動作サイクルにおける前記第 2 の回路の一部の動作と前記第 2 の動作サイクルにおける前記第 1 の回路とが時間的にオーバーラップして動作するように、制御する回路（図 2 のアドレス用クロック発生回路 105、リード用パルス発生回路 106、ライト用パルス発生回路 107）とを備えた構成としてもよい。

10

20

30

40

50

【 0 0 2 1 】

本発明は、好ましい一実施の形態において、図 2 を参照すると、入力されるクロック信号の第 1 の遷移に基づき、入力されるリードコマンドにしたがってリード用クロック (R C) を生成し、前記クロック信号の前記第 1 の遷移に後続するサイクルの第 2 の遷移に基づき、入力されるライトコマンドにしたがってライト用クロック (W C) を生成するアドレス用クロック生成回路 (1 0 5) と、入力されたアドレス信号を前記クロック信号に基づきラッチし、前記アドレス用クロック生成回路から出力される前記リード用クロック (R C) と前記ライト用クロック (W C) を入力し、前記リード用クロック (R C) と前記ライト用クロック (W C) のうちいずれかが活性化される場合に、ラッチしたアドレス信号を出力するアドレスレジスタ (1 0 4) と、前記クロック信号の前記第 1 の遷移に基づき

10

【 0 0 2 2 】

本発明の一実施の形態の半導体記憶装置において、制御回路 (1 0 2) は、例えばリード用パルス発生回路からのリード用のパルス信号 (R P B) を入力し、前記リード用のパルス信号 (R P B) に基づきリード用のワンショットのパルス信号 (R O S) を生成する回路と、前記ライト用パルス回路からのライト用のパルス信号 (W P B) を入力し、前記ライト用のパルス信号 (W P B) に基づき、ライト用のワンショットのパルス信号 (W O S) を生成する回路と、前記リード用のワンショットのパルス信号 (R O S) と前記ライト用のワンショットのパルス信号 (W O S) とを入力し、前記リード用のワンショットのパルス信号 (R O S) と前記ライト用のワンショットのパルス信号 (W O S) のいずれかが活性化される場合に、予め定められた所定の期間、活性化され、前記デコーダの出力結果を受けて、選択されたワード線を活性化する回路 (1 0 1 、及び図 5 (C) 参照) を備えている。さらに、コントロール回路 (1 0 2) は、前記クロック信号の前記第 1 の遷移に基づき、入力されるリードコマンドにしたがってセンスイネーブル信号 (S E) を活性化する回路と、前記クロック信号の前記第 2 の遷移に基づき、入力されるライトコマンドにしたがってライトアンプ (W A) 活性化信号を出力する回路とを備えている。

20

30

【 0 0 2 3 】

さらに、本発明の一実施の形態の半導体記憶装置は、センスイネーブル信号 (S E) が活性化される場合に、予め定められた所定の期間、活性化され、選択されたセルに接続されるビット線に読み出されたデータの増幅を行い読み出しデータとして出力するセンスアンプ (S A) と、前記ライトアンプ (W A) 活性化信号が活性化を指示している場合に、予め定められた所定の期間、活性化され、選択されたセルへの書き込みを行うライトアンプと、を備えている。

【 0 0 2 4 】

本発明の一実施の形態の半導体記憶装置において、前記クロック信号の前記第 1 の遷移から生成される、前記リード用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによるセンス動作がリードサイクルを構成し、前記クロック信号の前記第 2 の遷移から生成される、前記ライト用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記ライトアンプによる書き込み動作と、がライトサイクルを構成している。本発明の一実施の形態の半導体記憶装置において、ライトデータの入力用ポートとリードデータの出力ポートとが別々に設けられている

40

【 0 0 2 5 】

本発明の一実施の形態の半導体記憶装置において、前記リードサイクルと前記ライトサイ

50

クルとを交互に行うように制御する回路（図17参照）と、前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する回路（105、106、107）を備えている。かかる構成により、駆動クロック信号の周波数の高速化を図っている。

【0026】

本発明の一実施の形態の半導体記憶装置においては、前記クロック信号の前記第1の遷移から生成される、前記リード用クロック及びパルス信号によって順次活性化される前記デコーダ（101のX選択回路、103のY選択回路等）によるデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作と、前記センスアンプによるセンス動作とがリードサイクルを構成し、前記クロック信号の前記第2の遷移から生成される、前記ライト用クロック及びパルス信号によって順次活性化される前記デコーダによるアドレスのデコード動作と、前記選択されたワード線を活性化する回路によるワード線の選択動作及び前記ライトアンプによる書き込み動作と、前記プリチャージ回路によるプリチャージ動作とがライトサイクルを構成し、前記ワード線の選択動作と前記書き込み動作はオーバーラップして行われ、前記リードサイクルと前記ライトサイクルとを交互に行う制御が行われ、前記リードサイクルにおける前記センスアンプによるセンス動作と、前記リードサイクルの次のサイクルの前記ライトサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させ、前記ライトサイクルにおける前記プリチャージ回路によるビット線のプリチャージ動作と、前記ライトサイクルの次のサイクルのリードサイクルにおける前記デコーダによるアドレスのデコード動作とを並行して動作させるようにタイミングを制御する構成としてもよい。

【0027】

本発明の一実施の形態の半導体記憶装置において、前記リードサイクルにおけるワード線の選択期間と、前記アドレスレジスタから前記アドレスデコーダに出力されるアドレス信号が変化するタイミングのスキューの時間の和である第1の時間が、前記ライトサイクルにおけるワード線の選択期間と前記プリチャージ期間の和である第2の時間よりも大きいとき、前記ライト用クロック（WC）と前記ライト用のワンショットのパルス信号（WOS）を生成するためのライト用パルス信号（WPB）をさらに、（第1の時間 - 第2の時間）/ 2、遅らせる、ように制御する構成とされる。

【0028】

本発明の一実施の形態の半導体記憶装置において、前記リードサイクルにおけるワード線の選択期間と、前記アドレスレジスタから前記アドレスデコーダに出力されるアドレス信号が変化するタイミングのスキューの時間の和である第1の時間が、前記ライトサイクルにおけるワード線の選択期間と前記プリチャージ期間の和である第2の時間よりも小さいとき、前記リード用クロック（RC）と前記リード用のワンショットパルス（ROS）を生成するためのライト用パルス（RPB）をさらに、（第2の時間 - 第1の時間）/ 2、遅らせる、ように制御する構成とされる。

【0029】

上記した実施の形態から、入力されるクロック信号の第1の遷移に基づき生成される第1の制御信号にしたがって活性化され、第1の期間（A）の第1の動作を行う第1の回路と、入力される前記クロック信号の前記遷移に後続する第2の遷移に基づき生成される第2の制御信号にしたがって活性化され、第2の期間（B）の第2の動作を行う第2の回路と、備え、前記第1の動作と前記第2の動作のサイクルとが交互に行われる半導体装置において、 $A > B$ の場合、前記クロック信号の周期を、 $(A + B) / 2$ とし、前記クロック信号の前記第2の遷移から前記第2の回路の動作の開始までの遅延に、さらに時間 $(A - B) / 2$ 分の遅延を付加する構成とし、クロック周期を、Aから、 $(A + B) / 2$ に高速化する構成が導かれる。 $B > A$ の場合には、前記クロック信号の周期を、 $(A + B) / 2$ とし、前記クロック信号の前記第1の遷移から前記第1の回路の動作の開始までの遅延に、さらに時間 $(B - A) / 2$ 分の遅延を付加する。

【 0 0 3 0 】

本発明の別の実施の形態の半導体記憶装置において、前記クロック信号の前記第2の遷移を、前記第1の遷移に後続するサイクルのクロックの遷移とする代わりに、リードコマンドとライトコマンドよりなるコマンド及びアドレス信号を、前記クロック信号の1つのパルスの立ち上がりエッジと立ち下がりエッジでサンプルし、前記セルアレイブロックでのデコード、前記センスアンプの活性化、前記ライトアンプの活性化は、前記クロック信号の前記立ち上がりエッジを用いて生成するようにしてもよい。

【 0 0 3 1 】

本発明のさらに別の実施の形態の半導体記憶装置において、前記ライトアンプの入力端子は、ライトバスを介して入力レジスタの出力端子に接続され、前記入力レジスタは、入力される前記クロック信号に同期してデータ入力端子に供給されるデータをラッチして、前記ライトバスに出力し、前記ライトアンプの出力端子はライトデータ線に接続され、前記ビット線は、書き込み用のYスイッチを介して前記ライトデータ線に接続され、アドレス信号が、前記メモリセルアレイの行選択を行うXアドレス、列選択を行うYアドレス、ブロックの選択を行うブロック選択アドレスよりなり、前記ブロック選択アドレスのデコード結果を受け、前記ライトアンプを活性化させ、前記ライトアンプは、前記ライトデータ線に書き込みデータを出力し、つづいて前記Yスイッチの選択が行われ、オンされた前記書き込み用のYスイッチに接続されるビット線には書き込みデータが伝達され、つづいてワード線を選択し、選択されたセルへのデータの書き込みが行われる構成としてもよい。アドレス信号は、ブロック選択、Yアドレス、Xアドレスの順でビット数が多くなり、デコード時間、及びスキューが大きくなる。このため、デコードされた順に、動作の活性化を行うことで、ライトサイクルの高速化を図ることができる。

【 0 0 3 2 】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。図1は、本発明の実施例の動作原理を模式的に説明するためのタイミング図である。

【 0 0 3 3 】

図1において、Read、Writeの矢線は、リードサイクルとライトサイクルをそれぞれ表しており、1行目の波形(実線)は、リードサイクルにおけるアドレスのデコードと、メモリセルアレイにおけるワード線の選択、ライトサイクルにおけるアドレスのデコードと、ワード線の選択を示している。センスアンプ、ライトアンプ活性化は、セルアレイブロックのセンスアンプ(SA)、ライトアンプ(WA)の活性化を制御する信号を示し、Bit線は、セルアレイのビット線対の電圧波形を示している。ワード線の選択はワード線のHIGHレベル期間を表しており、デコード、センスアンプの活性化期間には、ワード線は非選択(非活性化)状態とされ、選択セルへのデータの書き込みを行うライトアンプ活性化期間には、ワード線は選択状態とされている。

【 0 0 3 4 】

リードサイクルは、リードアドレスのデコードと、ワード線の選択及びセル選択、センスアンプの活性化からなり、ライトサイクルは、ライトアドレスのデコードと、ワード線の選択、ライトアンプの活性化、ビット線のプリチャージからなる。

【 0 0 3 5 】

ライトサイクルにおけるライトアンプ活性化後のビット線のプリチャージは、次のリードサイクルに備えてビット線を予めプリチャージしておくためのものである。

【 0 0 3 6 】

図1から分かるように、本実施例では、リードサイクルのセンスアンプの活性化と、ライトサイクルにおけるアドレスのデコードが時間上オーバーラップしている。そして、各サイクルの期間は、リードサイクルとライトサイクルのうち長い方のサイクルよりも短く設定され、リードサイクルとライトサイクルのうち短い方のサイクルよりも長く設定されている。

10

20

30

40

50

【 0 0 3 7 】

図 2 は、本発明が実施されるメモリデバイスの基本構成の一例を示す図である。本発明の基本構成は、従来の技術で参照した構成と同一とされており、リード及びライト制御用の制御信号等のタイミング制御の仕方が相違している。すなわち、従来の技術で参照した構成では、リードサイクルにおけるセンスアンプ活性化と、ライトサイクルにおけるデコードのオーバーラップ制御等は行われていない。なお、図 2 に示したメモリデバイスの各構成要素の概略説明は、本願明細書の従来の技術で行っており、ここでは、重複を回避するため、省略する。

【 0 0 3 8 】

本実施例では、セルアレイブロック 1 0 において、リードサイクルとライトサイクルとが交互に行われ、リードサイクルにおいて、X アドレス、Y アドレス、ブロック選択アドレスを、X 選択回路 1 0 1、Y 選択回路、コントロール回路 1 0 2 によりデコードを行うデコード期間につづいて、所定の期間、ワードドライバ(ワード線を駆動するドライバ、「X ドライバ」ともいう)により、選択ワード線を活性化し、セルの選択が行われ、つづいて、ワード線を非選択とし、センスアンプ S A の活性化が行われる。

【 0 0 3 9 】

活性化されたセンスアンプ S A は、選択されたセルに接続されるビット線対に現れた差電圧 V (概ね 1 0 0 m V 以下)を増幅し、読み出しデータに対応した論理値の信号をリードバス(Read Bus)に出力する。

【 0 0 4 0 】

本実施例においては、リードサイクルにおけるセンスアンプ活性化期間と、ライトサイクルにおけるアドレスデコード期間が、時間軸上、重なっており、リードサイクルにおけるセンスアンプ S A の活性化中に、書き込みアドレス信号のデコードが行われる。すなわち、リードサイクルとライトサイクルが一部でオーバーラップし、サイクルの期間を規定するクロック信号の高速化を可能としている。

【 0 0 4 1 】

本実施例において、リードサイクルとライトサイクルの期間は等しく設定される。

【 0 0 4 2 】

セルアレイブロック 1 0 では、ライトサイクルのデコード期間につづいて、セルの選択が行われ、同時にライトアンプ W A が活性化され、選択されたセルに接続されるビット線線対は、書き込みデータに対応した電圧で駆動される。

【 0 0 4 3 】

本実施例において、ビット線の低振幅化により(図 1 の B i t 線では、リード時のビット線対の差電圧 V は概ね 1 0 0 m V かそれ以下)、リード後のビット線のプリチャージ期間を設ける必要はない。これは、ビット線対に現れた差電圧 V に比べ、次のライトサイクルで書き込むべき信号の振幅が大きいため、プリチャージを行わなかったとしても、ビット線への書き込み動作が可能だからである。すなわち、センスアンプ S A を活性化しデータが読み出された後のビット線がプリチャージされるべき期間に、ビット線の書き込みデータが現れるように、メモリセルの選択、ライトアンプの活性化を行うことが可能となる。

【 0 0 4 4 】

上述のようなタイミング制御を実現するにあたり、リード/ライトのワード線の選択期間(W o r d 線選択)を可変に(プログラマブルに)設定される構成としてもよい。

【 0 0 4 5 】

クロック信号 C L K をトリガとしてアドレス用クロック発生回路 1 0 5 から出力されるワンショットパルスのリード用クロック R C に基づき、アドレスレジスタ 1 0 4 は、ラッチしたアドレス信号(リードアドレス)を出力する。アドレスレジスタ 1 0 4 からのアドレス信号を入力とする X 選択回路 1 0 1、Y 選択回路 1 0 3、コントロール回路 1 0 2 内のブロック選択アドレスデコード(不図示)において、アドレスのデコード動作をそれぞれ行う。後述するように、コントロール回路 1 0 2 からの制御信号により、X 選択回路 1 0

10

20

30

40

50

1内のワードドライバ(不図示)を活性化することで、X選択回路101内のXデコーダ(不図示)で選択されたワード線が活性化される。

【0046】

センスアンプSAの活性化は、コントロール回路102から出力され、センスアンプSAに供給されるセンスイネーブル信号を活性化することで行われる。

【0047】

クロック信号CLKをトリガとしてアドレス用クロック発生回路105から出力されるライトクロック信号WCに基づき、アドレスレジスタ104は、クロック信号でラッチしたアドレス信号(ライトアドレス)を出力する。アドレスレジスタ104からのアドレス信号を入力とするX選択回路101、Y選択回路103、コントロール回路102内のブロッ
10
ック選択アドレスデコーダ(不図示)において、アドレスのデコード動作をそれぞれ行う。ライトアンプWAは、コントロール回路102から出力され、ライトアンプWAに供給されるライトアンプ(WA)活性化信号(不図示)を活性化することで行われる。

【0048】

図3(A)は、リード用パルス発生回路106とライト用パルス発生回路107の出力回路の構成を示す図である。

【0049】

リード用パルス発生回路106の出力回路は、高位側電源VDDと低位側電源VSS(又はGND)間に接続されゲートが共通接続され出力回路の入力端子に接続され、ドレインが共通接続されて出力回路の出力端子に接続されている、PMOSトランジスタPM1と
20
NMOSトランジスタNM1よりなる、CMOSインバータで構成されている。ライト用パルス発生回路107の出力回路も、PMOSトランジスタPM2とNMOSトランジスタNM2よりなるCMOSインバータで構成されている。

【0050】

n個(nは1以上の所定の正整数)のセルアレイブロック10(Block1~Blockn)では、リード制御用パルスRPBとライト制御用パルスWPBについて、立ち下がりエッジを用いている。これは、トランジスタのサイズ(あるいはW/L比)が同一の場合、NMOS
30
トランジスタの電流駆動能力がPMOSトランジスタよりも高いためである。すなわち、NMOSトランジスタがオンしてCMOSインバータの出力端子を放電することで出力端子電圧が高位側電源電圧VDDから低位側電源電圧VSSに立ち下がる方が、PMOSトランジスタがオンしてCMOSインバータの出力端子を高位側電源電圧VDD側に充電し出力端子電圧が低位側電源電圧VSSから高位側電源電圧VDDに立ち上がるよりも、短時間であるためである。ライト制御用パルスWPBについても、同様の理由により、立ち下がりエッジが用いられている。

【0051】

ところで、図2、図3(A)に示した構成において、リード制御用パルスRPBとライト
40
制御用パルスWPBの信号配線が別々に設けられており、パルスRPBの信号配線が長配線であることにより、信号配線の遠端部での立ち下がり波形がなまる。クロック信号に基づき、リードサイクルとライトサイクルを交互に繰り返す場合には、それぞれのパルスRPB、WPBの周期は、2クロック周期(2tCK)となる。このため、図3(B)に示すように、パルスRPB、WPBは、信号配線の遠端部と近端部の各セルアレイブロック10には、同一のタイミングにて供給されることになる。すなわち、リードサイクルでLOWレベルに立ち下がったパルスRPBは、次のライトサイクル中に、電源電圧レベルに立ち上がっており、該ライトサイクルの次のリードサイクルにおいてパルスRPBは高位側電源電圧VDDに設定されている。

【0052】

一方、リードサイクルが連続した場合、図3(C)に示すように、RPBの信号配線の遠
50
端で、パルスRPBはフルスイングできないため、連続動作のサイクル毎に、クロックの立ち上がりエッジから、パルスRPBの立ち下がりまでの遅延時間に差が発生してしまい、誤動作をまねく可能性がある。この場合、図4に示すように、奇数サイクルでパルスを

発生する奇数サイクル用パルス発生回路 4 1 と、偶数サイクルでパルスを発生する偶数サイクル用パルス発生回路 4 2 とを備え、奇数サイクル用パルス発生回路 4 1 と偶数サイクル用パルス発生回路 4 2 は、奇数サイクルと偶数サイクルのパルスを別々の信号線に送出し、セルアレイブロックでは、2つのレシーバ 4 3 及び 4 4 で、それぞれ奇数サイクルと偶数サイクルのパルスを受信し、論理和回路 (OR 回路) 4 5 でレシーバ 4 3 及び 4 4 の出力の論理和をとり、セルアレイブロック内基本パルス信号 (BOS) を出力する構成としてもよい。かかる構成により、リードサイクルが連続する場合にも、サブアレイブロック 1 0 には、同一のタイミングでワンショットの基本パルス信号 (BOS) が供給される。ライトサイクルが連続する場合についても、同様な構成が適用できることは勿論である。

10

【 0 0 5 3 】

次に、本発明の一実施例におけるセルアレイブロック 1 0 (図 2 参照) における制御パルス信号の発生について説明する。

【 0 0 5 4 】

図 5 (A) は、本発明の一実施例における制御信号 RPB、WPB、ROS、WOS のタイミング波形を示す図である。制御信号 RPB、WPB は、図 2 及び図 3 (A) を参照して説明したように、リード用パルス発生回路 1 0 6、ライト用パルス発生回路 1 0 7 から出力され、コントロール回路 1 0 2 に入力される。

【 0 0 5 5 】

セルアレイブロック 1 0 内のコントロール回路 1 0 2 において、図 5 (A) に示すように、リード制御用のパルス RPB の立ち下がりエッジから、ワード線の活性化制御信号として、ワンショットの ROS パルス (パルス幅 t_{PR}) を生成する。また、コントロール回路 1 0 2 において、ライト制御用のパルス WPB の立ち下がりエッジから、ワード線の活性化制御信号として、ワンショットの WOS パルス (パルス幅 t_{WR}) を生成する。生成されたパルスに基づき、ワードパルス幅 (ワード線が HIGH レベルとなる期間) が決められる。

20

【 0 0 5 6 】

リードサイクルにおいては、コントロール回路 1 0 2 から X 選択回路 1 0 1 に入力される ROS パルスに基づき、X デコーダで選択されたワード線を駆動するワードドライバの活性化期間 (ワード線の選択期間) が設定され、ライトサイクルにおいては、WOS パルスに基づき、ワードドライバの活性化期間 (ワード線の選択期間) が設定される。

30

【 0 0 5 7 】

なお、

パルス幅 t_{PR} は、リード時の最小必要ワードパルス幅、

パルス幅 t_{PW} は、ライト時の最小必要ワードパルス幅、

である。一般に、 $t_{PR} > t_{PW}$ である。

【 0 0 5 8 】

図 5 (C) は、図 2 のコントロール回路 1 0 2 と X 選択回路 1 0 1 (ワードドライバ) の回路構成を説明するための図である。図 5 (C) を参照すると、パルス信号 ROS と WOS を入力する論理和回路 5 1 と、論理和回路 5 1 の出力とブロック選択アドレスを入力とする AND 回路 5 2 を備え、AND 回路 5 2 の出力がセルアレイブロック内基本パルス信号 BOS としてされ、セルアレイブロック内基本パルス信号 BOS が活性化されている期間、X アドレスのデコード結果により選択されたワード線がワードドライバ 5 3 で駆動される。

40

【 0 0 5 9 】

図 5 (B) に示すように、セルアレイブロック内基本パルス信号 BOS のパルスの立ち上がりのタイミングの前、及び、立ち下がりのタイミングの後には、内部アドレスの変化のスキュー (内部 skew) に対して、所定のタイミングマージン (t_H 、 t_S) が確保されている。セルアレイブロック内基本パルス信号 BOS が活性化されている間 (HIGH レベルの間)、セルが選択されており、内部アドレスの変化は、セルアレイブロック内基

50

本パルス信号 BOS が非活性化期間に行われる。例えば、 X アドレスの変化の内部スキュー（アドレスレジスタから X デコーダに入力される X アドレスの変化のタイミングのスキュー）は、セルアレイブロック内基本パルス信号 BOS の立ち下がりから t_H 以降、セルアレイブロック内基本パルス信号 BOS の立ち上がるよりも t_S 以前の範囲とされる。

【0060】

本実施例では、クロックの周期を限界まで短縮可能としており、本発明の特徴の一つをなしている。以下、この特徴について、図6のタイミング図を参照して説明する。図6は、本発明の原理を説明するためのタイミング図である図1の詳細の一例を示すタイミング図である。

【0061】

クロック信号 CLK の立ち上がりエッジに基づきリード用パルス発生回路106から出力されるパルス信号 RPB が立ち下がり、このパルス信号 RPB に基づき、ワンショットパルス ROS が生成され、ワードドライバが活性化され、選択ワード線が $HIGH$ レベルとされる。ワード線の選択期間（パルス幅 t_{PR} ）は、ワンショットパルス ROS のパルス幅によって規定される。

【0062】

図6において、クロック信号 CLK の立ち上がりエッジから内部アドレス（ X アドレス、 Y アドレス、 $Block$ アドレス）の変化点までの遅延時間を t_{p1} とする。

【0063】

クロック信号 CLK の立ち上がりエッジから、セルアレイブロック内基本パルス信号 BOS の立ち上がり、したがってワード線の立ち上がりまでの遅延時間を t_{p3} とする。

【0064】

X 、 Y 、 $Block$ アドレスの信号波形のハッチング部は、内部アドレスの変化のスキュー（内部 $Skew$ ）を表している。すなわち、クロック信号 CLK の立ち上がりエッジから、内部アドレスの変化までの遅延には、アドレス信号波形のハッチング部の左端からハッチング部右端の範囲のスキュー（ $Skew$ ）が存在する。

【0065】

ワンショットパルス ROS （パルス幅 t_{PR} ）が立ち下がった後、すなわちワード線が立ち下がった後の t_{Skew} は、アドレスの変化の内部スキュー（アドレスのハッチング部）に対応しており、アドレス変化の内部スキューに対して所定のタイミングマージン（ t_H 、 t_S ）を確保したセルアレイブロック内基本パルス信号 BOS の LOW レベル期間（図5（B）参照）に対応している。

【0066】

次のライトサイクルにおいて、クロック信号 CLK の立ち上がりエッジに基づきライト用パルス発生回路107から、信号 RPB が生成され、ワンショットパルス WOS が生成され、選択ワード線が $HIGH$ レベルとされる。ワード線のパルス幅 t_{PW} は、ワンショットパルス WOS のパルス幅に規定される。ライトサイクルにおいて、クロック信号 CLK の立ち上がりエッジから、内部アドレスの変化点までの遅延時間を t_{p2} 、クロック信号 CLK の立ち上がりから、セルアレイブロック内基本パルス信号 BOS の立ち上がり、したがってワード線の立ち上がりまでの遅延時間を t_{p4} とする。

【0067】

図6において、ワンショットパルス WOS （パルス幅 t_{PW} ）が立ち下がった後、すなわちライトサイクルにおいて、ワード線が立ち下がった後の t_R は、ビット線のプリチャージ期間である。

【0068】

図6において、クロック信号 CLK の立ち上がりエッジから、遅延 t_{p1} で、内部アドレス（ X アドレス、 Y アドレス、 $Block$ アドレス）の変化（デコード処理結果）が得られ、クロック信号 CLK の立ち上がりエッジから、遅延 t_{p3} 後に、 t_{PR} 期間の間、ワード線が選択され、ワード線が非選択とされた後（ LOW レベルに立ち下げられた後）、センスアンプが活性化される動作が、リードサイクル（ $Read\ Cycle$ ）である。

10

20

30

40

50

【 0 0 6 9 】

このリードサイクルにおいて、セルデータの読み出しのためにワード線がH I G Hレベルとされている期間 (t_{PR}) と時間的に重なって、次サイクルのクロック信号C L Kが立ち上がっており、該クロック信号の立ち上がり遷移から遅延 t_{p2} で、ライトアドレスのデコード結果による内部アドレスの変化が生じている。すなわち、ビット線に読み出された選択セルのデータをセンスアンプで増幅して読み出すセンス期間と、ライトアドレスのデコード期間とは重なっている。かかる構成は、本発明の特徴の1つをなしている。

【 0 0 7 0 】

ライトサイクルのクロック信号の立ち上がりエッジから遅延 t_{p4} で、ワード線が選択され、ワード線が選択されている期間 (t_{PW}) 内に、ライトアンプからの選択セルへの書き込みが行われる。

10

【 0 0 7 1 】

つづいて、ワード線が非選択され、データ書き込み後のプリチャージが行われる。ビット線と電源間に接続されたスイッチを含むプリチャージ回路 (及び、ビット線対間に接続されるイコライザ回路) が活性化され、ビット線のプリチャージされる。

【 0 0 7 2 】

図6に示す例では、ライトサイクルにおけるプリチャージ期間 t_R と、次のサイクルをなすリードサイクルの開始時点とは時間的に重なっており、ライトサイクルにおけるプリチャージ動作と、リードアドレスのデコード動作とは時間的に重なって行われる。かかる構成は、本発明の特徴の1つをなしている。

20

【 0 0 7 3 】

すなわち、

(T 1) あるリードサイクルにおけるアドレスのデコードと、該リードサイクルにおける前のライトサイクルのビット線のプリチャージ、

(T 2) 該リードサイクルにおけるワード線の選択、

(T 3) 該リードサイクルにおけるセンスアンプの活性化期間と、次のライトサイクルのアドレスのデコード、

(T 4) 該ライトサイクルにおけるワード線の選択とライトアンプ活性化によるセルへの書き込み、

(T 5) 該ライトサイクルにおけるビット線のプリチャージと次のリードサイクルのアドレスのデコード、

30

(T 6) 次のリードサイクルにおけるワード線の選択と、

...

という具合に、少なくとも、リードサイクルの終端処理とライトサイクルの最先処理とが、時間的に重なって行われる。なお、T 2、T 3 ...等の区間は、クロック信号C L Kの立ち上がりエッジとリードコマンドとに基づき生成される、ワンショットパルス信号等によって、その期間 (時間) が規定される非同期回路の動作の期間を表しており、T 2、T 3、...等は、クロックをトリガとして規定されるものではない。すなわち、本発明は、クロック同期型のパイプライン制御とは異なる。これについては後に詳細に説明する。

【 0 0 7 4 】

図6から、次式 (1) が成り立つことがわかる。

リードサイクル + ライトサイクル = $t_{PR} + t_{SKEW} + t_{PW} + t_R$... (1)

40

【 0 0 7 5 】

(A) $t_{PR} + t_{SKEW} = t_{PW} + t_R$ のとき、 $t_{p1} = t_{p2}$ 、 $t_{p3} = t_{p4}$ となり、最速であり、リードとライトが同一タイミングとなる。

【 0 0 7 6 】

(B) $t_{PR} + t_{SKEW} > t_{PW} + t_R$ のとき、クロック信号の立ち上がりから、ライトアドレスの変化点までの遅延 t_{p2} と、クロック信号の立ち上がりからワード線の活性化までの遅延 t_{p4} のパスにおいて、 $\{ (t_{PR} + t_{SKEW}) - (t_{PW} + t_R) \} / 2$ だけ、遅らせる。

50

【 0 0 7 7 】

(C) $t_{PR} + t_{SKEW} < t_{PW} + t_R$ のとき、クロック信号の立ち上がりから、リードアドレスの変化点までの遅延 t_{p1} と、クロック信号の立ち上がりからワード線の活性化までの遅延 t_{p3} のパスにおいて、 $\{ (t_{PW} + t_R) - (t_{PR} + t_{SKEW}) \} / 2$ だけ、遅らせる。

【 0 0 7 8 】

クロック C L K の遷移からリード、ライト用の内部アドレスの変化点までの遅延 t_{p1} 、 t_{p2} をさらに遅らせるには、例えば、図 2 のアドレスレジスタ 1 0 4 に入力されるリード用クロック R C とライト用クロック W C のタイミングを変える構成とすればよい。

【 0 0 7 9 】

クロック C L K の遷移からパルス R O S、W O S の立ち上がりまでの遅延時間 t_{p3} 、 t_{p4} を遅らせるには、例えば、図 2 のリード用パルス発生回路 1 0 6、ライト用パルス発生回路 1 0 7 で、リード制御用パルス R P B、ライト制御用パルス W P B のタイミングを遅らせる構成とすればよい。

【 0 0 8 0 】

したがって、ライトサイクルにおける遅延 t_{p2} と t_{p4} のパスを遅らせるには、アドレスレジスタ 1 0 4 に入力されるライト用クロック W C のタイミングを遅らせ、ライト用パルス発生回路 1 0 7 で W P B のタイミングを遅らせることで行われる。

【 0 0 8 1 】

リードサイクルにおける遅延 t_{p1} と t_{p3} のパスを遅らせるには、アドレスレジスタ 1 0 4 に入力されるリードクロック R C のタイミングを遅らせ、リード用パルス発生回路 1 0 6 で R P B のタイミングを遅らせることで行われる。

【 0 0 8 2 】

図 7 (A) は、アドレスレジスタ 1 0 4 の構成を示す図であり、リード用クロック R C と、ライト用クロック W C をそれぞれ用いて、図 6 の遅延 t_{p1} と t_{p2} をさらに遅らせるための構成を示す図である。図 7 (B) は、図 7 (A) における、クロック信号 C L K、リード用クロック R C、ライト用クロック W C のタイミングを示す図である。

【 0 0 8 3 】

第 1 のラッチ回路 2 0 1 は、クロック信号 C L K の立ち上がりエッジでアドレス信号 A d d をラッチする。第 1 のラッチ回路 2 0 1 の出力は、リード用クロック R C でオン・オフ制御されるパストランジスタ 2 0 6 と、インバータ 2 0 4 を介して出力される。また第 1 のラッチ回路 2 0 1 の出力は第 2 のラッチ回路 2 0 2 に入力され、第 2 のラッチ回路 2 0 2 の出力は、第 3 のラッチ回路 2 0 3 に入力される。第 2 のラッチ回路 2 0 2 は、ライト用クロック W C の立ち下がりエッジで、第 1 のラッチ回路 2 0 1 の出力をラッチし、第 3 のラッチ回路 2 0 3 は、ライト用クロック W C の立ち上がりエッジで、第 2 のラッチ回路 2 0 2 の出力をラッチする。第 3 のラッチ回路 2 0 3 の出力は、ライト用クロック W C でオン・オフ制御されるパストランジスタ 2 0 7 と、インバータ 2 0 4 を介して出力される。インバータ 2 0 4 とインバータ 2 0 5 はフリップフロップを構成し、パストランジスタ 2 0 6、2 0 7 がオフのとき、直前の出力の論理値を記憶保持する。なお、第 2、第 3 のラッチ回路 2 0 2、2 0 3 は、レイトライト (L a t e W r i t e : セルへのデータの書き込みが、クロック信号 C L K の立ち上がりエッジから遅れて行われる) 製品でない場合には、不要である。

【 0 0 8 4 】

図 7 (B) に示すように、アドレスクロック発生回路 1 0 5 において、クロック信号 C L K の立ち上がりエッジからのリードクロック R C の立ち上がりのタイミングまでの遅延 t_{pd1} を、必要な時間遅らせることで、図 7 (A) のアドレスレジスタ 1 0 4 において、クロック信号 C L K の立ち上がりエッジから、インバータ 2 0 4 からのアドレス信号の出力までの遅延時間が増大し、このため、リードアドレス信号がアドレスデコーダに供給されるタイミングが遅れ、クロック C L K の立ち上がりエッジから内部アドレス (X、Y、ブロック選択アドレス) の変化までの遅延 (図 6 の t_{p1}) も遅れる。またアドレスクロ

10

20

30

40

50

ック発生回路105において、クロック信号CLKの立ち上がりエッジからのライトクロックWCの立ち上がりのタイミングまでの遅延 t_{pd2} を、必要な時間遅らせることで、図7(A)のアドレスレジスタ104において、クロックCLKの立ち上がりエッジから、インバータ204からのアドレス信号の出力までの遅延時間は増大し、このため、リードアドレス信号がアドレスデコーダに供給されるタイミングが遅れ、クロックCLKの立ち上がりエッジから内部アドレス信号(X、Y、ブロック選択アドレス)の変化までの遅延(図6の t_{p2})も遅れる。なお、アドレス用クロック発生回路105において、クロック信号CLKの立ち下がりエッジは、タイミングの制御には用いられていない。

【0085】

次に、図8及び図9を参照して、本発明の一実施例におけるアレイブロックのリード動作を説明する。図9には、図2に示したセルアレイブロックのビット線系の回路構成が示されている。

【0086】

図9を参照すると、セル110は、ビット線対B、/Bとワード線WLに接続されている。ビット線対B、/B間には、ゲートにY選択信号が接続されたPMOSトランジスタ117のソースとドレインが接続され、PMOSトランジスタ117のソース端子及びドレイン端子と電源VDD間には、ゲートにY選択信号が接続された2つのPMOSトランジスタ113、116が接続されており、トランジスタ111、112、117は、Y選択信号がLOWレベルのとき(非選択)、ビット線対B、/Bを、プリチャージ及びイコライズする。さらにビット線対BとRD(リードデータ)線との間に接続されたYスイッチ113と、ビット線対BとWD(ワードデータ)線との間に接続されたYスイッチ114と、ビット線/Bと相補のRD線との間に接続されたYスイッチ116と、ビット線/Bと相補のWD線との間に接続されたYスイッチ115とを備え、センスアンプ(SA)119の出力は、リードバス(Read Bus)に接続され、ライトアンプ118の入力はライトバス(Write Bus)に接続され、リードバスは入力レジスタ(図2の109)に接続され、ライトバスは出力レジスタ(図2の108)の入力端子に接続されている。タイミングパルス幅コントロール回路120は、図2のコントロール回路102に含まれ、リード及びライト用のワード線活性化用のワンショットのパルス信号ROSとWOS(RPB、WPB信号からそれぞれ生成されるワンショットパルス)を入力し、パルス信号ROSに基づき、例えばパルス信号ROSがLOWレベルに立ち下がったのちに所定のパルス幅のセンスイネーブル信号SEを出力する制御を行い、また該パルスWOSに基づき、ライトアンプ(WA)活性化信号のタイミング及びパルス幅を調整して出力する。センスアンプ119は、入力されるセンスイネーブル信号SEによって活性化され、ライトアンプ118は、入力されるライトアンプ(WA)活性化信号によって活性化される。

【0087】

図8を参照すると、ワード線WL、Y選択信号YがHIGHレベルとされ、セルの選択が行われ、選択されたメモリセルの保持データに応じた差電圧 V がビット線対B、/B間に現れる。

【0088】

つづいて、ワード線(WL)、YスイッチがLOWレベルに立ち下がり、センスイネーブル信号SEが活性化される(HIGHレベルに立ち上がる)。

【0089】

このとき、次のライトサイクルのアドレス(X、Y、BLOCK選択アドレス)の変化が生じる。図8において、X、Y、BLOCK選択アドレスの、矢印で範囲が規定されるスキュー(Skew)は、アドレスの変化点のスキュー(アドレスレジスタ104からセルアレイブロックのX、Y、BLOCK選択アドレスデコーダに供給される内部アドレスの変化点のスキュー)である。

【0090】

図8に示すように、本実施例においては、センスイネーブル信号SEのLOWレベルからHIGHレベルへの立ち上がりと、X、Y、BLOCK選択アドレスの変化とは、同時に

10

20

30

40

50

行われる。

【0091】

図8において、センスイネーブル信号SEがHIGHレベルのセンス期間の t_{RR} は、ビット線対B、 \bar{B} のリカバリ期間であり、 V の差電圧のビット線対を同一電圧(V_{CC})とする。センス期間に、センスアンプ119(図9参照)からリードバスに読み出しデータが出力される。

【0092】

また、リード動作時のビット線対の振幅(差電圧) V は、センスアンプ119(参照)が、正常に動作できる最小の電圧に設定される。例えば、100mV程度あるいはそれ以下とされる。

10

【0093】

ビット線対が差電圧が0Vにリカバリするまでの時間 t_{RR} よりも速く、つぎのライトサイクルのアドレスのスキューが終われば、 t_{RR} よりも前に、次のワード線の選択を開始させる。これは、リードサイクルの次のサイクルがライトサイクルであるためビット線対のリカバリが不十分でも、書き込み動作が可能であるためである。なお、リードサイクルが連続する場合、ビット線対の差電圧0Vにリカバリしていないで、次のリードサイクルに移行すると、ビット線対の差電圧がオフセットとして存在したまま読み出し動作が行われてしまう。このため、リードサイクルが連続する場合には、リカバリ動作が行われる。

【0094】

次に、本実施例のセルアレイブロック10(図2参照)におけるライト動作について説明する。図10は、本実施例のセルアレイブロックにおけるライト動作を説明するためのタイミング図である。図10において、WLとYは、ワード線とY選択信号(図9参照)であり、WAは、ライトアンプの活性化信号を表しており、アドレス、ライトバス(Write Bus)の信号波形の t_{SKEW} (ハッチング部)は、ライトアドレスの変化のスキューである。また、セル反転に必要なパルス幅が t_{pW} であり、ビット線対の差電圧が0Vまでリカバリする時間が t_R (プリチャージ期間)である。ライトサイクルの次のサイクルがリードサイクルであるため、プリチャージが必要である。通常、 $t_R > t_{SKEW}$ である。

20

【0095】

次に、図11のタイミング図を参照して、本発明の一実施例の変形例として、ライトサイクルを短縮する手法について説明する。

30

【0096】

図11において、

WLは、ワード線の波形、

Yは、Y選択信号(図9参照)の信号波形、

WAは、ライトアンプの活性化の状態を示すもので、ライトアンプに入力されるライトイネーブル信号の波形、

WDは、図9のライトデータ線対WDの電圧波形、

Write Busは、図2、図9のライトバスの信号、

SKEWXは、Xアドレスの変化のスキュー、

SKEWYは、Yアドレスの変化のスキュー、及び、

SKEW BLOCK選択は、ブロック選択アドレスの変化のスキュー、

である。

40

【0097】

アドレス信号におけるビット幅がおおいほど、デコーダの段数は深くなり、通常、X系のアドレスが最もビット幅が大きく、次にY系のアドレス、つづいてブロック系のアドレスの順となる。

【0098】

本実施例では、X系、Y系、ブロック系のアドレス間のスキューの差を利用して、ワード線WLよりも、Yアドレス、Yアドレスよりもライトアンプ(WA)の活性化を、前倒し

50

することで、ライトサイクルを短縮化している。まず、ライトバス (Write Bus) のデータを入力とするライトアンプ (WA) を活性化し、活性化されたライトアンプ (WA) より相補のWDにデータが出力され、遅延時間 t_B を経て、Y選択信号がHIGHレベルとなり、相補のWDに接続するYスイッチ114、115がオンし、ビット線対B、/Bは、ライトアンプ (WA) からの書き込みデータで駆動される。なお、セルの反転は速いため、ビット線の電圧下がる時点に、ワード線WLを立ち上げる構成としてもよい。図11に示す例では、Yスイッチ114、115がオンしてから遅延時間 t_A を経た時点 (ビット線の電圧がある程度下がった時点)、ワード線WLが立ち上がり、セルが選択され、セル110への書き込み (セル反転) が行われる。

【0099】

ライトデータ線WD、ライトアンプWA、ライトバス (Write Bus) は、ライトサイクルのみで動作するため、前のリードサイクルの終端部とは、無関係となり、先行して、ライトデータ線WDの電圧を下げる。これにより、ビット線対B、/Bの立ち下がりが速くなる。

【0100】

上記したように、本実施例では、リードサイクルのセンス期間とライトサイクルのアドレスデコード期間とをオーバーラップさせる制御を行っているが、その動作原理は、パイプライン方式とは全く相違している。

【0101】

以下では、本実施例のリード/ライトオーバーラップ方式について、従来のパイプライン方式を比較例として説明する。

【0102】

通常のパイプライン方式の場合、図12に示すように、A3アドレスのデコード中に、前のサイクルのA2のリードデータをセンス出力する部分を並行処理するには、A3のクロックエッジをトリガとして、センスアンプを活性化する制御が行われる。

【0103】

これに対して、本実施例では、リードサイクルのA2のエッジをトリガとして、センスアンプ (SAイネーブル) を活性化している。

【0104】

図13は、センスアンプに供給するセンスイネーブル信号SEを生成する回路の一実施例の構成を示す図である。リード用パルス発生回路301 (図2の106に対応する) は、クロック信号を遅延させる偶数段の第1、第2のインバータ302、303よりなるインバータ列と、該インバータ列の出力を反転させる第3のインバータ304と、第2、第3のインバータ303、304の出力を入力とするAND回路305とを備え、クロック信号CLKの立ち上がりエッジからワンショットのリード用パルスRPBを生成する。ただし、図13において、リード用パルス発生回路301から出力されるリード用パルスRPBは、図3(B)に示されるリード用パルスRPBのように、クロック信号CLKの立ち下りエッジで決められるものではなく、クロック信号CLKの立ち上がりから、第1、第2のインバータ302、303の遅延時間分遅延して、立ち上がり、パルス幅が第3のインバータ304の遅延時間で規定されるパルスよりなる。なお、図13に示す例では、コマンド (R/Wコマンド) を、それぞれのセルアレイブロックのコントロール回路102 (図2参照) が入力してセンスイネーブル信号、ライトアンプイネーブル信号を生成する構成とされ、コントロール回路102内で、それぞれリード用パルスRPB、ライト用パルスWPBを生成する構成としてもよい。

【0105】

第1のレジスタ311は、リードコマンドRE (リードイネーブル) をクロック信号CLKの立ち上がりエッジでラッチし、第1のレジスタ311の出力とRPBを入力とするAND回路314が、SAイネーブル信号 (センスイネーブル信号SEと等価) を出力する。

【0106】

10

20

30

40

50

また、ライト用パルス発生回路 3 1 3 (図 2 の 1 0 7 に対応) は、リード用パルス発生回路 3 0 1 と同様とされ、クロック信号 C L K からワンショットのライト用パルス信号 W P B を生成する。第 2 のレジスタ 3 1 2 はライトコマンド W E (ライトイネーブル) をクロック信号 C L K の立ち上がりエッジでラッチし、第 2 のレジスタ 3 1 2 の出力と信号 W P B を入力とする A N D 回路 3 1 5 が、 W A 活性化信号を出力する。

【 0 1 0 7 】

図 1 4 は、比較例として、パイプライン方式にしたがって、センスイネーブル信号 S E を生成する回路の構成を示す図である。図 1 4 を参照すると、リード用パルス発生回路 3 0 1 の出力と、2 段縦続接続されたレジスタ 3 1 1、3 1 6 を備え、A N D 回路 3 1 4 による、レジスタ 3 1 6 の出力とリード用パルス発生回路 3 0 1 の出力の論理積 (A N D) 出力が、S A イネーブル信号 (センスイネーブル信号 S E と等価) とされる。上記の通り、本発明は、パイプライン方式とは異なったタイミング制御を行っている。

10

【 0 1 0 8 】

次に、本発明の別の実施例について説明する。

【 0 1 0 9 】

本発明は、パイプライン方式でリード/ライトをオーバーラップさせる制御方式を採用していない。このため、1 つのクロックエッジでアドレスやコマンドを取り込んで、ステータが決まれば、内部では、リード/ライトを独立して、動作させることが可能である。そこで、1 クロックサイクルで、リードとライトをオーバーラップさせて実行させることも可能である。図 1 5 は、本発明の別の実施例の動作を説明するためのタイミング図である。

20

【 0 1 1 0 】

図 1 5 に示すように、クロック信号 C L K の立ち上がりと立ち下りの両方をトリガーとして用いており、アドレスレジスタ 1 0 4 及びアドレス用クロック回路 1 0 5 (図 2 参照) では、アドレス信号、リード/ライト (R E / W E) コマンドを取りこむ。図 1 5 において、リードコマンド R E、及び、アドレス A 1 と A 3 は、クロック信号 C L K の立ち上がりエッジで取り込まれ、ライトコマンド W、及びアドレス A 2 は、クロック信号 C L K の立ち下りエッジで取り込まれている。

【 0 1 1 1 】

一方、セルアレイブロック 1 0 内部でのデコード、センスアンプ S A の活性化、ライトアンプ W A の活性化は、クロック信号 C L K の立ち上がりエッジだけを用いて生成している。

30

【 0 1 1 2 】

図 1 6 (A) は、図 1 5 に示したタイミング動作を行う回路構成の一例を示す図である。この回路は、コントロール回路 1 0 2 (図 2 参照) において、1 つのクロックエッジからセンスアンプイネーブル信号とライトアンプイネーブル信号を生成する回路であり、図 1 6 (B) に示すように、クロック信号 C L K の L O W から H I G H への立ち上がりエッジが、リード用、クロック信号 C L K の H I G H から L O W への立ち下りエッジがライト用と決められているものとする。

【 0 1 1 3 】

図 1 6 (A) を参照すると、クロック信号を入力する第 1 のパルス発生回路 4 1 4 と、リードコマンド R E をクロック信号 C L K の立ち上がりでラッチする第 1 のレジスタ 4 1 1 と、ライトコマンド W E をクロック信号 C L K の立ち上がりでラッチする第 2 のレジスタ 4 1 2 と、クロック信号 C L K を遅延させる遅延回路 4 1 5 と、遅延回路 4 1 5 の出力信号を入力してパルス信号を発生する第 2 のパルス発生回路 4 1 3 と、第 1 のパルス発生回路 4 1 4 と第 1 のレジスタ 4 1 1 の出力を入力とする第 1 の A N D 回路 4 1 6 と、第 2 のパルス発生回路 4 1 3 と第 2 のレジスタ 4 1 2 の出力を入力とする第 2 の A N D 回路 4 1 7 と、を備え、第 1 の A N D 回路 4 1 6 の出力からセンスイネーブル信号が出力され、第 2 の A N D 回路 4 1 7 からライトアンプ (W A) 活性化信号が出力される。

40

【 0 1 1 4 】

図 1 6 (C) に示すように、クロック信号 C L K の周期 t c y c は一定であっても、デュ

50

ーティエラー等により、HIGHレベル期間、LOWレベル期間はずれやすい。この実施例では、クロックの立ち上がりエッジのみを用いて動作タイミングを決めているため、タイミングの精度、安定性が向上し、クロックの立ち上がりエッジと立下りエッジを用いてタイミングを決める構成とくらべて性能を向上させることができる。

【0115】

次に、リード/ライトサイクルの交互動作の内部制御パルス発生について説明する。図17は、リード、ライト用の制御信号を交互に発生する回路の構成の一例を示す図であり、アドレス用クロック発生回路105等に用いられる。図17を参照すると、この回路は、リードコマンドREを入力する2入力AND回路515と、2入力AND回路515の出力を入力しクロック信号CLKの立ち上がりエッジでラッチする第1のレジスタ511と、第1のレジスタ511の出力を反転する第1のインバータ513を備え、第1のインバータ513の出力は、2入力AND回路515に帰還入力され、第1のインバータ513の出力を入力する第2のインバータ516を備えている。さらに、ライトコマンドWEを入力する3入力AND回路517と、3入力AND回路517の出力を入力しクロック信号CLKの立ち上がりエッジでラッチする第2のレジスタ512と、第2のレジスタ512の出力を反転する第3のインバータ514とを備え、第2、3のインバータ516、514の出力は、3入力AND回路517に入力され、第1、及び第2のレジスタ511、512の出力端子からリード(Read)活性信号、及びライト(Write)活性信号がそれぞれ出力される。なお、第1、及び第2のレジスタ511、512から出力されるリード活性信号、及びライト活性信号は、例えば、図13のレジスタ311及び312からの出力信号と同様に、対応する2つのAND回路(図13の314、315参照)にそれぞれ入力され、リード制御用パルス、ライト制御用パルスとの論理積出力を、センスアンプ(SA)イネーブル信号、ライトアンプ(WA)活性化信号として出力するようにしてもよい。

【0116】

リード活性化時には、AND回路515において、前サイクルの値の反転データa(第1のインバータ513の出力)と、リードコマンドREとの論理積で判断され、AND回路515の出力は、クロック信号CLKの立ち上がりエッジで第1のレジスタ511に取り込まれ、これにより1クロックサイクルおきにリードが活性化される。

【0117】

ライト活性化時には、AND回路517において、前サイクルの反転データb(第3のインバータ514の出力)と、ライトコマンドWEとの論理積と、前サイクルのリード活性化状態a'(インバータ516の出力)の論理積で判断され、AND回路517の出力は、クロック信号CLKの立ち上がりエッジで第2のレジスタ512に取り込まれ、1サイクルおきにライトアクティブとされる。ライトの判定には、リード活性化状態a'に基づいているため、リード/ライトは1サイクルずれて交互に活性化されることになる。第1、第2のレジスタ511、512の出力信号を用いて、リード活性化、ライトの活性化が行われる。

【0118】

本発明は、リードサイクルとライトサイクルとが交互に行われるQDR方式のSRAM等に適用して好適とされるが、リードサイクルが連続して行われる場合に最適化されたタイミング制御又はライトサイクルが連続して行われる場合に最適化されたタイミング制御と、リードサイクルとライトサイクルとが交互に行われる場合に最適化されたタイミング制御とを切り替え手段を具備することにより、リードサイクル(又はライトサイクル)が連続して行われるような、DDR方式のSRAMに適用することが可能である。また本発明は、I/Oセパレート型のQDR/DDR方式のSRAM等に適用して好適とされるが、そのようなSRAM等に限定されるものではないことは勿論である。また、本発明に係るタイミング制御方法は、半導体メモリデバイス以外にも、メモリを内蔵した論理集積回路や、クロックエッジにより生成されるワンショットのパルス信号により、動作タイミングの制御が行われる任意の回路にも同様に適用できる。

【 0 1 1 9 】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、本願特許請求の範囲の請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【 0 1 2 0 】

【発明の効果】

以上説明したように、本発明によれば、リードサイクルのセンス動作をライト動作のデコード期間とを互いに重ならせるタイミング制御を行う構成としたことにより、動作周波数をさらに向上させることができる。

【 0 1 2 1 】

さらに、本発明によれば、アドレスのビット幅によるデコード時間を考慮して、ライトアンプ、Yスイッチ、ワード線の活性化を制御する構成としたことにより、ライトサイクルを高速化することができる。

【図面の簡単な説明】

【図 1】本発明の一実施例の動作原理を説明するための図である。

【図 2】本発明の一実施例の半導体記憶装置の構成の一例を示す図である。

【図 3】(A)は図 1 に示したパルス発生回路の構成の一例を示す図であり、(B)はリードライト交互動作におけるパルス波形を模式的に示す図であり、(C)はリードサイクル連続時のパルス波形を模式的に示す図である。

【図 4】リードサイクル連続時のパルス波形を鈍りに対応するための構成を示す図である。

【図 5】本発明の一実施例におけるセルアレイブロック内部での基本パルス発生を説明するための図であり、(A)、(B)はタイミング図であり、(C)は、ワード線の選択回路を説明する図である。

【図 6】本発明の一実施例におけるタイミング動作を説明するためのタイミング図である。

【図 7】(A)は本発明の一実施例において t_{p1} 、 t_{p2} を遅らせる回路を示す図であり、(B)はタイミング動作を説明するためのタイミング図である。

【図 8】本発明の一実施例におけるセルアレイブロック内部でのリード動作を説明するためのタイミング図である。

【図 9】本発明の一実施例におけるセルアレイブロック内部のビット線系の回路を示す図である。

【図 10】本発明の一実施例におけるセルアレイブロック内部でのライト動作を説明するためのタイミング図である。

【図 11】本発明の一実施例におけるライト動作を短縮するための手法を説明するためのタイミング図である。

【図 12】本発明の比較例としてパイプラインアーキテクチャの動作を説明するためのタイミング図である。

【図 13】本発明のリード、ライト活性化を制御する信号を生成する回路を示す図である。

【図 14】比較例としてパイプライン方式のリード、ライト活性化を制御する信号を生成する回路を示す図である。

【図 15】本発明の他の実施例の動作を説明するためのタイミング図である。

【図 16】(A)は、本発明の他の実施例を示す図であり、(B)、(C)はクロック波形を示す図である。

【図 17】リード/ライト交互動作を実現する内部制御パルス信号を発生する回路を示す図である。

【符号の説明】

10 セルアレイブロック

41 奇数サイクル用パルス発生回路

10

20

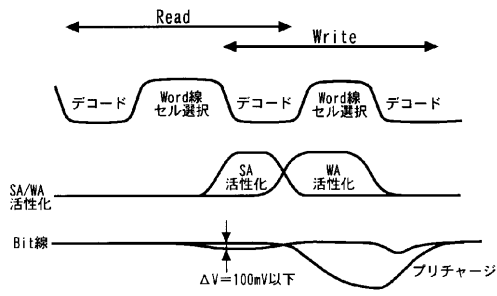
30

40

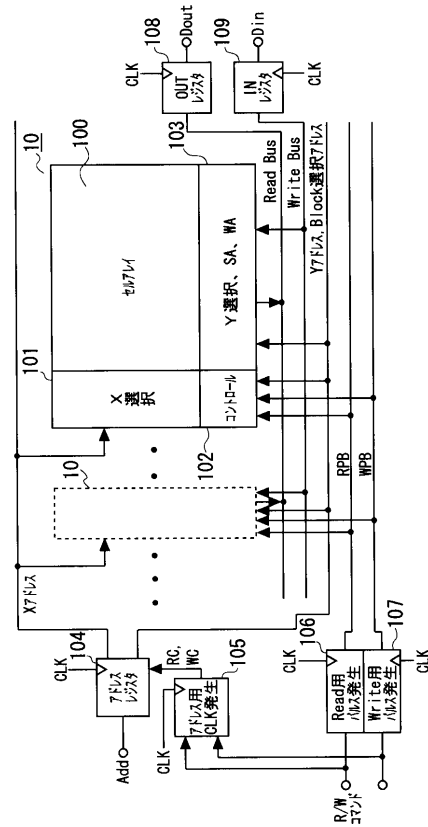
50

4 2	偶数サイクル用パルス発生回路	
4 3、4 4	レシーバ	
4 5	OR回路	
5 1	OR回路	
5 2	AND回路	
5 3	ワード線駆動回路(ドライバ)	
1 0 0	メモリセルアレイ	
1 0 1	X選択回路	
1 0 2	コントロール回路	
1 0 3	Y選択回路・センスアンプ・ライトアンプ	10
1 0 4	アドレスレジスタ	
1 0 5	アドレス用クロック発生回路	
1 0 6	リード用パルス発生回路	
1 0 7	ライト用パルス発生回路	
1 0 8	出力レジスタ	
1 0 9	入力レジスタ	
1 1 0	セル	
1 1 1、1 1 2、1 1 7	PMOSトランジスタ	
1 1 3、1 1 6	PMOSトランジスタ(Yスイッチ)	
1 1 4、1 1 5	NMOSトランジスタ(Yスイッチ)	20
1 1 8	ライトアンプ	
1 1 9	センスアンプ	
1 2 0	タイミングパルス幅コントロール回路	
2 0 1、2 0 2、2 0 3	レジスタ	
2 0 4、2 0 5	インバータ	
2 0 6、2 0 7	パストランジスタ	
3 0 2、3 0 3、3 0 4	インバータ	
3 0 1、3 1 3	パルス発生回路	
3 1 1、3 1 2、3 1 6	レジスタ	
3 1 4	AND回路	30
3 1 5	AND回路	
4 1 0	インバータ	
4 1 1、4 1 2	レジスタ	
4 1 3、4 1 4	パルス発生回路	
4 1 6、4 1 7	AND回路	
5 1 1、5 1 2	レジスタ	
5 1 3、5 1 4	インバータ	
5 1 5	AND回路	
5 1 6	インバータ	
5 1 7	AND回路	40
NM 1、NM 2	NMOSトランジスタ	
PM 1、PM 2	PMOSトランジスタ	

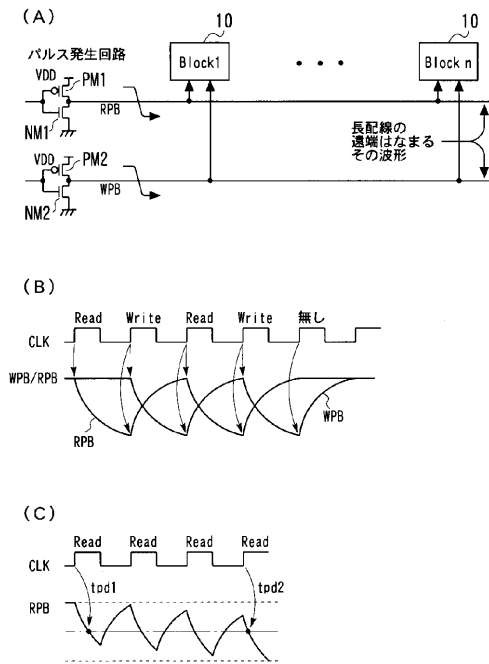
【図1】



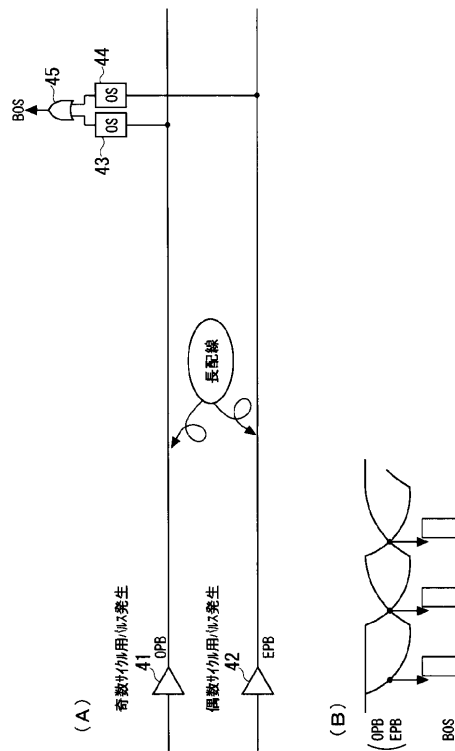
【図2】



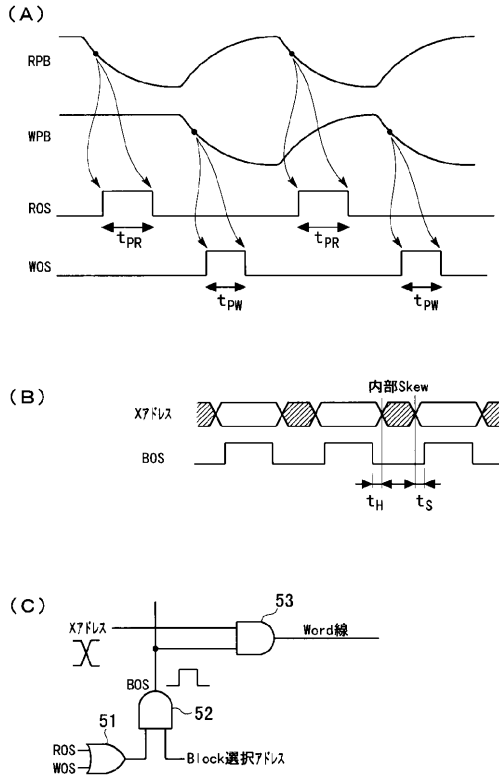
【図3】



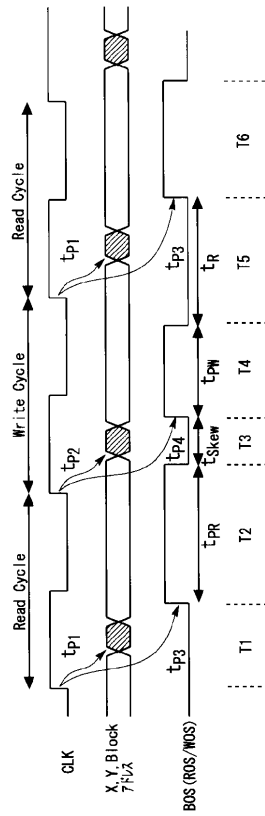
【図4】



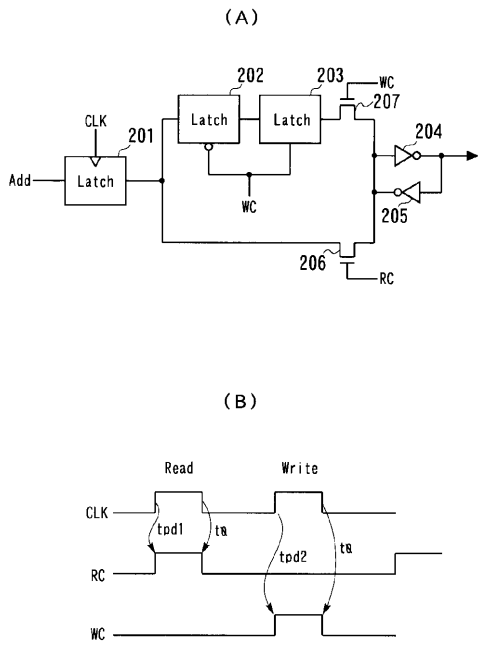
【図5】



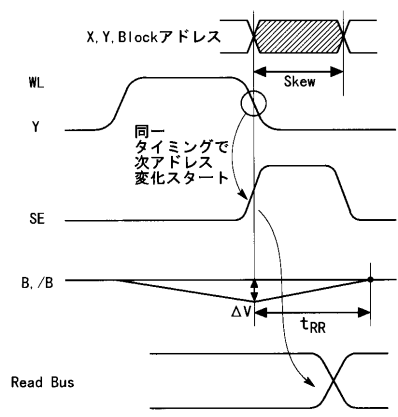
【図6】



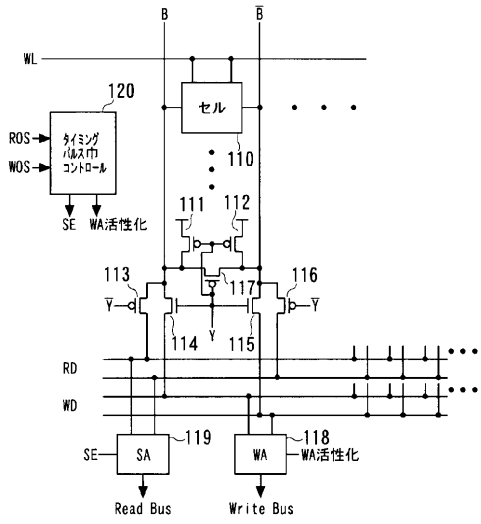
【図7】



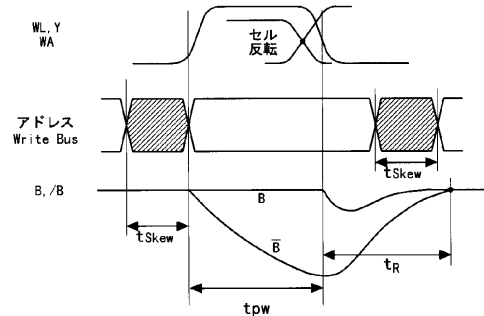
【図8】



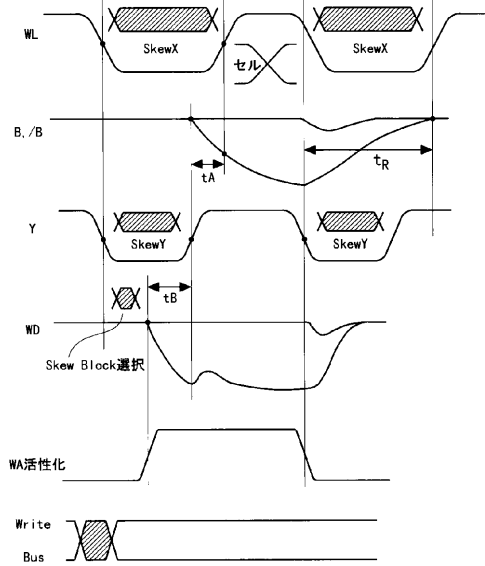
【図9】



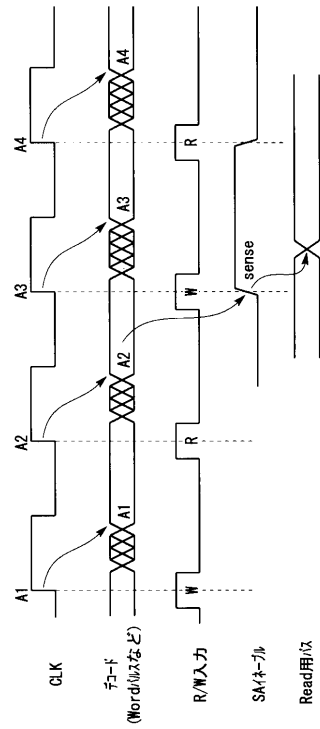
【図10】



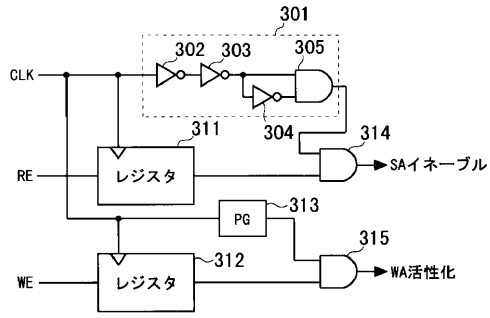
【図11】



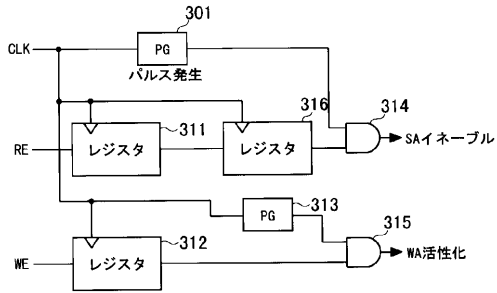
【図12】



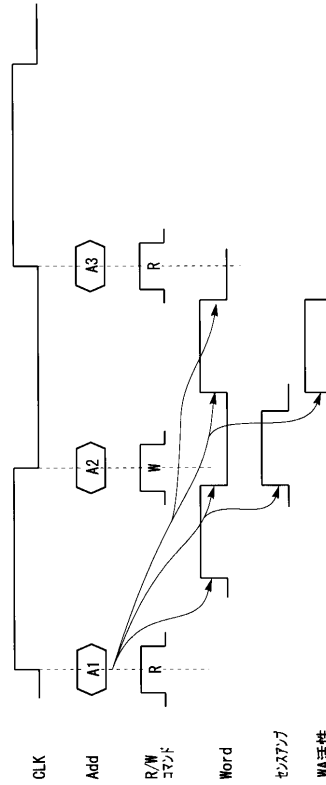
【図13】



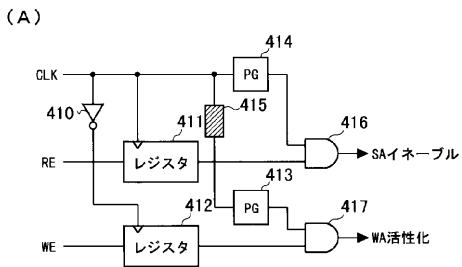
【図14】



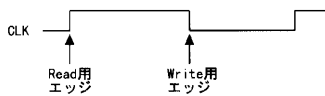
【図15】



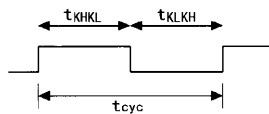
【図16】



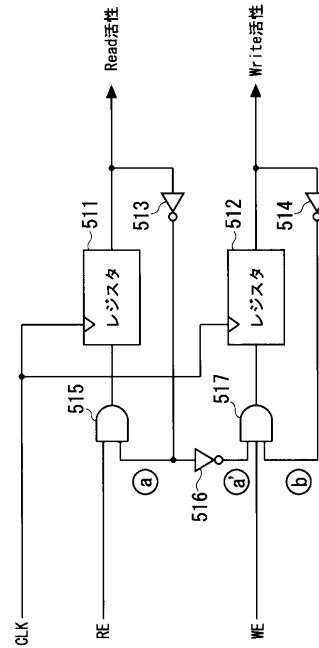
(B)



(C)



【図17】



フロントページの続き

(72)発明者 加藤 義之
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 仲間 晃

(56)参考文献 特開2000-123576(JP,A)
特開2000-173270(JP,A)
特開2002-216479(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/413
G11C 11/417