



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월02일
(11) 등록번호 10-1132796
(24) 등록일자 2012년03월27일

(51) 국제특허분류(Int. Cl.)
G11C 11/406 (2006.01) H03K 3/02 (2006.01)
G01K 7/00 (2006.01) G01K 7/16 (2006.01)
(21) 출원번호 10-2010-0017336
(22) 출원일자 2010년02월25일
심사청구일자 2010년02월25일
(65) 공개번호 10-2011-0097476
(43) 공개일자 2011년08월31일
(56) 선행기술조사문헌
KR100854463 B1
KR1020080033588 A

(73) 특허권자
주식회사 하이닉스반도체
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이성섭
경기도 이천시 부발읍 경충대로2041번길 54, 현대
임대사원아파트 106동 102호
김생환
경기 수원시 영통구 영통동 965-2 신원아파트 64
3동 604호
(74) 대리인
특허법인 아주양현

전체 청구항 수 : 총 24 항

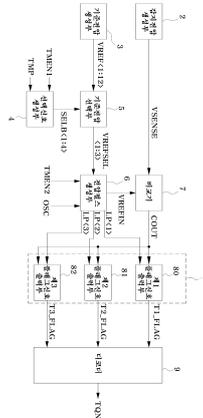
심사관 : 김종기

(54) 발명의 명칭 온도센서

(57) 요약

온도센서는 테스트모드에서 오실레이션신호에 응답하여 카운팅되는 제1 및 제2 카운팅신호를 생성하는 카운팅신호생성부와, 상기 제1 및 제2 카운팅신호를 디코딩하여 제1 및 제2 테스트선택신호와 종료신호를 생성하는 카운팅신호디코더와, 상기 제1 및 제2 테스트선택신호에 응답하여 제1 선택기준전압 또는 제2 선택기준전압을 입력기준전압으로 출력하는 입력기준전압선택부와, 상기 제1 및 제2 테스트선택신호에 응답하여 제1 및 제2 래치펄스를 생성하는 래치펄스생성부를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

테스트모드에서 오실레이션신호에 응답하여 카운팅되는 제1 및 제2 카운팅신호를 생성하는 카운팅신호생성부;

상기 제1 및 제2 카운팅신호를 디코딩하여 제1 및 제2 테스트선택신호와 종료신호를 생성하는 카운팅신호디코더;

상기 제1 및 제2 테스트선택신호에 응답하여, 제1 선택기준전압 또는 제2 선택기준전압을 입력기준전압으로 출력하는 입력기준전압선택부; 및

상기 제1 및 제2 테스트선택신호에 응답하여, 제1 및 제2 래치펄스를 생성하는 래치펄스생성부를 포함하되, 상기 카운팅신호생성부는 상기 종료신호에 응답하여 상기 제1 및 제2 카운팅신호를 리셋시키기 위한 리셋신호를 생성하는 온도센서.

청구항 2

제 1 항에 있어서, 상기 카운팅신호생성부는

상기 오실레이션신호에 응답하여 카운팅되는 상기 제1 카운팅신호를 생성하는 제1 카운터;

상기 제1 카운팅신호에 응답하여 카운팅되는 제2 카운팅신호를 생성하는 제2 카운터; 및

상기 테스트모드에서 인에이블되는 테스트모드신호 및 상기 종료신호를 입력받아 상기 제1 및 제2 카운터를 리셋시키는 상기 리셋신호를 생성하는 논리소자를 포함하는 온도센서.

청구항 3

제 2 항에 있어서, 상기 리셋신호는 상기 테스트모드신호가 디스에이블되거나 상기 종료신호가 인에이블되는 경우 인에이블되는 온도센서.

청구항 4

제 1 항에 있어서, 상기 입력기준전압선택부는

상기 제1 테스트선택신호에 응답하여 턴온되어, 제1 선택기준전압을 입력기준전압으로 출력하는 제1 스위치소자; 및

상기 제2 테스트선택신호에 응답하여 턴온되어, 제2 선택기준전압을 입력기준전압으로 출력하는 제2 스위치소자를 포함하는 온도센서.

청구항 5

제 1 항에 있어서, 상기 래치펄스생성부는

상기 제1 테스트선택신호에 응답하여 상기 제1 래치펄스를 생성하는 제1 래치펄스생성부; 및

상기 제2 테스트선택신호에 응답하여 상기 제2 래치펄스를 생성하는 제2 래치펄스생성부를 포함하는 온도센서.

청구항 6

제 5 항에 있어서, 상기 제1 래치펄스생성부는 상기 제1 테스트선택신호의 디스에이블시점에서 소정 펄스폭을

갖는 상기 제1 래치펄스를 생성하는 온도센서.

청구항 7

제 6 항에 있어서, 상기 제1 래치펄스생성부는

상기 제1 테스트선택신호를 입력받아 반전시키고, 소정 구간 지연시키는 반전지연부; 및

상기 제1 테스트선택신호 및 상기 반전지연부의 출력신호를 입력받아 논리연산을 수행하여 상기 제1 래치펄스를 생성하는 논리소자를 포함하는 온도센서.

청구항 8

제 5 항에 있어서, 상기 제2 래치펄스생성부는 상기 제2 테스트선택신호의 디스에이블시점에서 소정 펄스폭을 갖는 상기 제2 래치펄스를 생성하는 온도센서.

청구항 9

제 8 항에 있어서, 상기 제2 래치펄스생성부는

상기 제2 테스트선택신호를 입력받아 반전시키고, 소정 구간 지연시키는 반전지연부; 및

상기 제2 테스트선택신호 및 상기 반전지연부의 출력신호를 입력받아 논리연산을 수행하여 상기 제2 래치펄스를 생성하는 논리소자를 포함하는 온도센서.

청구항 10

제 1 항에 있어서,

반도체 집적회로의 내부온도를 감지하여 감지전압을 생성하는 감지전압생성부;

상기 감지전압과 상기 입력기준전압을 비교하여 비교출력신호를 생성하는 비교기;

상기 제1 및 제2 래치펄스에 응답하여 상기 비교출력신호를 래치하여 제1 및 제2 플래그신호를 생성하는 플래그신호생성부; 및

상기 제1 및 제2 플래그신호를 디코딩하여 온도코드를 생성하는 디코더를 포함하는 온도센서.

청구항 11

제 10 항에 있어서, 상기 비교기는 상기 감지전압이 상기 입력기준전압보다 낮은 레벨인 경우 인에이블되는 상기 비교출력신호를 생성하는 온도센서.

청구항 12

제 10 항에 있어서, 상기 플래그신호생성부는

상기 제1 래치펄스에 응답하여 상기 비교출력신호를 래치하여 상기 제1 플래그신호로 출력하는 제1 플래그신호출력부; 및

상기 제2 래치펄스에 응답하여 상기 비교출력신호를 래치하여 상기 제2 플래그신호로 출력하는 제2 플래그신호출력부를 포함하는 온도센서.

청구항 13

제 12 항에 있어서, 상기 제1 플래그신호출력부는
 상기 제1 래치펄스에 응답하여 상기 비교출력신호를 버퍼링하는 버퍼; 및
 상기 버퍼의 출력신호를 래치하는 래치를 포함하는 온도센서.

청구항 14

삭제

청구항 15

반도체 집적회로의 내부온도를 감지하여 감지전압을 생성하는 감지전압생성부;
 제1 테스트모드에 진입하지 않는 경우 퓨즈커팅 여부에 따라 선택적으로 인에이블되는 제1 및 제2 선택신호를 생성하고, 상기 제1 테스트모드에 진입하는 경우 테스트모드펄스의 펄스 입력 수에 따라 선택적으로 인에이블되는 상기 제1 및 제2 선택신호를 생성하는 선택신호생성부;
 상기 선택신호에 응답하여 다수의 기준전압 중 제1 및 제2 선택기준전압을 선택하여 출력하는 기준전압선택부; 및
 제2 테스트모드에서 구동되어, 오실레이션신호에 응답하여 제1 및 제2 카운팅신호를 카운팅하고, 상기 제1 및 제2 카운팅신호를 디코딩하여 제1 및 제2 테스트선택신호를 생성하며, 상기 제1 및 제2 테스트선택신호로부터 입력기준전압과 제1 및 제2 래치펄스를 생성하는 전압펄스생성부를 포함하는 온도센서.

청구항 16

제 15 항에 있어서, 상기 기준전압선택부는 상기 제1 및 제2 선택신호에 응답하여 제1 또는 제2 기준전압을 제1 선택기준전압으로 출력하고, 상기 제1 및 제2 선택신호에 응답하여 제3 또는 제4 기준전압을 제2 선택기준전압으로 출력하는 온도센서.

청구항 17

제 15 항에 있어서, 상기 전압펄스생성부는
 상기 제2 테스트모드에서 구동되어 상기 오실레이션신호에 응답하여 카운팅되는 상기 제1 및 제2 카운팅신호를 생성하는 카운팅신호생성부;
 상기 제1 및 제2 카운팅신호를 디코딩하여 제1 및 제2 테스트선택신호와 종료신호를 생성하는 카운팅신호디코더;
 상기 제1 및 제2 테스트선택신호에 응답하여, 제1 선택기준전압 또는 제2 선택기준전압을 입력기준전압으로 출력하는 입력기준전압선택부; 및
 상기 제1 및 제2 테스트선택신호에 응답하여, 제1 및 제2 래치펄스를 생성하는 래치펄스생성부를 포함하는 온도센서.

청구항 18

제 17 항에 있어서, 상기 카운팅신호생성부는
 상기 오실레이션신호에 응답하여 카운팅되는 상기 제1 카운팅신호를 생성하는 제1 카운터;
 상기 제1 카운팅신호에 응답하여 카운팅되는 제2 카운팅신호를 생성하는 제2 카운터; 및

상기 제2 테스트모드에서 인에이블되는 테스트모드신호 및 상기 종료신호를 입력받아 상기 제1 및 제2 카운터를 리셋시키는 리셋신호를 생성하는 논리소자를 포함하는 온도센서.

청구항 19

제 18 항에 있어서, 상기 리셋신호는 상기 테스트모드신호가 디스에이블되거나 상기 종료신호가 인에이블되는 경우 인에이블되는 온도센서.

청구항 20

제 17 항에 있어서, 상기 입력기준전압선택부는

상기 제1 테스트선택신호에 응답하여 턴온되어, 제1 선택기준전압을 입력기준전압으로 출력하는 제1 스위치소자; 및

상기 제2 테스트선택신호에 응답하여 턴온되어, 제2 선택기준전압을 입력기준전압으로 출력하는 제2 스위치소자를 포함하는 온도센서.

청구항 21

제 17 항에 있어서, 상기 래치펄스생성부는

상기 제1 테스트선택신호의 디스에이블시점에서 소정 펄스폭을 갖는 상기 제1 래치펄스를 생성하는 제1 래치펄스생성부; 및

상기 제2 테스트선택신호의 디스에이블시점에서 소정 펄스폭을 갖는 상기 제2 래치펄스를 생성하는 제2 래치펄스생성부를 포함하는 온도센서.

청구항 22

제 15 항에 있어서,

상기 감지전압과 상기 입력기준전압을 비교하여 비교출력신호를 생성하는 비교기;

상기 제1 및 제2 래치펄스에 응답하여 상기 비교출력신호를 래치하여 제1 및 제2 플래그신호를 생성하는 플래그신호생성부; 및

상기 제1 및 제2 플래그신호를 디코딩하여 온도코드를 생성하는 디코더를 포함하는 온도센서.

청구항 23

제 22 항에 있어서, 상기 비교기는 상기 감지전압이 상기 입력기준전압보다 낮은 레벨인 경우 인에이블되는 상기 비교출력신호를 생성하는 온도센서.

청구항 24

제 22 항에 있어서, 상기 플래그신호생성부는

상기 제1 래치펄스에 응답하여 상기 비교출력신호를 래치하여 상기 제1 플래그신호로 출력하는 제1 플래그신호출력부; 및

상기 제2 래치펄스에 응답하여 상기 비교출력신호를 래치하여 상기 제2 플래그신호로 출력하는 제2 플래그신호

출력부를 포함하는 온도센서.

청구항 25

제 24 항에 있어서, 상기 제1 플래그신호출력부는
 상기 제1 래치펄스에 응답하여 상기 비교출력신호를 버퍼링하는 버퍼; 및
 상기 버퍼의 출력신호를 래치하는 래치를 포함하는 온도센서.

명세서

기술분야

[0001] 본 발명은 반도체 집적회로에 관한 것으로, 더욱 구체적으로는 온도센서에 관한 것이다.

배경기술

[0002] 일반적으로, 개인용 컴퓨터나 전자 통신 기기 등과 같은 전자적 시스템의 고성능화에 부응하여, 메모리로서 탑재되는 디램 등과 같은 휘발성 반도체 메모리 장치도 나날이 고속화 및 고집적화되고 있다. 핸드폰이나 노트북 컴퓨터 등과 같이 배터리로 동작하는 시스템에 탑재되는 반도체 집적회로의 경우에는 특히 저전력 소모 특성이 절실히 요구되므로, 동작(오퍼레이팅) 전류 및 스텐바이 전류를 감소시키기 위한 노력과 연구가 활발히 진행되고 있다.

[0003] 하나의 트랜지스터와 하나의 스토리지 커패시터로 구성되는 디램 메모리 셀의 데이터 리텐션(retention) 특성은 온도에 따라서도 매우 민감하게 나타난다. 따라서, 반도체 집적회로의 내부온도의 변화에 따라서 반도체 집적회로 내에 있는 회로 블럭들의 동작조건을 조절할 필요가 생길 수 있다. 예를 들어, 모바일 제품에 사용되는 디램(DRAM, Dynamic Random Access Memory)의 경우에는 반도체 집적회로의 내부온도 변화에 따라 리프래쉬 주기(refresh period)를 조절하고 있다. 이와 같은 반도체 집적회로의 내부온도 변화에 따른 동작 조건 조절에는 DTSR(Digital Temperature Sensor Regulator), ATSR(Analog Temp Sensor Regulator) 및 DTCSR(Digital Temperature Compensated Self Refresh) 등의 온도센서가 사용된다.

[0004] 도 1은 종래기술에 다른 온도센서의 구성을 도시한 블럭도이다.

[0005] 도 1에 도시된 바와 같이, 종래기술의 온도코드 생성회로는 반도체 집적회로의 내부온도를 감지하여 감지전압(VSENSE)을 생성하는 감지전압생성부(10)와, 감지전압(VSENSE)과 기준전압(VREF)을 비교하여 온도코드(TQ)를 생성하는 온도코드생성부(11)로 구성된다. 이와 같은 구성의 온도코드 생성회로는 감지전압(VSENSE)과 기준전압(VREF)의 레벨을 비교하여 반도체 집적회로의 내부온도가 기준전압(VREF)의 레벨에 대응하는 온도보다 높은지 여부에 관한 정보를 포함하는 온도코드(TQ)를 생성한다.

[0006] 그런데, 이와 같은 구성의 온도센서는 하나의 온도만 감지할 수 있기 때문에 다수개의 온도를 감지하기 위해서는 설계변경을 통해 기준전압(VREF)의 레벨을 조절하여야 한다. 또한, 공정변화에 따라 감지전압(VSENSE)의 레벨이 변화하는 경우 기준전압(VREF)의 레벨을 조절하기 위한 설계변경이 필요하다.

발명의 내용

[0007] 본 발명은 설계변경없이 다수개의 온도를 용이하게 감지하고, 공정변화에 대처할 수 있도록 한 온도센서를 개시한다.

[0008] 이를 위해 본 발명은 테스트모드에서 오실레이션신호에 응답하여 카운팅되는 제1 및 제2 카운팅신호를 생성하는 카운팅신호생성부와, 상기 제1 및 제2 카운팅신호를 디코딩하여 제1 및 제2 테스트선택신호와 종료신호를 생성하는 카운팅신호디코더와, 상기 제1 및 제2 테스트선택신호에 응답하여, 제1 선택기준전압 또는 제2 선택기준전압을 입력기준전압으로 출력하는 입력기준전압선택부와, 상기 제1 및 제2 테스트선택신호에 응답하여, 제1 및 제2 래치펄스를 생성하는 래치펄스생성부를 포함하는 온도센서를 제공한다.

[0009] 또한, 본 발명은 반도체 집적회로의 내부온도를 감지하여 감지전압을 생성하는 감지전압생성부와, 퓨즈커팅 여

부 또는 제1 테스트모드에서 테스트모드펄스에 응답하여, 선택신호를 생성하는 선택신호생성부와, 상기 선택신호에 응답하여, 다수의 기준전압 중 제1 및 제2 선택기준전압을 선택하여 출력하는 기준전압선택부와, 제2 테스트모드에서 구동되어 오실레이션신호에 응답하여 제1 및 제2 카운팅신호를 카운팅하고, 상기 제1 및 제2 카운팅신호를 디코딩하여 제1 및 제2 테스트선택신호를 생성하며, 상기 제1 및 제2 테스트선택신호로부터 입력기준전압과 제1 및 제2 래치펄스를 생성하는 전압펄스생성부를 포함하는 온도센서를 제공한다.

도면의 간단한 설명

- [0010] 도 1은 종래기술에 다른 온도센서의 구성을 도시한 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 온도센서의 구성을 도시한 블록도이다.
- 도 3은 도 2에 도시된 온도센서에 포함된 전압펄스생성부의 회로도이다.
- 도 4는 도 3에 도시된 전압펄스생성부에 포함된 카운팅신호생성부의 회로도이다.
- 도 5는 도 3에 도시된 전압펄스생성부에 포함된 카운팅신호디코더의 회로도이다.
- 도 6은 도 3에 도시된 전압펄스생성부에 포함된 입력기준전압선택부의 회로도이다.
- 도 7은 도 3에 도시된 전압펄스생성부에 포함된 래치펄스생성부의 회로도이다.
- 도 8은 도 2에 도시된 제1 플래그신호출력부의 회로도이다.
- 도 9는 도 2에 도시된 온도센서의 동작을 설명하기 위한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 실시예를 통하여 본 발명을 더욱 상세히 설명하기로 한다. 이들 실시예는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 권리 보호 범위가 이들 실시예에 의해 제한되는 것은 아니다.
- [0012] 도 2는 본 발명의 일 실시예에 따른 온도센서의 구성을 도시한 블록도이다.
- [0013] 도 2에 도시된 바와 같이, 본 실시예의 온도센서는 감지전압생성부(2), 기준전압생성부(3), 선택신호생성부(4), 기준전압선택부(5), 전압펄스생성부(6), 비교기(7), 플래그신호생성부(8) 및 디코더(9)를 포함한다.
- [0014] 감지전압생성부(2)는 반도체 집적회로의 내부온도를 감지하여 감지전압(VSENSE)을 생성한다. 감지전압생성부(2)는 반도체 집적회로의 내부온도에 따라 전류 구동력의 차이를 갖는 저항소자 또는 MOS 트랜지스터를 사용하여 구현된다.
- [0015] 기준전압생성부(3)는 다수의 저항소자를 포함하여, 전원전압(VDD) 또는 내부전압을 전압분배하여 각각 반도체 집적회로의 내부온도에 대응하는 레벨을 갖는 제1 내지 제12 기준전압(VREF<1:12>)을 생성한다. 본 실시예에서, 제12 기준전압(VREF<12>)은 반도체 집적회로의 가장 낮은 내부온도에 대응되도록 가장 높은 레벨로 생성되고, 제1 기준전압(VREF<1>)은 반도체 집적회로의 가장 높은 내부온도에 대응되도록 가장 낮은 레벨로 생성된다.
- [0016] 선택신호생성부(4)는 제1 테스트모드 진입 여부에 따라 제1 내지 제4 선택신호(SELB<1:4>)를 생성한다. 좀 더 구체적으로 선택신호생성부(4)는 제1 및 제2 퓨즈(미도시)를 포함하여 구성되며, 제1 테스트모드에 진입하지 않은 경우 로직로우레벨인 제1 테스트모드신호(TMEN1)를 입력받아, 제1 및 제2 퓨즈(미도시)의 커팅여부에 따라 선택적으로 로직하이레벨로 인에이블되는 제1 내지 제4 선택신호(SELB<1:4>)를 생성한다. 좀 더 구체적으로 제1 테스트모드에 진입하지 않은 상태에서 선택신호생성부(4)는 제1 및 제2 퓨즈가 모두 커팅되지 않은 경우 로직하이레벨로 인에이블된 제1 선택신호(SELB<1>)를 생성하고, 제1 퓨즈(미도시)만 커팅된 경우 로직하이레벨로 인에이블된 제2 선택신호(SELB<2>)를 생성하며, 제2 퓨즈(미도시)만 커팅된 경우 로직하이레벨로 인에이블된 제3 선택신호(SELB<3>)를 생성하고, 제1 및 제2 퓨즈(미도시)가 모두 커팅된 경우 로직하이레벨로 인에이블된 제4 선택신호(SELB<4>)를 생성한다.
- [0017] 또한, 선택신호생성부(4)는 제1 테스트모드에 진입하는 경우 로직하이레벨인 제1 테스트모드신호(TMEN1)를 입력받아, 테스트모드펄스(TMP)의 펄스가 입력될 때마다 선택적으로 로직하이레벨로 인에이블되는 제1 내지 제4 선택신호(SELB<1:4>)를 생성한다. 좀 더 구체적으로 제1 테스트모드에 진입한 상태에서 선택신호생성부(4)는 테스트

트모드펄스(TMP)의 펄스가 입력되지 않는 경우 로직하이레벨로 인에이블된 제1 선택신호(SELB<1>)를 생성하고, 테스트모드펄스(TMP)의 펄스가 한번 입력되는 경우 로직하이레벨로 인에이블된 제2 선택신호(SELB<2>)를 생성하며, 테스트모드펄스(TMP)의 펄스가 두번 입력되는 경우 로직하이레벨로 인에이블된 제3 선택신호(SELB<3>)를 생성하고, 테스트모드펄스(TMP)의 펄스가 세번 입력되는 경우 로직하이레벨로 인에이블된 제4 선택신호(SELB<4>)를 생성한다.

[0018] 기준전압선택부(5)는 제1 내지 제4 선택신호(SELB<1:4>)에 응답하여 제1 내지 제12 기준전압(VREF<1:12>) 중 제1 내지 제3 선택기준전압(VREFSEL<1:3>)을 선택하여 출력한다. 좀 더 구체적으로 기준전압선택부(5)는 제1 선택신호(SELB<1>)가 로직하이레벨로 인에이블되는 경우 제1 기준전압(VREF<1>), 제5 기준전압(VREF<5>) 및 제9 기준전압(VREF<9>)을 각각 제1 내지 제3 선택기준전압(VREFSEL<1:3>)으로 출력한다. 또한, 본 실시예의 기준전압선택부(5)는 제2 선택신호(SELB<2>)가 로직하이레벨로 인에이블되는 경우 제2 기준전압(VREF<2>), 제6 기준전압(VREF<6>) 및 제10 기준전압(VREF<10>)을 각각 제1 내지 제3 선택기준전압(VREFSEL<1:3>)으로 출력한다. 또한, 본 실시예의 기준전압선택부(5)는 제3 선택신호(SELB<3>)가 로직하이레벨로 인에이블되는 경우 제3 기준전압(VREF<3>), 제7 기준전압(VREF<7>) 및 제11 기준전압(VREF<11>)을 각각 제1 내지 제3 선택기준전압(VREFSEL<1:3>)으로 출력한다. 또한, 본 실시예의 기준전압선택부(5)는 제4 선택신호(SELB<4>)가 로직하이레벨로 인에이블되는 경우 제4 기준전압(VREF<4>), 제8 기준전압(VREF<8>) 및 제12 기준전압(VREF<12>)을 각각 제1 내지 제3 선택기준전압(VREFSEL<1:3>)으로 출력한다.

[0019] 전압펄스생성부(6)는, 도 3에 도시된 바와 같이, 제2 테스트모드에 진입하는 경우 로직하이레벨로 인에이블되는 제2 테스트모드신호(TMEN2)를 입력받아 구동되어 오실레이션신호(OSC)에 응답하여 카운팅되는 제1 및 제2 카운팅신호(CNT<1:2>)와 제1 및 제2 반전카운팅신호(CNTB<1:2>)를 생성하는 카운팅신호생성부(60)와, 제1 및 제2 카운팅신호(CNT<1:2>)와 제1 및 제2 반전카운팅신호(CNTB<1:2>)를 입력받아 디코딩하여 제1 내지 제3 테스트선택신호(TSEL<1:3>)와 종료신호(ENDB)를 생성하는 카운팅신호디코더(61)와, 제1 내지 제3 테스트선택신호(TSEL<1:3>)에 응답하여 제1 내지 제3 선택기준전압(VREFSEL<1:3>) 중 하나를 입력기준전압(VREFIN)으로 선택하여 출력하는 입력기준전압선택부(62)와, 제1 내지 제3 테스트선택신호(TSEL<1:3>)를 입력받아 제1 내지 제3 래치펄스(LP<1:3>)를 생성하는 래치펄스생성부(63)로 구성된다.

[0020] 카운팅신호생성부(60)는, 도 4에 도시된 바와 같이, 제2 테스트모드신호(TMEN2)와 종료신호(ENDB)를 입력받아 리셋신호(RESET)를 생성하는 낸드게이트(ND60)와, 오실레이션신호(OSC)에 응답하여 제1 카운팅신호(CNT<1>)를 카운팅하는 제1 카운터(600)와, 제1 카운팅신호(CNT<1>)에 응답하여 제2 카운팅신호(CNT<2>)를 카운팅하는 제2 카운터(601)와, 제1 카운팅신호(CNT<1>)를 반전버퍼링하여 제1 반전카운팅신호(CNTB<1>)를 생성하는 인버터(IV60)와, 제2 카운팅신호(CNT<2>)를 반전버퍼링하여 제2 반전카운팅신호(CNTB<2>)를 생성하는 인버터(IV61)로 구성된다. 여기서, 리셋신호(RESET)는 제2 테스트모드에 진입하지 않아 제2 테스트모드신호(TMEN2)가 로직로우레벨이거나 종료신호(ENDB)가 로직로우레벨로 인에이블되는 경우 로직하이레벨로 인에이블되어 제1 카운터(600) 및 제2 카운터(601)를 리셋시킨다. 리셋된 제1 카운터(600) 및 제2 카운터(601)에서 출력되는 제1 카운팅신호(CNT<1>) 및 제2 카운팅신호(CNT<2>)는 모두 로직로우레벨로 설정되는 것이 바람직하다.

[0021] 카운팅신호디코더(61)는, 도 5에 도시된 바와 같이, 제1 카운팅신호(CNT<1>) 및 제2 카운팅신호(CNT<2>)를 입력받아 부정논리곱 연산을 수행하여 제3 테스트선택신호(TSEL<3>)를 생성하는 낸드게이트(ND61)와, 제1 반전카운팅신호(CNTB<1>) 및 제2 카운팅신호(CNT<2>)를 입력받아 부정논리곱 연산을 수행하여 제2 테스트선택신호(TSEL<2>)를 생성하는 낸드게이트(ND62)와, 제1 카운팅신호(CNT<1>) 및 제2 반전카운팅신호(CNTB<2>)를 입력받아 부정논리곱 연산을 수행하여 제1 테스트선택신호(TSEL<1>)를 생성하는 낸드게이트(ND63)와, 제1 반전카운팅신호(CNTB<1>) 및 제2 반전카운팅신호(CNTB<2>)를 입력받아 부정논리곱 연산을 수행하여 종료신호(ENDB)를 생성하는 낸드게이트(ND64)로 구성된다.

[0022] 입력기준전압선택부(62)는, 도 6에 도시된 바와 같이, 제1 테스트선택신호(TSEL<1>)를 반전버퍼링하는 인버터(IV62)의 출력신호에 응답하여 턴온되어 제1 선택기준전압(VREFSEL<1>)을 입력기준전압(VREFIN)으로 출력하는 스위치소자로 동작하는 PMOS 트랜지스터(P60)와, 제2 테스트선택신호(TSEL<2>)를 반전버퍼링하는 인버터(IV63)의 출력신호에 응답하여 턴온되어 제2 선택기준전압(VREFSEL<2>)을 입력기준전압(VREFIN)으로 출력하는 스위치소자로 동작하는 PMOS 트랜지스터(P61)와, 제3 테스트선택신호(TSEL<3>)를 반전버퍼링하는 인버터(IV64)의 출력신호에 응답하여 턴온되어 제3 선택기준전압(VREFSEL<3>)을 입력기준전압(VREFIN)으로 출력하는 스위치소자로 동작하는 PMOS 트랜지스터(P62)로 구성된다. 이와 같은 구성의 입력기준전압선택부(62)는 제1 테스트선택신호(TSEL<1>)가 로직하이레벨인 경우 제1 선택기준전압(VREFSEL<1>)을 입력기준전압(VREFIN)으로 출력하고, 제2 테스트선택신호(TSEL<2>)가 로직하이레벨인 경우 제2 선택기준전압(VREFSEL<2>)을 입력기준전압(VREFIN)으로 출력

하고, 제3 테스트선택신호(TSEL<3>)가 로직하이레벨인 경우 제3 선택기준전압(VREFSEL<3>)을 입력기준전압(VREFIN)으로 출력한다.

[0023] 래치펄스생성부(63)는, 도 7에 도시된 바와 같이, 제1 래치펄스생성부(630), 제2 래치펄스생성부(631) 및 제3 래치펄스생성부(632)로 구성된다. 제1 래치펄스생성부(630)는 제1 테스트선택신호(TSEL<1>)를 반전시키고 소정 구간지연시키는 제1 반전지연부(635)와, 제1 테스트선택신호(TSEL<1>)와 제1 반전지연부(635)의 출력신호를 입력받아 부정논리합 연산을 수행하여 제1 래치펄스(LP<1>)를 생성하는 노어게이트(NR60)로 구성된다. 이와 같은 구성의 제1 래치펄스생성부(630)는 제1 테스트선택신호(TSEL<1>)가 로직하이레벨에서 로직로우레벨로 천이하는 시점부터 제1 반전지연부(635)의 지연구간까지 펄스폭을 갖는 제1 래치펄스(LP<1>)를 생성한다. 제2 래치펄스생성부(631)는 제2 테스트선택신호(TSEL<2>)를 반전시키고 소정 구간지연시키는 제2 반전지연부(636)와, 제2 테스트선택신호(TSEL<2>)와 제2 반전지연부(636)의 출력신호를 입력받아 부정논리합 연산을 수행하여 제2 래치펄스(LP<2>)를 생성하는 노어게이트(NR61)로 구성된다. 이와 같은 구성의 제2 래치펄스생성부(631)는 제2 테스트선택신호(TSEL<2>)가 로직하이레벨에서 로직로우레벨로 천이하는 시점부터 제2 반전지연부(636)의 지연구간까지 펄스폭을 갖는 제2 래치펄스(LP<2>)를 생성한다. 제3 래치펄스생성부(632)는 제3 테스트선택신호(TSEL<3>)를 반전시키고 소정 구간지연시키는 제3 반전지연부(637)와, 제3 테스트선택신호(TSEL<3>)와 제3 반전지연부(637)의 출력신호를 입력받아 부정논리합 연산을 수행하여 제3 래치펄스(LP<3>)를 생성하는 노어게이트(NR62)로 구성된다. 이와 같은 구성의 제3 래치펄스생성부(632)는 제3 테스트선택신호(TSEL<3>)가 로직하이레벨에서 로직로우레벨로 천이하는 시점부터 제3 반전지연부(637)의 지연구간까지 펄스폭을 갖는 제3 래치펄스(LP<3>)를 생성한다.

[0024] 비교기(7)는 감지전압(VSENSE)과 입력기준전압(VREFIN)의 레벨을 비교하여, 감지전압(VSENSE)이 입력기준전압(VREFIN)보다 낮은 레벨인 경우 로직하이레벨로 인에이블되는 비교출력신호(COUT)를 생성한다.

[0025] 도 2를 참고하면 플래그신호생성부(8)는 제1 플래그신호출력부(80), 제2 플래그신호출력부(81) 및 제3 플래그신호출력부(82)로 구성된다.

[0026] 제1 플래그신호출력부(80)는, 도 8에 도시된 바와 같이, 제1 래치펄스(LP<1>)가 로직하이레벨인 경우 비교출력신호(COUT)를 반전버퍼링하여 출력하는 인버터(IV81)와, 인버터(IV81)의 출력신호를 래치하여 제1 플래그신호(T1_FLAG)로 출력하는 래치(800)로 구성된다. 이와 같은 구성의 제1 플래그신호출력부(80)는 제1 래치펄스(LP<1>)의 로직하이레벨 펄스가 입력되는 구간에서 비교출력신호(COUT)를 제1 플래그신호(T1_FLAG)로 출력한다. 제2 플래그신호출력부(81) 및 제3 플래그신호출력부(82)의 구성은 도 8에 도시된 제1 플래그신호출력부(80)의 구성과 거의 유사하므로 자세한 설명은 생략한다.

[0027] 디코더(9)는 제1 내지 제3 플래그신호(T1_FLAG~T3_FLAG)를 디코딩하여 온도코드(TQN)를 생성한다. 여기서, 온도코드(TQN)는 실시예에 따라서 다수의 비트를 갖는 신호로 구현할 수 있다.

[0028] 이와 같이 구성된 온도센서의 동작을 도 2 내지 도 9를 참고하여 살펴보면 다음과 같다.

[0029] 도 2를 참고하면 우선, 감지전압생성부(2)는 반도체 집적회로의 내부온도를 감지하여 감지전압(VSENSE)을 생성하고, 기준전압생성부(3)는 각각 반도체 집적회로의 내부온도에 대응하는 레벨을 갖는 제1 내지 제12 기준전압(VREF<1:12>)을 생성한다. 다음으로, 선택신호생성부(4)는 테스트모드 여부에 따라 제1 내지 제4 선택신호(SELB<1:4>)를 생성한다. 즉, 제1 테스트모드에 진입하지 않은 경우 제1 및 제2 퓨즈(미도시)의 커팅여부에 따라 선택적으로 로직하이레벨로 인에이블되는 제1 내지 제4 선택신호(SELB<1:4>)를 생성하고, 제1 테스트모드에 진입한 경우 테스트모드펄스(TMP)의 펄스가 입력될 때마다 선택적으로 로직하이레벨로 인에이블되는 제1 내지 제4 선택신호(SELB<1:4>)를 생성한다. 다음으로, 기준전압선택부(5)는 제1 내지 제4 선택신호(SELB<1:4>)에 응답하여 제1 내지 제12 기준전압(VREF<1:12>) 중 제1 내지 제3 선택기준전압(VREFSEL<1:3>)을 선택하여 출력한다. 예를 들어, 제1 선택신호(SELB<1>)가 로직하이레벨로 인에이블되는 경우 기준전압선택부(5)는 제1 기준전압(VREF<1>), 제5 기준전압(VREF<5>) 및 제9 기준전압(VREF<9>)을 각각 제1 내지 제3 선택기준전압(VREFSEL<1:3>)으로 출력한다.

[0030] 다음으로, 전압펄스생성부(6)는 제1 내지 제3 선택기준전압(VREFSEL<1:3>), 제2 테스트모드신호(TMEN2) 및 오실레이션신호(OSC)를 입력받아 입력기준전압(VREFIN)을 선택하고, 제1 내지 제3 래치펄스(LP<1:3>)를 생성한다. 이하, 전압펄스생성부(6)의 동작은 도 9를 참고하여 구체적으로 살펴본다.

[0031] 도 9에 도시된 바와 같이, 제2 테스트모드에 진입하여 제2 테스트모드신호(TMEN2)가 로직하이레벨로 인에이블되는 경우 도 4에 도시된 카운팅신호생성부(60)에 포함된 제1 카운터(600) 및 제2 카운터(601)가 모두 구동되어, 제1 카운팅신호(CNT<1>) 및 제2 카운팅신호(CNT<2>)를 카운팅한다.

[0032] 이때, 카운팅신호디코더(61)는 제1 카운팅신호(CNT<1>) 및 제2 카운팅신호(CNT<2>)를 디코딩하여 제1 내지 제3 테스트선택신호(TSEL<1:3>) 및 종료신호(ENDB)를 생성한다. 아래 도시된 표 1을 참고하면 오실레이션신호(OSC)의 A, B, C, D 구간에서 카운팅되는 제1 카운팅신호(CNT<1>) 및 제2 카운팅신호(CNT<2>)와, 제1 내지 제3 테스트선택신호(TSEL<1:3>) 및 종료신호(ENDB)의 로직레벨을 확인할 수 있다.

[0033] < 표 1 >

OSC	CNT<2>	CNT<1>	TDEL<3>	TSEL<2>	TSEL<1>	ENDB
A	H	H	H	L	L	L
B	H	L	L	H	L	L
C	L	H	L	L	H	L
D	L	L	L	L	L	H

[0034]

[0035] 도 9를 참고하면 입력기준전압선택부(62)는 오실레이션신호(OSC)의 A 구간에서 로직하이레벨로 인에이블되는 제3 테스트선택신호(TSEL<3>)를 입력받아 제3 선택기준전압(VREFSEL<3>)을 입력기준전압(VREFIN)으로 출력하고, 오실레이션신호(OSC)의 B 구간에서 로직하이레벨로 인에이블되는 제2 테스트선택신호(TSEL<2>)를 입력받아 제2 선택기준전압(VREFSEL<2>)을 입력기준전압(VREFIN)으로 출력하며, 오실레이션신호(OSC)의 C 구간에서 로직하이레벨로 인에이블되는 제1 테스트선택신호(TSEL<1>)를 입력받아 제1 선택기준전압(VREFSEL<1>)을 입력기준전압(VREFIN)으로 출력한다.

[0036]

또한, 래치펄스생성부(63)는 제3 테스트선택신호(TSEL<3>)가 로직하이레벨에서 로직로우레벨로 천이하는 t1 시점에서 발생하는 펄스를 포함하는 제3 래치펄스(LP<3>)를 생성하고, 제2 테스트선택신호(TSEL<2>)가 로직하이레벨에서 로직로우레벨로 천이하는 t2 시점에서 발생하는 펄스를 포함하는 제2 래치펄스(LP<2>)를 생성하고, 제1 테스트선택신호(TSEL<1>)가 로직하이레벨에서 로직로우레벨로 천이하는 t3 시점에서 발생하는 펄스를 포함하는 제1 래치펄스(LP<1>)를 생성한다.

[0037]

다음으로, 비교기(7)는 감지전압(VSENSE)과 입력기준전압(VREFIN)의 레벨을 비교하여, 감지전압(VSENSE)이 입력기준전압(VREFIN)보다 낮은 레벨인 경우 로직하이레벨로 인에이블되는 비교출력신호(COUT)를 생성한다.

[0038]

다음으로, 도 8을 참고하면 플래그신호생성부(8)는 제3 래치펄스(LP<3>)의 로직하이레벨 펄스가 입력되는 구간에서 비교출력신호(COUT)를 제3 플래그신호(T3_FLAG)로 출력하고, 제2 래치펄스(LP<2>)의 로직하이레벨 펄스가 입력되는 구간에서 비교출력신호(COUT)를 제2 플래그신호(T2_FLAG)로 출력하며, 제1 래치펄스(LP<1>)의 로직하이레벨 펄스가 입력되는 구간에서 비교출력신호(COUT)를 제1 플래그신호(T1_FLAG)로 출력한다.

[0039]

다음으로, 디코더(9)는 제1 내지 제3 플래그신호(T1_FLAG~T3_FLAG)를 디코딩하여 온도코드(TQN)를 생성한다.

[0040]

이상 설명한 본 실시예의 온도센서는 오실레이션신호(OSC)를 이용하여 다수의 선택기준전압(VREFSEL<1:3>)을 순차적으로 입력기준전압(VREFIN)으로 출력되도록 함으로써, 하나의 비교기(7)를 통해 감지전압(VSENSE)과 다수의 선택기준전압(VREFSEL<1:3>)을 비교하여 다수의 온도를 감지할 수 있도록 한다.

[0041]

또한, 본 실시예의 온도센서는 공정변화에 따라 감지전압(VSENSE)의 레벨이 변동되는 경우 퓨즈를 커팅시키거나 테스트모드펄스(TMP)의 펄스를 입력시켜 제1 내지 제3 선택기준전압(VREFSEL<1:3>)의 레벨을 변동시킴으로써, 설계변경없이 공정변화에 대응할 수 있도록 한다.

부호의 설명

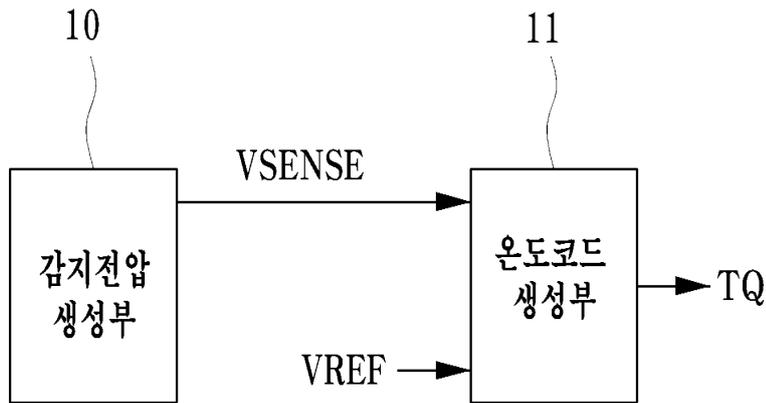
[0042]

- 2: 감지전압생성부
- 3: 기준전압생성부
- 4: 선택신호생성부
- 5: 기준전압선택부
- 6: 전압펄스생성부
- 60: 카운팅신호생성부

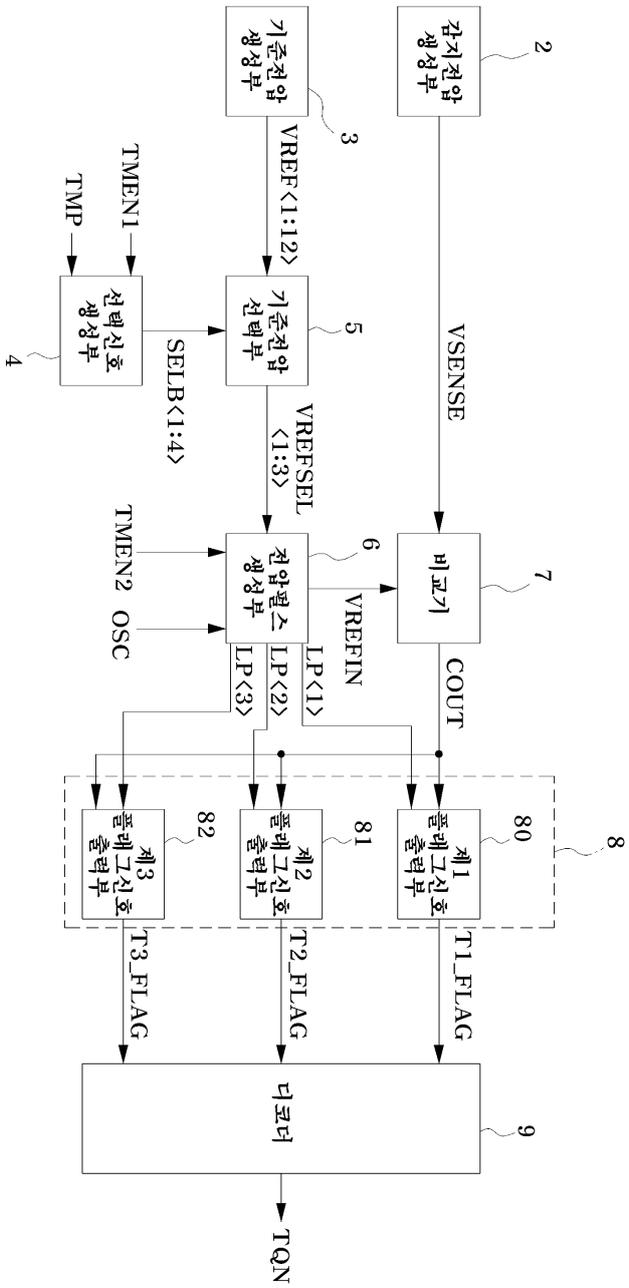
- | | |
|-----------------|-----------------|
| 600: 제1 카운터 | 601: 제2 카운터 |
| 61: 카운팅신호디코더 | 62: 입력기준전압선택부 |
| 63: 래치펄스생성부 | 630: 제1 래치펄스생성부 |
| 631: 제2 래치펄스생성부 | 632: 제3 래치펄스생성부 |
| 635: 제1 반전지연부 | 636: 제2 반전지연부 |
| 637: 제3 반전지연부 | 7: 비교기 |
| 8: 플래그신호생성부 | 80: 제1 플래그신호출력부 |
| 81: 제2 플래그신호출력부 | 82: 제3 플래그신호출력부 |
| 9: 디코더 | |

도면

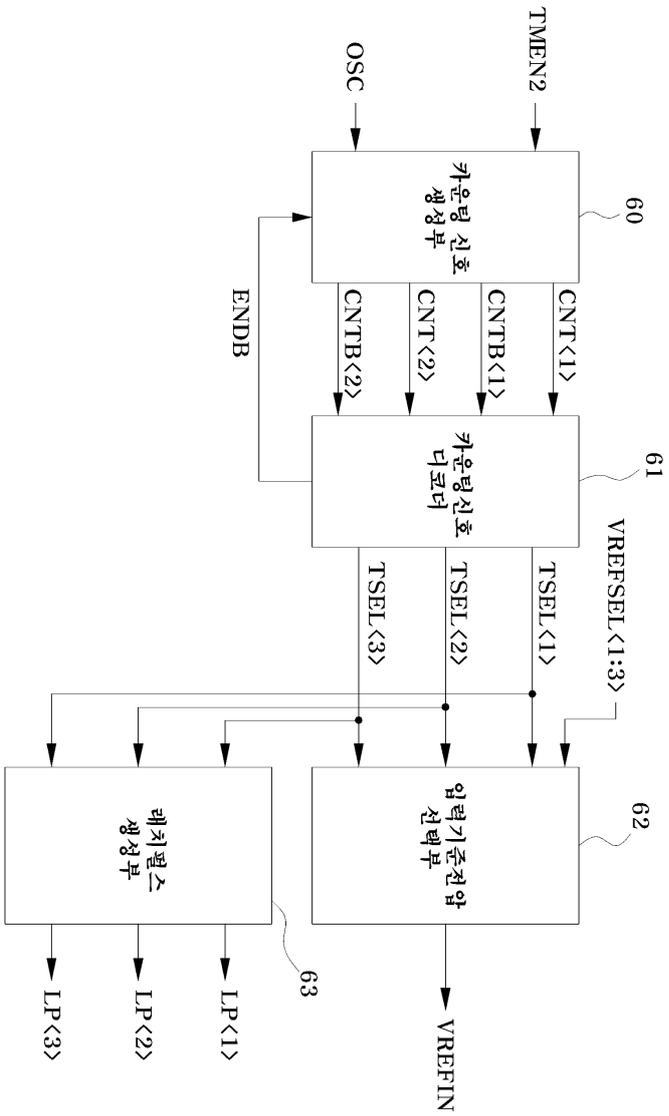
도면1



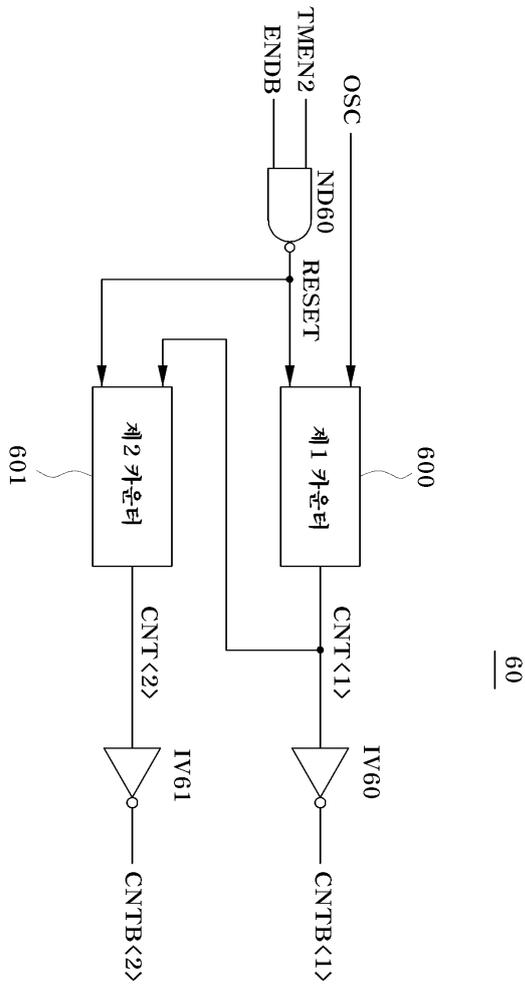
도면2



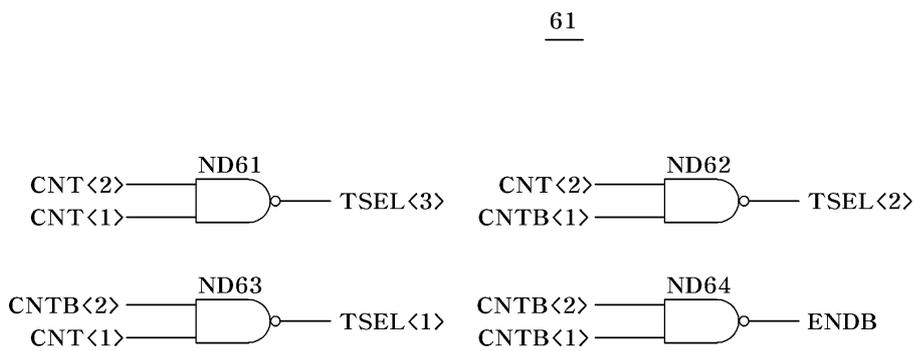
도면3



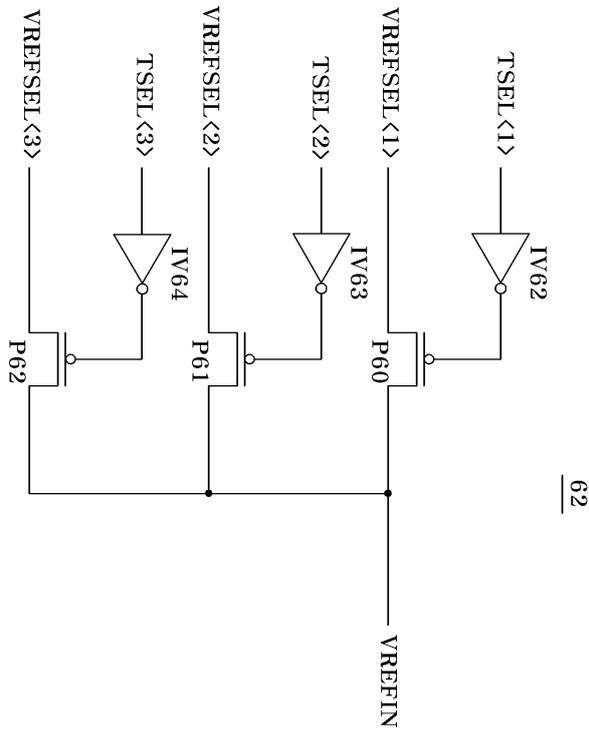
도면4



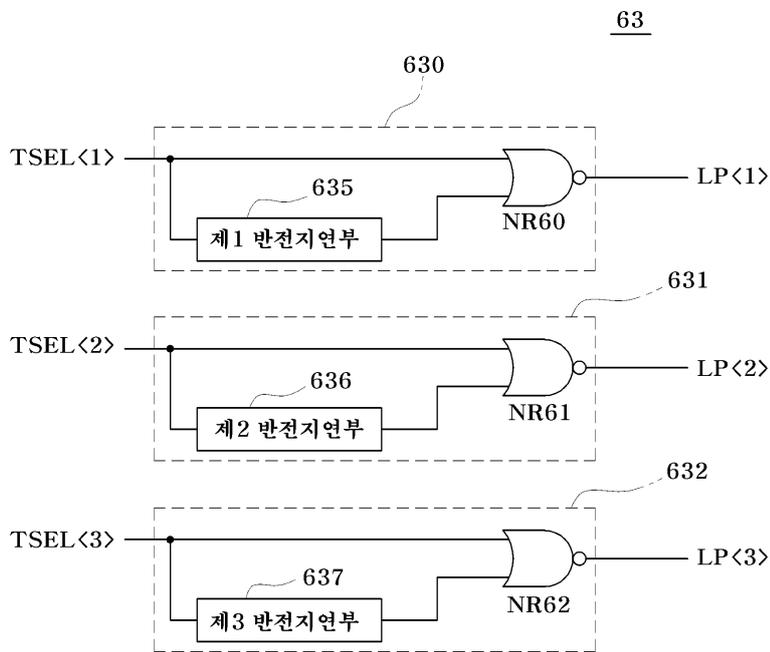
도면5



도면6

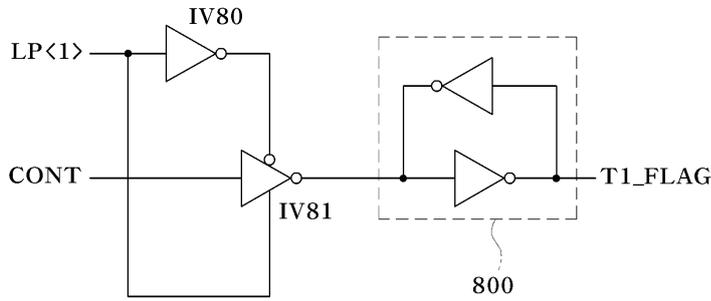


도면7



도면8

80



도면9

