



(12) 发明专利

(10) 授权公告号 CN 110061008 B

(45) 授权公告日 2020. 11. 17

(21) 申请号 201910248967.4

H01L 27/11551 (2017.01)

(22) 申请日 2019.03.29

H01L 27/11563 (2017.01)

(65) 同一申请的已公布的文献号

H01L 27/11578 (2017.01)

申请公布号 CN 110061008 A

审查员 瞿晓雷

(43) 申请公布日 2019.07.26

(73) 专利权人 长江存储科技有限责任公司

地址 430074 湖北省武汉市洪山区东湖开发区关东科技工业园华光大道18号7018室

(72) 发明人 肖莉红

(74) 专利代理机构 北京汉之知识产权代理事务所(普通合伙) 11479

代理人 陈敏

(51) Int. Cl.

H01L 27/11524 (2017.01)

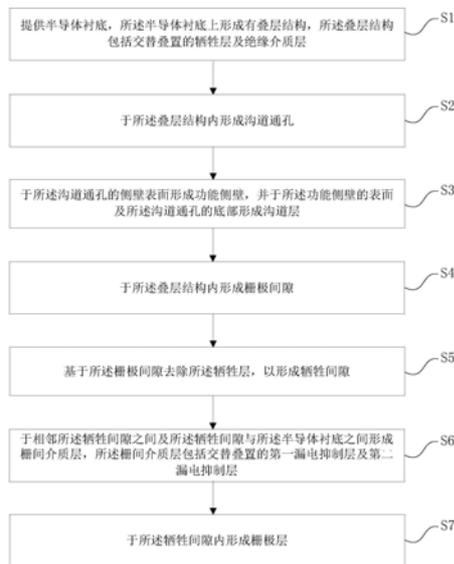
权利要求书3页 说明书14页 附图17页

(54) 发明名称

3D NAND闪存及其制备方法

(57) 摘要

本发明提供一种3D NAND闪存及其制备方法,3D NAND闪存包括:半导体衬底;叠层结构,位于半导体衬底上,叠层结构包括交替叠置的栅间介质层及栅极层,栅间介质层包括交替叠置的第一漏电抑制层及第二漏电抑制层;沟道通孔,位于叠层结构内;功能侧壁,位于沟道通孔的侧壁表面;沟道层,位于沟道通孔内,且位于功能侧壁的表面。本发明3D NAND闪存中的栅间介质层为至少包括交替叠置的第一漏电抑制层及第二漏电抑制层,可以有效减小相邻栅极层之间的漏电,提高相邻栅极层之间的栅间介质层的抗击穿能力,降低相邻栅极层之间的耦合效应。



1. 一种3D NAND闪存,其特征在于,包括:

半导体衬底;

叠层结构,位于所述半导体衬底上,所述叠层结构包括交替叠置的栅间介质层及栅极层,所述栅间介质层包括氧化处理所述栅极层之间的绝缘介质层得到的交替叠置的第一漏电抑制层及第二漏电抑制层;

沟道通孔,位于所述叠层结构内;

功能侧壁,位于所述沟道通孔的侧壁表面;及

沟道层,位于所述沟道通孔内,且位于所述功能侧壁的表面及所述沟道通孔的底部。

2. 根据权利要求1所述的3D NAND闪存,其特征在于:所述功能侧壁包括:

阻挡层,位于所述沟道通孔的侧壁表面;

存储层,位于所述阻挡层的表面;及

隧穿层,位于所述存储层的表面。

3. 根据权利要求2所述的3D NAND闪存,其特征在于,所述阻挡层包括高k介质层及阻挡叠层结构,所述高k介质层位于所述沟道通孔的表面,所述阻挡叠层结构位于所述高k介质层的表面,所述阻挡叠层结构包括沿所述阻挡叠层结构厚度方向交替叠置的氧化物层及氮氧化物层;所述存储层包括沿厚度方向交替叠置的氮化物层及氮氧化物层;所述隧穿层包括沿厚度方向间隔排布的氧化物层及位于所述氧化物层之间的氮氧化物叠层结构。

4. 根据权利要求1所述的3D NAND闪存,其特征在于:所述3DNAND闪存还包括:

栅极间隙,位于所述叠层结构内,所述栅极间隙贯穿所述叠层结构并延伸至所述半导体衬底内;

源极区域,位于所述半导体衬底内,且位于所述栅极间隙的底部;

共源线,位于所述栅极间隙内,且与所述源极区域相连接;

绝缘隔离层,位于所述栅极间隙内,且位于所述共源线与所述叠层结构之间;

填充绝缘层,填充于所述沟道通孔内,且位于所述沟道层的表面。

5. 根据权利要求1所述的3D NAND闪存,其特征在于:所述3DNAND闪存还包括黏附层,所述黏附层位于所述栅极层与所述栅间介质层之间及所述栅极层与所述功能侧壁之间。

6. 根据权利要求1所述的3D NAND闪存,其特征在于:所述第一漏电抑制层包括氧化物层,所述第二漏电抑制层包括氮氧化物层。

7. 根据权利要求6所述的3D NAND闪存,其特征在于:所述第一漏电抑制层包括氧化硅层且所述第二漏电抑制层包括氮氧化硅层,或所述第一漏电抑制层包括氧化钪层且所述第二漏电抑制层包括氮氧化钪层。

8. 根据权利要求1所述的3D NAND闪存,其特征在于:所述栅间介质层还包括绝缘介质层,所述绝缘介质层位于所述第一漏电抑制层与所述第二漏电抑制层交替叠置的叠层结构内。

9. 一种3D NAND闪存的制备方法,其特征在于,包括如下步骤:

提供半导体衬底,所述半导体衬底上形成有叠层结构,所述叠层结构包括交替叠置的牺牲层及绝缘介质层;

于所述叠层结构内形成沟道通孔;

于所述沟道通孔的侧壁表面形成功能侧壁,并于所述功能侧壁的表面及所述沟道通孔

的底部形成沟道层；

于所述叠层结构内形成栅极间隙；

基于所述栅极间隙去除所述牺牲层，以形成牺牲间隙；

于相邻所述牺牲间隙之间及所述牺牲间隙与所述半导体衬底之间形成栅间介质层，所述栅间介质层包括交替叠置的第一漏电抑制层及第二漏电抑制层，采用湿氧化工艺或干氧化工艺对所述绝缘介质层进行氧化处理，以将所述绝缘介质层氧化而形成所述栅间介质层；及

于所述牺牲间隙内形成栅极层。

10. 根据权利要求9所述的3D NAND闪存的制备方法，其特征在于，所述沟道通孔的侧壁包括竖直侧壁。

11. 根据权利要求10所述的3D NAND闪存的制备方法，其特征在于，于所述沟道通孔的侧壁表面形成所述功能侧壁包括如下步骤：

于所述沟道通孔的侧壁表面形成阻挡层；

于所述阻挡层的表面形成存储层；及

于所述存储层的表面形成隧穿层。

12. 根据权利要求11所述的3D NAND闪存的制备方法，其特征在于，所述阻挡层包括高k介质层及阻挡叠层结构，所述高k介质层位于所述沟道通孔的表面，所述阻挡叠层结构位于所述高k介质层的表面，所述阻挡叠层结构包括沿所述阻挡叠层结构厚度方向交替叠置的氧化物层及氮氧化物层；所述存储层包括沿厚度方向交替叠置的氮化物层及氮氧化物层；所述隧穿层包括沿厚度方向间隔排布的氧化物层及位于所述氧化物层之间的氮氧化物叠层结构。

13. 根据权利要求9所述的3D NAND闪存的制备方法，其特征在于：所述沟道通孔贯穿所述叠层结构，所述栅极间隙贯穿所述叠层结构并延伸至所述半导体衬底内。

14. 根据权利要求9所述的3D NAND闪存的制备方法，其特征在于：于所述功能侧壁的表面形成所述沟道层之后还包括于所述沟道通孔内形成填充绝缘层的步骤。

15. 根据权利要求9所述的3D NAND闪存的制备方法，其特征在于：于相邻所述牺牲间隙之间及所述牺牲间隙与所述半导体衬底之间形成栅间介质层之后且于所述牺牲间隙内形成栅极层之前，还包括于所述牺牲间隙的侧壁形成黏附层的步骤。

16. 根据权利要求9所述的3D NAND闪存的制备方法，其特征在于：于所述牺牲间隙内形成栅极层之后还包括如下步骤：

于所述栅极间隙底部的所述半导体衬底内形成源极区域；及

于所述栅极间隙内形成共源线，所述共源线与所述源极区域相接触。

17. 根据权利要求16所述的3D NAND闪存的制备方法，其特征在于：形成所述栅间介质的同时于所述栅极间隙的底部形成底部氧化物层，于所述栅极间隙底部的所述半导体衬底内形成所述源极区域之后且于所述栅极间隙内形成所述共源线之前，还包括去除所述底部氧化物层的步骤。

18. 根据权利要求16所述的3D NAND闪存的制备方法，其特征在于：于所述栅极间隙内形成所述共源线之前，还包括于所述栅极间隙的侧壁形成绝缘隔离层的步骤。

19. 根据权利要求9所述的3D NAND闪存的制备方法，其特征在于：所述第一漏电抑制层

包括氧化物层,所述第二漏电抑制层包括氮氧化物层。

20.根据权利要求19所述的3D NAND闪存的制备方法,其特征在于:所述绝缘介质层包括氮化硅层,且所述第一漏电抑制层包括氧化硅层,所述第二漏电抑制层包括氮氧化硅层;或所述绝缘介质层包括氮化钪层,且所述第一漏电抑制层包括氧化钪层,所述第二漏电抑制层包括氮氧化钪层。

21.根据权利要求9所述的3D NAND闪存的制备方法,其特征在于:所述栅间介质层还包括残留的所述绝缘介质层,残留的所述绝缘介质层位于的所述第一漏电抑制层及所述第二漏电抑制层交替叠置的叠层结构内。

3D NAND闪存及其制备方法

技术领域

[0001] 本发明属于集成电路设计及制造技术领域,特别是涉及一种3D NAND闪存及其制备方法。

背景技术

[0002] 近年来,闪存(Flash Memory)存储器的发展尤为迅速,闪存存储器的主要特点是在不加电的情况下能长期保持存储的信息,且具有集成度高、存取速度快、易于擦除和重写等优点,因而在微机、自动化控制等多项领域得到了广泛的应用。为了进一步提高闪存存储器的位密度(Bit Density),同时减少位成本(Bit Cost),三维的闪存存储器(3D NAND)技术得到了迅速发展。

[0003] 现有的3D NAND闪存的堆叠结构由多层栅极层(即栅极字线层)及栅间介质层交替叠置而成。随着工艺的发展,为了满足高密度的要求,3D NAND闪存除了单元尺寸(即在XY平面的尺寸)随之对应缩小之外,栅极层的数量(即在垂直于所述XY平面的Z方向上的数量)也需随之显著增加。同时,由于刻蚀工艺的限制,3D NAND闪存中的垂直结构的总厚度(即垂直结构在所述Z方向上的尺寸)需要减小,这就要求栅极层的厚度以及栅间介质层的厚度相应减小;然而,由于现有的3D NAND闪存中的栅间介质层一般均为单一材料层,譬如二氧化硅(SiO_2)层,栅间介质层的厚度较薄很容易造成相邻栅极层之间的漏电,甚至造成相邻栅极层之间的栅间介质层被击穿。

发明内容

[0004] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种3D NAND闪存及其制备方法,用于解决现有技术中3D NAND闪存随着栅间介质层厚度的减小很容易造成相邻栅极层之间的漏电,甚至造成相邻栅极层之间的栅间介质层被击穿的问题。

[0005] 为实现上述目的及其他相关目的,本发明提供一种3D NAND闪存,所述3D NAND闪存包括:

[0006] 半导体衬底;

[0007] 叠层结构,位于所述半导体衬底上,所述叠层结构包括交替叠置的栅间介质层及栅极层,所述栅间介质层包括交替叠置的第一漏电抑制层及第二漏电抑制层;

[0008] 沟道通孔,位于所述叠层结构内;

[0009] 功能侧壁,位于所述沟道通孔的侧壁表面;及

[0010] 沟道层,位于所述沟道通孔内,且位于所述功能侧壁的表面及所述沟道通孔的底部。

[0011] 可选地,所述功能侧壁包括:

[0012] 阻挡层,位于所述沟道通孔的侧壁表面;

[0013] 存储层,位于所述阻挡层的表面;及

[0014] 隧穿层,位于所述存储层的表面。

[0015] 可选地,所述阻挡层包括高k介质层及阻挡叠层结构,所述高k介质层位于所述沟道通孔的表面,所述阻挡叠层结构位于所述高k介质层的表面,所述阻挡叠层结构包括沿所述阻挡叠层结构厚度方向交替叠置的氧化物层及氮氧化物层;所述存储层包括沿厚度方向交替叠置的氮化物层及氮氧化物层;所述隧穿层包括沿厚度方向间隔排布的氧化物层及位于所述氧化物层之间的氮氧化物叠层结构。

[0016] 可选地,所述3D NAND闪存还包括:

[0017] 栅极间隙,位于所述叠层结构内,所述栅极间隙贯穿所述叠层结构并延伸至所述半导体衬底内;

[0018] 源极区域,位于所述半导体衬底内,且位于所述栅极间隙的底部;

[0019] 共源线,位于所述栅极间隙内,且与所述源极区域相连接;

[0020] 绝缘隔离层,位于所述栅极间隙内,且位于所述共源线与所述叠层结构之间;

[0021] 填充绝缘层,填充于所述沟道通孔内,且位于所述沟道层的表面。

[0022] 可选地,所述3D NAND闪存还包括黏附层,所述黏附层位于所述栅极层与所述栅间介质层之间及所述栅极层与所述功能侧壁之间。

[0023] 可选地,所述第一漏电抑制层包括氧化物层,所述第二漏电抑制层包括氮氧化物层。

[0024] 可选地,所述第一漏电抑制层包括氧化硅层且所述第二漏电抑制层包括氮氧化硅层,或所述第一漏电抑制层包括氧化钪层且所述第二漏电抑制层包括氮氧化钪层。

[0025] 可选地,所述栅间介质层还包括绝缘介质层,所述绝缘介质层位于所述第一漏电抑制层与所述第二漏电抑制层交替叠置的叠层结构内。

[0026] 本发明还提供一种3D NAND闪存的制备方法,所述3D NAND闪存的制备方法包括步骤:

[0027] 提供半导体衬底,所述半导体衬底上形成有叠层结构,所述叠层结构包括交替叠置的牺牲层及绝缘介质层;

[0028] 于所述叠层结构内形成沟道通孔;

[0029] 于所述沟道通孔的侧壁表面形成功能侧壁,并于所述功能侧壁的表面及所述沟道通孔的底部形成沟道层;

[0030] 于所述叠层结构内形成栅极间隙;

[0031] 基于所述栅极间隙去除所述牺牲层,以形成牺牲间隙;

[0032] 于相邻所述牺牲间隙之间及所述牺牲间隙与所述半导体衬底之间形成栅间介质层,所述栅间介质层包括交替叠置的第一漏电抑制层及第二漏电抑制层;及

[0033] 于所述牺牲间隙内形成栅极层。

[0034] 可选地,所述沟道通孔的侧壁包括竖直侧壁。

[0035] 可选地,于所述沟道通孔的侧壁表面形成所述功能侧壁包括如下步骤:

[0036] 于所述沟道通孔的侧壁表面形成阻挡层;

[0037] 于所述阻挡层的表面形成存储层;及

[0038] 于所述存储层的表面形成隧穿层。

[0039] 可选地,所述阻挡层包括高k介质层及阻挡叠层结构,所述高k介质层位于所述沟道通孔的表面,所述阻挡叠层结构位于所述高k介质层的表面,所述阻挡叠层结构包括沿所

述阻挡叠层结构厚度方向交替叠置的氧化物层及氮氧化物层；所述存储层包括沿厚度方向交替叠置的氮化物层及氮氧化物层；所述隧穿层包括沿厚度方向间隔排布的氧化物层及位于所述氧化物层之间的氮氧化物叠层结构。

[0040] 可选地，所述沟道通孔贯穿所述叠层结构，所述栅极间隙贯穿所述叠层结构并延伸至所述半导体衬底内。

[0041] 可选地，于所述功能侧壁的表面形成所述沟道层之后还包括于所述沟道通孔内形成填充绝缘层的步骤。

[0042] 可选地，于相邻所述牺牲间隙之间及所述牺牲间隙与所述半导体衬底之间形成栅间介质层之后且于所述牺牲间隙内形成栅极层之前，还包括于所述牺牲间隙的侧壁形成黏附层的步骤。

[0043] 可选地，于所述牺牲间隙内形成栅极层之后还包括如下步骤：

[0044] 于所述栅极间隙底部的所述半导体衬底内形成源极区域；及

[0045] 于所述栅极间隙内形成共源线，所述共源线与所述源极区域相接触。

[0046] 可选地，形成所述栅间介质层的同时于所述栅极间隙的底部形成底部氧化物层，于所述栅极间隙底部的所述半导体衬底内形成所述源极区域之后且于所述栅极间隙内形成所述共源线之前，还包括去除所述底部氧化物层的步骤。

[0047] 可选地，于所述栅极间隙内形成所述共源线之前，还包括于所述栅极间隙的侧壁形成绝缘隔离层的步骤。

[0048] 可选地，所述第一漏电抑制层包括氧化物层，所述第二漏电抑制层包括氮氧化物层。

[0049] 可选地，所述绝缘介质层包括氮化硅层，且所述第一漏电抑制层包括氧化硅层，所述第二漏电抑制层包括氮氧化硅层；或所述绝缘介质层包括氮化钪层，且所述第一漏电抑制层包括氧化钪层，所述第二漏电抑制层包括氮氧化钪层。

[0050] 可选地，于相邻所述牺牲间隙之间及所述牺牲间隙与所述半导体衬底之间形成所述栅间介质层包括如下步骤：

[0051] 采用湿氧氧化工艺或干氧氧化工艺对所述绝缘介质层进行氧化处理，以将所述绝缘介质层氧化而形成所述栅间介质层。

[0052] 可选地，所述栅间介质层还包括残留的所述绝缘介质层，残留的所述绝缘介质层位于的所述第一漏电抑制层及所述第二漏电抑制层交替叠置的叠层结构内。

[0053] 如上所述，本发明的3D NAND闪存及其制备方法，具有以下有益效果：

[0054] 本发明3D NAND闪存中的栅间介质层为至少包括交替叠置的第一漏电抑制层及第二漏电抑制层，可以有效减小相邻栅极层之间的漏电，提高相邻栅极层之间的栅间介质层的抗击穿能力，降低相邻栅极层之间的耦合效应。

附图说明

[0055] 图1显示为本发明实施例一中提供的3D NAND闪存的制备方法的流程图。

[0056] 图2显示为本发明实施例一中提供的3D NAND闪存的制备方法中步骤1) 所得结构的截面结构示意图。

[0057] 图3显示为本发明实施例一中提供的3D NAND闪存的制备方法中步骤2) 所得结构

的截面结构示意图。

[0058] 图4至图9显示为本发明实施例一中提供的3D NAND闪存的制备方法中步骤3)所得结构的示意图;其中,图4及图5为于沟道通孔的侧壁表面形成功能侧壁后所得结构的截面结构示意图,图6显示为功能侧壁阻挡层的局部放大结构图,图7显示为功能侧壁存储层的局部放大结构图,图8显示为功能侧壁隧穿层的局部放大结构图,图9为于功能侧壁表面形成沟道层后所得结构的截面结构示意图。

[0059] 图10显示为本发明实施例一中提供的3D NAND闪存的制备方法中于沟道通孔内形成填充绝缘层后所得结构的截面结构示意图。

[0060] 图11显示为本发明实施例一中提供的3D NAND闪存的制备方法中步骤4)所得结构的截面结构示意图。

[0061] 图12显示为本发明实施例一中提供的3D NAND闪存的制备方法中步骤5)所得结构的截面结构示意图。

[0062] 图13至图16显示为本发明实施例一中提供的3D NAND闪存的制备方法中步骤6)所得结构的示意图;其中,图13及图15为不同示例中步骤6)所得结构的截面结构示意图,图14为图13中的栅间介质层的结构示意图,图16为图15中的栅间介质层的结构示意图。

[0063] 图17及图18显示为本发明实施例一中提供的3D NAND闪存的制备方法中于牺牲间隙的侧壁形成黏附层后所得结构的截面结构示意图。

[0064] 图19及图20显示为本发明实施例一中提供的3D NAND闪存的制备方法中步骤7)所得结构的截面结构示意图。

[0065] 图21及图22显示为本发明实施例一中提供的3D NAND闪存的制备方法中步骤8)所得结构的截面结构示意图。

[0066] 图23及图24显示为本发明实施例一中提供的3D NAND闪存的制备方法中去除底部氧化物层后所得结构的截面结构示意图。

[0067] 图25及图26显示为本发明实施例一中提供的3D NAND闪存的制备方法中于栅极间隙的侧壁形成绝缘隔离层后所得结构的截面结构示意图。

[0068] 图27至图30显示为本发明实施例一中提供的3D NAND闪存的制备方法中步骤9)所得结构的截面结构示意图;同时,图27及图28亦为实施例二中提供的3D NAND闪存的截面结构示意图;图29为图27中的栅间介质层的结构示意图,图30为图28中的栅间介质层的结构示意图。

[0069] 图31显示为本发明实施例二中提供的3D闪存中功能侧壁阻挡层的局部放大结构图。

[0070] 图32显示为本发明实施例二中提供的3D闪存中功能侧壁存储层的局部放大结构图。

[0071] 图33显示为本发明实施例二中提供的3D闪存中功能侧壁隧穿层的局部放大结构图。

[0072] 元件标号说明

[0073] 10 半导体衬底

[0074] 11、31 叠层结构

[0075] 111 牺牲层

[0076]	112	绝缘介质层
[0077]	12	沟道通孔
[0078]	13	功能侧壁
[0079]	131	阻挡层
[0080]	131a	高k介质层
[0081]	131b	阻挡叠层结构
[0082]	131c、133a	氧化物层
[0083]	131d、132b、133c	氮氧化物层
[0084]	132	存储层
[0085]	132a	氮化物层
[0086]	133	隧穿层
[0087]	133b	氮氧化物叠层结构
[0088]	14	沟道层
[0089]	15	栅极间隙
[0090]	16	牺牲间隙
[0091]	17	栅间介质层
[0092]	171	第一漏电抑制层
[0093]	172	第二漏电抑制层
[0094]	18	栅极层
[0095]	19	填充绝缘层
[0096]	20	源极区域
[0097]	21	共源线
[0098]	22	底部氧化物层
[0099]	23	绝缘隔离层
[0100]	24	黏附层

具体实施方式

[0101] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0102] 需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,虽图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0103] 实施例一

[0104] 请参阅图1,本发明提供一种3D NAND闪存的制备方法,所述3D NAND闪存的制备方法包括步骤:

[0105] 1) 提供半导体衬底,所述半导体衬底上形成有叠层结构,所述叠层结构包括交替

叠置的牺牲层及绝缘介质层；

[0106] 2) 于所述叠层结构内形成沟道通孔；

[0107] 3) 于所述沟道通孔的侧壁表面形成功能侧壁，并于所述功能侧壁的表面及所述沟道通孔的底部形成沟道层；

[0108] 4) 于所述叠层结构内形成栅极间隙；

[0109] 5) 基于所述栅极间隙去除所述牺牲层，以形成牺牲间隙；

[0110] 6) 于相邻所述牺牲间隙之间及所述牺牲间隙与所述半导体衬底之间形成栅间介质层，所述栅间介质层包括交替叠置的第一漏电抑制层及第二漏电抑制层；及

[0111] 7) 于所述牺牲间隙内形成栅极层。

[0112] 在步骤1) 中，请参阅图1中的S1步骤及图2，提供半导体衬底10，所述半导体衬底10上形成有叠层结构11，所述叠层结构11包括交替叠置的牺牲层111及绝缘介质层112。

[0113] 作为示例，所述半导体衬底10可以根据器件的实际需求进行选择，所述半导体衬底10可以包括硅衬底、锗(Ge)衬底、锗化硅(SiGe)衬底、SOI(Silicon-on-insulator, 绝缘体上硅)衬底或GOI(Germanium-on-Insulator, 绝缘体上锗)衬底等等；优选地，本实施例中，所述半导体衬底10包括单晶硅晶圆。

[0114] 需要说明的是，所述半导体衬底10为进行离子掺杂后的衬底，具体地，所述半导体衬底10可以为P型掺杂衬底，也可以为N型掺杂衬底。

[0115] 作为示例，所述绝缘介质层112的材料可以包括氮化硅或氮化铝等等。

[0116] 作为示例，所述牺牲层111可以为任意一种相较于所述绝缘介质层112具有较高刻蚀选择比的材料，譬如，所述牺牲层111的材料可以包括多晶硅、碳或有机薄膜等等。

[0117] 作为示例，所述叠层结构11可以包括由下至上依次交替叠置的所述绝缘介质层112及所述牺牲层111，即所述叠层结构11的底层及顶层均为所述绝缘介质层112，位于顶层的所述绝缘介质层112的上表面即为所述叠层结构11的上表面。

[0118] 在步骤2) 中，请参阅图1中的S2步骤及图3，于所述叠层结构11内形成沟道通孔12。

[0119] 作为示例，于所述叠层结构11内形成所述沟道通孔12可以包括如下步骤：

[0120] 2-1) 于所述叠层结构的上表面形成图形化掩膜层(未示出)，所述图形化掩膜层内形成有定义出所述沟道通孔12的形状及位置的开口图形；

[0121] 2-2) 基于所述图形化掩膜层刻蚀所述叠层结构11以形成所述沟道通孔12，具体地，可以采用干法刻蚀工艺或湿法刻蚀工艺刻蚀所述叠层结构11，优选地，本实施例中，采用干法刻蚀工艺刻蚀所述叠层结构11；

[0122] 2-3) 去除所述图形化掩膜层。

[0123] 作为示例，所述沟道通孔12的侧壁可以为竖直侧壁。

[0124] 作为示例，所述沟道通孔12沿所述叠层结构11的厚度方向贯穿所述叠层结构11。

[0125] 作为示例，所述沟道通孔12的数量及分布情况可以根据所要形成的器件结构的实际需要进行设定，此处不做限定。

[0126] 在步骤3) 中，请参阅图1中的S3步骤及图4至图9，于所述沟道通孔12的侧壁表面形成功能侧壁13，并于所述功能侧壁13的表面及所述沟道通孔12的底部形成沟道层14。

[0127] 作为示例，于所述沟道通孔12的侧壁表面形成所述功能侧壁13可以包括如下步骤：

[0128] 3-1) 于所述沟道通孔12的侧壁表面形成阻挡层131;

[0129] 3-2) 于所述阻挡层131的表面形成存储层132;及

[0130] 3-3) 于所述存储层132的表面形成隧穿层133。

[0131] 作为示例,步骤3-1)中,可以采用物理气相沉积(Physical Vapor Deposition, PVD)工艺、化学气相沉积(Chemical Vapor Deposition, CVD)工艺或原子层沉积(Atomic Layer Deposition, ALD)工艺于所述沟道通孔12的侧壁表面形成所述阻挡层131;优选地,本实施例中,采用原子层沉积工艺于所述沟道通孔12的侧壁表面形成所述阻挡层131。

[0132] 需要说明的是,所述功能侧壁13可以同时形成于所述沟道通孔12的侧壁表面及所述沟道通孔12的底部,如图4所示;此时,形成所述功能侧壁13之后还包括去除位于所述沟道通孔12底部的所述功能侧壁13的步骤,去除位于所述所述沟道通孔12底部的所述功能侧壁13之后所得的结构如图5所示。

[0133] 作为示例,请参阅图6,所述阻挡层131可以包括高k(介电常数)介质层131a及阻挡叠层结构131b;所述高k介质层131a位于所述沟道通孔12的表面,所述阻挡叠层结构131b位于所述高k介质层131a的表面;所述阻挡叠层结构131b包括沿所述阻挡叠层结构131b厚度方向交替叠置的氧化物层131c及氮氧化物层131d。所述阻挡叠层结构131b中,所述氧化物层131c及所述氮氧化物层131d交替叠置的周期数可以根据实际需要进行设定,此处不做限定;所述氧化物层131c及所述氮氧化物层131d交替叠置的顺序可以根据实际需要进行设定,图6中仅以所述阻挡层131自所述高k介质层131a向外包括依次交替叠置的所述氧化物层131c及所述氮氧化物层131d作为示例,图6中仅示意出两层所述氧化物层131c及一层所述氮氧化物层131d,在实际示例中并不以此为限。

[0134] 作为示例,所述高k介质层131a的材料可以包括氧化铝或氧化铪等等,所述氧化层131c的材料可以包括氧化硅或氧化铪等等,所述氮氧化物层131d的材料可以包括氮氧化硅或氮氧化铪等等。

[0135] 作为示例,步骤3-2)中,可以采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺于所述阻挡层131的表面形成所述存储层132;优选地,本实施例中,采用原子层沉积工艺于所述阻挡层131的表面形成所述存储层132。

[0136] 作为示例,请参阅图7,所述存储层132包括沿厚度方向交替叠置的氮化物层132a及氮氧化物层132b;所述氮化物层132a及所述氮氧化物层132b交替叠置的顺序可以根据实际需要进行设定,所述氮化物层132a及所述氮氧化物层132b交替叠置的周期数可以根据实际需要进行设定,图7中仅以所述存储层132自所述阻挡层131向外包括依次交替的所述氮化物层132a及所述氮氧化物层132b作为示例,且图7中仅示意出三层所述氮化物层132a及两层所述氮氧化物层132b,在实际示例中并不以此为限。

[0137] 作为示例,所述氮化物层132a的材料可以包括氮化硅或氮化铪等等,所述氮氧化物层132b的材料可以包括氮氧化硅或氮氧化铪等等。

[0138] 在步骤3-3)中,可以采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺于所述存储层132的表面形成所述隧穿层133;优选地,本实施例中,采用原子层沉积工艺于所述存储层132的表面形成所述隧穿层133。

[0139] 作为示例,请参阅图8,所述隧穿层133可以包括沿厚度方向间隔排布的氧化物层133a及位于所述氧化物层133a之间的氮氧化物叠层结构133b,所述氮氧化物叠层结构133b

包括多层沿所述隧穿层133厚度方向叠置的氮氧化物层133c。

[0140] 作为示例,所述氮化物层133a的材料可以包括氮化硅或氮化铝等等,所述氮氧化物层133c的材料可以包括氮氧化硅或氮氧化铝等等。

[0141] 需要说明的是,所述氮氧化物叠层结构133b中所述氮氧化物层133c的层数可以根据实际需要进行设定,此处不做限定。

[0142] 需要进一步说明的是,所述氮氧化物叠层结构133b中各层所述氮氧化物层133c不尽相同,各层所述氮氧化物层133c中的各元素的原子比不尽相同,譬如,以所述氮氧化物层133c的材料为氮氧化硅作为示例,各所述氮氧化物层133c中的氮、氧及硅三者的原子比不尽相同。

[0143] 作为示例,可以采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺于所述功能侧壁13的表面及所述沟道通孔12的底部形成所述沟道层14;优选地,本实施例中,采用原子层沉积工艺于所述功能侧壁13的表面及所述沟道通孔12的底部形成所述沟道层14,形成所述沟道层14后所得结构如图9所示。

[0144] 作为示例,所述沟道层14的材料可以包括多晶硅。当然,在其他示例中,所述沟道层14的材料还可以为其他的半导体材料。

[0145] 作为示例,所述功能侧壁13与所述沟道层14的厚度之和可以小于所述沟道通孔12的宽度的一半,如图4及图5所示,此时,形成所述沟道层14后所述沟道通孔12内还保留有填充绝缘层的预留空间;在其他示例中,所述沟道层14还可以填满所述沟道通孔12。

[0146] 作为示例,如图10所示,于所述功能侧壁13的表面形成所述沟道层14之后还包括于所述沟道通孔12内形成填充绝缘层19的步骤。

[0147] 作为示例,可以采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺于所述沟道通孔12内形成所述填充绝缘层19;优选地,本实施例中,采用原子层沉积工艺于所述沟道通孔12内形成所述填充绝缘层19。

[0148] 作为示例,所述填充绝缘层19的材料可以包括氧化介质层,譬如氧化硅等等。所述填充绝缘层19可以填满所述沟道通孔12。

[0149] 在步骤4)中,请参阅图1中的S4步骤及图11,于所述叠层结构11内形成栅极间隙(Gate Line Slit, GLS) 15。

[0150] 作为示例,于所述叠层结构11内形成栅极间隙15可以包括如下步骤:

[0151] 4-1) 于所述叠层结构11的上表面形成图形化掩膜层(未示出),所述图形化掩膜层内形成有定义出所述栅极间隙15的形状及位置的开口图形;

[0152] 4-2) 基于所述图形化掩膜层刻蚀所述叠层结构11以形成所述栅极间隙15,具体地,可以采用干法刻蚀工艺或湿法刻蚀工艺刻蚀所述叠层结构11,优选地,本实施例中,采用干法刻蚀工艺刻蚀所述叠层结构11;

[0153] 4-3) 去除所述图形化掩膜层。

[0154] 作为示例,所述栅极间隙15的位置及数量可以根据实际需要进行设定,此处不做限定。

[0155] 作为示例,所述栅极间隙15可以贯穿所述叠层结构11直至所述半导体衬底10的上表面;当然,所述栅极间隙15还可以贯穿所述叠层结构11并延伸至所述半导体衬底10内,如图11所示。

[0156] 在步骤5)中,请参阅图1中的S5步骤及图12,基于所述栅极间隙15去除所述牺牲层111,以形成牺牲间隙16。

[0157] 作为示例,可以采用湿法刻蚀工艺去除所述牺牲层111,具体地,可以采用对所述牺牲层111具有较高刻蚀去除速率,且对所述绝缘介质层112几乎不能去除的湿法腐蚀液进行湿法腐蚀以去除所述牺牲层111;具体地,将所述湿法腐蚀液置于所述栅极间隙15内,所述湿法腐蚀液横向腐蚀所述牺牲层111以将所述牺牲层111去除。

[0158] 作为示例,所述牺牲层111被去除后,于相邻所述绝缘介质层112之间形成所述牺牲间隙16,所述牺牲间隙16对应于未去除之前的所述牺牲层111。

[0159] 在步骤6)中,请参阅图1中的S6步骤及图13至图16,于相邻所述牺牲间隙16之间及所述牺牲间隙16与所述半导体衬底10之间形成栅间介质层17,所述栅间介质层17包括交替叠置的第一漏电抑制层171及第二漏电抑制层172。

[0160] 作为示例,所述第一漏电抑制层171可以包括氧化物层,所述第二漏电抑制层172可以包括氮氧化物层。具体地,所述第一漏电抑制层171可以包括氧化硅层或氧化钪层,所述第二漏电抑制层172可以包括氮氧化硅层或氮氧化钪层。

[0161] 作为示例,可以采用湿氧氧化工艺或干氧氧化工艺对所述绝缘介质层112进行氧化处理,以将所述绝缘介质层112氧化成所述栅间介质层17;具体地,在氧化工艺过程中,可以通过调节工艺参数(譬如,反应气体、反应压力及反应温度等等)使得所述绝缘介质层112被氧化而形成交替叠置的所述第一漏电抑制层171及所述第二漏电抑制层172。在一示例中,可以为所述绝缘介质层112被完全反应而全部形成所述第一漏电抑制层171及所述第二漏电抑制层172,如图13及图14所示;在另一示例中,也可以为部分所述绝缘介质层112发生反应而形成所述第一漏电抑制层171及所述第二漏电抑制层172,此时,所述第一漏电抑制层171及所述第二漏电抑制层172交替叠置的叠层结构内还残留有部分所述绝缘介质层112,如图15及图16所示。

[0162] 需要说明的是,所述绝缘介质层112反应转化为所述第一漏电抑制层171及所述第二漏电抑制层172的过程中,由于反应过程是由所述绝缘介质层112表面向所述绝缘介质层112内部逐步进行,所述栅极间隙15的侧壁会同时形成沿所述栅极间隙15的宽度方向交替叠置的所述第一漏电抑制层171及所述第二漏电抑制层172,如图15所示。

[0163] 作为示例,形成所述栅间介质层17的同时于所述栅极间隙15的底部形成底部氧化物层22,如图13及图15所示,底部氧化物层22因半导体衬底10暴露于栅极间隙15的表面氧化而成。

[0164] 作为示例,如图17及图18所示,步骤6)之后还包括于所述牺牲间隙16的侧壁形成黏附层24的步骤。具体地,可以采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺于所述牺牲间隙16的侧壁形成所述黏附层24,优选地,本实施例中,采用原子层沉积工艺于所述牺牲间隙16的侧壁形成所述黏附层24。通过在所述牺牲间隙16的侧壁形成所述黏附层24,可以增加后续形成的所述栅极层18与所述栅间介质层17及所述功能侧壁13的粘附力,更利于后续所述栅极层18的形成。其中,图17为所述绝缘介质层112被完全反应而全部形成所述第一漏电抑制层171及所述第二漏电抑制层172对应结构的截面结构示意图,图18为部分所述绝缘介质层112发生反应而形成所述第一漏电抑制层171及所述第二漏电抑制层172对应结构的截面结构示意图。

[0165] 作为示例,所述黏附层24可以包括钛层及氮化钛层(Ti/TiN)等等。

[0166] 在步骤7)中,请参阅图1中的S7步骤及图19及图20,于所述牺牲间隙16内形成栅极层18。图19为所述绝缘介质层112被完全反应而全部形成所述第一漏电抑制层171及所述第二漏电抑制层172对应结构的截面结构示意图,图20为部分所述绝缘介质层112发生反应而形成所述第一漏电抑制层171及所述第二漏电抑制层172对应结构的截面结构示意图。

[0167] 作为示例,可以采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺于所述牺牲间隙16内形成所述栅极层18。

[0168] 作为示例,所述栅极层18的材料可以包括金属(譬如,钨或钴等等)或硅,优选地,本实施例中,所述栅极层18的材料可以包括掺杂多晶硅。

[0169] 形成所述栅极层18之后,所述半导体衬底10上形成有包括交替叠置的所述栅极层18及所述栅间介质层17的叠层结构31。

[0170] 作为示例,请参阅图21至图30,于所述牺牲间隙16内形成所述栅极层18之后还包括如下步骤:

[0171] 8) 于所述栅极间隙15底部的所述半导体衬底10内形成源极区域20,如图21及图22所示;及

[0172] 9) 于所述栅极间隙15内形成共源线21,所述共源线21与所述源极区域20相接触,如图27及图28所示。图21及图27为所述绝缘介质层112被完全反应而全部形成所述第一漏电抑制层171及所述第二漏电抑制层172对应结构的截面结构示意图,图22及图28为部分所述绝缘介质层112发生反应而形成所述第一漏电抑制层171及所述第二漏电抑制层172对应结构的截面结构示意图。

[0173] 作为示例,步骤8)中,可以采用离子注入工艺对所述栅极间隙15底部的所述半导体衬底10进行离子注入,以形成所述源极区域20。

[0174] 需要说明的是,对所述栅极间隙15底部的所述半导体衬底10进行离子注入时,位于所述栅极间隙15底部的所述底部氧化物层22并未被去除,所述底部氧化物层22的存在可以在离子注入过程中对所述半导体衬底10进行保护,以避免离子注入对所述半导体衬底10造成晶格损伤。

[0175] 作为示例,请参阅图23及图24,于所述栅极间隙15底部的所述半导体衬底10内形成所述源极区域20之后还包括去除所述底部氧化物层22的步骤。具体地,可以采用干法刻蚀工艺或湿法刻蚀工艺去除所述底部氧化物层22。

[0176] 需要说明的是,当如图24所示的部分所述绝缘介质层112发生反应而形成所述漏电抑制层171及第二漏电抑制层172时,在去除所述底部氧化物层22的同时,位于所述栅极间隙15侧壁交替叠置的所述第一漏电抑制层171及所述第二漏电抑制层172被一并去除,如图24所示;图24仅以所述栅间介质层17内还残留有所述绝缘介质层112作为示例。当然,在其他示例中,位于所述栅极间隙15侧壁交替叠置的所述第一漏电抑制层171及所述第二漏电抑制层172也可以不被去除而保留。

[0177] 作为示例,请参阅图25及图26,于所述栅极间隙15内形成所述共源线21之前,还包括于所述栅极间隙15的侧壁形成绝缘隔离层23的步骤。具体地,可以采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺于所述栅极间隙15的侧壁形成所述绝缘隔离层23。所述绝缘隔离层23用于将所述共源线21与所述栅极层18电隔离,所述绝缘隔离层23的

材料可以包括但不限于氧化硅、氮化硅、氮氧化硅或氧化铪等等。图25为所述绝缘介质层112被完全反应而全部形成所述第一漏电抑制层171及所述第二漏电抑制层172对应结构的截面结构示意图,图26为部分所述绝缘介质层112发生反应而形成所述第一漏电抑制层171及所述第二漏电抑制层172对应结构的截面结构示意图。

[0178] 需要说明的是,在形成所述绝缘隔离层23的时候,所述绝缘隔离层23可以同时形成于所述栅极间隙15的侧壁及所述栅极间隙15的底部,此时,为了确保所述栅极间隙15内形成的所述共源线21与所述源极区域20电接触,所述绝缘隔离层23形成之后,还包括将位于所述栅极间隙15底部的所述绝缘隔离层23去除的步骤。

[0179] 作为示例,步骤9)中,可以采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺于所述栅极间隙15内形成所述共源线21,优选地,本实施例中,采用原子层沉积工艺于所述栅极间隙15内形成所述共源线21。

[0180] 作为示例,所述共源线21的材料可以包括金属(譬如,铜、铝、金、银、镍或钴等等)或掺杂多晶硅等等。所述共源线21填满所述栅极间隙15,即所述共源线21的上表面可以与所述栅极间隙15的上表面相平行。

[0181] 本实施例制备的所述3D NAND闪存中的所述栅间介质层17为至少包括交替叠置的所述第一漏电抑制层171及所述第二漏电抑制层172,可以有效减小相邻所述栅极层18之间的漏电,提高相邻所述栅极层18之间的所述栅间介质层17的抗击穿能力,降低相邻所述栅极层18之间的耦合效应。

[0182] 实施例二

[0183] 请参阅图27及图28,本发明还提供一种3D NAND闪存,所述3D NAND闪存包括:半导体衬底10;叠层结构31,所述叠层结构31位于所述半导体衬底10上,所述叠层结构10包括交替叠置的栅间介质层17及栅极层18,所述栅间介质层17包括交替叠置的第一漏电抑制层171及第二漏电抑制层172;沟道通孔12,所述沟道通孔12位于所述叠层结构31内;功能侧壁13,所述功能侧壁13位于所述沟道通孔12的侧壁表面;及沟道层14,所述沟道层14位于所述沟道通孔12内,且位于所述功能侧壁13的表面及所述沟道通孔12的底部。

[0184] 作为示例,所述半导体衬底10可以根据器件的实际需求进行选择,所述半导体衬底10可以包括硅衬底、锗(Ge)衬底、锗化硅(SiGe)衬底、SOI(Silicon-on-insulator,绝缘体上硅)衬底或GOI(Germanium-on-Insulator,绝缘体上锗)衬底等等;优选地,本实施例中,所述半导体衬底10包括单晶硅晶圆。

[0185] 需要说明的是,所述半导体衬底10为进行离子掺杂后的衬底,具体地,所述半导体衬底10可以为P型掺杂衬底,也可以为N型掺杂衬底。

[0186] 作为示例,所述叠层结构31可以包括由下至上依次交替叠置的所述栅间介质层17及所述栅极层18,即所述叠层结构31的底层及顶层均为所述栅间介质层17,位于顶层的所述栅间介质层17的上表面即为所述叠层结构31的上表面。

[0187] 作为示例,所述第一漏电抑制层171可以包括氧化物层,所述第二漏电抑制层172可以包括氮氧化物层。具体地,所述第一漏电抑制层171可以包括氧化硅层或氧化铪层,所述第二漏电抑制层172可以包括氮氧化硅层或氮氧化铪层。

[0188] 作为示例,可以采用湿氧氧化工艺或干氧氧化工艺对含氮绝缘介质层(即如实施例一所述的绝缘介质层112,譬如氮化硅或氮化铪等)进行氧化处理得到所述栅间介质层

17。

[0189] 在一示例中,所述栅间介质层17可以仅包括所述第一漏电抑制层171及所述第二漏电抑制层172,如图27及图29所示;在另一示例中,所述栅间介质层17也可以除了包括所述第一漏电抑制层171及所述第二漏电抑制层172,还包括绝缘介质层112,所述绝缘介质层112位于所述第一漏电抑制层171与所述第二漏电抑制层172交替叠置的叠层结构内,如图28及图30所示。所述绝缘介质层112的材料可以包括氮化硅或氮化镓等等。

[0190] 作为示例,所述栅极层18的材料可以包括金属(譬如,钨或钴等等)或硅,优选地,本实施例中,所述栅极层18的材料可以包括掺杂多晶硅。

[0191] 作为示例,所述沟道通孔12的侧壁可以为竖直侧壁。

[0192] 作为示例,所述沟道通孔12沿所述叠层结构31的厚度方向贯穿所述叠层结构31。

[0193] 作为示例,所述沟道通孔12的数量及分布情况可以根据所要形成的器件结构的实际需要进行设定,此处不做限定。

[0194] 作为示例,所述功能侧壁13可以包括:阻挡层131,所述阻挡层131位于所述沟道通孔12的侧壁表面;存储层132,所述存储层132位于所述阻挡层131的表面;及隧穿层133,所述隧穿层133位于所述存储层132的表面。

[0195] 作为示例,请参阅图31,所述阻挡层131可以包括高k介质层131a及阻挡叠层结构131b;所述高k介质层131a位于所述沟道通孔12的表面,所述阻挡叠层结构131b位于所述高k介质层131a的表面;所述阻挡叠层结构131b包括沿所述阻挡叠层结构131b厚度方向交替叠置的氧化物层131c及氮氧化物层131d。所述阻挡叠层结构131b中,所述氧化物层131c及所述氮氧化物层131d交替叠置的周期数可以根据实际需要进行设定,此处不做限定;所述氧化物层131c及所述氮氧化物层131d交替叠置的顺序可以根据实际需要进行设定,图31中仅以所述阻挡层131自所述高k介质层131a向外包括依次交替叠置的所述氧化物层131c及所述氮氧化物层131d作为示例,图31中仅示意出两层所述氧化物层131c及一层所述氮氧化物层131d,在实际示例中并不以此为限。

[0196] 作为示例,所述高k介质层131a的材料可以包括氧化铝或氧化镓等等,所述氧化物层131c的材料可以包括氧化硅或氧化镓等等,所述氮氧化物层131d的材料可以包括氮氧化硅或氮氧化镓等等。

[0197] 作为示例,请参阅图32,所述存储层132包括沿厚度方向交替叠置的氮化物层132a及氮氧化物层132b;所述氮化物层132a及所述氮氧化物层132b交替叠置的顺序可以根据实际需要进行设定,所述氮化物层132a及所述氮氧化物层132b交替叠置的周期数可以根据实际需要进行设定,图32中仅以所述存储层132自所述阻挡层131向外包括依次交替的所述氮化物层132a及所述氮氧化物层132b作为示例,且图32中仅示意出三层所述氮化物层132a及两层所述氮氧化物层132b,在实际示例中并不以此为限。

[0198] 作为示例,所述氮化物层132a的材料可以包括氮化硅或氮化镓等等,所述氮氧化物层132b的材料可以包括氮氧化硅或氮氧化镓等等。

[0199] 作为示例,请参阅图33,所述隧穿层133可以包括沿厚度方向间隔排布的氧化物层133a及位于所述氧化物层133a之间的氮氧化物叠层结构133b,所述氮氧化物叠层结构133b包括多层沿所述隧穿层133厚度方向叠置的氮氧化物层133c。

[0200] 作为示例,所述氮化物层133a的材料可以包括氮化硅或氮化镓等等,所述氮氧化

物层133c的材料可以包括氮氧化硅或氮氧化铅等等。

[0201] 需要说明的是,所述氮氧化物叠层结构133b中所述氮氧化物层133c的层数可以根据实际需要进行设定,此处不做限定。

[0202] 需要进一步说明的是,所述氮氧化物叠层结构133b中各层所述氮氧化物层133c不尽相同,各层所述氮氧化物层133c中的各元素的原子比不尽相同,譬如,以所述氮氧化物层133c的材料为氮氧化硅作为示例,各所述氮氧化物层133c中的氮、氧及硅三者的原子比不尽相同。

[0203] 作为示例,所述沟道层14的材料可以包括多晶硅。当然,在其他示例中,所述沟道层14的材料还可以为其他的半导体材料。

[0204] 作为示例,所述功能侧壁13与所述沟道层14的厚度之和可以小于所述沟道通孔12的宽度的一半,如图27及图28所示,此时,形成所述沟道层14后所述沟道通孔12内还保留有填充绝缘层的预留空间;在其他示例中,所述沟道层14还可以填满所述沟道通孔12。

[0205] 作为示例,所述3DNAND闪存还可以包括:栅极间隙15,所述栅极间隙15位于所述叠层结构31内,所述栅极间隙15贯穿所述叠层结构31并延伸至所述半导体衬底10内;源极区域20,所述源极区域20位于所述半导体衬底10内,且位于所述栅极间隙15的底部;共源线21,所述共源线21位于所述栅极间隙15内,且与所述源极区20域相连接;绝缘隔离层23,所述绝缘隔离层23位于所述栅极间隙15内,且位于所述共源线21与所述叠层结构31之间;填充绝缘层19,所述填充绝缘层19填充于所述沟道通孔12内,且位于所述沟道层14的表面。

[0206] 作为示例,所述栅极间隙15的位置及数量可以根据实际需要进行设定,此处不做限定。

[0207] 作为示例,所述栅极间隙15可以贯穿所述叠层结构11直至所述半导体衬底10的上表面;当然,所述栅极间隙15还可以贯穿所述叠层结构11并延伸至所述半导体衬底10内,如图27及图28所示。

[0208] 作为示例,可以采用离子注入工艺对所述栅极间隙15底部的所述半导体衬底10进行离子注入,以形成所述源极区域20。

[0209] 作为示例,所述共源线21的材料可以包括金属(譬如,铜、铝、金、银、镍或钴等等)或掺杂多晶硅等等。所述共源线21填满所述栅极间隙15,即所述共源线21的上表面可以与所述栅极间隙15的上表面相平行。

[0210] 作为示例,所述绝缘隔离层23用于将所述共源线21与所述栅极层18电隔离,所述绝缘隔离层23的材料可以包括但不限于氧化硅、氮化硅或氧化铅等等。

[0211] 作为示例,所述填充绝缘层19的材料可以包括氧化介质层,譬如氧化硅等等。所述填充绝缘层19可以填满所述沟道通孔12。

[0212] 作为示例,所述3DNAND闪存还包括黏附层24,所述黏附层24位于所述栅极层18与所述栅间介质层17之间及所述栅极层18与所述功能侧壁13之间。通过在所述牺牲间隙16的侧壁形成所述黏附层24,可以增加后续形成的所述栅极层18与所述栅间介质层17及所述功能侧壁13的粘附力,更利于后续所述栅极层18的形成。

[0213] 作为示例,所述黏附层24可以包括钛层及氮化钛层(Ti/TiN)等等。

[0214] 本实施例的所述3D NAND闪存中的所述栅间介质层17为至少包括交替叠置的所述第一漏电抑制层171及所述第二漏电抑制层172,可以有效减小相邻所述栅极层18之间的漏

电,提高相邻所述栅极层18之间的所述栅间介质层17的抗击穿能力,降低相邻所述栅极层18之间的耦合效应。

[0215] 如上所述,本发明的3D NAND闪存及其制备方法,所述3D NAND闪存包括:半导体衬底;叠层结构,位于所述半导体衬底上,所述叠层结构包括交替叠置的栅间介质层及栅极层,所述栅间介质层包括交替叠置的第一漏电抑制层及第二漏电抑制层;沟道通孔,位于所述叠层结构内;功能侧壁,位于所述沟道通孔的侧壁表面;及沟道层,位于所述沟道通孔内,且位于所述功能侧壁的表面及所述沟道通孔的底部。本发明3D NAND闪存中的栅间介质层为至少包括交替叠置的第一漏电抑制层及第二漏电抑制层,可以有效减小相邻栅极层之间的漏电,提高相邻栅极层之间的栅间介质层的抗击穿能力,降低相邻栅极层之间的耦合效应。

[0216] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

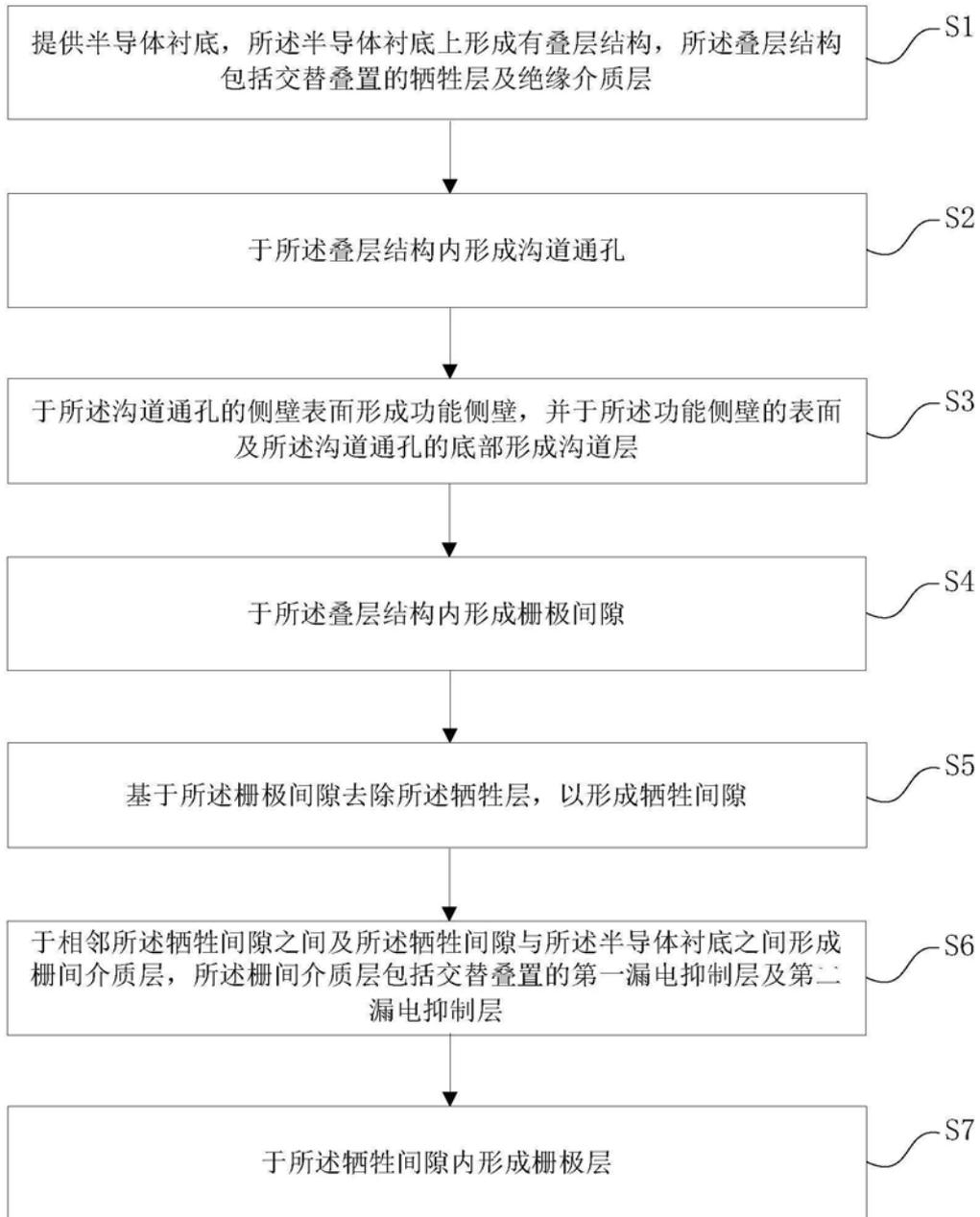


图1

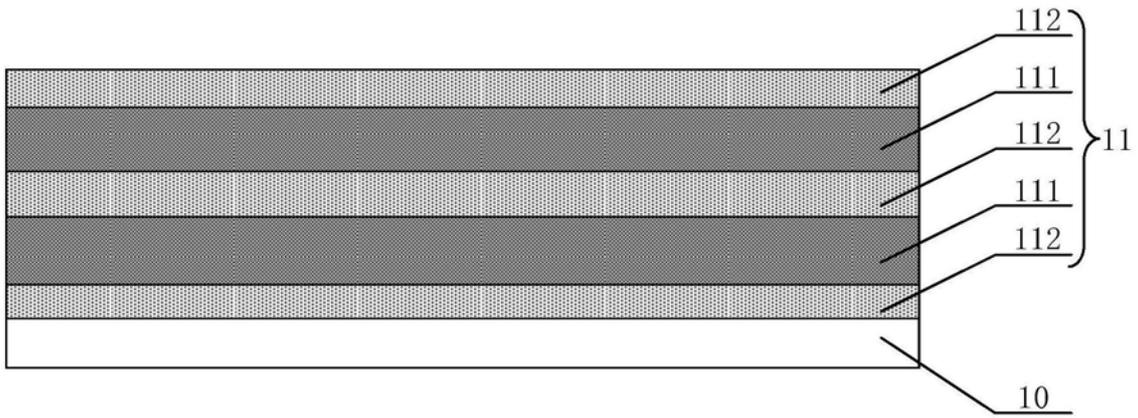


图2

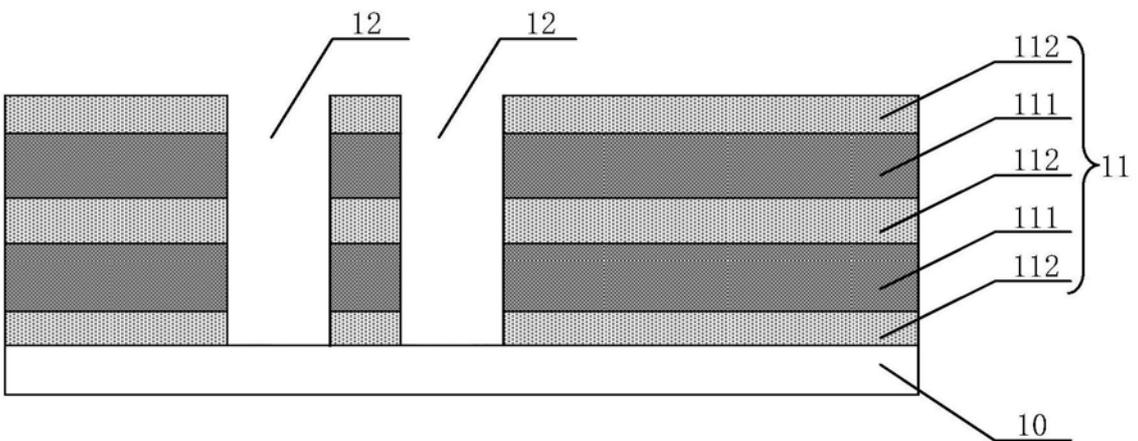


图3

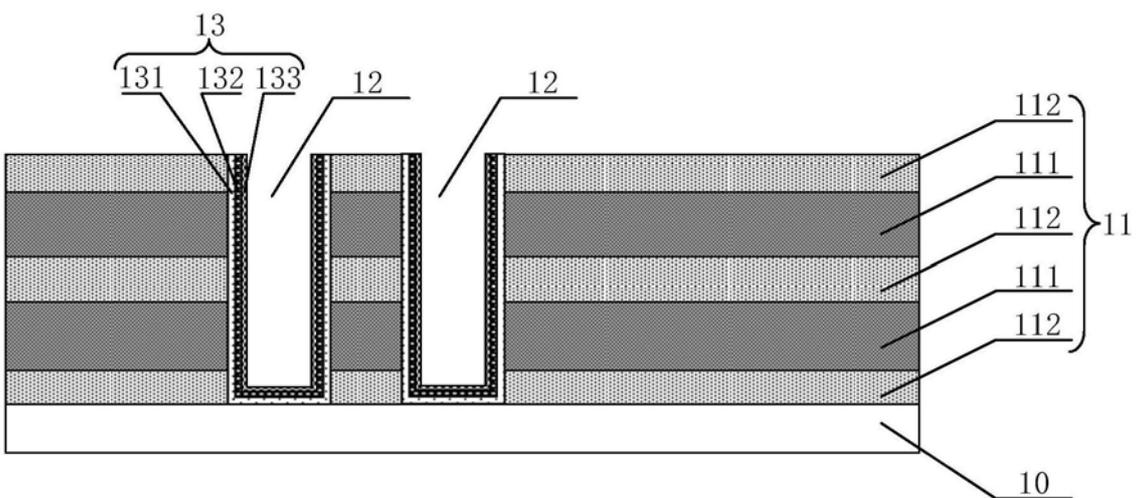


图4

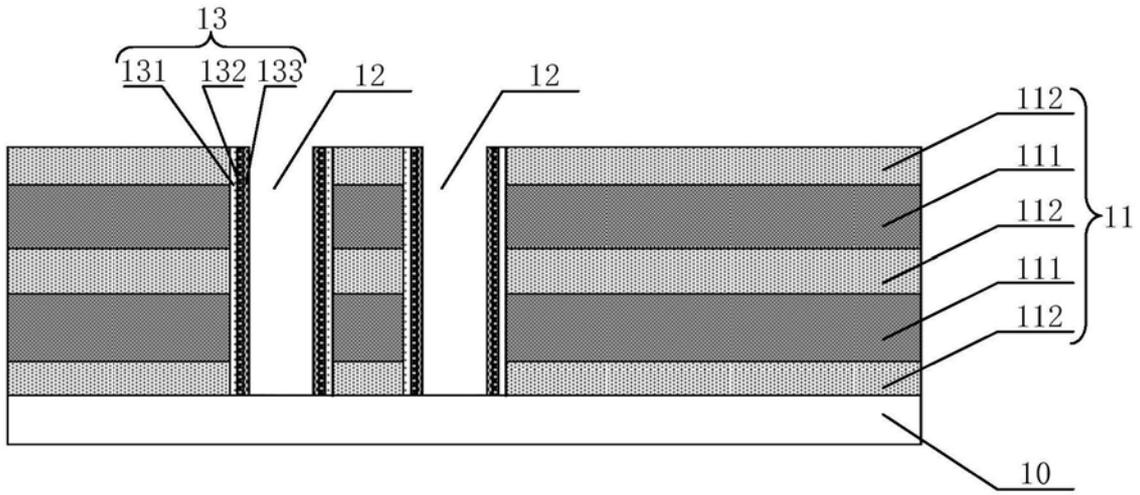


图5

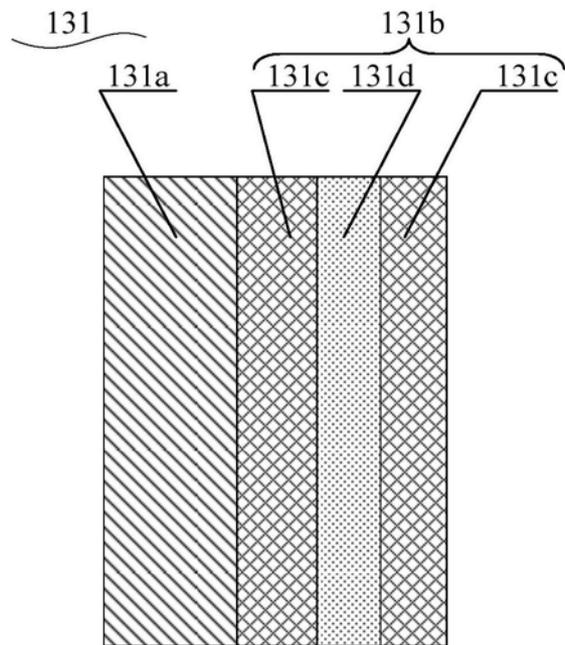


图6

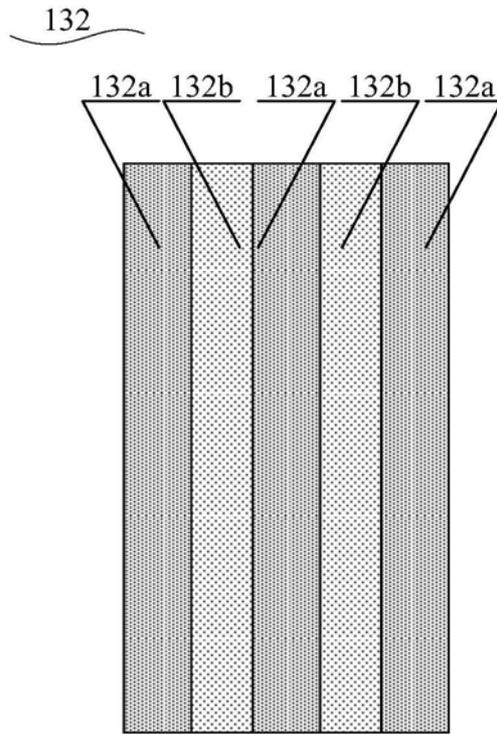


图7

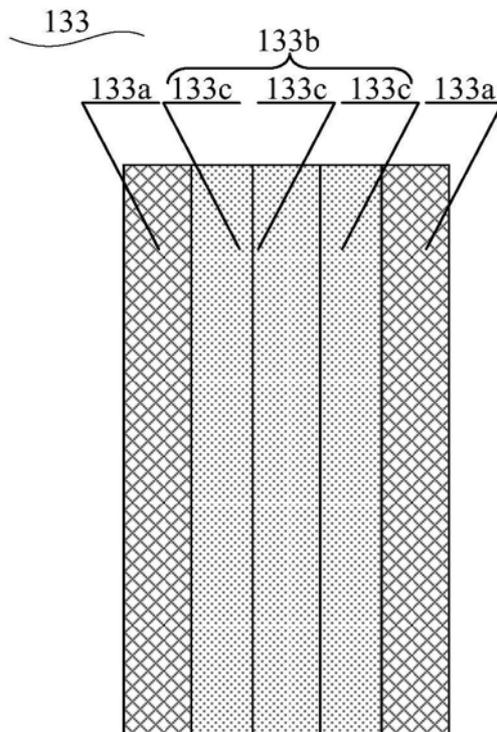


图8

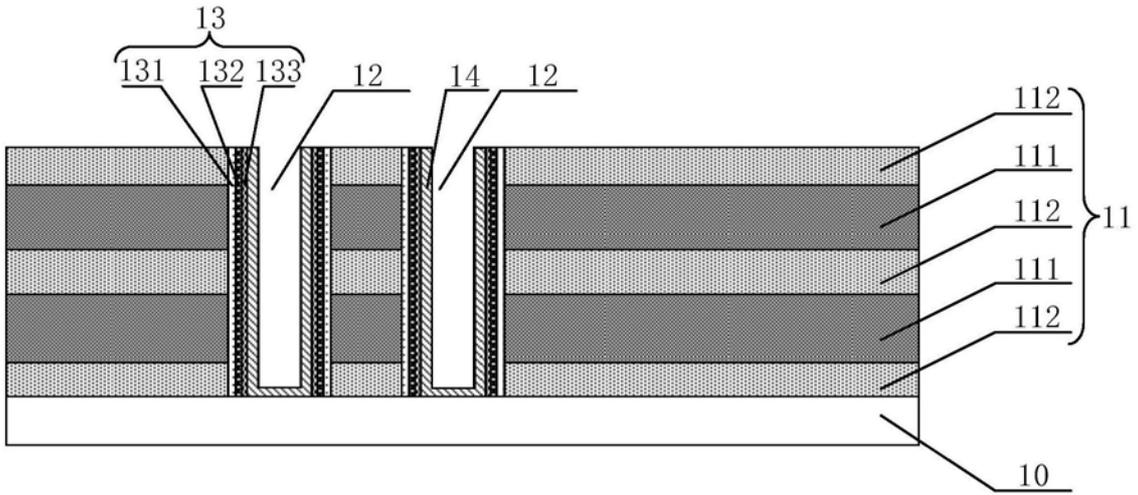


图9

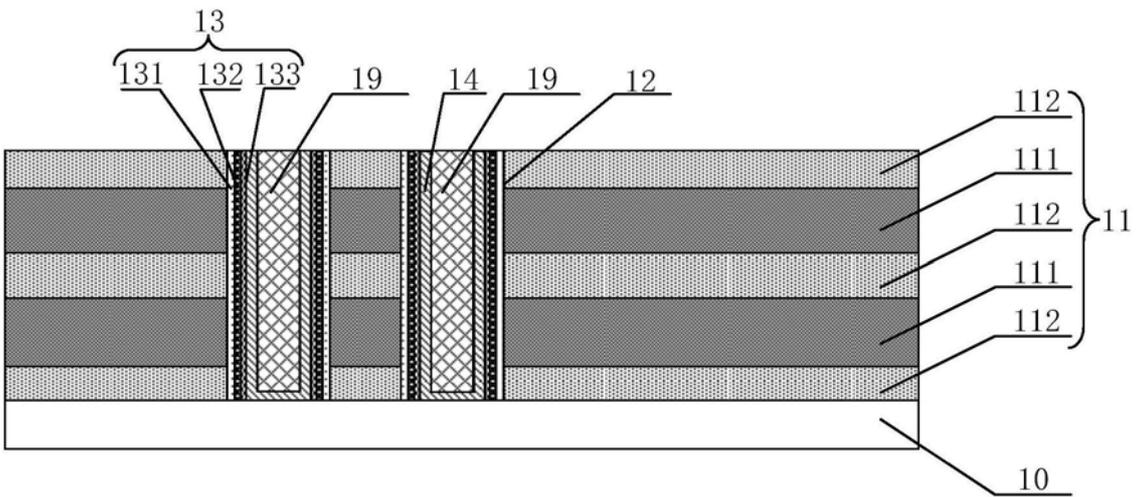


图10

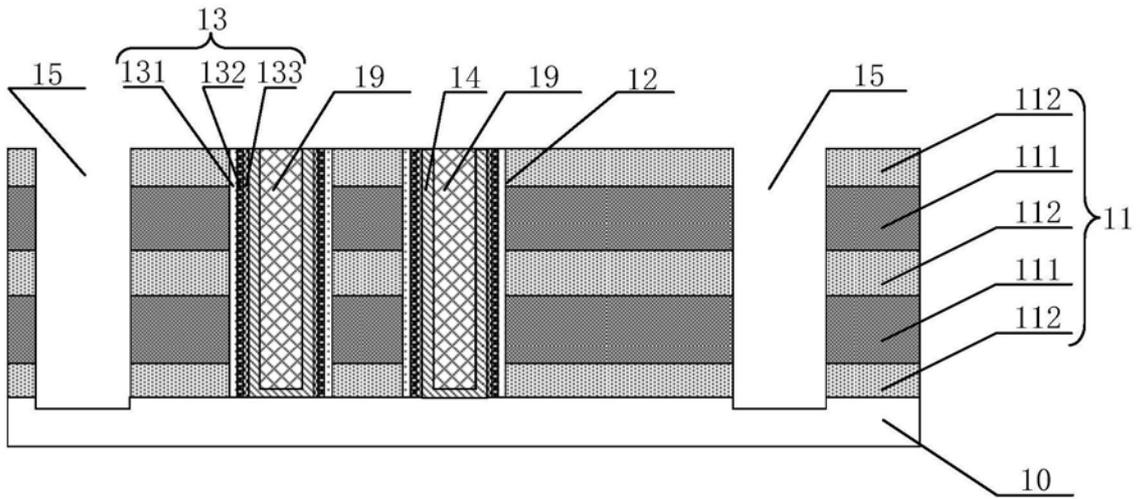


图11

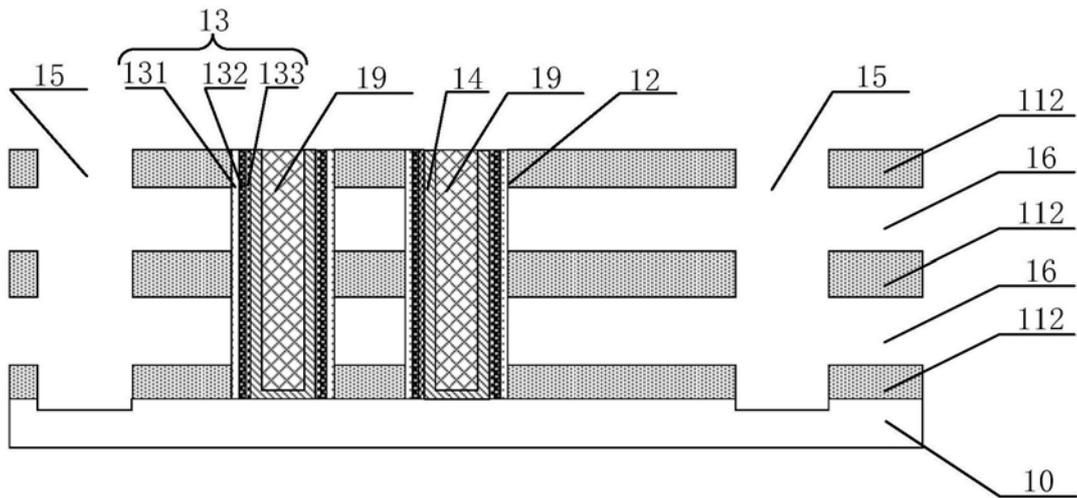


图12

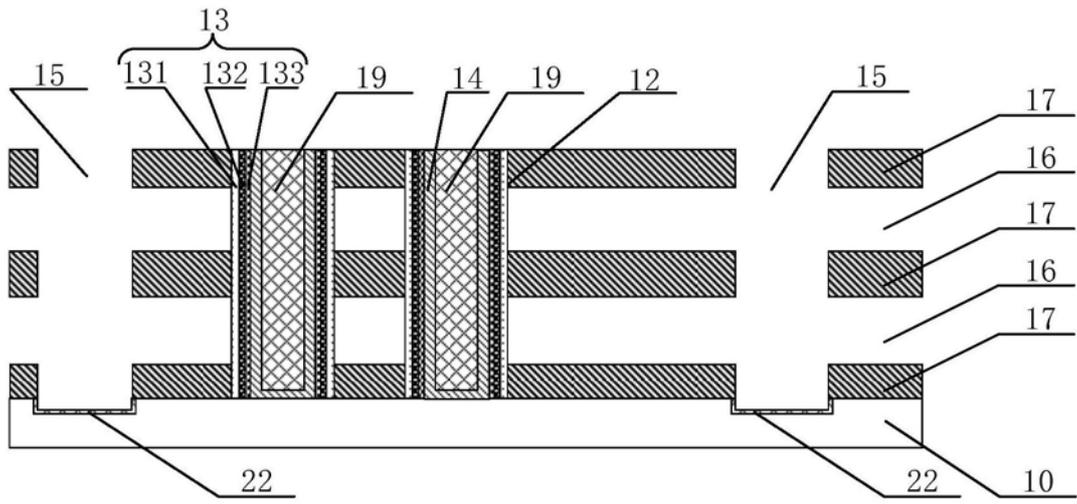


图13

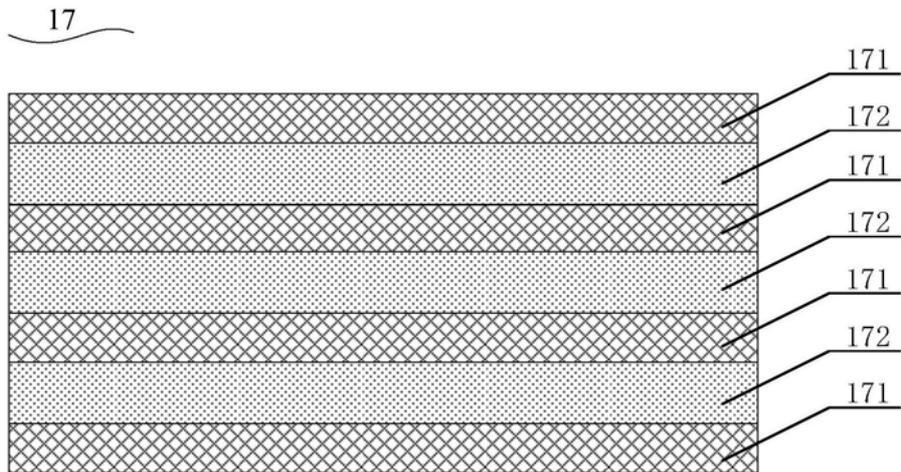


图14

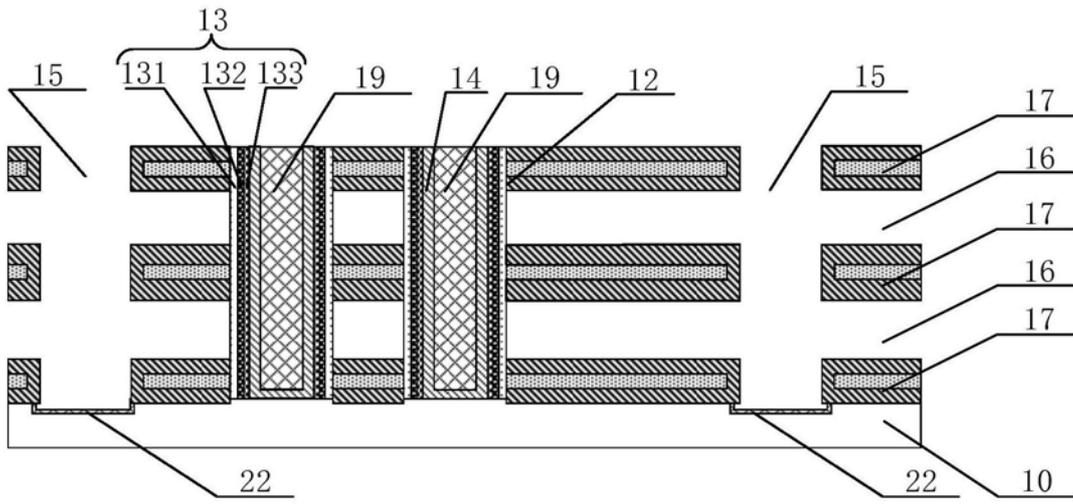


图15

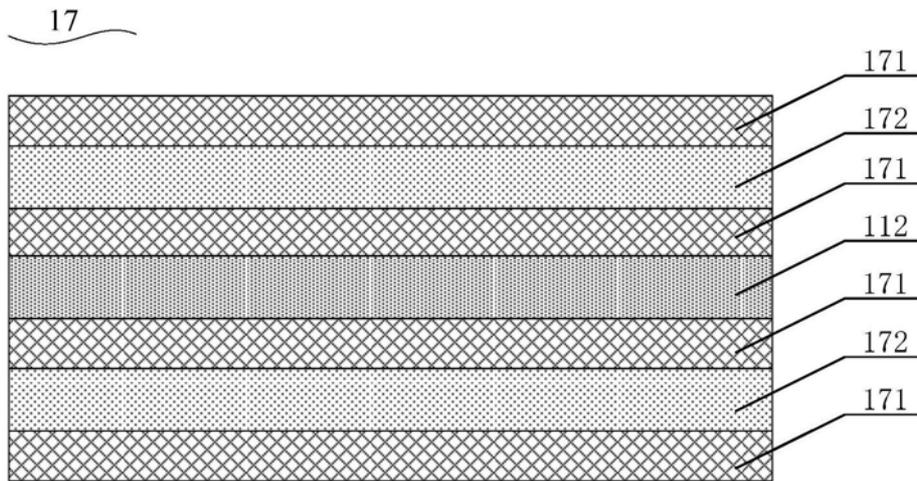


图16

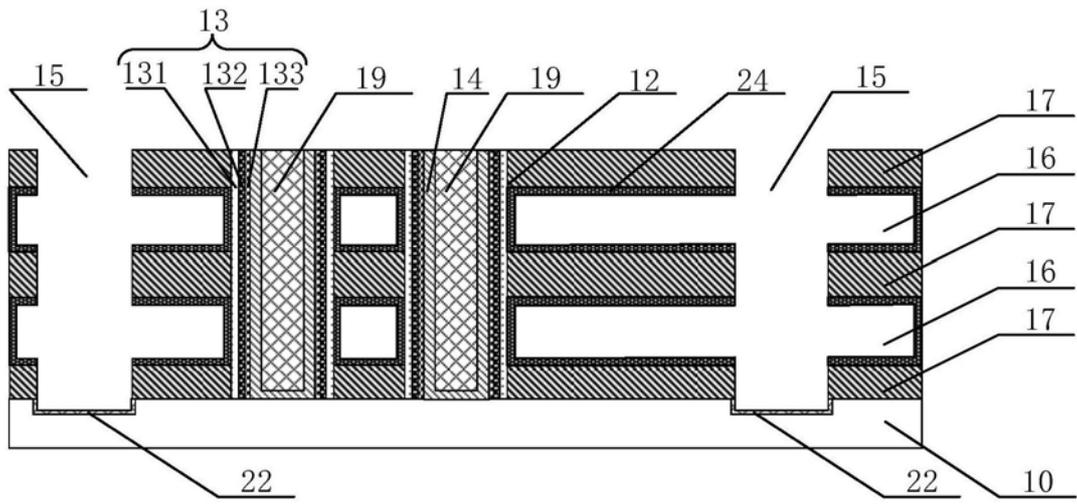


图17

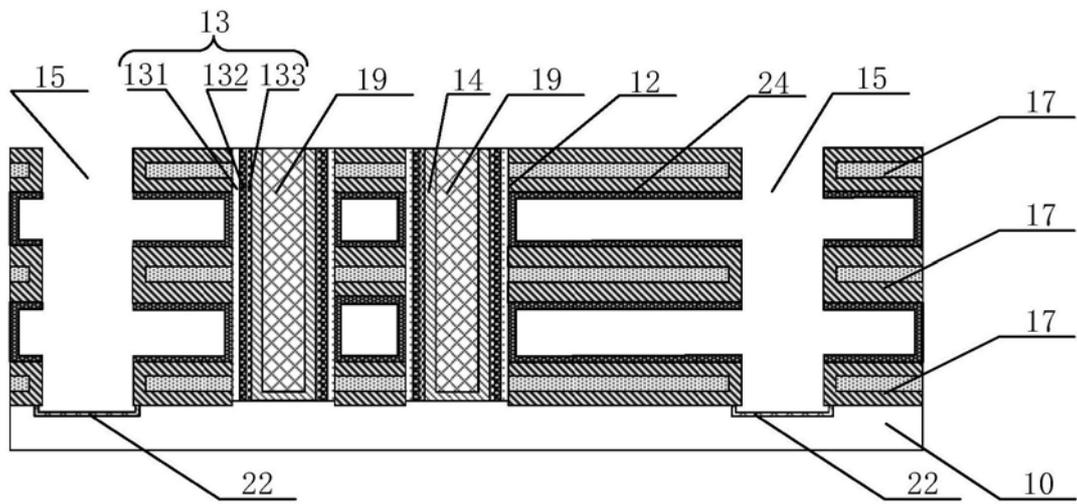


图18

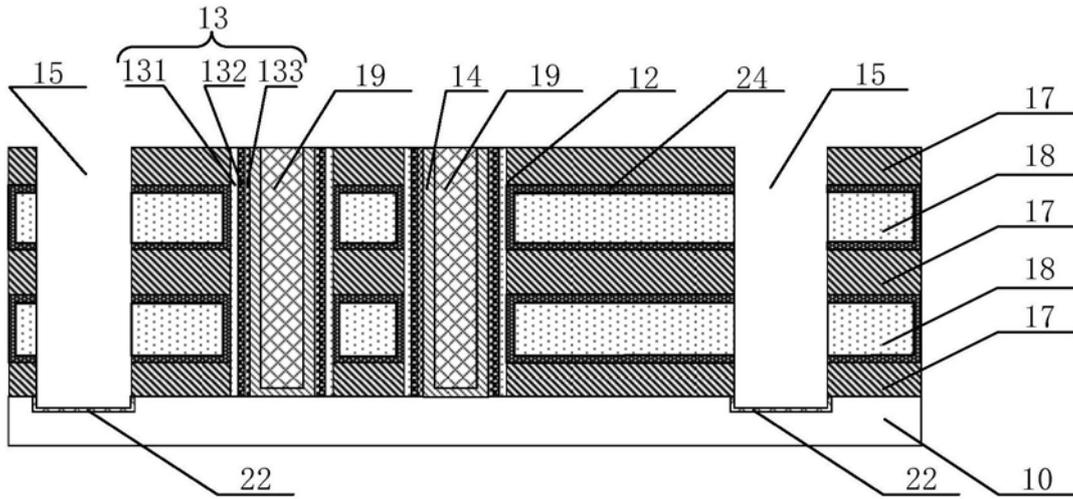


图19

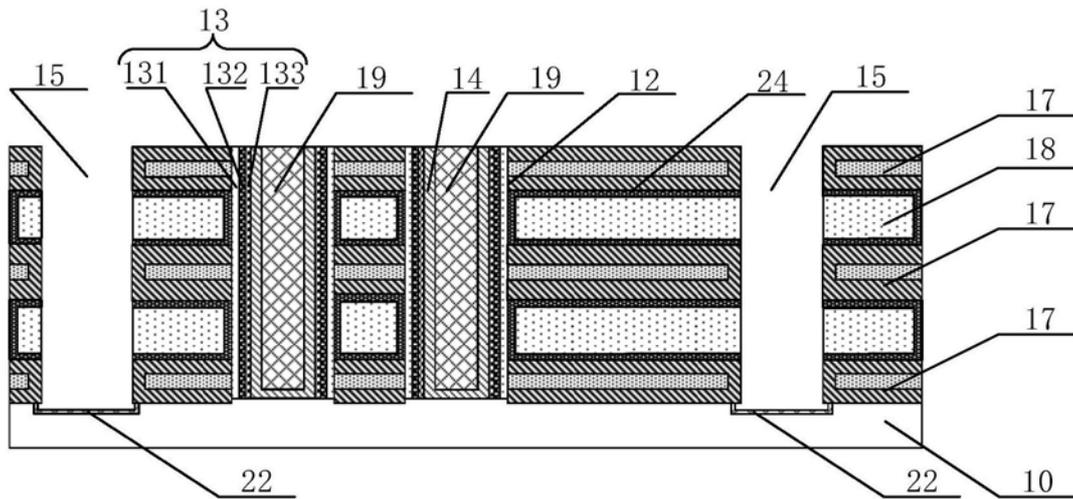


图20

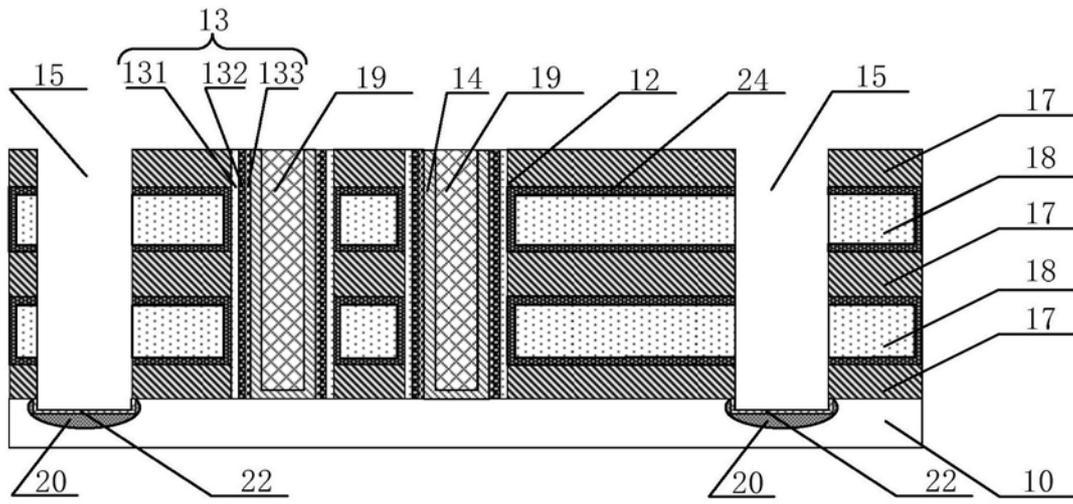


图21

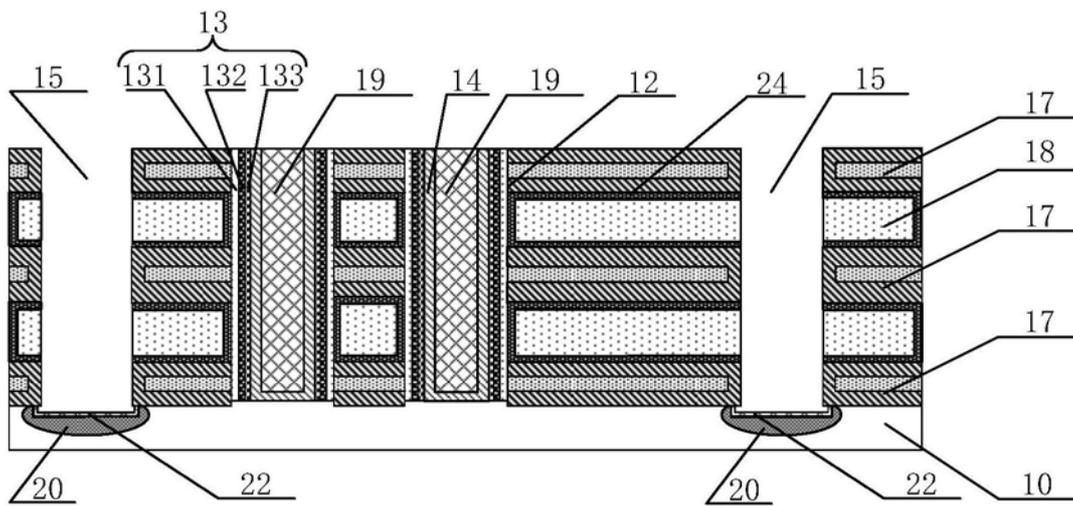


图22

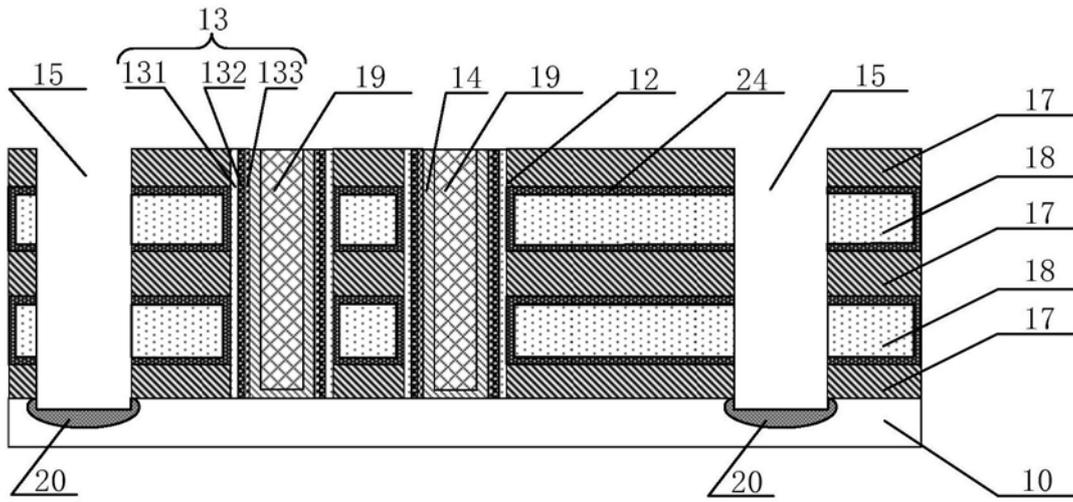


图23

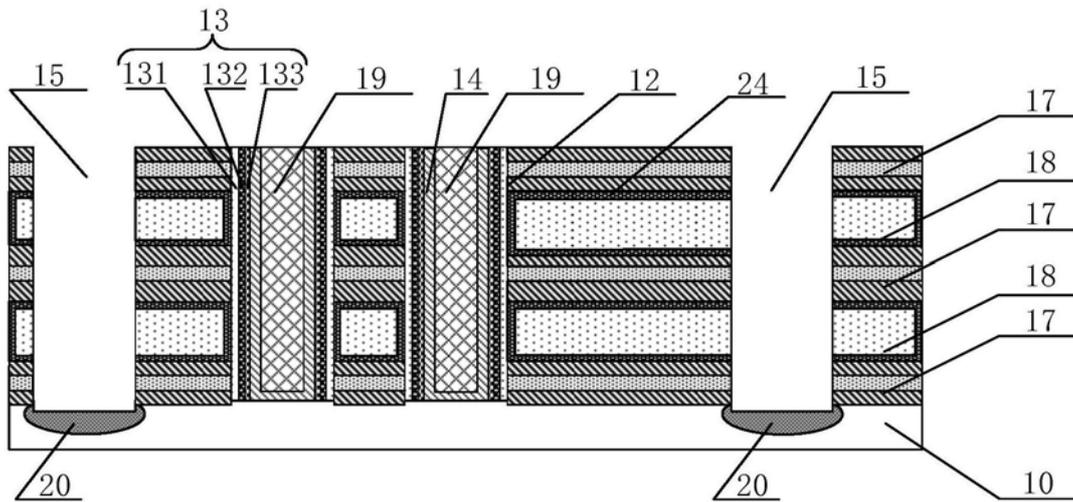


图24

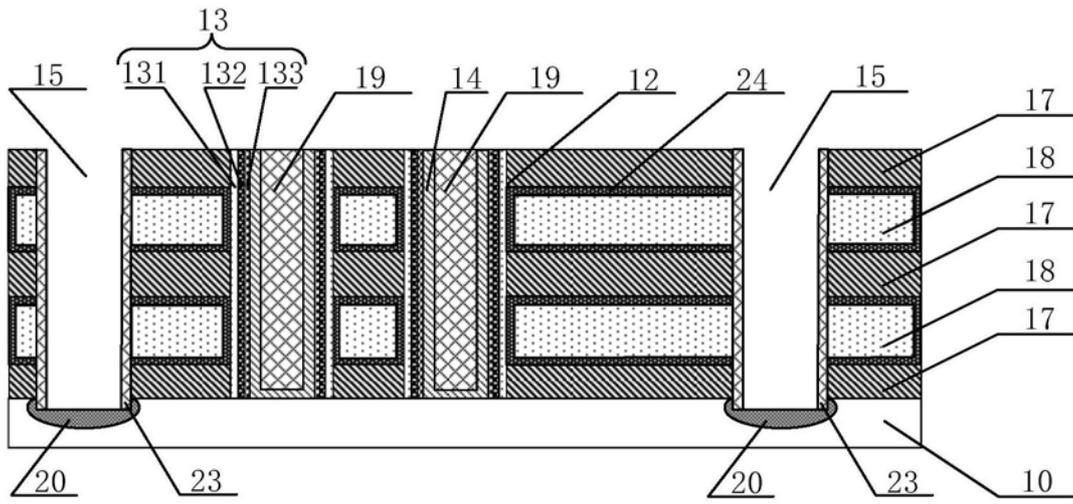


图25

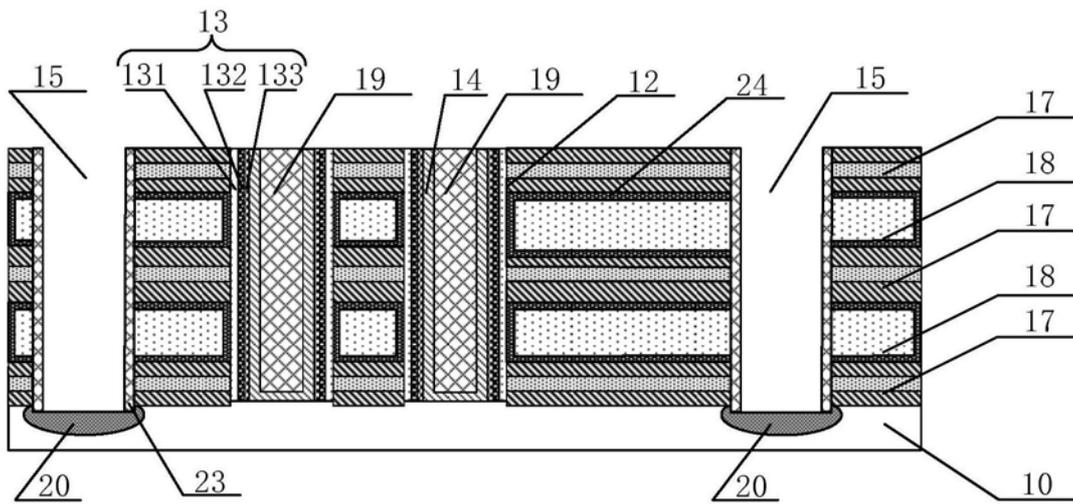


图26

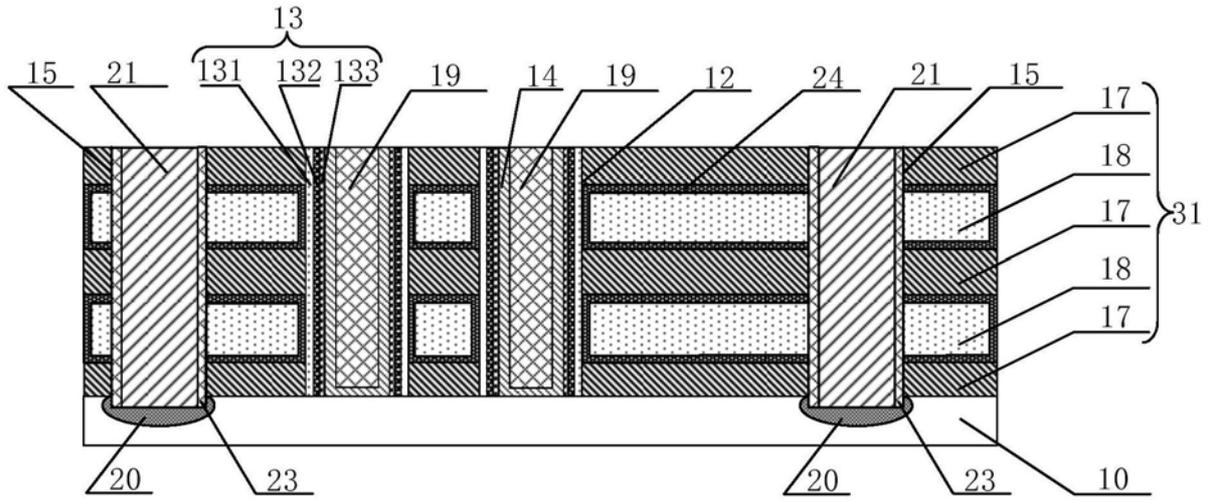


图27

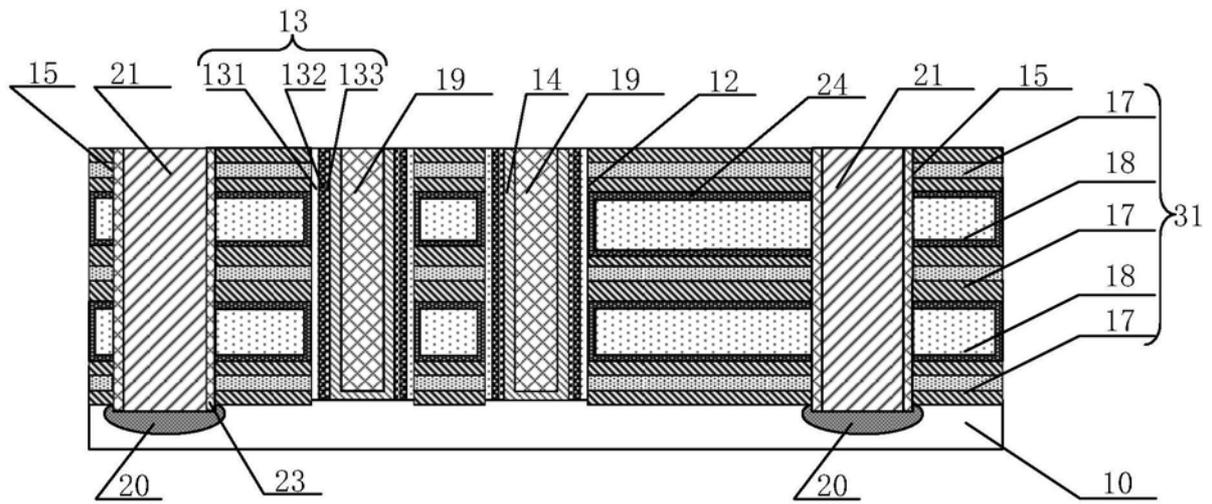


图28

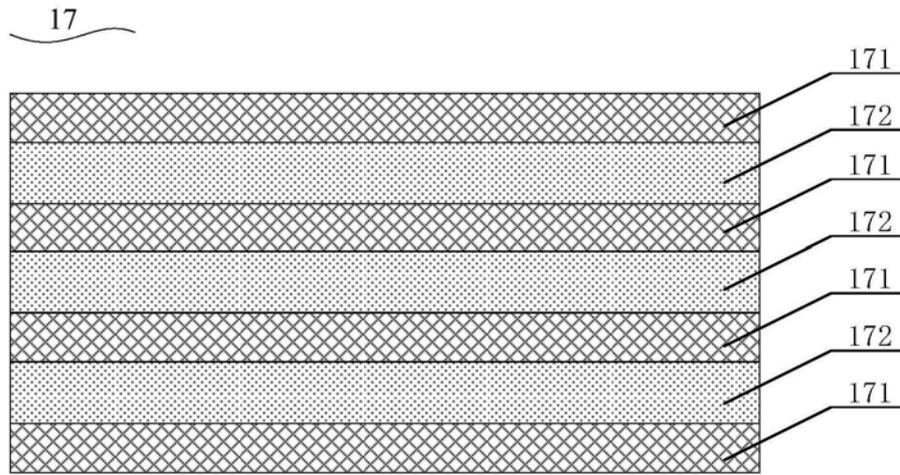


图29

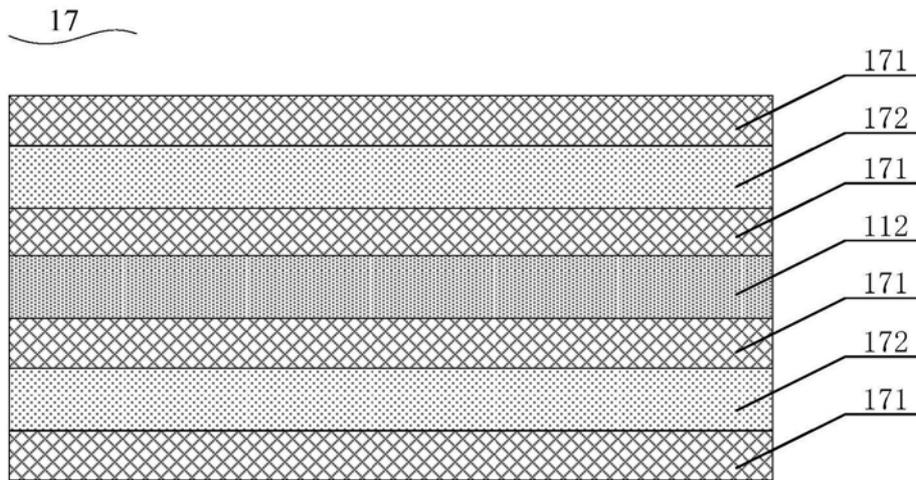


图30

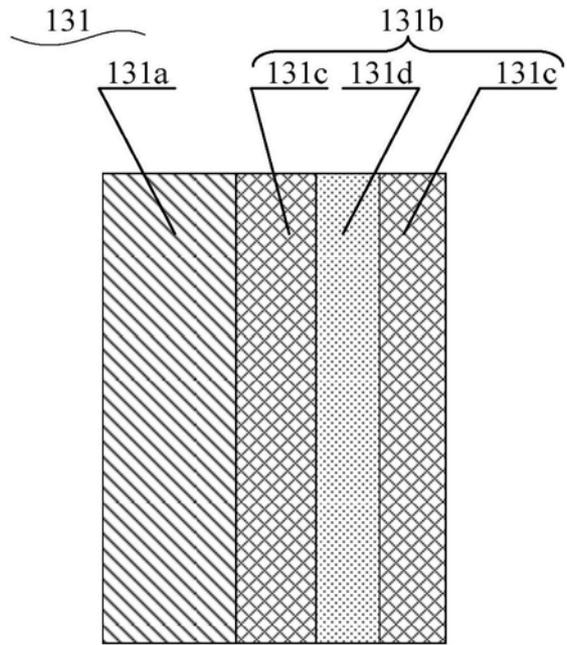


图31

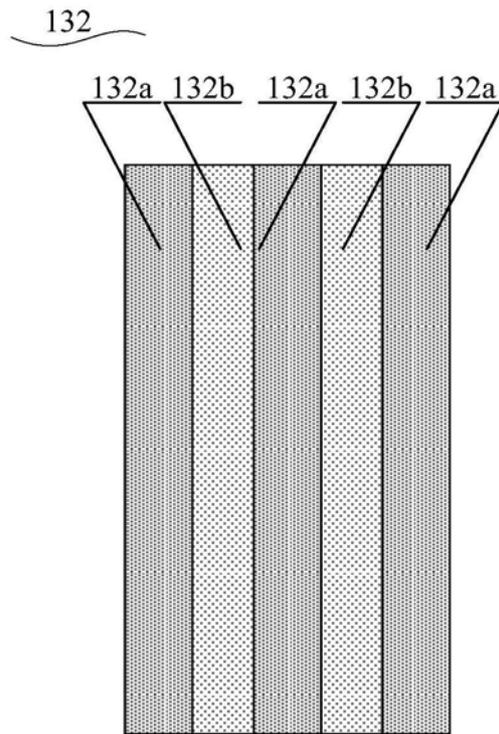


图32

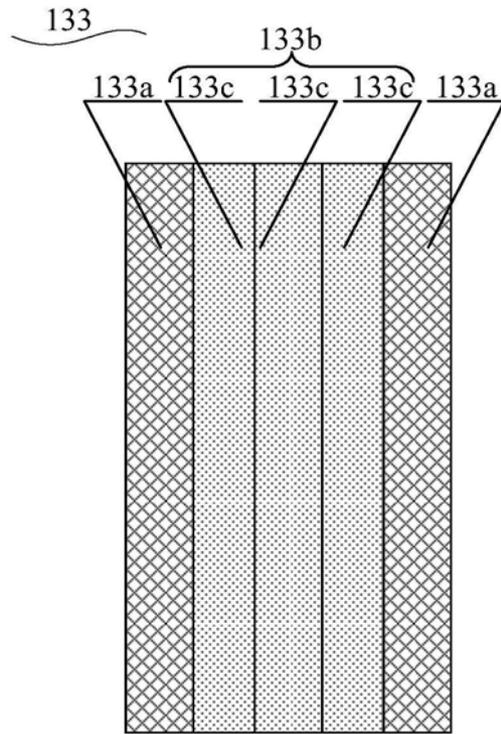


图33