

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5399953号
(P5399953)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月1日(2013.11.1)

(51) Int.Cl. F I
 HO 1 L 21/52 (2006.01) HO 1 L 21/52 B
 HO 1 L 21/28 (2006.01) HO 1 L 21/28 3 O 1 S

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2010-52747 (P2010-52747)	(73) 特許権者	000006013
(22) 出願日	平成22年3月10日 (2010.3.10)		三菱電機株式会社
(65) 公開番号	特開2011-187782 (P2011-187782A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成23年9月22日 (2011.9.22)	(74) 代理人	100073759
審査請求日	平成23年12月5日 (2011.12.5)		弁理士 大岩 増雄
		(74) 代理人	100093562
			弁理士 児玉 俊英
		(74) 代理人	100088199
			弁理士 竹中 岑生
		(74) 代理人	100094916
			弁理士 村上 啓吾
		(72) 発明者	大津 健嗣
			東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体素子とこれを用いた半導体装置、および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

すず基はんだを用いて導電部材と接合するための半導体素子であって、
 半導体材料からなる基材の前記導電部材との接合面に、
 シリサイド層と、
 チタンからなる第1の金属層と、
 アンチモンからなる第2の金属層と、
 ニッケル層、銅層、銅層上にニッケル層を積層した層、およびタンタル層上に銅層を積層した層、のいずれかからなる第3の金属層と、が
 前記基材側から順次積層されており、
 前記第2の金属層の厚みが50nm以上であることを特徴とする半導体素子。

10

【請求項2】

前記半導体材料がワイドバンドギャップ半導体材料であることを特徴とする請求項1に記載の半導体素子。

【請求項3】

前記ワイドバンドギャップ半導体材料は、炭化ケイ素、窒化ガリウム、ガリウムヒ素、またはダイヤモンドのうちのいずれかであることを特徴とする請求項2に記載の半導体素子。

【請求項4】

回路パターンが形成された回路基板と、

20

前記回路パターン上に実装された請求項 1 ないし 3のいずれか 1 項に記載の半導体素子と、を備え

前記半導体素子の前記回路パターンへの接合に、すず基はんだを用いたことを特徴とする半導体装置。

【請求項 5】

前記すず基はんだにはアンチモンが 5 w t % 以上含有されていることを特徴とする請求項 4に記載の半導体装置。

【請求項 6】

半導体装置を構成する回路基板の回路パターン上の所定範囲に、すず基はんだのペーストを塗布し、

前記すず基はんだのペーストを塗布した部分に請求項 1 ないし 3のいずれか 1 項に記載の半導体素子を設置し、

前記すず基はんだが溶融するように加熱する、

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、すず基はんだを介して回路基板に接合する半導体素子の構成、および半導体装置とその製造方法に関する。

【背景技術】

【0002】

インバーターなどの電力用半導体装置に使用されるスイッチング素子（IGBT、MOSFET等）や整流素子では、電力損失を低減する必要があり、近年、例えば、炭化ケイ素（SiC）、窒化ガリウムのようなワイドバンドギャップ半導体の電力用半導体装置が開発されている。ワイドバンドギャップ半導体の場合、素子自身の耐熱性が高く、大電流による高温動作が可能であるが、その特性を発揮するためには、半導体素子と基板との接合部が強固に接合されていなければならない。

【0003】

高温動作可能な接合材料として、鉛入り高融点はんだが使用されてきたが、安全性や環境への配慮から、すず（Sn）をベースとする鉛フリーはんだ材料（すず基はんだ）が使用されるようになってきた。しかし、すず基はんだを使用するためには、半導体素子の接合面にチタン層、ニッケル層、金属層を順に積層する必要があった。しかし、チタン層で不動態被膜が形成されるのを抑制するためにニッケル層を厚く形成する必要があり、はんだ接合時の条件が厳密であることから、信頼性の高い接合をおこなうことが困難であった。

【0004】

そこで、半導体素子の接合面に、チタン等からなる金属層の上にすず合金層を設け、熱処理した際にすず合金層をすず基はんだ中に拡散させてチタン-すず合金層を形成し、接着性やオーミック接合性に優れた接合を実現できる半導体装置が提案されている（例えば特許文献1参照。）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-108604号公報（段落0037、図1）

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上記のような構成の半導体装置で製造時や動作時の熱履歴を模擬する熱サイクル試験を実施したところ、使用する合金層やすず基はんだの組成によって、または同じ材料の組み合わせであっても個体ごとに接合強度にばらつきが出て、信頼性の高い接合、ひいては寿命信頼性の高い半導体装置を得ることができなかった。

10

20

30

40

50

【0007】

本発明は、上述のような課題を解決するためになされたもので、すず基はんだを用いて寿命信頼性の高い接合が可能な半導体素子および寿命信頼性の高い半導体装置を得ることを目的とする。

【課題を解決するための手段】

【0008】

本発明にかかる半導体素子は、すず基はんだを用いて導電部材と接合するための半導体素子であって、半導体材料からなる基材の前記導電部材との接合面に、シリサイド層と、チタンからなる第1の金属層と、アンチモンからなる第2の金属層と、ニッケル層、銅層、銅層上にニッケル層を積層した層、およびタンタル層上に銅層を積層した層、のいずれかからなる第3の金属層と、が前記基材側から順次積層されており、前記第2の金属層の厚みが50nm以上であることを特徴とする。

10

【発明の効果】

【0009】

この発明によれば、強固な接合を得るためには、接合層中にアンチモンとチタンの合金を形成する必要があることを発見し、半導体素子にアンチモン層を設けるようにしたので、すず基はんだを用いて、接合強度の高いチタンとアンチモンの合金が安定して形成され、高温化でも接合強度を長期間持続する信頼性の高い半導体装置が得られる。

【図面の簡単な説明】

【0010】

20

【図1】本発明の実施の形態1にかかる半導体素子の構成を説明するための断面図である。

【図2】本発明の実施の形態1にかかる半導体素子および半導体装置の製造方法を説明するためのフローチャートである。

【図3】本発明の実施の形態1にかかる半導体素子を導電部材に接合したときの状態を説明するための断面図である。

【図4】従来の半導体素子を導電部材に接合したときの状態を説明するための断面図である。

【図5】本発明の実施の形態3にかかる半導体装置の構成を示す図である。

【発明を実施するための形態】

30

【0011】

実施の形態1.

<接合強度ばらつきの原因発見>

本発明の実施の形態1にかかる半導体素子および半導体装置の構成を説明する前に、背景技術で説明した従来の半導体素子での接合強度のばらつき原因について説明する。半導体素子の接合面に第1金属層を設け、さらにその上にすず合金からなる第2金属層を設け、数種のすず基はんだを用いて銅板との接合体を形成した。その結果、高温動作時に安定して長時間接合し得る材料の組み合わせは、第1金属層にチタン(Ti)、すず基はんだにSn-Sb系はんだを用いたときであった。

【0012】

40

しかし、上記の材料を組み合わせても、接合強度が高い接合体とそうでない接合体があり、安定して信頼性の高い接合体を得ることができなかった。そこで、接合強度の高かった接合体とそうでない接合体の断面を分析したところ、接合強度の高い接合体では、第1金属層(Ti) 第2合金層(Sn)が、Ti-Sb-Snの3元合金層に変化し、接合強度の高くない接合体では、Ti-Sb-Snの3元合金層がまばらに形成されていることが分かった。つまり、上記の構成では、アンチモン(Sb)がはんだ材料を構成するSn-Sb系合金から供給されており、はんだ中のSbからTi層への拡散がばらつくために接合強度にばらつきが生じることが分かった。

【0013】

そこで、本発明の実施の形態1にかかる半導体素子では、半導体素子の接合面に設けた

50

複数の金属層のうち、チタン層の直上にアンチモン層を設けることにより、回路パターンに対してすず基はんだで接合したときに、Ti-Sb-Sn合金を形成し、安定した接合強度を有する半導体装置を得られるようにした。以下、詳細に説明する。

【0014】

図1～図4は、本発明の実施の形態1にかかる半導体素子および半導体装置および半導体装置の製造方法を説明するための図である。図1は半導体素子の構成を説明するための工程ごとの断面を示す図、図2は半導体素子および半導体装置の製造方法を説明するためのフローチャート、図3は半導体素子を導電部材に接合する際の工程ごとの断面を示す図、図4は接合部の状態を説明するための従来の半導体素子を導電部材に接合するときの状態を説明する断面図である。

10

【0015】

はじめに、半導体素子の構成について図1を用いて説明する。図1は本発明の実施の形態にかかる半導体素子の構成とその製造方法を説明するための断面模式図であり、図1(a)は半導体材料からなる基材1にニッケル層2を形成した状態、図1(b)は形成したニッケル層2がニッケルシリサイド化2Sした状態、図1(c)はさらに4つの金属層3、4、5、6を形成した状態を示す。図において、半導体素子1を構成する材料としてワイドバンドギャップ半導体材料である炭化ケイ素(SiC)からなる厚さ500μmの板状の基材1を用意した。この炭化ケイ素基材の少なくとも片面に、以降、ニッケル(Ni)、チタン(Ti)、アンチモン(Sb)、金(Au)といった複数の金属層をスパッタリングにより形成していく。なお、製造方法については図2に示すフローチャートのステップ番号(カッコ内)で説明する。

20

【0016】

はじめに(ステップS10)、図1(a)に示すように、炭化ケイ素基材1の接合面である片方の表面に、シリサイドを形成するための金属層として、厚さ50nmのニッケル層2を形成し(ステップS20)、ニッケル付与半導体基材10_{f1}を得る。その後真空雰囲気下で800℃、1時間の熱処理を行う(ステップS30)ことにより、ニッケルが炭化ケイ素素基材1のシリコンと反応してシリサイド化する。シリサイド化が完了すると(ステップS40で「Y」)、図1(b)に示すように、ニッケル層2は、厚さ50nm程度のニッケルシリサイド層2Sとなり、接合面がシリサイド化された半導体基材10_{f2}が得られる。つづいて、図1(c)に示すように、シリサイド層2S表面に、第1金属層である厚さ200nmのTi層3、Ti層3の表面に第2金属層である厚さ100nmのSb層4、Sb層4の表面に第3金属層である厚さ800nmのNi層5、Ni層5の表面に第4金属層である厚さ100nmのAu層6を順次形成する(ステップS50)。第1～第4の金属層まで層形成が完了すると(ステップS60で「Y」)、ダイシングで7.0mm角サイズに切断し(ステップS70)、洗浄(ステップS80)すると、半導体装置に実装可能な半導体素子10が得られる(準備完了:ステップS90)。

30

【0017】

つづいて、半導体素子と導電部材の接合体、つまり、半導体装置の構成と製造方法について図3および図2の続きを用いて説明する。図3は本発明の実施の形態にかかる半導体装置(接合体)の構成とその製造方法を説明するための断面模式図であり、図3(a)は回路基板の銅の回路パターン17上にSn基はんだ8を塗布した状態、図3(b)はSn基はんだ8が溶融し(溶融状態および溶融後に固化した状態を8Mと記す。)、Au層6がはんだ8M中に溶解した状態、図3(c)はNi層5がはんだ8M中のSnと反応して合金化5Aした状態、図3(d)はTi層3にSb層4のSb、はんだ8Mや合金化Ni層5A中のSnが拡散し、反応して三元合金層3Aを形成した状態を示す。なお、図では簡略化するために半導体装置の回路基板に設けられた回路パターン17のまさしく導電部材である銅材料部分のみを記載している。

40

【0018】

半導体素子10の接合対象となる導電部材である銅の回路パターン17が上側に向くように回路基板を図示しない治具に設置し、接合を開始した(ステップS110)。回路パ

50

ターン17の表面に、開口径が6mm角で、厚さ0.2mmのステンレスマスクを用いてマスキングをし(ステップS120)で、図3(a)に示すようにソルダーペースト8を回路パターン17の所定範囲に印刷し(ステップS130)、印刷したソルダーペースト8表面に、半導体素子10を搭載した(ステップS140)。ソルダーペースト8としては、Sbを10wt%含有したSn-Sb系はんだ(9014-374F:千住金属製(合金組成:90Sn-10Sb:融点約240))を用いた。これを、300に設定したホットプレート上に40秒間保持する(ステップS150)ことにより、はんだが熔融して以下の合金化が完了すると(ステップS160で「Y」)、その後空冷させることにより(ステップS170)、半導体装置100(または接合体)を得ることができる。

【0019】

この熱処理の間の反応をさらに詳しく説明すると、以下ようになる。はんだ8が熔融すると、はじめに図3(b)に示すように、金属層6がはんだ8M内に溶解し、つぎに、図3(c)に示すように、はんだ8M中のSn成分とNi層5との間で反応を生じ、Ni-Sn合金層5Aが形成される。そして、最後に図3(d)に示すように、Ti層3にSb層4のSbと、はんだ8MやNi-Sn合金層5A中のSnとが拡散していった合金化し、Ti-Sb-Snの3元合金層3Aが形成される。これにより、半導体素子10が銅の回路パターン17に強固に接合され、強固な接合体である半導体装置が得られる。

【0020】

<比較試験>

つぎに、本実施の形態にかかる半導体素子10をすず基はんだを用いて接合した時の接合強度を評価するため、比較試験を実施した。この比較試験では、接合および強度評価を容易にするため、実際の回路基板ではなく、回路基板上に形成された回路パターン17を模擬するものとして10mm角に切断した厚さ1.0mmの銅板7を用いた。そして、本実施の形態にかかる半導体素子10を銅板7に接合した接合体100_{ME}と、比較対象となる半導体素子10_{CE}を銅板7に接合した接合体100_{MC}に対しさまざまな条件で評価試験を行った。

【0021】

比較サンプルとなる半導体素子10_{CE}は、以下に示す方法で製作した。

図4(a)に示すように、厚さ500μmの半導体基材1の片方の表面に、半導体素子10を作成したときと同じ方法で、厚さ50nm程度のニッケルシリサイド層2Sを形成した。スパッタリング法を用いて、シリサイド層2S表面に、第1の金属層である厚さ200nmのTi層3を形成した。ここで第2の金属層であるSb層を省略して、Ti層3の表面に第3の金属層である厚さ800nmのNi層5、Ni層5の表面に第4の金属層である厚さ100nmのAu層6を順次形成した。この後、ダイシングで5.0mm角サイズに切断し、洗浄したものを、比較用半導体素子10_{CE}として用いた。つまり、比較用半導体素子10_{CE}と半導体素子10との違いは、第2の金属層であるSb層4を有するか否かの違いである。そして、銅板7との接合、つまり実施例接合体100_{ME}と比較例接合体100_{MC}の製造は、半導体装置100を製造するときと同様の方法で行った。本実施例接合体100_{ME}、比較例接合体100_{MC}をそれぞれ3個使用した。

【0022】

このように構成された接合体100_{ME}と100_{MC}を、200の高温で2000時間保持し、100時間保持時、300時間保持時、500時間保持時、1000時間保持時、2000時間保持後の接合体の密着強度測定を行った。密着強度判定は、所定治具でサンプルを固定し、接合体の横方向からせん断方向に最高5kgf(約50N)まで印加(測定)可能なプッシュテスタ(ARF-05:アトニック(株)製デジタルフォースゲージ)を用いて測定した。この際、測定上限の5kgfでもはがれなかった場合を密着性異常なしとし、5kgf以下で剥離したものを強度低下有りとした。評価結果を表1に示す。

【0023】

10

20

30

40

【表 1】

高温保持時間[h]		密着強度						
		0	100	300	500	1000	1500	2000
比較例	サンプル1-1	○	○	×	×	×	×	×
	サンプル1-2	○	○	×	×	×	×	×
	サンプル1-3	○	○	×	×	×	×	×
実施例	サンプル2-1	○	○	○	○	○	○	○
	サンプル2-2	○	○	○	○	○	○	○
	サンプル2-3	○	○	○	○	○	○	○

○: 5kgf以上
×: 5kgf以下

【0024】

表 1 に示すように、本発明にかかる実施例である S b 層 4 を備えた接合体 100_{M E} のサンプル（サンプル 2 - 1 , 2 - 2 , 2 - 3 ）は、高温で 2000 時間保持する間に密着強度低下が見られなかったのに対し、比較例の S b 層を備えていない接合体 100_{M C} のサンプル（サンプル 1 - 1 , 1 - 2 , 1 - 3 ）は、100 時間までは強度を保ったが、高温で 300 時間保持すると密着強度が低下することがわかった。

【0025】

つぎに、密着強度試験後のサンプルを接合部分の断面が出るように切断・研磨し、波長分散型 X 線分析を用いて接合部断面の元素分析を行った。その結果、密着強度を保つことができた本発明の実施例の接合体 100_{M E} の場合はんだ 8 M と T i 層 3、S b 層 4、N i 層 5 または N i - S n 合金層 5 A との間で、熱拡散を生じ、図 3 (d) で説明したような、T i - S b - S n の 3 元合金層 3 A と N i - S n 合金層 5 A からなる強固な接合部が形成されていることが確認された。このとき、3 元合金層 3 A 内において、S b が均一に分布していた。一方、密着強度が低下した比較例の接合体 100_{M E} では、図 4 (b) に示すように、んだ 8 M 中の S b の拡散により、部分的には T i - S b - S n 合金相が形成されているが、T i 相、あるいは T i - S n 合金化相の状態と不均一に分散しており、強固な接合体が均一に形成されていないことが確認できた。

【0026】

< 適応可能材料 >

なお、本実施の形態においては、接合力の評価を目的として、素板状の炭化ケイ素基材を用いた例を示したが、裏面にパターン等が形成された炭化ケイ素基材を用いても同様である。また、炭化ケイ素基材の大きさも、特に限定されることはなく、製造する半導体素子の大きさに合わせて、適宜調整すればよい。

【0027】

さらに、半導体素子としては、炭化ケイ素以外にケイ素も使用できる。また、炭化ケイ素と同じくワイドバンドギャップ半導体材料である、窒化ガリウム (G a N)、ガリウムヒ素 (G a A s)、ダイヤモンドについても、表面に別途 S i 層を形成してシリサイド層を形成すれば、炭化ケイ素と同様に適用可能である。

【0028】

また、第 3 の金属層 5 の材料としては、ニッケルが最適であるが、ニッケル以外に銅を使用することも可能である。ただし、銅を使用する場合は、下記に示すように銅単独 (組合せ A) 以外に、第 4 の金属層 4 である S b 層との間にタンタル (T a) 層を挿入 (組合せ B) したり、最表面に N i 層をかぶせたり (組合せ C) することが望ましい。

組合せ A : S b / C u

組合せ B : S b / T a / C u

10

20

30

40

50

組合せ C : S b / C u / N i

【 0 0 2 9 】

これら、炭化ケイ素基材の接合面に形成する金属層 2、3、4、5 は、スパッタリングにより形成していったが、他の公知の方法によって形成してもよいことはいうまでもない。なお、形成される厚さは、金属種（層種）や半導体素子の大きさにより好適な範囲が異なるが、一般的に、10 nm から 2000 nm の範囲である。

【 0 0 3 0 】

また、半導体素子 10 の接合対象である導電部材としては、銅以外にアルミニウムや、C I C (Cu:Invar:Cu) のような半導体基板用クラッド材でもよい。また、有機基板、A l S i C や S i N 等のセラミック基板上に形成された導電部材に対しても、同様に接合できる。

10

【 0 0 3 1 】

また、シリサイド層 2 S を形成するための金属層 2 には、N i 以外にもシリコンとシリサイドを形成する高融点の遷移金属等を使用することができる。

【 0 0 3 2 】

以上のように、本発明の実施の形態 1 にかかる半導体素子 10 によれば、すず基はんだ 8 を用いて導電部材 7 と接合するための半導体素子 10 であって、半導体材料からなる基材 1 の前記導電部材 7 との接合面に、シリサイド層 2 S と、チタンからなる第 1 の金属層 3 と、アンチモンからなる第 2 の金属層 4 と、ニッケルおよび / または銅を有する第 3 の金属層 5 と、が基材 1 側から順次積層されている、ように構成したので、第 2 の金属層の S b がシリサイド層 2 S との接合性のよい第 1 の金属層 3 に取り込まれて T i - S b - S n の 3 元合金層 3 A となり、はんだ 8 との接合性のよい第 3 の金属層 5 が S n との合金層 5 A となり、T i - S b - S n の 3 元合金層 3 A と合金層 5 A が強固に接合するので、すず基はんだを用いて導電部材との寿命信頼性の高い接合が可能となる半導体素子が得られ、この半導体素子を用いてすず基はんだで接合すると、寿命信頼性の高い半導体装置を得ることができる。

20

【 0 0 3 3 】

また、本発明の実施の形態 1 にかかる半導体素子 10 の製造方法によれば、シリコンを含有する半導体材料からなる基材 1 の場合は、接合面にニッケル層 2 を形成し、シリコンを含有しない半導体材料からなる基材の場合は、シリコン層を形成してからニッケル層 2 を形成する（ステップ S 20）。そして、熱処理を行い、シリサイド化（ステップ S 30 ~ 40）し、シリサイド層 2 S 表面に、第 1 金属層 3、第 2 金属層 4、第 3 金属層 5 を順次形成するように構成したので、すず基はんだで導電部材と強固に接合できる半導体素子を容易に得ることができる。

30

【 0 0 3 4 】

実施の形態 2 .

本実施の形態 2 においては、実施の形態 1 で作成した半導体素子 10 の第 2 の金属層である S b 層 4 の厚みとすず基はんだ 8 の組成を変化させ、接合強度の評価を行った。実施の形態 1 で用いた図 1 を用いて説明する。半導体基材 1 と、ニッケルシリサイド層 2 S を形成するためのニッケル層 2 の厚みおよび熱処理条件は実施の形態 1 と同様である。そして、ニッケルシリサイド層 2 S 上に順次積層していく、第 1 金属層 3、第 2 金属層 4、第 3 金属層 5、第 4 金属層 6 のうち、第 2 金属層である S b 層 4 の厚みを変化させた。また、銅板 7 との接合の際、マスキングや熱処理条件は実施の形態 1 と同様であるが、はんだの組成（S b 含有量）を変化させた。測定サンプル数は、同じ仕様のもをそれぞれ 3 個作成し、接合体の横方向からせん断方向に最高 20 kg f（約 200 N）まで印加（測定）可能なプッシュテスタ（ARF-20：アトニック（株）製デジタルフォースゲージ）を用いて測定し、剥離が生じた時の印加力を密着強度とした。測定した密着強度値はそれぞれの平均値を使用した。評価結果を表 2 に示す。

40

【 0 0 3 5 】

【表 2】

サン プル	高温保持時間[h]		密着強度[kgf]						
	Sb 厚 [nm]	はんだ組成 (Sn 以外の wt%)	0	100	300	500	1000	1500	2000
3-1	5	3Ag-0.5Cu	10.5	10.3	10.1	5.8	5.5	5.2	5.1
3-2	50	3Ag-0.5Cu	10.5	10.5	10.1	10.3	10.1	6.0	5.8
3-3	100	3Ag-0.5Cu	10.5	10.5	10.3	10.5	10.2	6.8	6.0
4-1	5	4Ag-0.5Cu-3Sb	13.6	12.5	12.5	12.5	12.5	9.8	6.9
4-2	50	4Ag-0.5Cu-3Sb	13.7	12.6	12.6	12.6	12.6	12.6	9.9
4-3	100	4Ag-0.5Cu-3Sb	14.4	14.2	14.2	14.2	14.2	14.2	10.1
5-1	5	5Sb	16.1	16.1	16.1	16.1	16.1	16.1	15.1
5-2	50	5Sb	16.3	16.3	16.3	16.3	16.3	16.3	16.3
5-3	100	5Sb	16.5	16.5	16.5	16.5	16.5	16.5	16.5
6-1	5	10Sb	18.1	18.1	18.1	18.1	18.1	18.1	16.5
6-2	50	10Sb	18.3	18.3	18.3	18.3	18.3	18.3	18.2
6-3	100	10Sb	18.5	18.5	18.5	18.5	18.5	18.5	18.5

10

【0036】

表 2 に示すように、サンプル 3 - 1 ~ 3 - 3 の結果から、第 1 の金属層 3 (Ti 層) に隣接して第 2 の金属層 4 として Sb 層を形成すると、Sb を含まないはんだを使用しても接合体の密着強度は、2000 時間まで 5 kgf 以上を保ち、実施の形態 1 で示した Sb 層 4 のない接合体 (1 - 1 ~ 1 - 3) と比較して、大幅に接合強度に関する耐熱性が向上していることが確認された。つまり、Ti 層 3 に隣接して Sb 層 4 を備えることにより、接合信頼性が向上することが示された。

20

【0037】

一方、Sb 層 4 の層厚が 50 nm 以上のサンプル 3 - 2, 3 - 3 では、1000 時間保持しても密着強度がほとんど低下していないが、Sb 層 4 の層厚が 5 nm のサンプル 3 - 1 は、500 時間後から密着強度の低下がみられる。このことから、はんだ組成によらず (はんだ中に Sb 成分がない場合でも)、信頼性の高い接合を得るには、第 2 の金属層である Sb 層 4 の層厚を 50 nm 以上とすることが望ましいことがわかった。

30

【0038】

また、Sb 含有量が 5 wt% 以上のはんだ中を用いて接合した、実施例 5 - 1 ~ 6 - 3 については、Sb 層 4 の厚みを 50 nm より薄い 5 nm にしたサンプル 5 - 1, 6 - 1 でも、2000 時間経過後に生じる強度低下はほんの僅かであり、はんだ 8 中の Sb 濃度を増大させることで接合信頼性がさらに向上していることがわかる。

【0039】

さらに Sb 層 4 の層厚を 50 nm 以上とする (サンプル 5 - 2, 5 - 3, 6 - 2, 6 - 3) ことにより、2000 時間高温で保持しても、密着強度低下が生じないことが確認された。つまり、第 2 の金属層としての Sb 層 4 の層厚を 50 nm 以上とし、接合するはんだ 8 中の Sb 含有量を 5 wt% 以上とすることにより、一層高信頼な接合が得られることが確認できた。

40

【0040】

以上のように、本実施の形態 2 にかかる半導体素子または、半導体素子と導電部材との接合体によれば、第 2 の金属層である Sb 層 4 の層厚みを 50 nm 以上とすることで、接合信頼性がより高くなった。さらに接合に用いるはんだ 8 中の Sb 濃度を 5 wt% 以上とすることで、長時間高温で保持しても接合強度が低下しない信頼性の高い接合が得られた。

【0041】

実施の形態 3 .

50

本発明の実施の形態3では、上述した半導体素子をすず基はんだを用いて接合した半導体装置について説明する。図5は実施の形態1または2で示した半導体素子をすず基はんだを用いて装着した半導体装置の構成を説明するためのもので、図5(a)は半導体装置の半導体素子を装着した部分の平面図、図5(b)は図5(a)のA-A線における切断面を示す断面図である。図において、電力用半導体装置100は、絶縁性の回路基板11上に複数の銅の回路パターンが形成され、そのうちのひとつの回路パターン17にドレイン電極側を接合したSiC基材を用いた半導体素子10が配置されている。

【0042】

この回路パターン17への半導体素子10の接合を上述したすず基はんだ8を用いて行った。図1に示すように、半導体素子10のドレイン電極側の接合面にはシリサイド層2S、第1～第4の金属層3～6が順次形成されている。半導体素子10の基材には、上述した炭化ケイ素以外にも、シリコンやいわゆるワイドバンドギャップ半導体材料である、ガリウム-ヒ素、窒化ガリウム、ダイヤモンドなどにシリコン層を形成しシリサイド化した材料が用いられる。また、半導体素子10と対向する導電部材である回路パターン17は銅からなり、その接合面にも1 μ m厚程度の金、銀、パラジウム、白金などの図示しない貴金属めっき層を形成している。そして、半導体素子10を回路パターン17に接合する方法については、実施の形態1で説明した図2のステップS110～S180に示すとおりであり、説明を省略する。

【0043】

ただし、熱処理(ステップS150)のとき、図示しない治具または組立装置により半導体素子10に対して所定の荷重を印加した状態で行っても良い。このようにして回路パターン17上に半導体素子10やその他の部材を実装した半導体装置または半導体モジュールが製造できる。これらの半導体装置100は、特に接合部において優れた電気伝導性、熱伝導性、耐熱サイクル寿命を有するため、高温動作環境に対応でき、熱ストレスに優れる。特に、大電流を扱う電力用半導体装置は高温で使用されるので、更に効果が顕著となる。

【0044】

上記のように回路基板11に実装された半導体素子10に対して、例えば、半導体素子10と銅端子18間を銅製のインナーフレーム16によって電氣的に接続し、半導体素子10と図示しない外部電極とを電気接続する。こういった接続を繰り返し、半導体装置100が形成されていく。なお、半導体素子10の上面には厳密にはゲートパッドやソース電極が形成されているが、図では簡略化して上面全体にソース電極が形成されているものとして記載している。また、半導体素子10のソース電極の表面には、接続を良くするための図示しない厚さ数 μ mの薄いアルミニウムの下地(電極)が形成されている。

【0045】

上記半導体素子100を動作させると、動作温度が200以上上昇し、一時的には数百度まで上昇することがある。しかし、本実施の形態のようなTi層3に隣接してSb層4を備えた半導体素子10をすず基はんだ8を用いて接合すると、接合部に強固なTi-Sb-Sn3元合金層が形成され、高温でも強固な接合強度を維持することができる。

【0046】

ここで、たとえば、スイッチング素子や整流素子として機能する半導体素子に、炭化ケイ素や、窒化ガリウム系材料又はダイヤモンドを用いた場合、従来から用いられてきたケイ素で形成された素子よりも電力損失が低いため、電力用半導体装置の高効率化が可能となる。また、耐電圧性が高く、許容電流密度も高いため、電力用半導体装置の小型化が可能となる。さらにワイドバンドギャップ半導体素子は、耐熱性が高いので、高温動作が可能であり、ヒートシンクの放熱フィンの小型化や、水冷部の空冷化も可能となるので、電力用半導体装置の一層の小型化が可能になる。

【0047】

一方、ワイドバンドギャップ半導体素子の性能を発揮するには、半導体素子に電流が流れるときの電気抵抗を下げるるとともに、半導体素子で発生した熱を効率よく放熱する必要

10

20

30

40

50

がある。そのため、本発明の実施の形態に記載した半導体素子をすず基はんだで接合すれば、放熱特性、電気伝導性にも優れるとともに、製造時や駆動時の熱サイクル下でも強固な接合を維持できるので、信頼性の高い半導体装置や半導体モジュールを得ることができる。

【0048】

以上のように、本実施の形態にかかる半導体装置によれば、回路パターン17が形成された回路基板11と、回路パターン17上に実装された上記半導体素子10とを備え、半導体素子10と回路パターン11との接合に、すず基はんだを用いるようにしたので、製造時や駆動時の熱サイクル下でも強固な接合を維持し、信頼性の高い半導体装置を得ることができる。

10

【0049】

また、本実施の形態にかかる半導体装置の製造方法によれば、回路パターン17上にすず基はんだ8のペーストを所定範囲に塗布し(ステップS120、S130)、すず基はんだ8のペーストを塗布した部分に上述した半導体素子10を設置し(ステップS140)、すず基はんだ8を溶融するように加熱する(ステップS150~S160)、ようにしたので、製造時や駆動時の熱サイクル下でも強固な接合を維持し、信頼性の高い半導体装置100を得ることができる。

【0050】

とくに、前記すず基はんだ8にはSb含有量が5wt%以上のものを用いたので、さらに信頼性の高い半導体装置100が得られる。

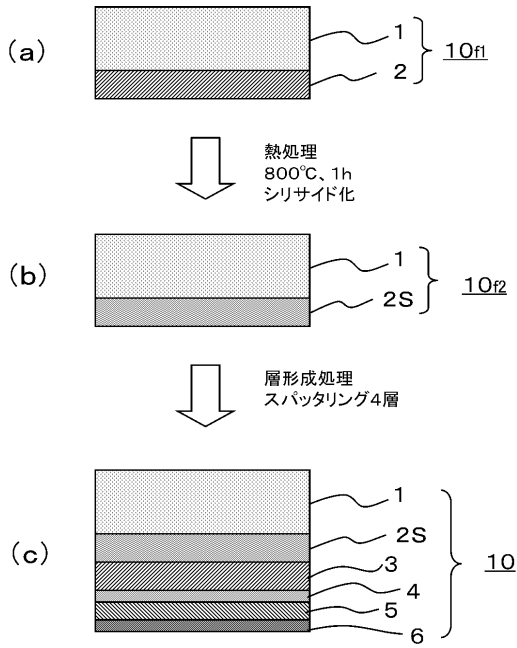
20

【符号の説明】

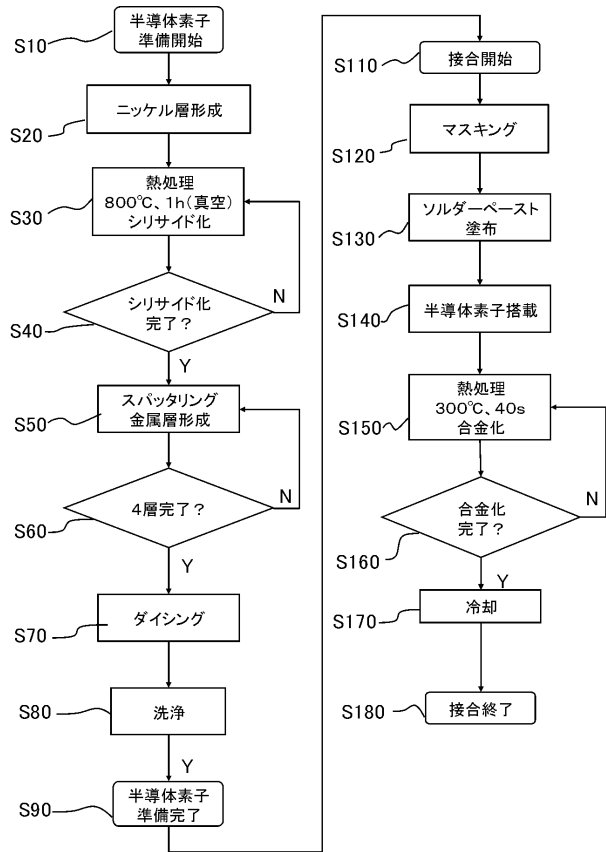
【0051】

1 半導体基材、 2 シリサイドを形成するための金属層(2S:シリサイド層)、
 3 Ti層(第1金属層)(3A:Ti-Sb-Sn3元合金化層)、 4 Sb層(第2金属層)、
 5 第3金属層(5A:Ni-Sn合金化層)、 6 Au層(第4金属層)、 7 銅板(導電部材)、 8 すず基はんだ(8M:溶融後)
 11 回路基板、 17 回路パターン(導電部材)、 100 半導体装置。

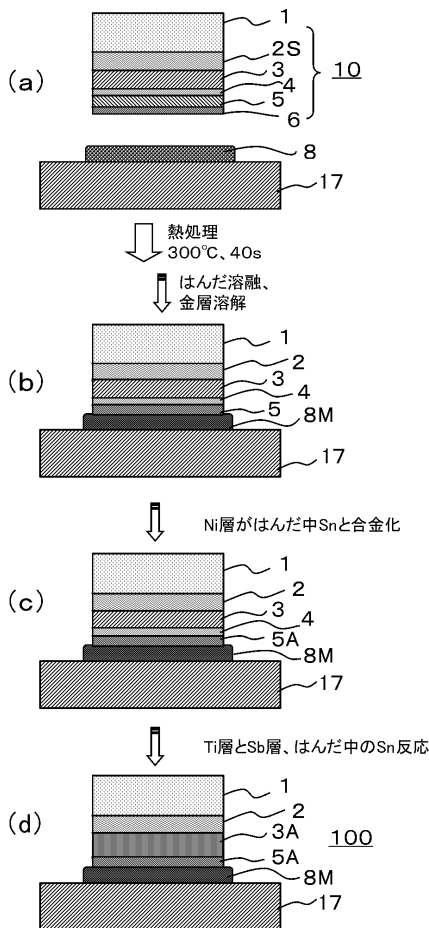
【図1】



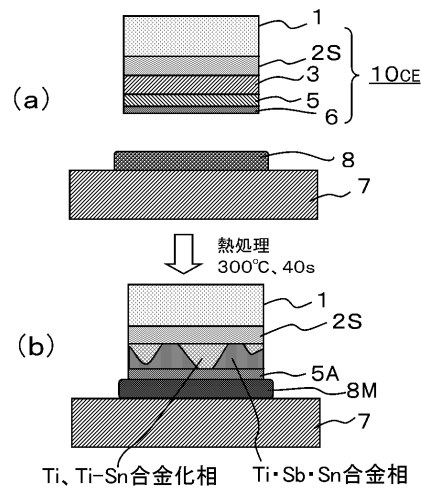
【図2】



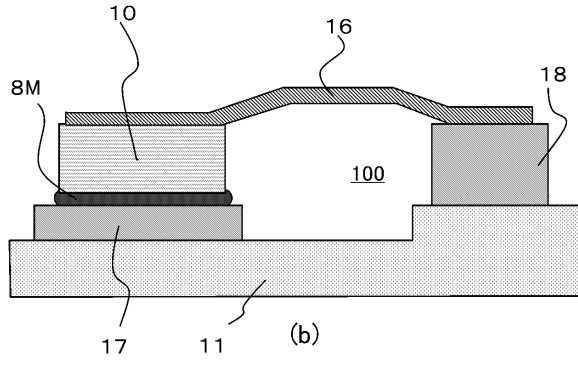
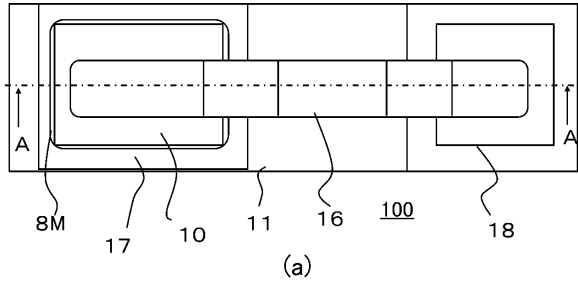
【図3】



【図4】



【 図 5 】



フロントページの続き

- (72)発明者 前田 晃
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 山田 朗
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 黒岩 丈晴
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 多留谷 政良
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 田代 吉成

- (56)参考文献 特開平04-023361(JP,A)
特開平06-252091(JP,A)
特開昭63-060537(JP,A)
特開2006-035310(JP,A)
特開2000-353709(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/28 - 21/288
H01L 21/52
H01L 21/60
H01L 23/12 - 23/15
H01L 23/34 - 23/36
H01L 25/00 - 25/18
H01L 29/40 - 29/49
H05K 3/32 - 3/34