

公告本

409293

申請日期	88.2.26
案 號	88102977
類 別	H01L 21/65

A4
C4

(以上各欄由本局填註)

發明專利說明書

409293

一、發明名稱	中 文	適用於製造小尺寸積體電路之浸氣雷射鞏化方法
	英 文	GAS IMMERSION LASER ANNEALING METHOD SUITABLE FOR USE IN THE FABRICATION OF REDUCED-DIMENSION INTEGRATED CIRCUITS
二、發明人	姓 名	(1)索密特·泰爾華 (2)庫特·威納
	國 籍	(1)印度 (2)美國
	住、居所	(1)美國加州帕洛亞爾托市佛諾恩街3348號 (2)美國加州聖約瑟市內華達街822號
三、申請人	姓 名 (名稱)	美商·烏翠泰克-史太珀股份有限公司
	國 籍	美 國
	住、居所 (事務所)	美國加州聖約瑟市蘭卡路3050號
	代 表 人 姓 名	大衛A.馬可

經濟部中央標準局員工消費合作社印製

裝 訂 線

409293

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美

國(地區) 申請專利，申請日期：1998,8,27 案號：09/141,842，有 無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱下面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(/)

本發明是關於積體電路(IC)的製造，並更特別關於包含利用淺接面形成技術之金屬氧化物半導體場效電晶體(MOSFET)的IC製造。

在本文納入為參考的是1997年1月31日提出並歸於本申請案讓受人的美國專利申請案08/792,107。本發明以及前述的專利申請案是關於其閘極長度尺寸從 $0.25\ \mu\text{m}$ 被降低到只有 $0.18\ \mu\text{m}$ 的MOSFET(例如CMOS場效電晶體)的製造中所出現的問題之替代解決方案。對於 $0.18\ \mu\text{m}$ CMOS技術而言，依據半導體工業協會之"The National Technical Roadmap for Semiconductors"(1995)，這些接面深度被突出了少於 $80\ \text{nm}$ 。

這些替代解決方案中每一種的第一步驟是非結晶化每一MOSFET之結晶矽的所選取表面層至所選取深度。然而，這些替代解決方案中每一種的剩餘步驟是彼此不同的。

在前述專利申請案內所公開的解決方案之例子中，所選取量的摻雜材料被沈積為矽之非結晶所選取表面層表面上的薄膜，並且然後至少一部份矽的非結晶所選取表面層被暫時地加熱，使用習知技藝的投射浸氣雷射摻雜(P-GILD)，持續一段時間到達足以融化非結晶矽但是不足以融化結晶矽的溫度(由於非結晶矽的融化溫度實質上是低於結晶矽)。P-GILD是該技藝中相當新的用以摻雜矽的技術，它消除了目前程序中多達11個步驟並且能夠涵蓋很廣的摻雜濃度範圍產生非常淺的，形狀清晰的摻雜區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

域。作為合併雜質在矽內精確位置的一種革命性方案，P-GILD消除了於植入前在晶圓上建立光罩以便定義被摻雜區域的必要。依據前述的專利申請案的內容，摻雜深度(以及因而在所選取表面層內形成之接面深度)是完全地由融化的非結晶所選取表面層的深度決定。在某段加熱時間完成之後，允許被加熱部份所融化的矽去冷卻，因而引起所選取表面層這部份矽的再結晶。最終，所選取表面層這部份再結晶的矽會被韌化。

如所知，非結晶化植入物產生了點缺陷的過度飽和。在韌化時，點缺陷注入導致了擴張之缺陷的集結。通常需要嚴格的韌化溫度以傳統的快速熱處理持續施加所選取時間(例如1050°C持續10秒)去使擴張之缺陷韌化消失。然而，P-GILD摻雜操作之非結晶矽的雷射融化固有地提供了某些韌化量。而且，由於在雷射處理之後出現的少數點缺陷，接面不可能由於這熱循環而移動許多。所以，如前述專利申請案中所推測，雷射韌化後的接面不需要任何額外的韌化。然而，如前述專利申請案中又推論地，在雷射韌化之後擴散的確實程度需要被實驗性地決定以便決定是否需要額外的韌化。

本發明所提供的解決方案在矽的所選取非結晶表面層中至少一部份利用了習知技藝之摻雜物的離子植入，並且然後矽的表面層被使用雷射熱韌化(LTA)暫時地加熱持續一段時間到達足以融化非結晶矽但是不足以融化結晶矽的溫度(由於非結晶矽的融化溫度實質上是低於結晶矽)。

五、發明說明(3)

在這段加熱時間完成之後，允許被加熱部份所融化的矽去冷卻，因而造成這部份所選取表面層矽的再結晶。

雖然LTA程序在某些方面類似於P-GILD程序，LTA程序在其他方面是顯著地不同於P-GILD程序。在兩種程序中，矽晶圓的所選取區域被浸在氣體中，並且使用高功率投射雷射輻射去加熱被浸入之氣體以及然後被該輻射照到之晶圓表面的那些特定區域。然而，在P-GILD程序中所採用的浸入氣體是包括蒸發的摻雜物之活性氣體，而LTA程序中所採用的浸入氣體是相對遲鈍的氣體，比如氮。而且，在P-GILD程序中，投射透鏡的解析能力必須是高得足以在矽晶圓之摻雜中相對應群的形狀清晰的分隔開區域上正確地映射一群分隔開的網狀圖案。然而，在LTA程序中，投射透鏡的解析能力(這必須是只足以用照射輻射注滿矽晶圓的整個所選取區域)是明顯地低於P-GILD程序所需之投射透鏡的高解析能力。所以，明顯可知適合LTA程序使用的投射透鏡是比適合P-GILD程序使用的投射透鏡更簡單並且成本更低的。然而，要在製造利用淺的接面形成技術之MOSFET時利用LTA程序，程序裕度必須是大得足以考慮雷射亮度能量變動。藉由雷射的正確選擇以及雷射亮度的空間均質化，能夠符合這條件。

雖然如此，在製造利用淺接面之MOSFET中當LTA程序在非結晶矽層內植入摻雜物的製造程序隨後被直接地施加至矽晶圓表面時出現了問題。這些問題是由於矽晶圓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

表面不是入射輻射的均勻吸收體。這不均勻性對於輻射所湧到之選取區域導致了造成正被製造之淺接面MOSFET其融化門檻變動及偏移的幾何改變。此種融化門檻偏移為LTA程序引入太多可變性以致如所知地不可用。

本發明專注這融化門檻偏移缺點，因而使得LTA程序在製造多數個淺接面MOSFET時是可製造的，這些MOSFET是藉由實質上透明的隔離元件彼此分隔開的。

公開一種改良的方法，在基體之表面層之所選取區域上，製造多數個分隔開的MOSFET之源極與汲極接面的至少某一部份。所選取區域包括了配置在多數個被製造之MOSFET中相鄰者的結晶矽材料之間的隔離元件，由對所選取-波長雷射輻射實質上透明的第一選取材料構成。前述方法中的一步驟包含了非結晶化多數個被製造之MOSFET其結晶矽材料的表面層到所選取深度。前述方法中的改進更包含了下列步驟：

在非結晶化步驟之前或之後於多數個被製造之n-通道或p-通道MOSFET的矽表面層中以離子植入所選取劑量之適當形式的摻雜物；

在基體之表面層的整個選取區域上方沈積至少一層第一選取厚度的第二選取材料，該層第二選取材料(1)是入射於其上之所選取波長雷射輻射的吸收劑；(2)具有比結晶矽更高的融化溫度；以及(3)具有一表面位在相對於入射的所選取波長雷射之曝光位置；以及

然後用所選取值的所選取波長之實質均勻能量的雷射

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

輻射注滿該層第二選取材料之表面的整個所選取區域，該所選取值是用以導致在所選取區域下方的矽被加熱至足以融化非結晶矽但是不足以融化結晶矽的溫度。

在冷卻時，融化的矽再結晶，因而保證多數個分隔開的MOSFET之源極與汲極接面的確定部份的深度完全地由非結晶化表面層之所選取深度決定。

第1圖(這與前述專利申請案的第1圖相同)概略地展示了已經被依據現代矽CMOS技術製造之n-通道以及p-通道FET的構造；

第2圖概略地展示了將被依據本發明的方法步驟製造的兩個第1圖之FET的構造，在製造階段這發生於恰好在(1)製造FET隔離元件，(2)FET井的摻雜，(3)FET矽表面層的非結晶化，以及(4)FET之源極的摻雜已經完成之後；

第2a圖將用以描述融化門檻偏移加熱問題，如果第2圖之構造的表面被依據LTA程序直接地照射這將發生；

第2b圖舉例說明 SiO_2 之反射性的可變性為厚度的函數，對比於 SiO_2 之反射性的一致性為厚度的函數；

第3圖概略地展示了兩個被依據本發明之方法步驟製造的第1圖FET在第2圖中所示稍後製造階段的構造；以及

第3a圖將用以描述第3圖之構造的表面被依據LTA程序直接地照射所致之加熱效果。

參看第1圖，展示了兩個互補的CMOS構造，包含矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

基體100、隔離元件102(由 SiO_2 構成)以及互補的FET 104a與104b。互補的FET 104a與104b之構造其不同處在於FET 104a包含了n型井106a、 p^+ 源極108a以及 p^+ 汲極110a，而FET 104b包含了p型井106b、 n^+ 源極108b以及 n^+ 汲極110b。在所有其它方面，互補的MOSFET 104a與104b之構造是相似的。尤其，兩個互補的MOSFET 104a與104b包含了(1)閘極多晶矽112，藉由 SiO_2 薄層114與MOSFET的井隔離，(2)邊牆間隔子116，支撐每一MOSFET 104a與104b的閘極多晶矽112，(3)矽化物電性接點117，位於每個互補的MOSFET 104a與104b其個別閘極多晶矽、源極與汲極的頂部，以及(4)輕度摻雜延伸部118，連接每一互補式MOSFET 104a與104b的源極與汲極到閘極多晶矽下方的通道區域。

由第1圖明顯可知最淺的接面是輕度摻雜延伸部118，它連接了深源極與汲極到閘極多晶矽通道。要防止汲極所致屏障降低(DIBL)以及貫穿，延伸部118是必要的。

前述專利申請案內公開的方法以及本發明方法兩者中用以製造第1圖的互補式MOSFET 104a與104b的最早步驟涉及了矽基體100之摻雜以便形成每個井106a與106b，隨後是位在 SiO_2 薄層114上方之閘極多晶矽112的製造。第2圖中所示，前述專利申請案內公開之製造方法以及本發明方法兩者的下一步驟包含了非結晶化第1圖正

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

被製造之MOSFET內包括閘極多晶矽112的上方多結晶矽層200以及井106的上方結晶矽表面層202a、202b、204a與204b的那些區域(這些表面層202a、202b、204a與204b將被包括於正被製造之MOSFET的源極與汲極108a、108b、110a與110b中)，到達要製造之延伸部118的所欲極淺深度。可藉由比如氫、矽或鍺之重原子的離子植入而達成非結晶化。然而；鍺將是較佳的，因為它是一種需要低劑量去非結晶化矽的重原子，可產生峻峭的非結晶-結晶接面，並且在矽格中是等電子的。

尤其，如第2圖中所示，將被非結晶化之閘極多晶矽112側面的表面層202a、202b、204a與204b會在每一方向延伸至隔離元件102。舉例來說，假使這些層將被非結晶的所要極淺深度實際上是30 nm(這少於80 nm)，需要 2×10^{14} 原子/平方公分的劑量去達成這所要的30 nm非結晶化深度。 2×10^{14} 原子/平方公分劑量的20仟電子伏特鍺植入達成了層202與204這所要的30 nm非結晶化深度。這植入條件是可使用現存的高電流植入機而容易獲得的。然而視所要的非結晶深度而定，植入劑量的範圍是在 1×10^{13} 原子/平方公分以及 1×10^{16} 原子/平方公分之間，而植入能量的範圍是在5仟電子伏特以及400仟電子伏特之間。

在本發明方法的下一步驟中，非結晶層202a與204a具有 p^+ 劑量的摻雜物(例如硼)離子佈值於其中，並且層202b與204b具有 n^+ 劑量的摻雜物(例如磷或砷)離子佈值

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

於其中。輕度摻雜延伸部的典型劑量是 5×10^{14} 原子/平方公分。硼、磷以及砷的植入能量典型地分別是 250、2000 以及 5000 電子伏特。通常，離子植入劑量其範圍能夠在 10^{13} 到 10^{16} 原子/平方公分之間，並且植入能量其範圍能夠在 10 與 100,000 電子伏特之間。

現在參看第 2a 圖，展示了融化門檻偏移加熱問題，如果第 2 圖之構造的表面將被依據 LTA 程序直接地加熱則這問題將發生。第 2a 圖中，第 2 圖構造是以虛線表示。這構造的整個上表面是被大致均勻的高功率雷射輻射 206 照射。申請者已經採用在 308 nm 波長操作之脈波式氟化氬準分子雷射供傳遞輻射 206，雖然能夠採用其他形式的準分子雷射(例如 193 nm 的氟化氬雷射，248 nm 的氟化氬雷射或 351 nm 的氟化氬雷射)來替代。當雷射照射的注量範圍從每平方公分 0.05 焦耳一路延伸到每平方公分 1.0 焦耳時，最可能足以加熱非結晶矽至其融化溫度，但是不足以加熱結晶矽至其融化溫度之輻射注量是每平方公分 0.6 焦耳。

應該注意隔離元件 102 是由 SiO_2 構成，這對於入射的 308 nm 輻射實際上是透明的。視氧化物厚度而定，入射光在氧化物隔離元件下方的矽中被選擇性地吸收或被隔離元件反射。這被圖示地說明於第 2b 圖中，此圖顯示位在矽上方的矽氧化物層的反射性是氧化物層厚度的函數。未被反射的光是由下方的矽吸收。由於未覆蓋之矽對入射之 308 nm 輻射的反射性是常數 0.6，錯誤厚度的氧化物

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

層能夠幾乎使吸收加倍。假使 SiO_2 隔離元件 102 是對吸收的最佳厚度下方的矽被移動穿過其之高功率雷射輻射 206 完全地加熱，並且能夠被融化，導致非所欲之隔離構造的改变。第 2a 圖中實線輪廓包含了 (1) 厚的輪廓元件 208a，代表在垂直於直接入射的高功率雷射輻射 206 的矽上表面所被吸收之相當大量的熱能，(2) 厚的輪廓元件 208b，代表了反應於從最佳吸收厚度的隔離元件傳送至其之熱能，在與 SiO_2 隔離元件底部 102 接觸的那些矽表面中所被吸收的相當大量的熱能，以及 (3) 薄的輪廓元件 208c，代表在那些幾乎平行於入射輻射的矽表面所吸收的相當微量的熱能。

雖然矽閘極高度以及長度被保持至嚴格的容許量， SiO_2 隔離元件 102 之厚度的大變動是常見並被預期的。因此，與 SiO_2 隔離元件 102 底部接觸之矽表面的熱不能被控制。隔離區域中的高熱能夠造成摻雜物在井中非所欲的擴散並且降低融化源極/汲極以及閘極之非結晶區域所需的熱能。門檻降低的程度是依源極/汲極區域與 SiO_2 隔離元件 102 的接近而定，以及依氧化物隔離元件的厚度而定，這厚度決定了入射的 308 nm 輻射在與 SiO_2 隔離元件 102 接觸的矽中被吸收的量。這引起前述的融化門檻偏移加熱問題，其中裝置幾何尺寸與處理條件強烈地影響了在第 2 圖構造的表面生成所要融化深度所需之熱能的量。

申請人對前述的融化門檻偏移加熱問題之解決方案是藉由以比如多種金屬、金屬氧化物、金屬氮化物、金屬碳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

化物、碳之材料的不透明沈積層覆蓋第2圖中所示構造的整個上表面而使輻射的表面吸收均勻，這層是所有入射於其上之308 nm輻射的高吸收劑並且具有比矽更高的融化溫度。在第3圖中所示本發明較佳實施例中，所選材料的不透明層包含了鉍氮化物，因為它的低反射性、高吸收性以及與矽處理的相容性。不透明層用的其他適當材料是鎢以及鉍。更明確地說，在第3圖所示較佳實施例中，SiO₂隔離元件102的上表面以及非結晶矽200、202a、202b、204a、204b的上表面首先被以SiO₂的相對薄層310(15 nm)覆蓋，並且然後這SiO₂薄層被以鉍氮化物的相對厚層312(30 nm)覆蓋。通常，SiO₂層的厚度其範圍可以在5 nm以及50 nm之間，並且鉍氮化物層的厚度最好是足以吸收入射於其上的所有308 nm輻射而且其範圍可以在20 nm與150 nm之間。通常，材料的不透明沈積層之厚度應該是至少足以導致這材料吸收所有入射於其上之所選取波長雷射輻射的大於50%。任何情況下，位在非結晶矽以及鉍氮化物層之間SiO₂層的必要性導致了防止如果鉍氮化物直接地與矽表面接觸將造成的矽污染物。

如所熟知地，非結晶的矽具有比結晶矽更低因數10的熱傳導性，更低300°C的融化溫度，以及更低30%的反射性。參看第3a圖，入射於高吸收劑鉍氮化物層312上表面的高功率雷射輻射206是足以使層312加熱至相當高的溫度。當熱被經由薄SiO₂層310傳導至非結晶矽200、202a、202b、204a、204b的上表面時，熱是足

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

以融化非結晶矽200、202a、202b、204a、204b，但是不足以融化在非結晶矽下方，在第3a圖內區域202a、202b、204a與204b下的結晶矽。

SiO_2 是相當不良的熱導體並且不會直接地吸收入射輻射。所以，如第3a圖中由細實線308所標示，當高功率雷射輻射206入射於鉍氮化物層312上表面時與隔離元件102側邊接觸的矽只被可忽略地加熱。

在融化的非結晶矽層被允許去冷卻因而造成這層的再結晶之後，鉍氮化物層312被剝除。

至此所述包含了第3及3a圖中所示LTA程序之本發明製造方法的步驟是被用以形成延伸部118極淺的(最好為30 nm深度)接面。然而，然後可採用類似的步驟去製造第1圖中所示CMOSFET的深源極與汲極區域。尤其，隨著極淺的延伸部118接面的製造，邊牆間隔子116被製造。此後，位在每一邊牆間隔子116與隔離元件102之間的每一個深源極與汲極區域被再非結晶化到其所要的比其上述原始非結晶化更深的深度。這可以用更高能量(例如40仟電子伏特)以及更高劑量(例如 6×10^{14} 原子/平方公分)鍍植入物來完成。隨著此再非結晶化，藉由離子植入而將額外劑量的摻雜物加至深源極與汲極，最好提供 1×10^{15} 原子/平方公分的總劑量。由於最終所製深源極與深接面深度是單獨地由它們的非結晶化深度予以控制，硼、磷與砷的植入能量分別地保持於250、2000與5000電子伏特。非結晶化步驟能夠在摻雜物植入步驟之前或之後被執行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

製造深源極與深接面的最終步驟包含了再次利用LTA程序，這包括了沈積一鉍氮化物層，使其上表面被暴露於有效地只融化非結晶矽的308 nm輻射，以及在此後剝除鉍氮化物層，以便因而形成源極與汲極界面到單獨地由所製造CMOSFET之融化矽的深度決定的所要深度。而所要的深度最好是120 nm，所要深度的範圍是在80 nm與200 nm之間。

在以上所述本發明較佳實施例的方法中，由於這些已被製造的極淺界面在各方向延伸至邊牆間隔子116，深源極與汲極的製造牽涉到已被製造的極淺(亦即少於150 nm深度)界面之非結晶化。然而，應該瞭解極淺界面的延伸會被限制於只在延伸部的位置，所以不包括深源極與汲極的位置。在這情況下，源極與汲極位置的非結晶化是獨立於延伸部位置的非結晶化，所以源極與汲極位置的非結晶化會發生於延伸部位置的非結晶化之前或之後。再者，本發明可被用以製造僅僅MOSFET的延伸部，或者只用以製造MOSFET的深源極與汲極，而非這兩者。

概括地說，在矽晶圓表面上沈積一吸收層確保了雷射輻射在整個晶圓表面上的一致吸收。這消除了如果在隔離元件中發生雷射輻射的吸收將發生的不可預期性。再者，加熱源並移至晶圓表面，因此不會在與隔離元件相鄰的矽中發生任何因熱吸收而起的熱陷獲。所以，本發明使LTA程序實用於在矽晶圓的所選取區域上製造多數個隔離的、分隔開的、非常淺界面的MOSFET。

五、發明說明(13)

元件標號對照

- 100 矽基體
- 102 隔離元件
- 104 a, 104 b 互補式 MOSFET
- 106 a n型井
- 106 b p型井
- 108 a p⁺源極
- 108 b n⁺源極
- 110 a p⁺汲極
- 110 b n⁺汲極
- 112 閘極多晶矽
- 114 SiO₂薄層
- 116 邊牆間隔子
- 117 矽化物電性接點
- 118 延伸部
- 200, 202 a, 202 b, 204 a, 204 b 非結晶矽
- 206 高功率雷射輻射
- 208 a, 208 b, 208 c 輪廓元件
- 310 SiO₂薄層
- 312 鉍氮化物厚層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 適用於製造小尺寸積體電路之浸氣雷射
射韌化方法)

一種在矽晶圓的選取區域上製造多數個淺接面金屬氧化物半導體場效電晶體(MOSFET)的方法，其中諸MOSFET是藉由大致透明的隔離元件彼此分隔開。該方法包括了步驟為用雷射輻射注滿整個所選取區域，這雷射輻射是期望去造成已經被預先非結晶化至這選取深度並且然後被摻雜之矽表面層的僅僅所選取深度被加熱至所要門檻溫度。這門檻溫度是足以融化非結晶矽但是不足以融化結晶矽。然而，一旦雷射輻射被直接地入射於大致透明的隔離元件以及矽表面兩者上，移動經過大致透明之隔離元件的入射輻射其能量的不定部份將會視隔離元件的深度而被傳送至與隔離元件接觸的矽表面，因

英文發明摘要(發明之名稱：)
GAS IMMERSION LASER ANNEALING
METHOD SUITABLE FOR USE IN THE
FABRICATION OF REDUCED-DIMENSION
INTEGRATED CIRCUITS

A method for fabricating a plurality of shallow-junction metal oxide semiconductor field-effect transistors (MOSFETs) on a selected area of a silicon wafer, in the case in which the MOSFETs are spaced from one another by substantially transparent isolation elements. The method includes the step of flooding the entire selected area with laser radiation that is intended to effect the heating to a desired threshold temperature of only the selected depth of a surface layer of silicon that has been previously amorphized to this selected depth and then doped. This threshold temperature is sufficient to melt amorphized silicon but is insufficient to melt crystalline silicon. However, should the laser radiation be directly incident on both the substantially transparent isolation elements and the silicon surface, a variable portion of the energy of the incident radiation traveling through the substantially transparent isolation elements

四、中文發明摘要 (發明之名稱： 適用於製造小尺寸積體電路之浸氣雷射
射韌化方法)

而造成矽不可預期的額外加熱，這將在那些到達融化門檻溫度的矽區域中導致到達融化門檻溫度所需的注量其非所欲的偏移。爲了防止這發生，在實施以雷射輻射注滿整個所選取區域之前，於所選取區域上方沈積具介電性且爲高輻射吸收劑材料(例如矽二氧化物與鉭氮化物)的上方層堆疊。在融化的矽已經被冷卻並且再結晶之後，高輻射吸收劑材料的上方層被剝除。

英文發明摘要 (發明之名稱： GAS IMMERSION LASER ANNEALING
METHOD SUITABLE FOR USE IN THE
FABRICATION OF REDUCED-DIMENSION
INTEGRATED CIRCUITS)

would be transferred to the silicon surfaces in contact with the isolation elements depending on the depth of the isolation elements thereby causing unpredictable additional heating of the silicon which would result in an unwanted shift in the fluence required to reach the melt threshold temperature in those silicon regions which reach the melt threshold temperature. To prevent this, a top layer stack of a dielectric and a highly radiation-absorbent material (e.g., silicon dioxide and tantalum nitride) is deposited over the selected area prior to the flooding of the entire selected area with laser radiation taking place. After, the melted silicon has cooled and recrystallized, the top layer of highly radiation-absorbent material is stripped.

六、申請專利範圍

1. 一種在基體表面層一選取區域上製造多個分隔開的 MOSFET 中每一個的源極與汲極接面的至少某些部份之方法，該分隔開的 MOSFET 中每一個包括了其自身所獨立選取的 n 與 p 通道之一，其中該選取區域包括了由實質上對所選取波長雷射輻射透明的第一選取材料構成並被配置在正被製造的該多數個 MOSFET 中諸相鄰者的結晶矽材料之間的隔離元件，其中該方法包含了諸步驟：

(a) 非結晶化一表面層到正被製造之該多數個 MOSFET 的該結晶矽材料的所選取深度；

(b) 在相對應於正被製造的該多數個分隔開的 MOSFET 的每一單獨 MOSFET 之非結晶矽表面層中，選擇性地離子植入所選取劑量的供該單獨 MOSFET 用的適當的 n 或 p 種類之摻雜物；

(c) 在該基體之該表面層的整個選取區域上沈積至少一層第一選取厚度的第二選取材料，該第二選取材料的該層 (1) 是入射於其上之所選取波長雷射輻射的吸收劑 (2) 具有比結晶矽更高的融化溫度；以及

(d) 然後用一選取值的幾乎均勻的該所選取波長之能量雷射輻射注滿該層第二選取材料之該表面的整個選取區域，該選取值是使得在該選取區域下方的矽被加熱至足以融化非結晶矽但是不足以融化結晶矽的溫度；

因此，在該融化的矽已經冷卻之後，它再次結晶。

2. 如申請專利範圍第 1 項之方法，其中步驟 (c) 包含步驟

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

為：

(d) 在沈積該第二選取材料之前沈積一層第二選取厚度的第三選取材料，該第三選取材料顯出防止非結晶矽表面層因直接地與該第二選取材料接觸而被污染之特性。

3. 如申請專利範圍第2項之方法，其中：

該第一與第三選取材料各自包含了 SiO_2 並且該第二選取材料包含了鉍氮化物。

4. 如申請專利範圍第3項之方法，其中：

該雷射輻射的該選取波長是 308nm 。

5. 如申請專利範圍第4項之方法，其中：

該鈦氮化物第二選取材料的該第一厚度是在 20nm 到 150nm 的範圍，並且該 SiO_2 第三選取材料的該第二厚度是在 5nm 到 50nm 的範圍。

6. 如申請專利範圍第5項之方法，其中：

該第一厚度是大約 30nm 並且該第二厚度是大約 15nm 。

7. 如申請專利範圍第2項之方法，其中：

該第一與第三選取材料各自包含了 SiO_2 並且該第二選取材料包含了金屬、金屬氧化物、金屬氮化物、金屬碳化

六、申請專利範圍

物、碳、鎢、或鉬中一選取者。

8. 如申請專利範圍第1項之方法，其中：

該第一選取厚度是足以導致該第二選取材料吸收大於50%的所有入射於其上的該選取波長雷射輻射。

9. 如申請專利範圍第1項之方法，其中：

該等MOSFET中每一個包括一閘極部份；以及MOSFET之該源極與汲極接面的該某些部份包含了該源極與汲極接面之深度少於150nm的延伸部份，在空間上位於與該MOSFET的閘極部份成毗鄰關係。

10. 如申請專利範圍第9項之方法，其中：

MOSFET之該源極與汲極接面的該某些部份更包含了深度在80nm至200nm範圍的剩餘部份。

11. 如申請專利範圍第10項之方法，其中：

該源極與汲極接面之該等剩餘部份具有大約120nm的深度。

12. 如申請專利範圍第1項之方法，其中：

MOSFET之該源極與汲極接面的該某些部份包含了該源極與汲極接面之深度在80nm至200nm範圍的特定部份。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

13. 如申請專利範圍第12項之方法，其中：

該源極與汲極接面的該等特定部份具有大約120nm
的深度。

14. 如申請專利範圍第3項之方法，其中該方法包含了又一
步驟：

(e) 在該融化的矽已經再結晶之後，剝除該第二選取
材料的該沈積層。

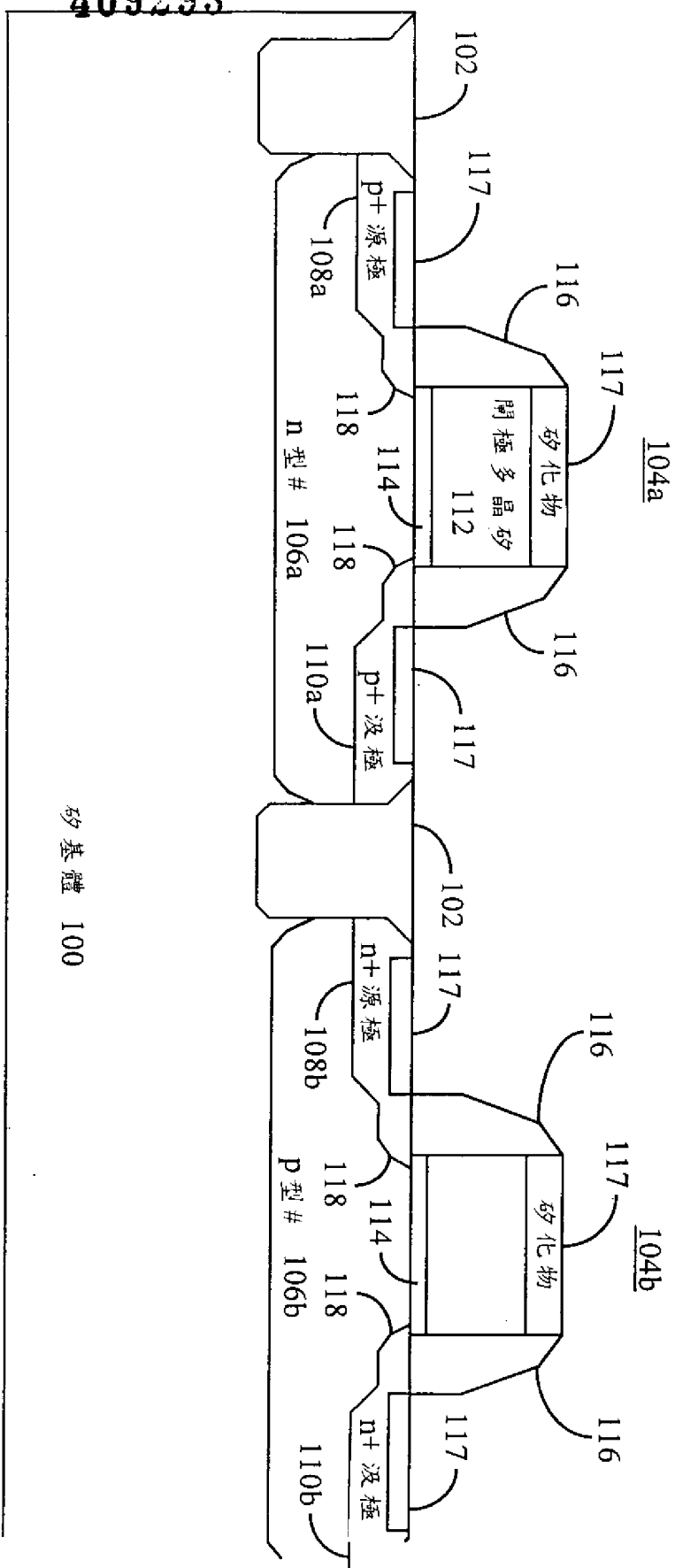
15. 如申請專利範圍第1項之方法，其中正被製造的該多數
個MOSFET中相鄰者包含了一對CMOS場效電晶體。’

(請先閱讀背面之注意事項再填寫本頁)

裝

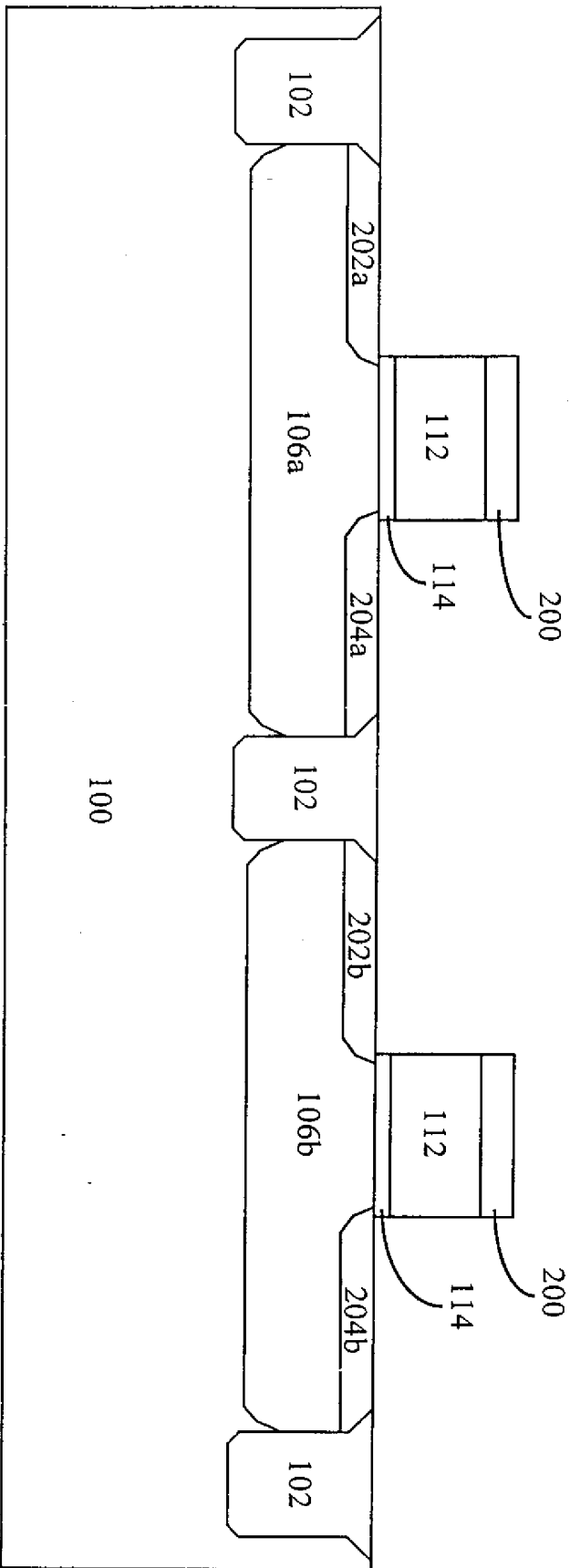
訂

線

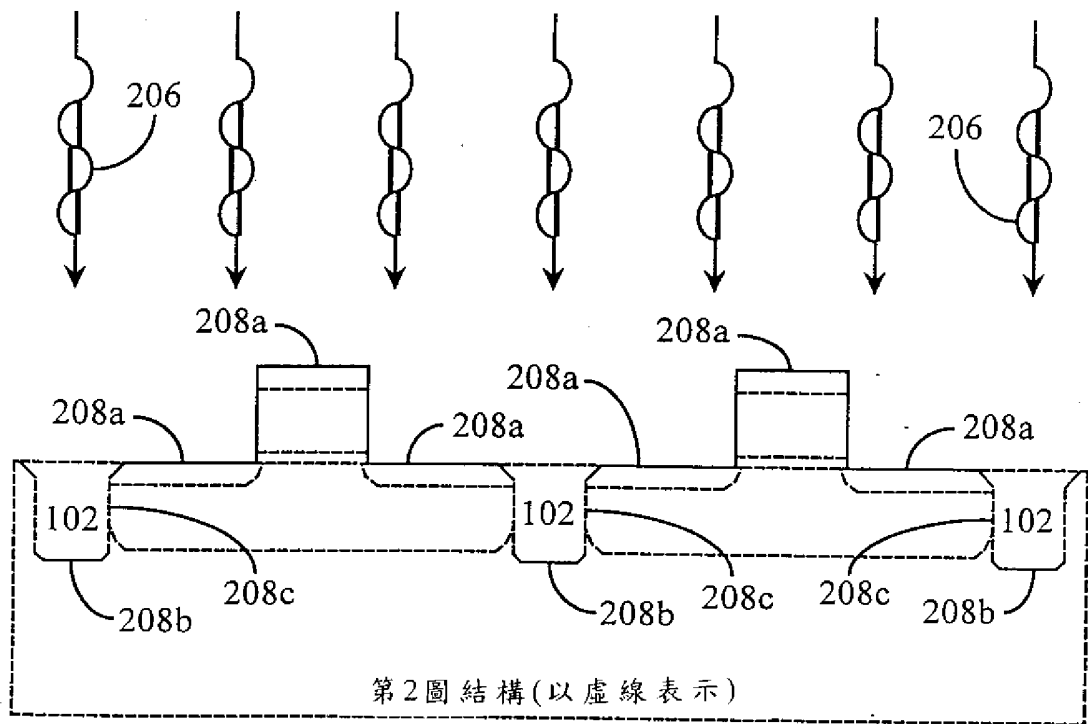


矽基體 100

第 1 圖

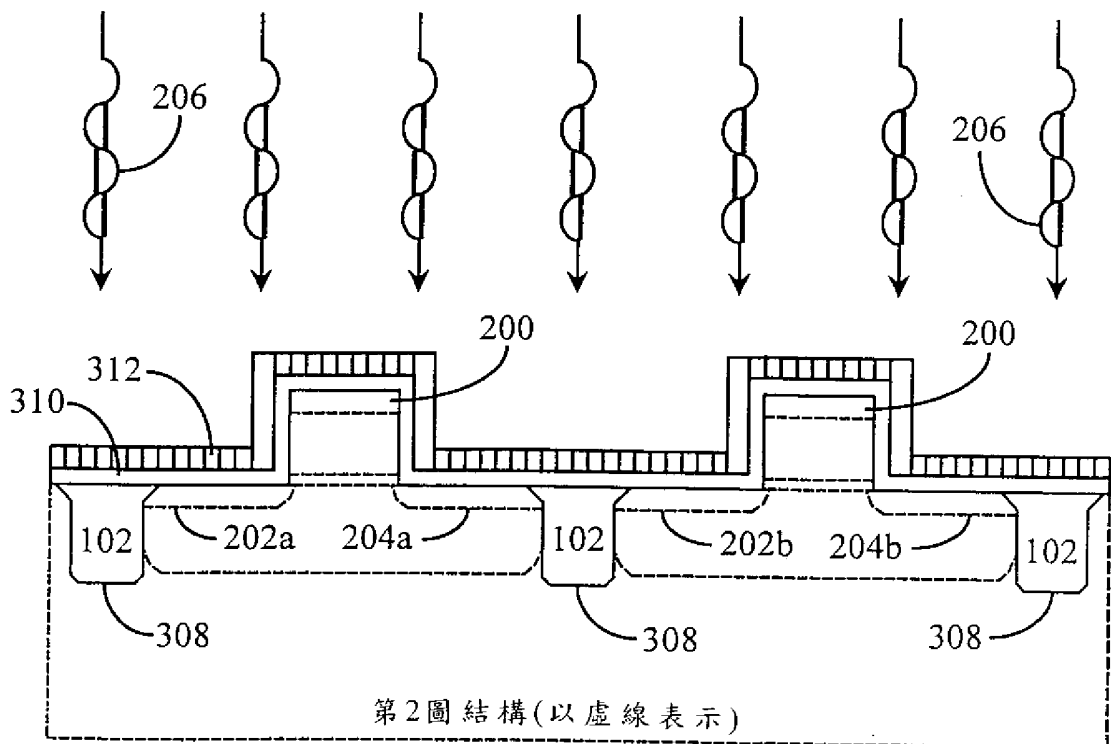


第 2 圖



第2圖結構(以虛線表示)

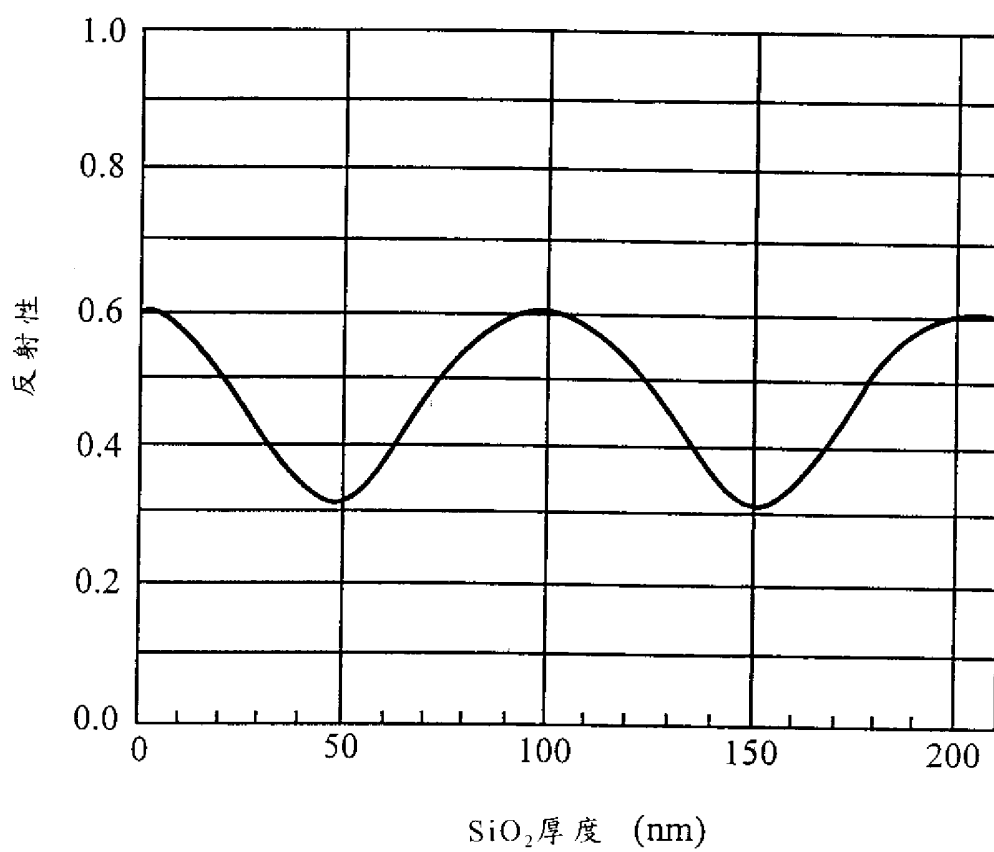
第 2a 圖



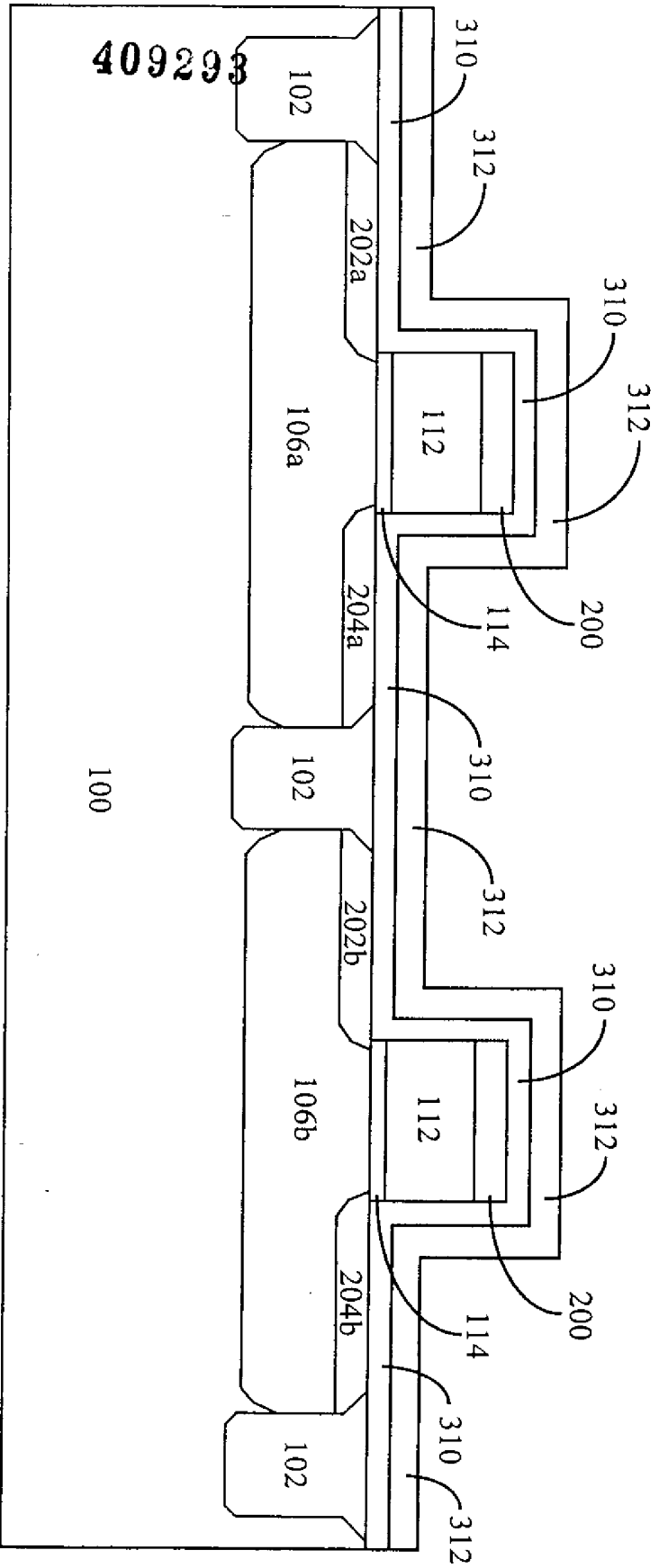
第2圖結構(以虛線表示)

第 3a 圖

409293



第 2b 圖



第 3 圖