



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/26 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월26일 10-0699988 2007년03월20일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0019005 2004년03월19일 2004년03월19일	(65) 공개번호 (43) 공개일자	10-2005-0093527 2005년09월23일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 김태성
 인천광역시남구주안5동26-8태화아파트2동707호

(74) 대리인 박상수

(56) 선행기술조사문헌 1001307380000 1020030086668 JP2001060691 A KR1020020034321 A US6380558 B * 심사관에 의하여 인용된 문헌	1020020013787 JP111111466 A JP2004063304 A KR1020030092141 A
--	---

심사관 : 최창락

전체 청구항 수 : 총 18 항

(54) 평판표시장치

(57) 요약

평판표시장치를 제공한다. 상기 평판표시장치는 절연기판을 포함한다. 상기 절연기판 상에 인장응력(tensile stress)을 갖는 몰리브덴 또는 몰리브덴 합금으로 이루어진 도전막 패턴이 위치한다. 상기 도전막 패턴 상에 실리콘 질화막(silicon nitride) 또는 실리콘 산질화막(silicon oxynitride)이 위치한다. 이로써, 도전막 패턴과 절연막간의 응력균형을 이룰수 있고, 상기 도전막 패턴과 상기 절연막간의 부착특성을 개선시킬 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

절연기판;

상기 절연기판 상에 위치하며 0을 초과하고 300Mpa이하의 인장응력(tensile stress)을 갖는 몰리브덴 또는 몰리브덴 합금으로 이루어진 도전막 패턴; 및

상기 도전막 패턴 상에 위치하며 200 내지 400Mpa의 압축응력을 갖는 실리콘 질화막(silicon nitride) 또는 실리콘 산질화막(silicon oxynitride)을 포함하는 것을 특징으로 하는 평판표시장치.

청구항 2.

제 1 항에 있어서,

상기 도전막 패턴은 소오스 및 드레인 전극들과 배선을 형성하는 것을 특징으로 하는 평판표시장치.

청구항 3.

삭제

청구항 4.

제 1 항에 있어서,

상기 도전막 패턴은 3000 내지 7000Å의 두께를 갖는 것을 특징으로 하는 평판표시장치.

청구항 5.

제 1 항에 있어서,

상기 몰리브덴 합금은 몰리브덴-텅스텐 합금으로 이루어진 도전막패턴인 것을 특징으로 하는 평판표시장치.

청구항 6.

삭제

청구항 7.

제 5 항에 있어서,

상기 몰리브덴-텅스텐 합금으로 이루어진 도전막 패턴은 3000 내지 7000Å의 두께를 갖는 것을 특징으로 하는 평판표시장치.

청구항 8.

제 5 항에 있어서,

상기 몰리브덴-텅스텐 합금은 5 내지 25중량%의 텅스텐을 함유하는 것을 특징으로 하는 평판표시장치.

청구항 9.

제 1 항에 있어서,

상기 실리콘 질화막 또는 상기 실리콘 산질화막은 10 내지 20 원자%의 수소를 함유하고 있는 것을 특징으로 하는 평판표시장치.

청구항 10.

삭제

청구항 11.

제 1 항에 있어서,

상기 절연기판은 열처리된 유리기판인 것을 특징으로 하는 평판표시장치.

청구항 12.

절연기판;

상기 절연기판 상의 일부에 위치하는 반도체층;

0을 초과하고 300Mpa이하의 인장응력(tensile stress)을 갖는 몰리브덴 또는 몰리브덴 합금으로 이루어지고, 상기 반도체층의 양단부에 각각 접하는 소오스 및 드레인 전극들을 형성하는 도전막 패턴;

상기 도전막 패턴을 덮고 200 내지 400Mpa의 압축응력을 갖는 실리콘 질화막 또는 실리콘 산질화막으로 이루어진 패시베이션 절연막; 및

상기 패시베이션 절연막 상에 위치하여 상기 소오스 및 드레인 전극들 중 어느 하나에 접하는 화소전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 13.

제 12 항에 있어서,

상기 반도체층은 다결정 실리콘으로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 14.

제 12 항에 있어서,

상기 화소전극은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 15.

삭제

청구항 16.

제 12 항에 있어서,

상기 도전막 패턴은 3000 내지 7000Å의 두께를 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 17.

제 12 항에 있어서,

상기 몰리브덴 합금은 몰리브덴-텅스텐 합금으로 이루어진 도전막 패턴인 것을 특징으로 하는 유기전계발광표시장치.

청구항 18.

삭제

청구항 19.

제 17 항에 있어서,

상기 몰리브덴-텅스텐 합금으로 이루어진 도전막 패턴은 3000 내지 7000Å의 두께를 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 20.

제 17 항에 있어서,

상기 몰리브덴-텅스텐 합금은 5 내지 25중량%의 텅스텐을 함유하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 21.

제 12 항에 있어서,

상기 도전막 패턴은 상기 소오스 및 드레인 전극들을 형성함과 동시에 배선을 형성하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 22.

제 12 항에 있어서,

상기 실리콘 질화막 또는 상기 실리콘 산질화막은 10 내지 20 원자%의 수소를 함유하고 있는 것을 특징으로 하는 유기전계발광표시장치.

청구항 23.

삭제

청구항 24.

제 12 항에 있어서,

상기 절연기관은 열처리된 유리기관인 것을 특징으로 하는 평판표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치 및 그의 제조방법에 관한 것으로, 더욱 자세하게는 능동 매트릭스 평판표시장치 및 그의 제조방법에 관한 것이다.

능동매트릭스 평판표시장치는 게이트라인과 데이터라인에 의해 정의되고, 매트릭스형태로 위치한 단위화소들을 구비한다. 상기 단위화소는 적어도 하나의 박막트랜지스터, 상기 박막트랜지스터에 의해 제어되는 화소전극 및 상기 화소전극과 마주보는 대향전극을 포함한다. 이와 같이 능동매트릭스 평판표시장치는 상기 게이트 라인, 상기 데이터 라인, 상기 화소전극 및 이들 사이에 개재된 절연막 등 여러 박막들을 구비한다. 이러한 평판표시장치를 제조함에 있어서, 상기 박막들 사이의 응력(stress) 조합을 최적화 하는 것은 공정 안정화 측면에서 매우 중요하다.

특히, 상기 게이트 라인 및 상기 데이터 라인 등 배선들과 이들에 각각 접하고 있는 절연막 사이에 응력불균형(stress unbalance)이 발생하는 경우, 상기 배선들과 상기 절연막 사이에 부착 불량(adhesion degradation) 및 기관의 변형 등이 유발될 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 배선과 절연막간의 응력균형을 이루도록 함으로써 상기 배선과 상기 절연막간의 부착특성이 개선된 평판표시장치를 제공하고자 한다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명은 평판표시장치를 제공한다. 상기 평판표시장치는 절연기관을 포함한다. 상기 절연기관 상에 인장응력(tensile stress)을 갖는 폴리브덴 또는 폴리브덴 합금으로 이루어진 도전막 패턴이 위치한다. 상기 도전막 패턴 상에 실리콘 질화막(silicon nitride) 또는 실리콘 산질화막(silicon oxynitride)이 위치한다. 상기 도전막 패턴은 소오스 및 드레인 전극들과 배선을 형성할 수 있다.

또한 상기 기술적 과제를 이루기 위하여 본 발명은 유기전계발광표시장치를 제공한다. 상기 유기전계발광표시장치는 절연기관을 포함한다. 상기 절연기관 상의 소정영역에 반도체층이 위치한다. 인장응력(tensile stress)을 갖는 폴리브덴 또는 폴리브덴 합금으로 이루어지고, 상기 반도체층의 양단부에 각각 접하는 소오스 및 드레인 전극들을 형성하는 도전막 패턴이 위치한다. 실리콘 질화막 또는 실리콘 산질화막으로 이루어진 패시베이션 절연막이 상기 도전막 패턴을 덮는다. 상기 패시베이션 절연막 상에 상기 소오스 및 드레인 전극들 중 어느 하나에 접하는 화소전극이 위치한다. 상기 도전막 패턴은 소오스 및 드레인 전극들을 형성함과 동시에 배선을 형성할 수 있다.

상기 유기전계발광표시장치에 있어, 상기 반도체층은 다결정 실리콘으로 이루어진 것이 바람직하다. 한편, 상기 화소전극은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 이루어질 수 있다.

상기 평판표시장치 및 상기 유기전계발광표시장치에 있어, 상기 도전막 패턴의 인장응력은 300MPa 이하인 것이 바람직하다. 더욱 바람직하게는 상기 도전막 패턴은 3000 내지 7000Å의 두께를 갖는다.

상기 평판표시장치 및 상기 유기전계발광표시장치에 있어, 상기 몰리브덴 합금은 몰리브덴-텅스텐 합금인 것이 바람직하다. 상기 몰리브덴-텅스텐 합금으로 이루어진 도전막 패턴의 인장응력은 300MPa 이하인 것이 바람직하다. 더욱 바람직하게는 상기 몰리브덴-텅스텐 합금으로 이루어진 도전막 패턴은 3000 내지 7000Å의 두께를 갖는다. 상기 몰리브덴-텅스텐 합금은 5 내지 25중량%의 텅스텐을 함유하는 것이 바람직하다.

상기 평판표시장치 및 상기 유기전계발광표시장치에 있어, 바람직하게는 상기 실리콘 질화막 또는 상기 실리콘 산질화막은 20원자% 이하의 수소를 함유한다. 더욱 바람직하게는 상기 실리콘 질화막 또는 상기 실리콘 산질화막은 10 내지 20원자%의 수소를 함유한다.

상기 평판표시장치 및 상기 유기전계발광표시장치에 있어, 상기 절연기판은 열처리된 유리기판인 것이 바람직하다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소를 나타낸다.

도 1은 본 발명의 실시예에 따른 유기전계발광소자의 단위화소를 나타낸 레이아웃도이고, 도 2는 도 1의 절단선 I-I'를 따라 취해진 본 발명의 실시예에 따른 유기전계발광소자 및 그의 제조방법을 설명하기 위한 단면도이다.

도 1 및 도 2를 참조하면, 기판(10)을 제공한다. 상기 기판(10)은 평판표시장치에 있어 일반적으로 사용되는 유리 또는 플라스틱 기판일 수 있다. 상기 유리 또는 플라스틱 기판은 상기 기판 상에 형성되는 박막들의 응력(stress)에 의해 변형(bending)이 발생하기 쉬운 특성을 갖는다. 따라서, 상기 기판(10)은 변형이 비교적 적은 열처리된 유리기판으로 제공하는 것이 바람직하다. 상기 기판(10) 상에 버퍼층(15)을 형성한다. 상기 버퍼층(15)은 상기 기판(10)으로부터 유출되는 알칼리 이온과 같은 불순물로부터 후속하는 공정에서 형성되는 박막트랜지스터를 보호하기 위한 층으로, 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있다.

상기 버퍼층(15)상에 비정질 실리콘막을 적층하고, 이를 결정화하여 다결정 실리콘막을 형성하는 것이 바람직하다. 상기 비정질 실리콘막을 결정화하는 것은 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization) 또는 MILC(Metal Induced Lateral Crystallization)법을 사용하여 수행할 수 있다.

상기 다결정 실리콘막을 패터닝하여 상기 기판(10) 상에 구동 TFT 반도체층(21) 및 스위칭 TFT 반도체층(23)을 형성한다. 상기 반도체층들(21, 23)을 포함한 기판 전면에 게이트 절연막(25)을 형성한다. 상기 게이트 절연막(25) 상에 제 1 도전막을 적층하고 이를 패터닝함으로써, 제 1 도전막 패턴을 형성한다. 상기 제 1 도전막 패턴은 게이트 라인(37), 상기 게이트 라인(37)으로부터 돌출되고 상기 스위칭 TFT 반도체층(23)을 가로지르는 스위칭 TFT 게이트 전극(33), 스토리지 캐패시터 하부전극(35) 및 상기 구동 TFT 반도체층(21)을 가로지르는 구동 TFT 게이트 전극(31)을 포함한다. 상기 제 1 도전막 패턴은 알루미늄, 알루미늄 합금, 몰리브덴 또는 몰리브덴 합금을 사용하여 형성하는 것이 바람직하다. 더욱 바람직하게는 상기 제 1 도전막 패턴은 화학적, 물리적으로 안정한 몰리브덴 또는 몰리브덴 합금을 사용하여 형성한다.

상기 제 1 도전막 패턴이 형성된 기판(10) 전면에 층간절연막(45)을 형성한다. 상기 층간절연막(45)은 실리콘 산화막으로 형성할 수 있다. 상기 층간절연막 내에 상기 반도체층들(21, 23)의 양쪽 단부들 및 상기 스토리지 캐패시터 하부전극(35)의 소정영역을 노출시키는 콘택홀들을 형성하고, 이어서 상기 콘택홀들을 포함한 기판 전면에 제 2 도전막을 적층하고 이를 패터닝하여 제 2 도전막 패턴을 형성한다. 상기 제 2 도전막 패턴은 인장응력을 갖는 몰리브덴 또는 몰리브덴 합금을 사용하여 형성한다. 상기 몰리브덴 또는 몰리브덴 합금은 알루미늄 또는 알루미늄 합금에 비해 내부식성이 뛰어나고 용점이 높은 특성을 갖는 등 물리적, 화학적으로 안정한 특성을 갖는다.

상기 제 2 도전막 패턴은 상기 게이트 라인(37)을 가로지르는 데이터 라인(57), 상기 데이터 라인(57)에 평행한 전원공급 라인(59), 상기 데이터 라인(57)으로부터 돌출되고 상기 스위칭 TFT 반도체층(23)에 접하는 스위칭 TFT 소오스 전극(53a), 상기 스위칭 TFT 반도체층(23) 및 상기 스토리지 캐패시터 하부전극(35)에 동시에 접하는 스위칭 TFT 드레인 전극(53b), 상기 전원공급라인(59)으로부터 돌출된 스토리지 캐패시터 상부전극(55), 상기 전원공급라인(59)으로부터 돌출된 구동 TFT 소오스 전극(51a) 및 상기 구동 TFT 반도체층(21)의 일측 단부에 접하는 구동 TFT 드레인 전극(51b)을 포함한다.

상기 스위칭 TFT 소오스 전극(53a), 상기 스위칭 TFT 드레인 전극(53b), 상기 스위칭 TFT 게이트 전극(33) 및 상기 스위칭 TFT 반도체층(23)은 스위칭 박막트랜지스터(M1)을 형성한다. 상기 구동 TFT 소오스 전극(51a), 상기 구동 TFT 드레인 전극(51b), 상기 스위칭 TFT 게이트 전극(31) 및 상기 스위칭 TFT 반도체층(21)은 구동 박막트랜지스터(M2)를 형성한다. 상기 스토리지 캐패시터 하부전극(35) 및 스토리지 캐패시터 상부전극(55)은 스토리지 캐패시터를 형성한다. 또한, 상기 게이트 라인(37), 상기 데이터 라인(57) 및 상기 전원공급라인(59)은 상기 박막트랜지스터들과 상기 캐패시터에 일정 신호를 인가하는 배선이다.

상기 제 2 도전막 패턴 상에 패시베이션 절연막(60)을 형성하고, 상기 패시베이션 절연막(60)이 형성된 기판을 열처리한다. 상기 패시베이션 절연막(60)은 수소를 풍부하게 함유하는 실리콘 질화막 또는 실리콘 산질화막으로 형성한다. 이로써, 상기 실리콘 질화막 또는 실리콘 산질화막으로 형성된 패시베이션 절연막(60) 내에 함유된 수소는 상기 다결정 실리콘으로 형성된 반도체층들(21, 23)로 확산되어 상기 다결정 실리콘의 결정입자 경계(crystal grain boundary)에 있는 불완전 결합(dangling bond)과 같은 결함(defect)을 패시베이션할 수 있다. 또한, 상기 실리콘 질화막 또는 실리콘 산질화막으로 형성된 패시베이션 절연막(60)은 상기 박막트랜지스터로 수분 및 불순물이 침투하는 것을 막을 수 있다. 그러나, 상기 실리콘 질화막 또는 상기 실리콘 산질화막으로 형성된 패시베이션 절연막(60)은 200MPa 내지 400MPa의 비교적 큰 압축응력을 갖는다.

따라서, 상기 패시베이션 절연막(60)과 접하는 상기 제 2 도전막 패턴을 인장응력을 갖는 몰리브덴 또는 몰리브덴 합금을 사용하여 형성함으로써, 상기 제 2 도전막 패턴과 상기 패시베이션 절연막(60) 사이에 응력균형(stress balance)을 이룰 수 있고, 상기 제 2 도전막 패턴과 상기 패시베이션 절연막(60) 사이의 부착(adhesion) 특성을 향상시킬 수 있다.

상기 제 2 도전막 패턴의 인장응력은 300MPa 이하인 것이 바람직하다. 상기 제 2 도전막 패턴의 인장응력이 300MPa를 초과하는 경우, 상기 기판(10)은 상기 제 2 도전막 패턴의 인장응력으로 인해 스트레스를 받게 되고, 상기 스트레스로 인해 기판 중앙부분이 위로 굽는 변형이 발생할 수 있다. 상기 기판의 변형은 후속하는 공정을 진행할 때, 더욱 자세하게는 노광기 등의 여러 장비에서 진공흡착판 상에 상기 기판을 고정시키는 과정에서 상기 기판의 파손을 유발할 수 있다. 또한, 상기 기판의 변형은 얼라인 장비 등에서의 진행 오류를 유발할 수 있다. 상기 몰리브덴 또는 몰리브덴합금으로 이루어진 제 2 도전막 패턴을 300MPa 이하의 인장응력을 갖도록 형성하는 것은 상기 제 2 도전막을 형성함에 있어 70°C 이상의 온도에서 형성하는 것이 바람직하다. 이에 더하여, 상기 제 2 도전막 패턴은 3000 내지 7000Å의 두께를 갖도록 형성하는 것이 바람직하다. 상기 3000 내지 7000Å의 두께를 갖는 제 2 도전막 패턴은 적절한 면저항(sheet resistance; Rs)을 가질 수 있다.

상기 제 2 도전막 패턴을 형성하는 몰리브덴 합금은 몰리브덴-텅스텐 합금인 것이 바람직하다. 상기 몰리브덴-텅스텐 합금은 5 내지 25중량%의 텅스텐을 함유하는 것이 바람직하다. 상기 텅스텐 함유량이 5중량% 미만인 경우 파티클(particle) 발생이 우려되며, 상기 텅스텐 함유량이 25 중량%를 초과하는 경우 합금형성이 어려울 수 있다.

한편, 상기 패시베이션 절연막(60)을 형성하는 실리콘 질화막 또는 실리콘 산질화막은 과도한 압축응력을 갖지 않도록 20 원자%(at.%) 이하의 수소를 함유하는 것이 바람직하다. 더 나아가서, 상술한 바와 같이 상기 다결정 실리콘의 결정입자 경계(crystal grain boundary)에 있는 불완전 결합(dangling bond)과 같은 결함(defect)을 패시베이션하기 위해서는 상기 실리콘 질화막 또는 상기 실리콘 산질화막은 10 원자% 이상의 수소를 함유하는 것이 바람직하다. 결과적으로 상기 실리콘 질화막 또는 상기 실리콘 산질화막은 10 내지 20 원자%의 수소를 함유하는 것이 바람직하다.

이어서, 상기 패시베이션 절연막(60) 상에 평탄화절연막(65)을 형성할 수 있다. 상기 평탄화 절연막(65)은 하부 패턴들에 기인하는 토폴러지를 완화할 수 있는 막으로 BCB(benzocyclobutene)을 사용하여 형성하는 것이 바람직하다. 그러나, 경우에 따라서는 상기 평탄화절연막(65)을 형성하는 것을 생략하는 것도 가능하다. 상기 평탄화절연막(65) 및 상기 패시베이션 절연막(60) 내에 상기 구동 TFT 드레인 전극(51b)을 노출시키는 비아홀(65a)을 형성하고, 상기 비아홀(65a)을 포함한 기판 전면에 제 3 도전막을 적층하고 이를 패터닝함으로써 상기 구동 TFT 드레인 전극(51b)에 접하는 화소전극(70)을 형성한다. 상기 화소전극(70)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 사용하여 형성할 수 있다. 상술한 바와 같이, 상기 구동 TFT 드레인 전극(51b)을 몰리브덴 또는 몰리브덴 합금을 사용하여 형성함으로써, 상기 구동 TFT 드레인 전극(51b)을 알루미늄 또는 알루미늄 합금을 사용하여 형성한 경우에 비해 상기 구동 TFT 드레인 전극(51b)과 상기 ITO 또는 IZO로 이루어진 화소전극(70)이 접하는 계면에서 양호한 계면특성을 확보할 수 있다.

상기 화소전극(70)을 구비하는 기판 상에 상기 화소전극(70)의 소정영역을 노출시키는 개구부(75a)를 갖는 화소정의막(75)을 형성할 수 있다. 상기 개구부(75a)를 포함하는 기판 상에 상기 노출된 화소전극(70)과 접하는 유기기능막(80)을 형성하고, 상기 유기기능막(80) 상에 대향전극(90)을 형성한다. 상기 유기기능막(80)은 적어도 유기발광층을 구비한다. 상기 화소전극(70), 상기 유기기능막(80) 및 상기 대향전극(90)은 유기발광다이오드를 형성한다.

상술한 바와 같이, 본 발명을 설명함에 있어 유기전계발광표시장치를 실시예로 들어 설명했으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명을 액정표시장치에도 적용가능함을 인식할 수 있을 것이다.

도 3은 몰리브덴-텅스텐 합금막의 응력(stress)변화에 따른 오류 빈도(failure probability)를 나타낸 그래프이다. 상기 오류 빈도는 기판 변형으로 인한 기판 파손 또는 얼라인 장비 등에서의 진행오류가 발생된 기판의 비율이다.

도 3을 참조하면, 기판 상에 형성된 몰리브덴-텅스텐 합금막의 응력이 300MPa를 초과하는 경우, 오류 빈도의 급격한 증가를 보인다. 그러나, 상기 응력이 300MPa 이하인 경우 오류 빈도는 10%이하로 나타나며, 더 나아가서 0.001% 이하로 감소할 수 있다. 즉, 몰리브덴-텅스텐 합금막의 응력이 300MPa이하인 경우, 기판 변형은 거의 일어나지 않는다고 할 수 있다.

도 4는 몰리브덴-텅스텐 합금막의 막두께에 따른 응력(stress)변화를 증착온도에 따라 나타낸 그래프이다. 참조번호 A, B 및 C는 각각 20, 70 및 150℃에서 형성한 몰리브덴-텅스텐 합금막들을 나타낸다.

도 4를 참조하면, 몰리브덴-텅스텐 합금막을 20℃에서 증착한 경우(A) 막두께에 상관없이 응력특성을 보인다. 그러나, 상기 몰리브덴-텅스텐 합금막을 70℃ 이상에서 증착한 경우(B, C) 막두께가 증가함에 따라 음의 값을 갖는 응력 즉, 압축응력에서 양의 값을 갖는 응력 즉, 인장응력으로 변화하는 응력특성을 갖는다. 상기 몰리브덴-텅스텐 합금막을 70℃ 이상에서 증착한 경우(B, C)에 있어, 인장응력을 갖는 막두께는 3000Å 이상이다.

그러나, 상기 몰리브덴-텅스텐 합금막의 인장응력은 기판의 휨변형과 같은 변형을 막기 위해 300MPa이하인 것이 바람직한데, 이를 만족하는 상기 몰리브덴-텅스텐 합금막의 막두께는 7000Å 이하이다.

도 5는 몰리브덴-텅스텐 합금막의 막두께에 따른 면저항특성을 증착온도에 따라 나타낸 그래프이다. 참조번호 A, B 및 C는 각각 20, 70 및 150℃에서 형성한 몰리브덴-텅스텐 합금막들을 나타낸다.

도 5를 참조하면, 몰리브덴-텅스텐 합금막의 면저항은 증착온도에 따라서는 큰 변화를 보이지 않고, 막두께에 따라 변화한다. 상기 몰리브덴-텅스텐 합금막이 3000 내지 7000Å의 두께를 갖는 경우, 상기 몰리브덴-텅스텐 합금은 0.2 내지 0.5Ω/□의 적절한 면저항을 갖는다. 따라서, 3000 내지 7000Å의 두께를 갖는 상기 몰리브덴-텅스텐 합금막을 사용하여 평판표시장치의 배선을 형성하는 경우라 하더라도 전압강하로 인한 신호지연은 문제되지 않을 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 도전막 패턴과 절연막간의 응력균형을 이루도록 함으로써 상기 도전막 패턴과 상기 절연막간의 부착특성이 개선된 평판표시장치 및 유기전계발광표시장치를 얻을 수 있다. 더 나아가서, 상기 도전막 패턴은 300MPa 이하의 응력을 가짐으로써 기판 변형으로 인한 기판 파손등의 불량을 억제할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기전계발광소자의 단위화소를 나타낸 레이아웃도이다.

도 2는 도 1의 절단선 I-I'를 따라 취해진 본 발명의 실시예에 따른 유기전계발광소자 및 그의 제조방법을 설명하기 위한 단면도이다.

도 3은 몰리브덴-텅스텐 합금막의 응력(stress)변화에 따른 오류 빈도를 나타낸 그래프이다.

도 4는 몰리브덴-텅스텐 합금막의 막두께에 따른 응력(stress)변화를 증착온도에 따라 나타낸 그래프이다.

도 5는 몰리브덴-텅스텐 합금막의 막두께에 따른 면저항특성을 증착온도에 따라 나타낸 그래프이다.

(도면의 주요 부위에 대한 부호의 설명)

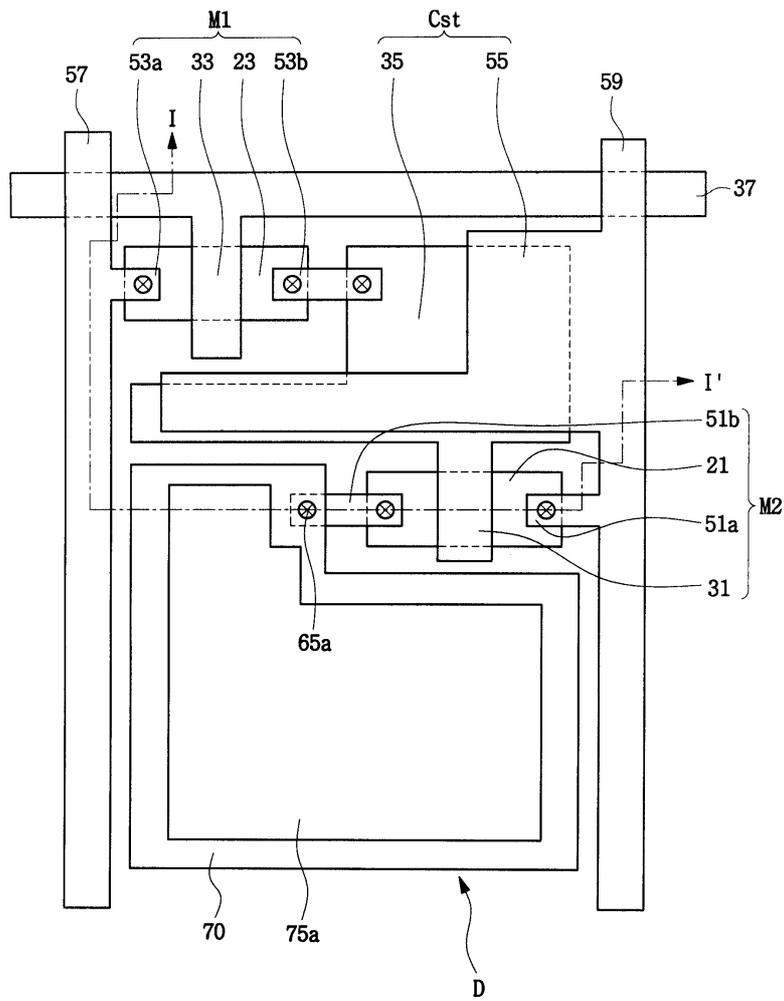
10 : 기판 21 : 반도체층

37 : 게이트 라인 57 : 데이터 라인

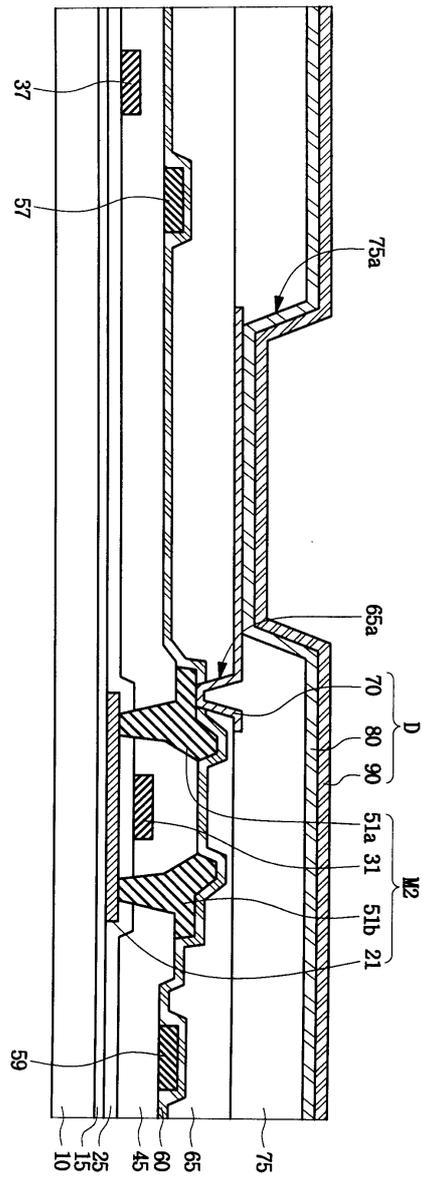
59 : 전원공급라인 60 : 패시베이션 절연막

도면

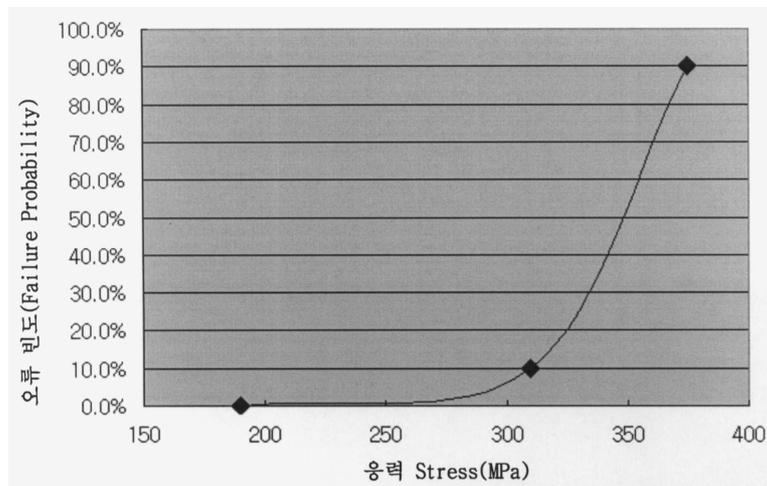
도면1



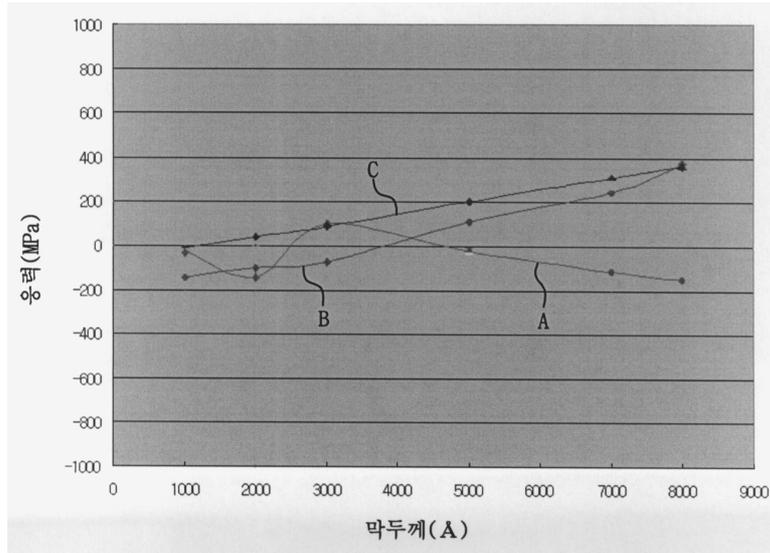
도면2



도면3



도면4



도면5

