

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005年9月1日 (01.09.2005)

PCT

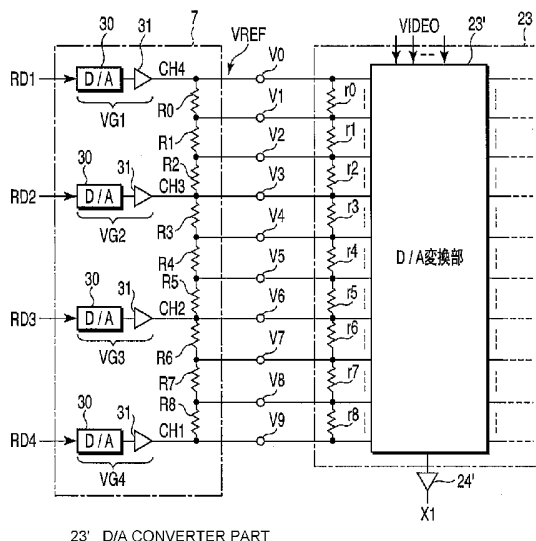
(10) 国際公開番号  
WO 2005/081218 A1

- (51) 国際特許分類: G09G 3/36, G02F 1/133, G09G 3/20
- (21) 国際出願番号: PCT/JP2005/002932
- (22) 国際出願日: 2005年2月23日 (23.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-046898 2004年2月23日 (23.02.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 東芝  
松下ディスプレイテクノロジー株式会社 (TOSHIBA  
MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.)  
[JP/JP]; 〒1080075 東京都港区港南四丁目1番8号  
Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 金田 晴利  
(KANEDA, Harutoshi) [JP/JP]. 重廣 浩二 (SHIGE-  
HIRO, Koji) [JP/JP].
- (74) 代理人: 鈴江 武彦, 外(SUZUYE, Takehiko et al.); 〒  
1000013 東京都千代田区霞が関3丁目7番2号 鈴榮  
特許総合事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,  
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,  
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[ 続葉有 ]

(54) Title: DISPLAY SIGNAL PROCESSING APPARATUS AND DISPLAY APPARATUS

(54) 発明の名称: 表示信号処理装置および表示装置



23' D/A CONVERTER PART

(57) Abstract: A display signal processing apparatus comprises a gradation reference voltage generator circuit (7) for generating ten gradation reference voltages; and a D/A converter circuit (23) for converting a display signal to a pixel voltage by selectively using the ten gradation reference voltages from the gradation reference voltage generator circuit (7). In particular, the gradation reference voltage generator circuit (7) includes four variable voltage generator parts (VG1-VG4) for generating variable output voltages for gamma corrections; and a plurality of resistors (R0-R8) so connected as to voltage divide the differential voltages developed among the output terminals (CH1-CH4) of the four variable voltage generator parts (VG1-VG4) to provide the ten gradation reference voltages.

(57) 要約: 表示信号処理装置は10個の階調基準電圧を発生する階調基準電圧発生回路7と、階調基準電圧発生回路7から得られる10個の階調基準電圧を選択的に用いて表示信号を画素電圧に変換するD/A変換回路23とを備える。特に、階調基準

[ 続葉有 ]



WO 2005/081218 A1



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護  
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,  
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,  
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,  
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,  
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

電圧発生回路7は各々ガンマ補正用に可変される出力電圧を発生する4個の可変電圧発生部VG1~VG4、および4個の可変電圧発生部VG1~VG4の出力端CH1~CH4間に得られる差電圧を分圧して10個の階調基準電圧を得るように接続される複数の抵抗R0~R8を有する。

## 明 細 書

### 表示信号処理装置および表示装置

### 技術分野

[0001] 本発明は、表示信号を画素電圧に変換する表示信号処理装置および表示装置に関し、特にガンマ補正を兼ねて表示信号を画素電圧に変換する表示信号処理装置および表示装置に関する。

### 背景技術

[0002] 液晶表示装置に代表される平面表示装置は、パーソナルコンピュータ、情報携帯端末、テレビジョン、あるいはカーナビゲーションシステム等の表示装置として広く利用されている。

[0003] 液晶表示装置は、一般に複数の液晶画素のマトリクスアレイを含む表示パネルと、この表示パネルを駆動する駆動回路とを備える。典型的な表示パネルはアレイ基板および対向基板間に液晶層を挟持した構造を有する。アレイ基板はマトリクス状に配置される複数の画素電極を有し、対向基板はこれら画素電極に対向する共通電極を有する。画素電極および共通電極はこれら電極間に配置される液晶層の画素領域と共に液晶画素を構成し、画素領域内の液晶分子の配列状態を画素電極および共通電極間の電界によって制御する。駆動回路では、各画素に対するデジタル表示信号が所定数の階調基準電圧を選択的に用いて画素電圧に変換され、表示パネルに出力される。画素電圧は共通電極の電位を基準として画素電極に印加される電圧である。

[0004] 従来の階調基準電圧発生回路は、例えば一对の電源端子間に複数の抵抗を直列に接続したラダー抵抗器からなり、電源端子間の電圧を分圧して所定数の階調基準電圧を出力する(例えば、特開2003-228332号公報を参照)。

[0005] ところで、景色や人物等の被写体自体が有する輝度の対数値を横軸に、液晶表示装置で表示された再生画像の輝度の対数値を縦軸にとって再生特性を表現したときの再生特性曲線の傾斜角を $\theta$ とした場合、 $\tan \theta$ をガンマという。被写体の輝度が忠実に表示される場合は、再生特性曲線は、傾斜角 $\theta$ が $45^\circ$ の直線となり、 $\tan 45^\circ$

=1であるから、ガンマは1となる。すなわち、被写体の輝度を忠実に表示する場合には、ガンマを1に補正する必要がある。上述の階調基準電圧発生回路はラダー抵抗器の抵抗値を調整してガンマ補正を行っても、液晶画素の輝度を表示信号の階調値に比例させることは困難である。

[0006] また、階調基準電圧発生回路からの階調基準電圧を用いてガンマ補正を行う技術としては、例えば特開2001-134242号公報に記載のものが知られている。

[0007] しかしながら、従来は、赤(R)、緑(G)、青(B)の3原色の全てについて同じガンマ補正を行っていたため、各色を黒レベルから白レベルまで一定の階調数で表現したときの輝度が、赤色、緑色、青色でズれていた。特に青色のガンマ補正後の輝度は、他の色のものと比べると黒レベル側で大きくズれていた。

#### 発明の開示

[0008] 本発明はこのような問題点に鑑みてなされたものであり、その目的は製造コストを著しく増大させることなくガンマ補正を兼ねて表示信号を画素電圧に変換できる表示信号処理装置を提供することにある。

[0009] 本発明によれば、第1所定数の階調基準電圧を発生する階調基準電圧発生回路と、階調基準電圧発生回路から得られる第1所定数の階調基準電圧を選択的に用いて表示信号を画素電圧に変換する信号変換回路とを備え、階調基準電圧発生回路は各々ガンマ補正用に可変される出力電圧を発生する第1所定数よりも少ない第2所定数の可変電圧発生部、およびこれら第2所定数の可変電圧発生部の出力端間に得られる差電圧を分圧して第1所定数の階調基準電圧を得るように接続される複数の抵抗を有する表示信号処理装置が提供される。

[0010] さらに本発明によれば、略マトリクス状に配置され各々第1および第2電極間に液晶材料を保持する複数の画素と、第1所定数の階調基準電圧を発生する階調基準電圧発生回路と、階調基準電圧発生回路から得られる第1所定数の階調基準電圧を選択的に用いて表示信号を第1電極に印加される画素電圧に変換する信号変換回路と、第2電極に印加されるコモン電圧を発生するコモン電圧発生回路と、画素電圧およびコモン電圧を周期的にレベル反転させるように信号変換回路およびコモン電圧発生回路を制御する制御部とを備え、階調基準電圧発生回路は各々ガンマ補正

用に可変される出力電圧を発生する第1所定数よりも少ない第2所定数の可変電圧発生部、および第2所定数の可変電圧発生部の出力端間に得られる差電圧を分圧して第1所定数の階調基準電圧を得るように接続される複数の抵抗を有する表示装置が提供される。

- [0011] この表示信号処理装置および表示装置では、複数の抵抗が第2所定数の可変電圧発生部の出力端間に得られる差電圧を分圧して第1所定数の階調基準電圧を得るように接続される。すなわち、第1所定数の階調基準電圧が第1所定数よりも少ない第2所定数の可変電圧発生部を用いて得られるため、製造コストを著しく増大させることなくガンマ補正を兼ねて表示信号を画素電圧に変換することができる。

#### 図面の簡単な説明

- [0012] [図1]図1は、本発明の第1実施形態に係る液晶表示装置の回路構成を概略的に示す図である。
- [図2]図2は、図1に示すソースドライバの構成を概略的に示す図である。
- [図3]図3は、図2に示す階調基準電圧発生回路の構成を示す図である。
- [図4]図4は、図1に示す表示パネルにおいて液晶印加電圧に対する画素の透過率特性を示すグラフである。
- [図5]図5は、図1に示す表示パネルにおいて表示信号の階調値に対する画素の透過率特性を示すグラフである。
- [図6]図6は、図3に示す階調基準電圧発生回路の第1変形例を示す図である。
- [図7]図7は、図3に示す階調基準電圧発生回路の第2変形例を示す図である。
- [図8]図8は、図1に示すコントローラの第1変形例の動作を示す図である。
- [図9]図9は、図8に示す第1変形例の動作に対する比較例を示す図である。
- [図10]図10は、図1に示すコントローラの第2変形例を示す図である。
- [図11]図11は、図10に示す第2変形例の動作を示す図である。
- [図12]図12は、図3に示すD/A変換回路の変形例を示す図である。
- [図13]図13は、図12に示す変形例を説明するための第1比較例を示すグラフである
- [図14]図14は、図12に示す変形例を説明するための第2比較例を示すグラフである。

[図15]図15は、図12に示す変形例の特性を示すグラフである。

[図16]図16は、図1に示す制御ユニットの第1変形例を示す図である。

[図17]図17は、図16に示すEPROMに保持される階調テーブルを示す図である。

[図18]図18は、図1に示す制御ユニットの第2変形例の動作を示す図である。

[図19]図19は、図1に示す制御ユニットの第3変形例の動作を示す図である。

[図20]図20は、図1に示す表示パネルに生じる透過率特性のバラツキを示すグラフである。

[図21]図21は、図1に示す制御ユニットの第4変形例を示す図である。

[図22]図22は、本発明の第2実施形態に係る液晶表示装置の回路構成を示すブロック図である。

[図23]図23は、図22に示すガンマ補正回路の構成を示す回路図である。

[図24]図24は、図23に示す各レジスタについての信号名と設定内容の一覧を示す図である。

[図25]図25は、図23に示すガンマ補正回路において行われる傾き調整により得られる階調値-階調電圧特性を示すグラフである。

[図26]図26は、図23に示すガンマ補正回路において行われる階調電圧の振幅調整により得られる階調値-階調電圧特性を示すグラフである。

[図27]図27は、図23に示すガンマ補正回路において行われる階調電圧の微調整により得られる階調値-階調電圧特性を示すグラフである。

[図28]図28は、比較例のガンマ補正回路の構成を示す回路図である。

[図29]図29は、ガンマ補正前における階調値と輝度との関係を示すグラフである。

[図30]図30は、図23に示すガンマ補正回路によりガンマ補正をした後の階調値と輝度との関係を示すグラフである。

[図31]図31は、図28に示す比較例のガンマ補正回路によりガンマ補正をした後の階調値と輝度との関係を示すグラフである。

#### 発明を実施するための最良の形態

[0013] 以下、本発明の第1実施形態に係りH/コモン反転を行う液晶表示装置について添付図面を参照して説明する。図1はこの液晶表示装置1の回路構成を概略的に示

す。液晶表示装置1は、複数の液晶画素PXを有する表示パネルDP、および表示パネルDPを制御する制御ユニットCNTを備える。表示パネルDPはアレイ基板2および対向基板3間に液晶層4を挟持した構造である。

[0014] アレイ基板2は、例えばガラス等の透明絶縁基板上にマトリクス状に配置される複数の画素電極PE、複数の画素電極PEの行に沿って配置される複数のゲート線Y(Y1〜Ym)、複数の画素電極PEの列に沿って配置される複数のソース線X(X1〜Xn)、これらゲート線Yおよびソース線Xの交差位置近傍に配置される画素スイッチング素子W、および複数のゲート線Yを1水平走査期間に1本の割合で順次駆動するゲートドライバ10、および各ゲート線Yが駆動される間に複数のソース線Xを駆動するソースドライバ20を有する。各画素スイッチング素子Wは例えばポリシリコン薄膜トランジスタからなる。この場合、薄膜トランジスタのゲートが1ゲート線Yに接続され、ソースおよびドレインが1ソース線Xおよび1画素電極PE間にそれぞれ接続されてこれらソース線Xおよび画素電極PE間にソースドレインパスを形成する。尚、ゲートドライバ10は画素スイッチング素子Wと同一工程で同時に形成されるポリシリコン薄膜トランジスタを用いて構成される。また、ソースドライバ20はCOG(Chip On Glass)技術によりアレイ基板2にマウントされた集積回路(IC)チップである。

[0015] 対向基板3は例えばガラス等の透明絶縁基板上に配置されるカラーフィルタ(図示せず)、および複数の画素電極PEに対向してカラーフィルタ上に配置される共通電極CE等を含む。各画素電極PEおよび共通電極CEは例えばITO等の透明電極材料からなり、画素電極PEおよび共通電極CE間に配置されこれら電極PE、CEからの電界に対応した液晶分子配列状態に制御される液晶層4の画素領域と共に液晶画素PXを構成する。また、全ての画素PXは補助容量Csを有する。これら補助容量Csはアレイ基板2側において複数行の画素電極PEにそれぞれ容量結合した複数の補助容量線を共通電極CEに電気的に接続することにより得られる。

[0016] 制御ユニットCNTはコントローラ5、コモン電圧発生回路6、階調基準電圧発生回路7を含む。コントローラ5は外部から供給されるデジタル映像信号VIDEOを画像として表示パネルDPに表示させるためにコモン電圧発生回路6、階調基準電圧発生回路7、ゲートドライバ10、ソースドライバ20を制御する。コモン電圧発生回路6は対向

基板3上の共通電極CEに対してコモン電圧Vcomを発生する。階調基準電圧発生回路7は映像信号から各画素PXに対して得られる例えば6ビットの表示信号を画素電圧に変換するために用いられる第1所定数の階調基準電圧VREFを発生する。画素電圧は共通電極CEの電位を基準として画素電極PEに印加される電圧である。この実施形態において、第1所定数の階調基準電圧VREFは10個の階調基準電圧V0〜V9である。これら階調基準電圧V0〜V9は、階調基準電圧V0に向かって相対的に高いレベルになり、階調基準電圧V9側に向かって相対的に低いレベルになるように設定されている。

- [0017] コントローラ5は、1垂直走査期間毎に順次複数のゲート線Yを選択するための制御信号CTYおよび、1水平走査期間(1H)毎に映像信号に含まれる1行分の画素PXに対する表示信号を複数のソース線Xにそれぞれ割り当てるための制御信号CTX等を発生する。ここで、制御信号CTXは1水平走査期間(1H)毎に発生されるパルスである水平スタート信号STH、各水平走査期間においてソース線数分発生されるパルスである水平クロック信号CKHを含む。制御信号CTYはコントローラ5からゲートドライバ10に供給され、制御信号CTXはデジタル映像信号VIDEOと共にコントローラ5からソースドライバ20に供給される。
- [0018] ゲートドライバ10は制御信号CTYの制御により複数のゲート線Yを順次選択し、画素スイッチング素子Wを導通させる走査信号を選択ゲート線Yに供給する。本実施形態においては、複数の画素PXが1水平走査期間に1行ずつ順次選択状態となる。
- [0019] 図2は図1に示すソースドライバ20の構成を概略的に示す。ソースドライバ20は、水平スタート信号STHを水平クロック信号CKHに同期してシフトし、デジタル映像信号VIDEOを順次直並列変換するタイミングを制御するシフトレジスタ21、シフトレジスタ21の制御によりデジタル映像信号VIDEOを順次ラッチして1行分の画素PXに対する表示信号として並列的に出力するサンプリング&ロードラッチ22、これら表示信号をアナログ形式の画素電圧に変換するデジタルアナログ(D/A)変換回路23、およびD/A変換回路23から得られるアナログ画素電圧を増幅する出力バッファ回路24を含む。D/A変換回路23は、階調基準電圧発生回路7から発生される第1所定数の



階調基準電圧VREF(具体的には階調基準電圧V0〜V9)を参照するように構成される。

[0020] D/A変換回路23は、例えば各々抵抗DACとして知られるような複数のD/A変換部23'および階調基準電圧に基づき所定数の階調電圧を出力する複数の入力抵抗群で構成される。各D/A変換部23'はサンプリング&ロードラッチ22から出力されるデジタル表示信号に基づいて所定数の階調電圧のいずれかを選択することによりアナログ画素電圧に変換する。出力バッファ回路24は複数のD/A変換部23'からのアナログ画素電圧を増幅し、画素電圧としてそれぞれソース線X1, X2, X3, …に出力する複数のバッファアンプ24'で構成される。

[0021] この液晶表示装置1では、ゲートドライバ10が1本のゲート線Yに走査信号を出力する1水平走査期間に、ソースドライバ20がデジタル映像信号に含まれる1行分の画素PXに対する表示信号を画素電圧に変換してソース線X1〜Xnに出力する。これらソース線X1〜Xn上の画素電圧は走査信号によって駆動された1行分の画素スイッチング素子Wを介して対応する画素電極PEにそれぞれ供給される。コモン電圧Vcomは画素電圧の出力タイミングに同期してコモン電圧発生回路6から共通電極CEに出力される。このコモン電圧発生回路6はコントローラ5によって設定される例えば8〜10ビット程度の数値データに対応した出力電圧を発生するD/A変換器等を用いて構成され、例えば0Vおよび5.8Vの電圧を1水平走査期間ずつ交互に出力する。このため、ソースドライバ20側では、各D/A変換部23'がコモン電圧Vcomの中心レベルを基準にして画素電圧をレベル反転させる。液晶印加電圧を最大にする場合、画素電圧は0Vのコモン電圧Vcomに対して5.8Vに設定され、5.8Vのコモン電圧Vcomに対して0Vに設定される。ちなみに、画素電圧がソースドライバ20から5.8Vで出力されても、画素スイッチング素子Wの寄生容量に起因するフィールドスルー電圧等により例えば4.8V程度に低下して画素電極PEに保持されることになる。このため、コモン電圧発生回路6から出力されるコモン電圧Vcomの振幅および中心レベルは実際に画素電極PEに保持される画素電圧に合わせて予め調整される。

[0022] 図3は図2に示す階調基準電圧発生回路7の構成を示す。階調基準電圧発生回路7は階調基準電圧V0〜V9の数よりも少ない例えば4個である第2所定数の可変電

圧発生部VG1〜VG4と、これら可変電圧発生部VG1〜VG4の出力端(出力チャンネル)CH4〜CH1間に直列に接続される複数の抵抗R0〜R8とを有する。複数の抵抗R0〜R8は可変電圧発生部VG1〜VG4の出力端CH4〜CH1間に得られる差電圧を分圧して階調基準電圧V0〜V9を得る。可変電圧発生部VG1〜VG4の各々は、D/A変換器30および出力バッファ31を含む。可変電圧発生部VG1では、D/A変換器30がガンマ補正を兼ねて設定される数値データRD1に対応した出力電圧を発生し、出力バッファ31がこの出力電圧を出力端CH4から出力する。可変電圧発生部VG2では、D/A変換器30がガンマ補正を兼ねて設定される数値データRD2に対応した出力電圧を発生し、出力バッファ31がこの出力電圧を出力端CH3から出力する。可変電圧発生部VG3では、D/A変換器30がガンマ補正を兼ねて設定される数値データRD3に対応した出力電圧を発生し、出力バッファ31がこの出力電圧を出力端CH2から出力する。可変電圧発生部VG4では、D/A変換器30がガンマ補正を兼ねて設定される数値データRD4に対応した出力電圧を発生し、出力バッファ31がこの出力電圧を出力端CH1から出力する。数値データRD1〜RD4は例えばコントローラ5からシリアルに階調基準電圧発生回路7に出力される。この構成は、コントローラ5および階調基準電圧発生回路7間の配線接続数を少なくしかつ製造後においていつでも数値データRD1〜RD4を変更可能にするためである。もし、製造段階で数値データRD1〜RD4を設定してそれ以降変更しないような場合には、数値データRD1〜RD4を設定するジャンパピン等を可変電圧発生部VG1〜VG4に設けるようにしても良い。これは、コモン電圧発生回路6に設定される数値データについても同様である。可変電圧発生部VG1〜VG4のD/A変換器30は8〜10ビット程度の数値データRD1〜RD4を出力電圧に変換する構造であり、6ビットの表示信号に対して十分高い分解能を有する。

[0023] 尚、D/A変換回路23は、階調基準電圧V0, V1の出力端間、階調基準電圧V1, V2の出力端間、階調基準電圧V2, V3の出力端間、階調基準電圧V3, V4の出力端間、階調基準電圧V4, V5の出力端間、階調基準電圧V5, V6の出力端間、階調基準電圧V6, V7の出力端間、階調基準電圧V7, V8の出力端間、および階調基準電圧V8, V9の出力端間にそれぞれ接続される入力抵抗群r0, r1, r2, r3, r4, r5,

r6, r7, r8を有する。入力抵抗群r0～r8の各々は複数の抵抗により構成され、対応する階調基準電圧を分圧し階調電圧としてD/A変換部23'に出力する。

[0024] 図4は液晶印加電圧に対する画素PXの透過率特性を示し、図5は表示信号の階調値に対する画素PXの透過率特性を示す。画素PXが図4に示すような透過率特性である場合、画素PXの透過率特性は表示信号の階調値に対して図5において破線で示す曲線となる。このため、可変電圧発生部VG1～VG4の出力電圧および抵抗R0～R8の抵抗比が図4に示す特性曲線の変曲点を考慮して設定され、これにより図5に一点鎖線で示す曲線のガンマ補正を表示信号のD/A変換において行うようにする。この結果、画素PXの透過率特性が表示信号の階調値に比例する直線となる。また、可変電圧発生部VG1～VG4の出力電圧は数値データRD1～RD4により任意に変更できるため、画素PXの透過率特性を所望の曲線にすることもできる。尚、本実施形態のように液晶層4内の電界の向きを周期的に反転させる必要のある液晶画素PXを利用する場合には、可変電圧発生部VG1～VG4が画素電圧の中心レベルに相当する抵抗分圧点に対して対称的であることが重要である。

[0025] 本実施形態の液晶表示装置1では、複数の抵抗R0～R8が4個の可変電圧発生部VG1～VG4の出力端間に得られる差電圧を分圧して10個の階調基準電圧V0～V9を得るように接続される。すなわち、ガンマ補正のために高い分解能を必要とする可変電圧発生部VG1～VG4の数を階調基準電圧V0～V9の数に対して低減することができる。従って、製造コストを著しく増大させることなくガンマ補正を兼ねて表示信号を画素電圧に変換することができる。

[0026] 図6は図3に示す階調基準電圧発生回路7の第1変形例を示す。この変形例では、階調基準電圧発生回路7が直列な抵抗R0～R8の最外郭に配置される可変電圧発生部VG1およびVG4としてそれぞれ2個の切換スイッチを有する。すなわち、可変電圧発生部VG1は電源電圧VAHおよびVBLの一方を出力する切換スイッチであり、可変電圧発生部VG4は電源電圧VALおよびVBHの一方を出力する切換スイッチである。これら可変電圧発生部VG1およびVG4の切換スイッチはコントローラ5からの数値データRD4およびRD1によりそれぞれ制御され、1水平走査期間(1H)毎に電圧VAHおよびVALの組および電圧VBHおよびVBLの組を交互に切換選択

する。数値データRD4およびRD1はこれら切換スイッチで簡単なD/A変換を受ける結果になる。電圧VAHおよびVALはそれぞれ液晶印加電圧が正極性時の最大階調基準電圧および最小階調基準電圧であり、電圧VBHおよびVBLはそれぞれ液晶印加電圧が負極性時の最大階調基準電圧および最小階調基準電圧である。また、可変電圧発生部VG2およびVG3は画素電圧の中心レベルに相当する抵抗分圧位置に対する対称性を維持してこれら可変電圧発生部VG1およびVG4よりも内側に配置される。

- [0027] この第1変形例では、切換スイッチが可変電圧発生部VG1およびVG4として用いられるため、可変出力電圧の出力端(チャンネル)数を4個に維持したまま製造コストを著しく増大させる要因であるD/A変換器30の総数を2個に低減できる。すなわち、製造コストを低く抑えて精細なガンマ補正を行うことができる。
- [0028] 図7は図3に示す階調基準電圧発生回路7の第2変形例を示す。この変形例では、階調基準電圧発生回路7が可変電圧発生部VG1〜VG4の出力バッファ31に接続される4個の異常電圧検出器32、およびこれら異常電圧検出器32のいずれか1つから発生される検出信号にตอบสนองして出力端CH1〜CH4をそれぞれの出力バッファ31から切り離して特定の電圧VXを供給する電源端子に接続する4個の切換スイッチ33からなるソースドライバ20用の保護回路をさらに有する。
- [0029] この第2変形例では、可変電圧発生部VG1〜VG4のいずれかで異常電圧が発生した場合に、この異常電圧が4個の異常検出器32の対応する1つによって検出され、この結果として特定の電圧VXが全ての出力端CH1〜CH4から出力される。従って、ソースドライバ20が階調基準電圧発生回路7側から出力される異常電圧によって破壊されるような事態を回避することができる。
- [0030] 図8は図1に示すコントローラ5の第1変形例の動作を示す。この変形例では、コントローラ5が数値データRD1〜RD4を特定の順序で階調基準電圧発生回路7に出力するように構成される。数値データRD1〜RD4のD/A変換時間は図8に示すように互いに異なっている。あるフレームでは、可変電圧発生部VG1の出力端CH4の電位が数値データRD1のD/A変換により最も大きく遷移することになり、可変電圧発生部VG4の出力端CH1の電位が数値データRD4のD/A変換により最も小さく遷

移することになる。従って、コントローラ5は数値データRD1, RD2, RD3, RD4というD/A変換時間の長いものから先に、つまり出力電位変化量の大きいものから順に階調基準電圧発生回路7に出力する。例えば図3に示す階調基準電圧発生回路7には、数値データRD1〜RD4があるフレームでRD1→RD2→RD3→RD4という順序で出力され、次のフレームでRD4→RD3→RD2→RD1という逆の順序で出力される。(これに対し、図6に示す階調基準電圧発生回路7の場合には、あるフレームでRD1→RD2, RD4→RD3という順序で出力し、次のフレームでも同様の順序で出力させればよい。)もし、コントローラ5が上述したあるフレームにおいて図9に示すように数値データRD4, RD3, RD2, RD1というD/A変換時間の短いものから先に階調基準電圧発生回路7に出力すると、合計のD/A変換時間が図8に示す順序を採用した場合よりも長くなってしまふ。

- [0031] コントローラ5の第1変形例は、上述のような理由から、階調基準電圧発生回路7側で行われるD/A変換で生じる時間ロスを低減することができる。
- [0032] 図10は図1に示すコントローラ5の第2変形例を示す。この変形例では、コントローラ5が内部で発生される同時出力信号に応答して数値データRD1〜RD4を並列かつ同時に階調基準電圧発生回路7に出力する出力部51を有する。
- [0033] このコントローラ5の変形例の場合には、図11に示すように直列な数値データRD1〜RD4を出力する場合よりも合計D/A変換時間を大幅に低減できる。また、数値データRD1〜RD4のD/A変換中に消費される電力もこれに伴って低減される。さらに、同時出力信号を発生させるタイミング設定が容易であり、時間的な余裕を十分確保して数値データRD1〜RD4を可変電圧発生部VG1〜VG4に設定することができる。
- [0034] 図12は図3に示すD/A変換回路23の変形例を示す。この変形例では、複数の抵抗RA1, RA2, RA3, RB1, RB2, RB3がソースドライバ20の外側に設けられる。抵抗RA1, RA2, RA3はそれぞれD/A変換回路23内の入力抵抗群r0, r1, r2とそれぞれ並列に接続され、抵抗RB1, RB2, RB3はD/A変換回路23内の入力抵抗群r6, r7, r8とそれぞれ並列に接続される。この場合、抵抗RA1〜RA3、抵抗RB1〜RB3、および入力抵抗群r0〜r8の合成抵抗比で電圧V0〜V1, V8〜V9の

電圧比を全体の電圧から下げることができる。

[0035] この変形例は、階調誤差を生じ易い最大輝度(白表示)付近および最小輝度(黒表示)付近で階調値の変化に対する輝度差を無くして、これらの間で階調値の変化に対する輝度差を増大させることにより中間階調の表示をさらに改善できる。例えば出力端CH4およびCH1のみから電圧V0およびV9を印加した場合には、表示信号の階調値に対する画素PXの透過率特性が図13に示すようになる。この場合には、ガンマ補正は困難である。また、例えば出力端CH4, CH3, CH2, およびCH1から電圧V0, V3, V6, およびV9を印加した場合には、表示信号の階調値に対する画素PXの透過率特性が図14に示すようになる。この場合には、ガンマ補正が可能となる。これに対して、図12に示す構造では、出力端CH4, CH3, CH2, およびCH1から電圧V0, V3, V6, およびV9が印加されるが、抵抗RA1〜RA3および抵抗RB1〜RB3が最大輝度(白表示)付近および最小輝度(黒表示)付近の少なくとも一方で階調値の変化に対する輝度差を無くすように階調基準電圧V0〜V1, V8〜V9を選択的に補正する補正回路を構成するため、表示信号の階調値に対する画素PXの透過率特性が図15に示すようになる。

[0036] 図16は図1に示す制御ユニットCNTの第1変形例を示す。この変形例では、制御ユニットCNTがさらにEPROM8を有する。このEPROM8は例えば図17に示すように最大輝度(白表示)付近および最小輝度(黒表示)付近で階調値の変化に対する輝度差を無くすための階調テーブルを保持する。この階調テーブルは外部のROMライタ9を用いてEPROM8に予め書き込まれる。コントローラ5は各画素PXに対する表示信号の階調値をこの階調テーブルを参照してデジタル形式のまま変換する。

[0037] 制御ユニットCNTの第1変形例では、EPROM8およびコントローラ5が最大輝度付近および最小輝度付近の少なくとも一方で階調値の変化に対する輝度差を無くすように表示信号を補正する補正回路を構成するため、表示信号の階調値に対する画素PXの透過率特性が図15に示すようになる。すなわち、図12に示す変形例と同様の効果を得ることができる。

[0038] 図18は図1に示す制御ユニットCNTの第2変形例の動作を示す。この変形例は図16に示すハードウェア構成と同等であるが、EPROM8が表示パネルDP内の特定

ライン、すなわち特定行の画素PXについてコモン電圧Vcomの振幅を変更させるための制御情報を保持することにおいて相違する。この特定ラインは例えば表示パネルDPに生じる輝度ムラに対応した部分である。但し、この制御情報は輝度ムラに関係なく任意に輝度を可変する目的でEPROM8に格納されてもよい。コントローラ5はこのEPROM8に格納された制御情報に基づいて適切なタイミングでコモン電圧発生回路6に数値データを設定し、例えば図18に示すようにコモン電圧Vcomの振幅を一時的に変化させる。ここで、コモン電圧発生回路6の制御タイミングは映像信号とともに外部から供給される垂直同期信号VSYNCおよび水平同期信号HSYNCに基づいて決定される。

[0039] この制御により、輝度ムラによる画質の低下を改善することが可能となる。また、このコモン電圧Vcomの振幅制御に合わせて画素電圧も制御すると、さらに改善効果が促進される。

[0040] 図19は図1に示す制御ユニットCNTの第3変形例の動作を示す。この変形例は図16に示すハードウェア構成と同等であるが、EPROM8が表示パネルDP内の特定ライン、すなわち特定行の画素PXについてコモン電圧Vcomの中心レベルを変更させるための制御情報を保持することにおいて相違する。この特定ラインは例えば表示パネルDPに生じるフリッカに対応した部分である。コントローラ5はこのEPROM8に格納された制御情報に基づいて適切なタイミングでコモン電圧発生回路6に数値データを設定し、例えば図19に示すようにコモン電圧Vcomの中心レベルを一時的に変化させる。ここで、コモン電圧発生回路6の制御タイミングは映像信号とともに外部から供給される垂直同期信号VSYNCおよび水平同期信号HSYNCに基づいて決定される。

[0041] この制御により、フリッカによる画質の低下を改善することが可能となる。また、このコモン電圧Vcomの中心レベル制御に合わせて画素電圧も制御すると、さらに改善効果が促進される。

[0042] 液晶印加電圧に対する画素PXの透過率特性は例えばバックライト等の影響で図20に示すように画素PX毎にばらつく。

[0043] 図21は図1に示す制御ユニットCNTの第4変形例を示す。この変形例は図16に示

すハードウェア構成と同等であるが、表示パネルDPを撮影するカメラ50およびカメラ50から得られた画像情報を解析するコンピュータ51がさらに設けられる。これらは、製造段階でROMライタ9を制御するために用いられ、EPROM8はROMライタ9によって書き込まれた図20に示すように画素PX毎にばらつく透過率特性を補償する制御情報を保持する。コントローラ5はこの制御情報に基づいて表示パネルDP内の特定位置、すなわち特定画素PXについて画素電圧、コモン電圧Vcomの振幅を制御する。

- [0044] この変形例は、画素PXの透過率特性のバラツキを低減することができる。
- [0045] 尚、表示パネルDPは斜め方向から観察すると、画像が反転表示され、反転ムラができる。このため、画素PXの行毎に液晶印加電圧を徐々に異ならせるようにする階調テーブルをEPROM8に設定し、コントローラ5がこの階調テーブルを参照して表示信号を階調変換するようにしてもよい。
- [0046] また、液晶表示装置1の電源をオフする場合、コントローラ5は事前に例えば図6に示す切換スイッチ33等を利用して階調基準電圧発生回路7から出力される階調基準電圧V0-V9を全て同一である任意の電圧に設定するように構成されてもよい。この場合、コモン電圧Vcomについてもこの任意の電圧にすることが好ましい。この構成では、電源オフに伴って生じる残像がほぼ完全にかつ速やかに消去されるようになる。
- [0047] 以下、本発明の第2実施形態に係る液晶表示装置について説明する。この液晶表示装置は図2に示すD/A変換回路23および階調基準電圧発生回路7に対応する部分を除いて第1実施形態と同様である。このため、同様部分を同一参照符号に付加して、その詳細な説明を省略する。
- [0048] 図22は、この液晶表示装置の回路構成を示し、図23は図22に示すガンマ補正回路の構成を示す。
- [0049] ここでは、サンプリング&ロードラッチ22が262,144色のカラー表示を行うために、光の3原色である赤色、緑色、青色の3画素分の表示信号である6bit×3(=18bit)のデジタルデータを格納する複数のメモリ22Aからなる。各6bitデータは対応色の階調値を64(=2<sup>6</sup>)段階で表す。図22に示すように、6bitデータR0-R5は赤色の階調値を表し、6bitデータG0-G5は緑色の階調値を表し、6bitデータB0-B5は青色の



階調値を表す。

- [0050] デコード回路25は、各々対応メモリ22Aから読み出された6bitデータで表される64段階の階調値をガンマ補正回路70から出力された64段階の電圧に1対1で対応させる複数のD/A変換部23'からなる。これらD/A変換部23'はそれぞれの階調値を階調電圧に変換して画素電圧として液晶表示回路側のソース線Xへ出力する。
- [0051] この液晶表示装置では、階調アンプ70Aおよび階調調整レジスタ70Bがガンマ補正回路70として設けられる。階調アンプ70Aは階調基準電圧発生回路7および階調電圧発生回路8を含み、階調調整レジスタ70Bは傾き調整レジスタ72、微調整レジスタ73、および振幅調整レジスタ74を含む。
- [0052] 図23の回路図に示すように、階調アンプ70Aは、ラダー抵抗部71、セクタ75A〜75Fを備えた構成であり、階調電圧発生回路8はアンプ部76およびラダー抵抗部77を備えた構成であり、階調調整レジスタ70Bは、傾き調整レジスタ72、微調整レジスタ73、振幅調整レジスタ74を備えた構成である。
- [0053] ラダー抵抗部71には、上限電圧VDH、下限電圧VGSによって基準電圧が供給される。ラダー抵抗部71は、この基準電圧を複数の電圧に分圧するとともにガンマ補正を行うための複数の抵抗を備える。具体的には、可変抵抗VR0、抵抗PKH、可変抵抗VRH、抵抗PKM、可変抵抗VRL、抵抗PKL、抵抗R1、可変抵抗VR1がこの順で直列に接続され、さらに可変抵抗VR0と抵抗PKHの間に抵抗RR、RG、RBがスイッチSW1によって切り換え可能に並列に接続される。
- [0054] 可変抵抗VR0とVR1は、階調電圧の振幅調整のためのものである。抵抗RR、RG、RBの切り換え制御は、制御回路5によって行われる。抵抗RRは、赤色のガンマ補正のときに使用され、抵抗RGは緑色のガンマ補正のときに使用され、RBは青色のガンマ補正のときに使用される。抵抗RR、RG、RBの抵抗値については、それぞれの色のガンマ補正に適した値に予め設定しておくものとする。
- [0055] 抵抗PKH、PKM、PKLは、階調値に対する階調電圧の大きさを微調整するためのものである。可変抵抗VRH、VRLは、階調値に対する階調電圧の特性を示す特性曲線の傾きを調整するためのものである。
- [0056] 傾き調整レジスタ72は、可変抵抗VRH、VRLの抵抗値を定めるための値をそれぞれ

れ3bit分格納する。また、階調値が正極性用と負極性用の場合のレジスタをそれぞれ備え、極性に応じた独立設定が可能となっている。図24の一覧表に示すように、可変抵抗VRHの抵抗値を定める信号名は正極性用がPRP0、負極性用がPRN0であり、可変抵抗VRLの抵抗値を定める信号名は正極性用がPRP1、負極性用がPRN1である。この傾き調整レジスタ72の値を設定することにより、図25に示すように、階調値に対する階調電圧の特性を示す特性曲線の傾きを調整することが可能となる。

[0057] 振幅調整レジスタ74は、可変抵抗VR0、VR1の抵抗値を定めるための値をそれぞれ3bit分格納する。図24の一覧表に示すように、可変抵抗VR0の抵抗値を定める信号名は正極性用がVRP0、負極性用がVRN0であり、可変抵抗VR1の抵抗値を定める信号名は正極性用がVRP1、負極性用がVRN1である。この振幅調整レジスタ74の値を設定することにより、図26に示すように、階調電圧の振幅を調整することが可能となる。

[0058] 微調整レジスタ73は、8入力1出力型のセクタ75A～75Fを制御する値をそれぞれ3bit分格納する。セクタ75Aは、その8個の入力端子が抵抗PKHに接続されており、微調整レジスタ73の設定値に基づいて抵抗PKHにおける8個分の分圧電圧のうちの一つを選択する。セクタ75B～75Eは、それぞれの入力端子が抵抗PKMに順次接続されており、それぞれが微調整レジスタ73の設定値に基づいて抵抗PKMにおける8個分の分圧電圧のうちの一つを選択する。セクタ75Fは、その8個の入力端子が抵抗PKLに接続されており、微調整レジスタ73の設定値に基づいて抵抗PKLにおける8個分の分圧電圧のうちの一つを選択する。図24の一覧表に示すように、セクタ75Aによる選択を設定する信号名は正極性用がPKP0、負極性用がPKN0である。セクタ75Bによる選択を設定する信号名は正極性用がPKP1、負極性用がPKN1であり、セクタ75Cによる選択を設定する信号名は正極性用がPKP2、負極性用がPKN2である。セクタ75Dによる選択を設定する信号名は正極性用がPKP3、負極性用がPKN3であり、セクタ75Eによる選択を設定する信号名は正極性用がPKP4、負極性用がPKN4であり、セクタ75Fによる選択を設定する信号名は正極性用がPKP5、負極性用がPKN5である。この微調整レジスタ73の値を設定

することにより、図27に示すように、階調値に対する階調電圧の大きさを微調整することが可能となる。

[0059] 図23では、可変抵抗VR0の出力段の電圧をVIN0、セクタ75Aの出力電圧をVIN1、セクタ75Bの出力電圧をVIN2、セクタ75Cの出力電圧をVIN3、セクタ75Dの出力電圧をVIN4、セクタ75Eの出力電圧をVIN5、セクタ75Fの出力電圧をVIN6、可変抵抗VR1の入力段の電圧をVIN7としている。すなわち、各セクタ75A～75Fは、これらVIN1～VIN6における電圧を選択するものである。

[0060] アンプ部76は、VIN0～VIN7の各電圧を増幅して出力する。VIN0は、ガンマ補正回路70の64段階ある出力電圧V0～V63のV0に対応し、VIN1はV1に対応し、VIN2はV8に対応する。V1ラインとV8ラインとの間にはラダー抵抗部78の抵抗が接続されており、この抵抗により6段階に分圧された電圧がガンマ補正回路70の出力電圧V2～V7として出力される。同様に、VIN3はV20に対応し、V8ラインとV20ラインとの間に接続されたラダー抵抗部78の抵抗によって11段階に分圧された電圧がガンマ補正回路70の出力電圧V9～V19として出力される。VIN4はV43に対応し、V20ラインとV43ラインとの間に接続されたラダー抵抗部78の抵抗によって22段階に分圧された電圧がガンマ補正回路70の出力電圧V21～V42として出力される。VIN5はV55に対応し、V43ラインとV55ラインとの間に接続されたラダー抵抗部78の抵抗によって11段階に分圧された電圧がガンマ補正回路70の出力電圧V44～V54として出力される。VIN6はV62に対応し、V55ラインとV62ラインとの間に接続されたラダー抵抗部78の抵抗によって6段階に分圧された電圧がガンマ補正回路70の出力電圧V56～V61として出力される。VIN7はV63に対応する。このようにしてガンマ補正回路70がV0～V63の電圧を出力する。

[0061] 電圧V0は最も輝度が暗い黒レベル、電圧V63は最も輝度が明るい白レベルに対応しており、赤、緑、青の色によって切り換わる抵抗RR、RG、RBは、黒レベルに対応する部分のVIN0ラインとVIN1ラインとの間に接続された構成となっている。

[0062] 次に、比較例のガンマ補正回路について説明する。図28に示すように、比較例のガンマ補正回路は、図23に示したスイッチSW1により切換可能な抵抗RR、RG、RBに代えて、抵抗R0を可変抵抗VR0と抵抗PKHとの間に接続した構成である。その

他、図23と同一物には同一の符号を付すこととし、ここでは重複した説明は省略する。

- [0063] このような構成により、比較例のガンマ補正回路は、階調値の色によって抵抗R0を切り換えることなく、各色で同じガンマ補正を行うようになっている。
- [0064] 次に、本実施形態のガンマ補正回路70と比較例のガンマ補正回路とでのガンマ補正の違いについて説明する。図29は、ガンマ補正前における階調値と輝度との関係を示すグラフである。白(W)の輝度特性に対して、赤(R)、緑(G)、青(B)の輝度特性は大幅にズレている。
- [0065] 本ガンマ補正回路70により、抵抗RR、RG、RBを適切な抵抗値に予め設定しておき、赤、緑、青の各色に応じて抵抗RR、RG、RBを切り換えてガンマ補正をした場合は、図30に示すように、赤、緑、青の各色の輝度特性が白色の輝度特性に一致したグラフが得られる。なお、図30のグラフの縦軸は、階調値が63のときに輝度が100となるように規格化した規格化輝度である。図30のグラフでは、階調値が0のときは輝度が最も低い黒レベルであり、階調値が63のときは輝度が最も高い白レベルである。
- [0066] これに対して、比較例のガンマ補正回路により、赤、緑、青の各色で抵抗R0を切り換えることなく同じガンマ補正をした場合には、図31に示すように、赤、緑、青の輝度特性が白の輝度特性に近づきはするものの、完全一致には至っていない。特に、青色については、黒レベルにおけるズレが大きくなっている。
- [0067] 本ガンマ補正回路70は、黒レベルに相当する部分に抵抗RR、RG、RBを並列接続し、赤、緑、青の各色に応じてこれら3つの抵抗を切り換えることで、黒レベルにおけるガンマ補正が適切に行われるようになっている。
- [0068] 従って、本実施形態によれば、赤、緑、青の各色について黒レベルから白レベルまで64段階で表す階調値を階調電圧に変換する際に、階調電圧生成用の基準電圧を分圧するラダー抵抗部71における黒レベルに相当する部分の抵抗値を各色に応じて切り換えるようにしたことで、ガンマ補正が各色毎に適切に行われるようになるので、階調値に対する輝度の赤、緑、青でのズレを抑制することができる。特に、黒レベルに相当する部分の抵抗値を最適に設定した場合には、赤、緑、青の各色についての輝度を完全に一致させることができる。

- [0069] 本実施形態によれば、ラダー抵抗部71の黒レベルに相当する部分に赤、緑、青の各色に対応した3つの抵抗RR、RG、RBを切り換え可能に並列接続し、階調値の色に応じてこれらの抵抗RR、RG、RBを切り換えるようにしたことで、簡易な構成で色に応じた抵抗値の切り換えを行うことができる。なお、3つの抵抗RR、RG、RBを切り換え可能に設けること、可変抵抗を用いることとして色に応じてその抵抗値が切り換わるようにしてもよい。
- [0070] 本実施形態によれば、ラダー抵抗部71の中央の抵抗PKMの両端部に可変抵抗VRHおよびVRLを設けるとともに、これらの可変抵抗VRH、VRLの抵抗値を設定するための傾き調整レジスタ72を設け、傾き調整レジスタ72に設定された値に応じて可変抵抗VRH、VRLの抵抗値を調整するようにしたことで、階調値に対する階調電圧の特性を示す特性曲線の傾きを調整することができる。
- [0071] 本実施形態によれば、ラダー抵抗部71の両最端部に可変抵抗VR0、VR1を設けるとともに、これらの可変抵抗VR0、VR1の抵抗値を設定するための振幅調整レジスタ74を設け、振幅調整レジスタ74に設定された値に応じて可変抵抗VR0、VR1の抵抗値を調整するようにしたことで、階調電圧の振幅を調整することができる。
- [0072] 本実施形態によれば、ラダー抵抗部71の中央部の抵抗PKH、PKM、PKLにセレクトタ75A〜75Fを接続するとともに、セレクトタ75A〜75Fによる選択を設定する微調整レジスタ73を設け、微調整レジスタ73に設定された値に応じてセレクトタ75A〜75Fがラダー抵抗部71から出力される分圧電圧を選択するようにしたことで、階調値に対する階調電圧の大きさを調整することができる。

#### 産業上の利用可能性

- [0073] 本発明は、ガンマ補正を兼ねて表示信号を画素電圧に変換する表示信号処理装置および表示装置に利用できる。

## 請求の範囲

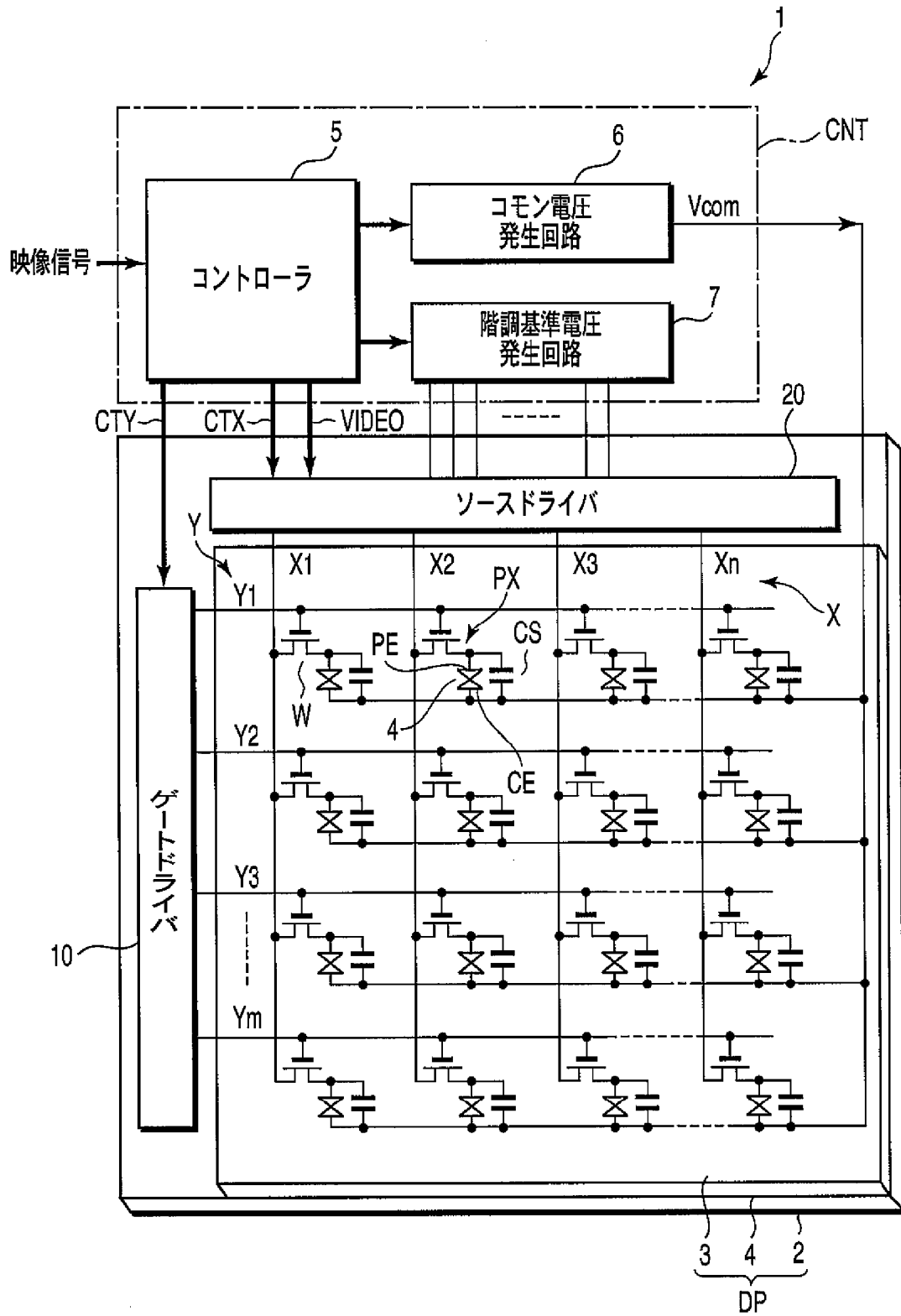
- [1] 第1所定数の階調基準電圧を発生する階調基準電圧発生回路と、前記階調基準電圧発生回路から得られる第1所定数の階調基準電圧を選択的に用いて表示信号を画素電圧に変換する信号変換回路とを備え、前記階調基準電圧発生回路は各々ガンマ補正用に可変される出力電圧を発生する前記第1所定数よりも少ない第2所定数の可変電圧発生部、および前記第2所定数の可変電圧発生部の出力端間に得られる差電圧を分圧して前記第1所定数の階調基準電圧を得るように接続される複数の抵抗を有することを特徴とする表示信号処理装置。
- [2] 前記階調基準電圧発生回路は最外郭に配置される前記可変電圧発生部として少なくとも2つの電源電圧を切り換える切換スイッチ回路を有することを特徴とする請求項1に記載の表示信号処理装置。
- [3] 前記階調基準電圧発生回路は前記第2所定数の可変電圧発生部のいずれかにおいて発生した出力電圧の異常を検出して全ての前記可変電圧発生部の出力電圧を特定の電圧に切り換えることにより前記信号変換回路を保護する保護回路を有することを特徴とする請求項1に記載の表示信号処理装置。
- [4] 前記第2所定数の可変電圧発生回路は各々数値データを出力電圧に変換する複数のデジタルアナログ変換器を含むことを特徴とする請求項1に記載の表示信号処理装置。
- [5] さらに前記信号変換回路および前記階調基準電圧発生回路を制御する制御部を備える請求項4に記載の表示信号処理装置。
- [6] 前記制御部は前記複数のデジタルアナログ変換器でそれぞれ変換される数値データを変換時間の長い順にシリアルに出力する出力部を備えることを特徴とする請求項5に記載の表示信号処理装置。
- [7] 前記制御部は前記複数のデジタルアナログ変換器でそれぞれ変換される数値データを並列かつ同時に出力する出力部を備えることを特徴とする請求項5に記載の表示信号処理装置。
- [8] さらに最大輝度付近および最小輝度付近の少なくとも一方で階調値の変化に対する輝度差を無くすように前記第1所定数の階調基準電圧を選択的に補正して前記信号

- 変換回路に供給する補正回路を備えることを特徴とする請求項1に記載の表示信号処理装置。
- [9] 前記制御部は最大輝度付近および最小輝度付近の少なくとも一方で階調値の変化に対する輝度差を無くすように前記表示信号を補正して前記信号変換回路に供給する補正回路を備えることを特徴とする請求項5に記載の表示信号処理装置。
- [10] 略マトリクス状に配置され各々第1および第2電極間に液晶材料を保持する複数の画素と、前記第1所定数の階調基準電圧を発生する階調基準電圧発生回路と、前記階調基準電圧発生回路から得られる第1所定数の階調基準電圧を選択的に用いて表示信号を前記第1電極に印加される画素電圧に変換する信号変換回路と、前記第2電極に印加されるコモン電圧を発生するコモン電圧発生回路と、前記画素電圧およびコモン電圧を周期的にレベル反転させるように前記信号変換回路および前記コモン電圧発生回路を制御する制御部とを備え、前記階調基準電圧発生回路は各々ガンマ補正用に可変される出力電圧を発生する前記第1所定数よりも少ない第2所定数の可変電圧発生部、および前記第2所定数の可変電圧発生部の出力端間に得られる差電圧を分圧して前記第1所定数の階調基準電圧を得るように接続される複数の抵抗を有することを特徴とする表示装置。
- [11] 前記制御部はさらに特定行の画素に対する制御情報を保持し、この制御情報に基づいて特定行の画素に対する前記コモン電圧の振幅を変更する制御を行うように構成されることを特徴とする請求項10に記載の表示装置。
- [12] 前記制御部はさらに前記コモン電圧の変更に伴って前記特定行の画素に対する前記画素電圧を変更する制御を行うように構成されることを特徴とする請求項11に記載の表示装置。
- [13] 前記制御部はさらに特定行の画素に対する制御情報を保持し、この制御情報に基づいて前記特定行の画素に対する前記コモン電圧の中心レベルを変更する制御を行うように構成されることを特徴とする請求項10に記載の表示装置。
- [14] 前記制御部はさらに前記コモン電圧の中心レベルの変更に伴って前記特定行の画素に対する画素電圧を変更する制御を行うように構成されることを特徴とする請求項13に記載の表示装置。

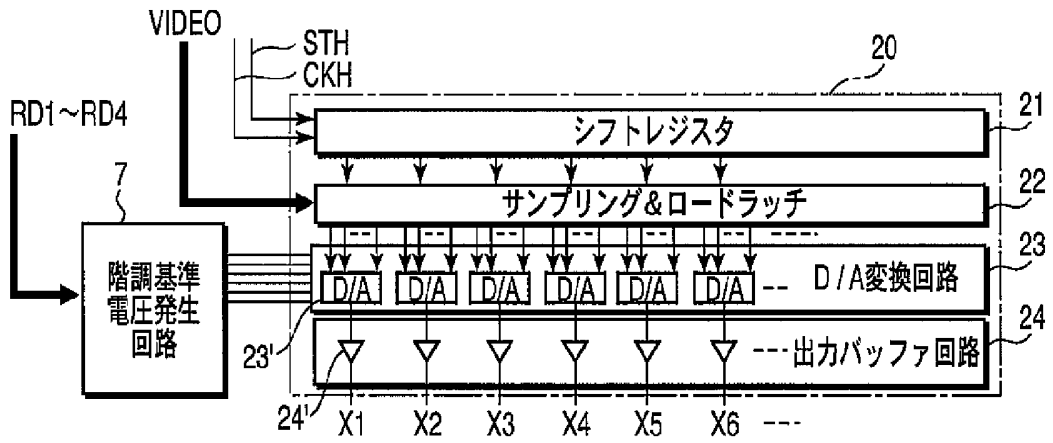
- [15] 前記制御部は前記複数の画素間でばらつく透過率特性を補償する制御情報を保持し、この制御情報に基づいて特定画素に対する画素電圧およびコモン電圧の振幅を変更する制御を行うように構成されることを特徴とする請求項10に記載の表示装置。
- [16] 前記制御部は前記複数の画素を配置した表示パネルが観察者に対して傾けられた状態で行毎の画素に印加される電圧を徐々に異ならせる制御を行うように構成されることを特徴とする請求項10に記載の表示装置。
- [17] 前記制御部は電源オフに先立って前記第1所定数の階調基準電圧を任意の同一電圧に設定する制御を行うように構成されることを特徴とする請求項10に記載の表示装置。
- [18] 前記階調基準電圧発生回路は、赤、緑、青の各色について黒レベルから白レベルまで一定数の段階で表す表示信号を階調電圧に変換するために用いられる基準電圧を分圧するラダー抵抗と、表示信号の色に応じて前記ラダー抵抗における黒レベルに相当する部分の抵抗値を切り換える切換手段とを有することを特徴とする請求項1に記載の表示信号処理装置。
- [19] 前記ラダー抵抗は、黒レベルに相当する部分に赤、緑、青の各色に対応した3つの抵抗を備え、前記切換手段は表示信号の色に応じて当該3つの抵抗を切り換えることを特徴とする請求項18に記載の表示信号処理装置。
- [20] 前記階調基準電圧発生回路は、表示信号に対する階調電圧の特性を示す特性曲線の傾きを調整するために前記ラダー抵抗に設けられた可変抵抗と、当該可変抵抗の値が設定される傾き調整レジスタとを有することを特徴とする請求項18に記載の表示信号処理装置。
- [21] 前記階調基準電圧発生回路は、階調電圧の振幅を調整するために前記ラダー抵抗に設けられた可変抵抗と、当該可変抵抗の値が設定される振幅調整レジスタとを有することを特徴とする請求項18に記載の表示信号処理装置。
- [22] 前記階調基準電圧発生回路は、階調電圧の大きさを調整するためにラダー抵抗から出力される分圧電圧を選択するセクタと、前記セクタによる選択が設定される微調整レジスタとを有することを特徴とする請求項18に記載の表示信号処理装置。



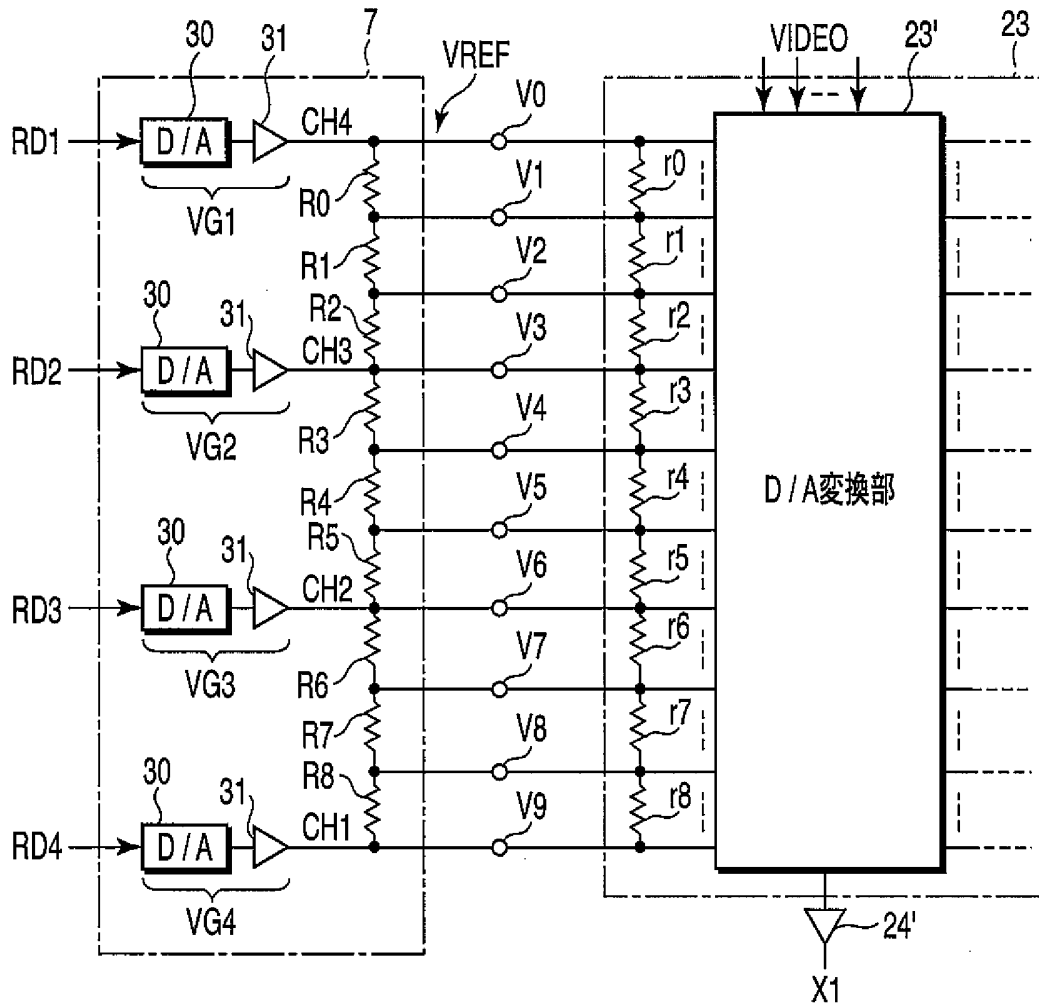
[図1]



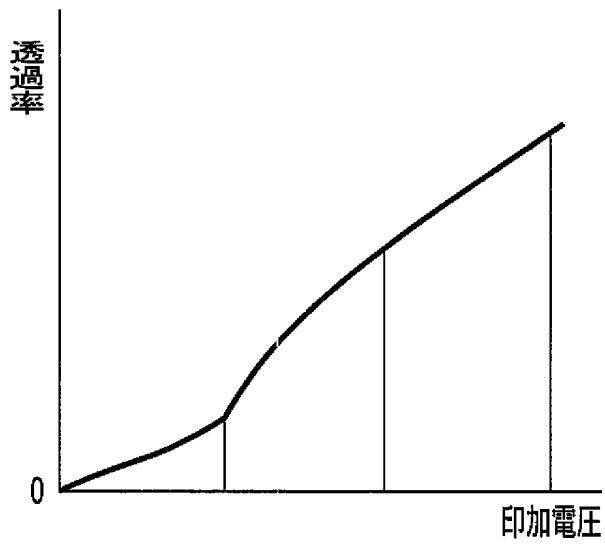
[図2]



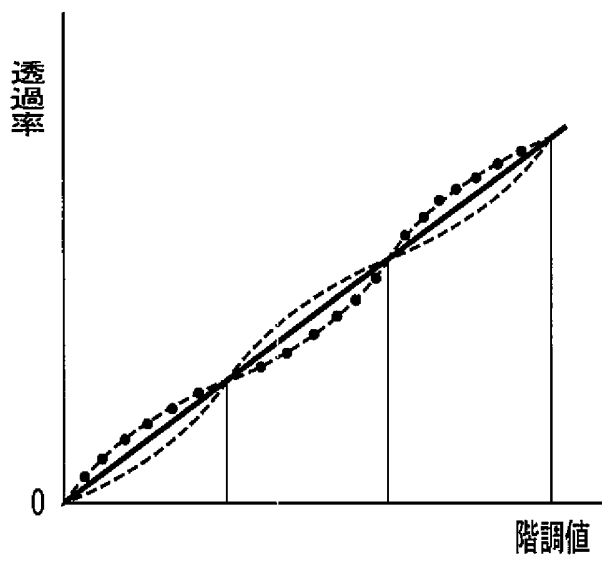
[図3]



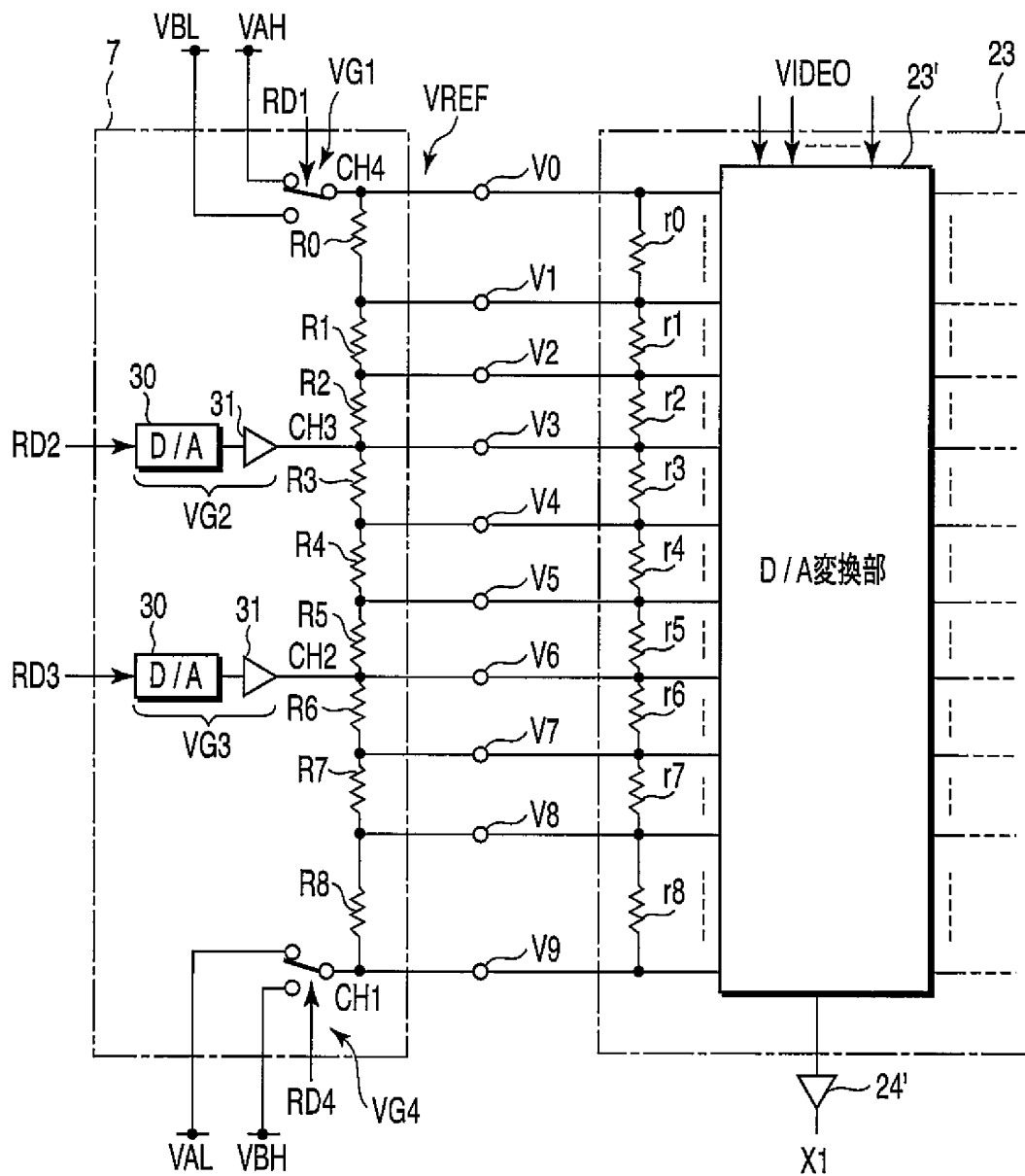
[図4]



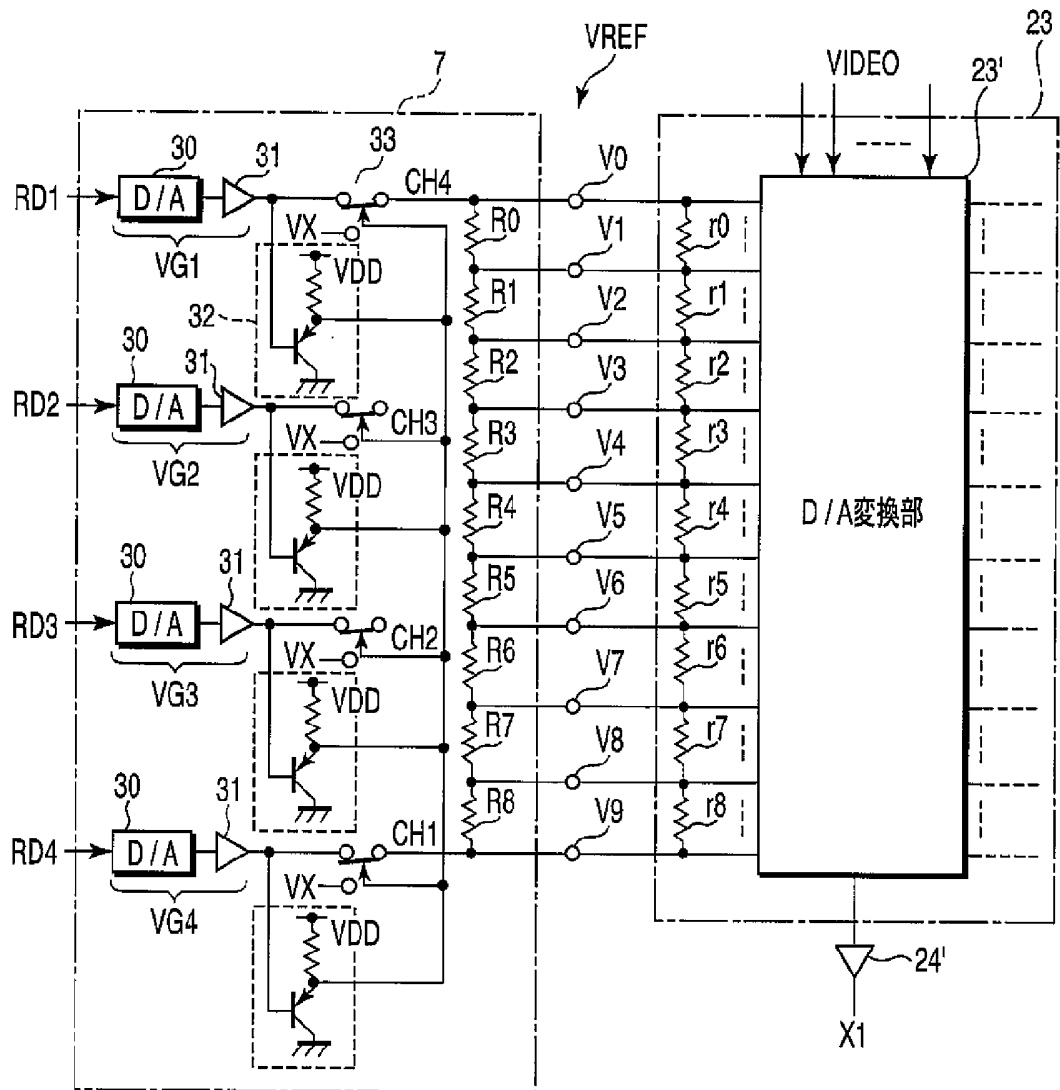
[図5]



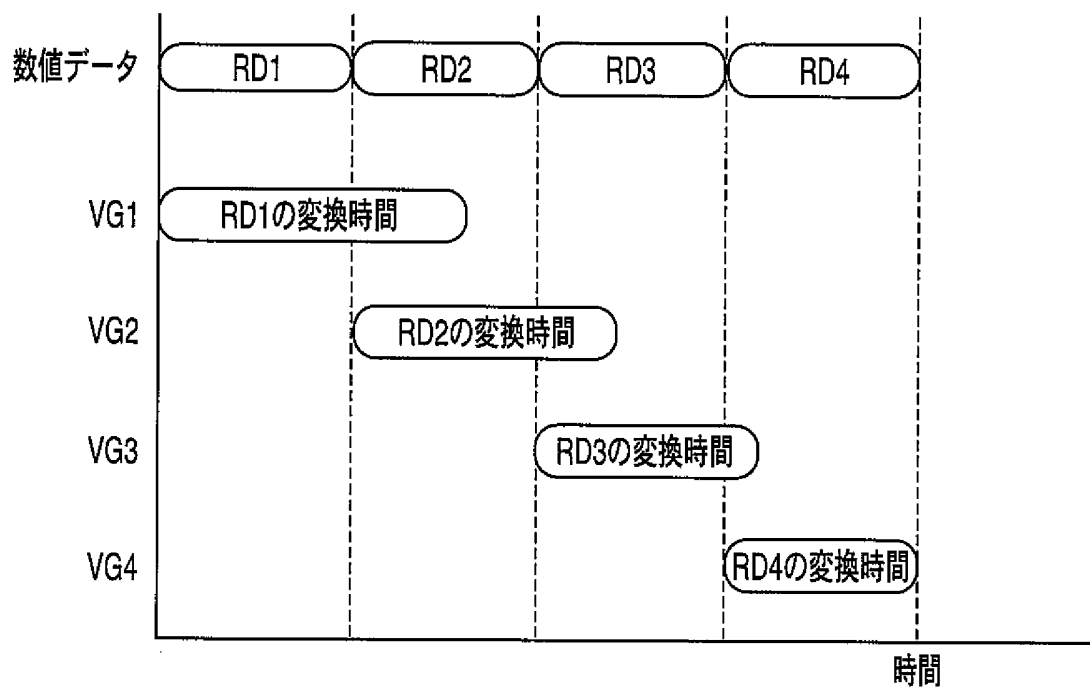
[図6]



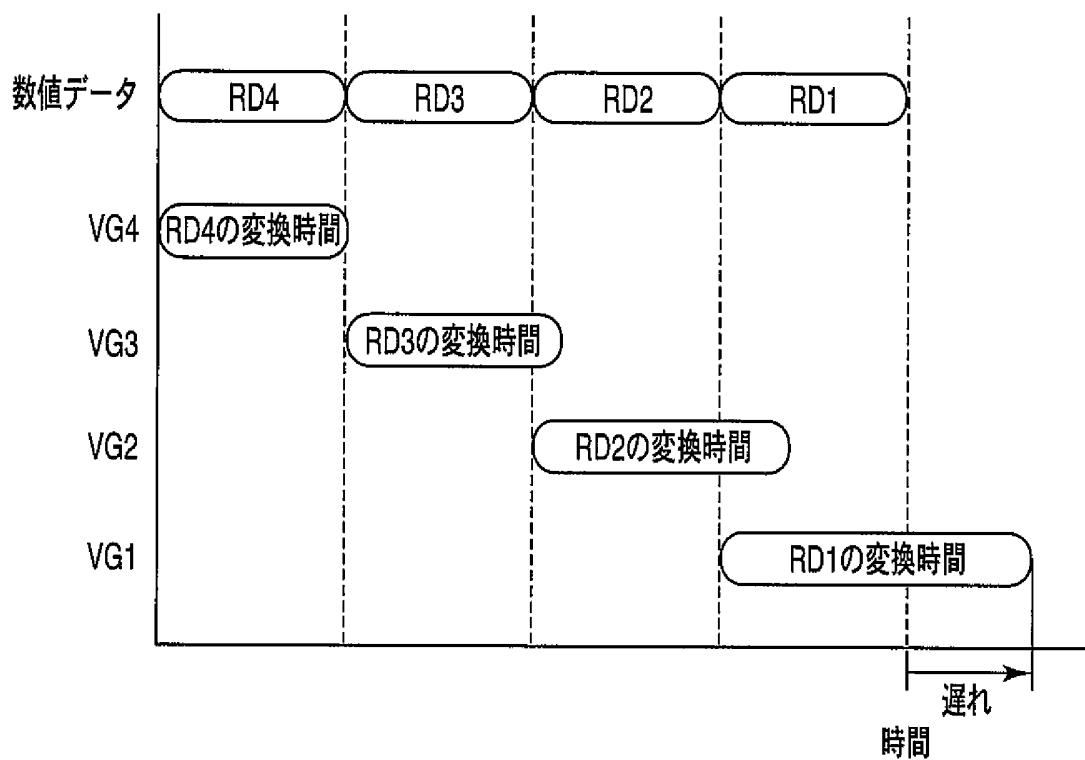
[図7]



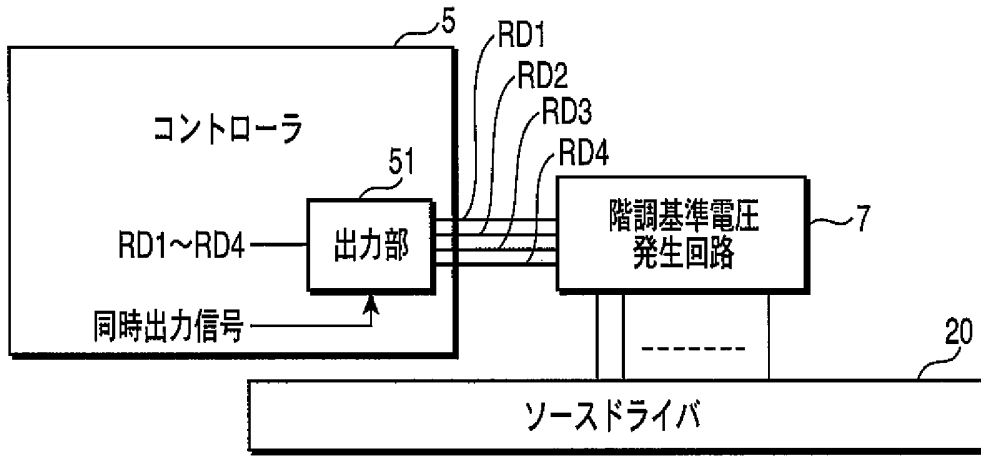
[図8]



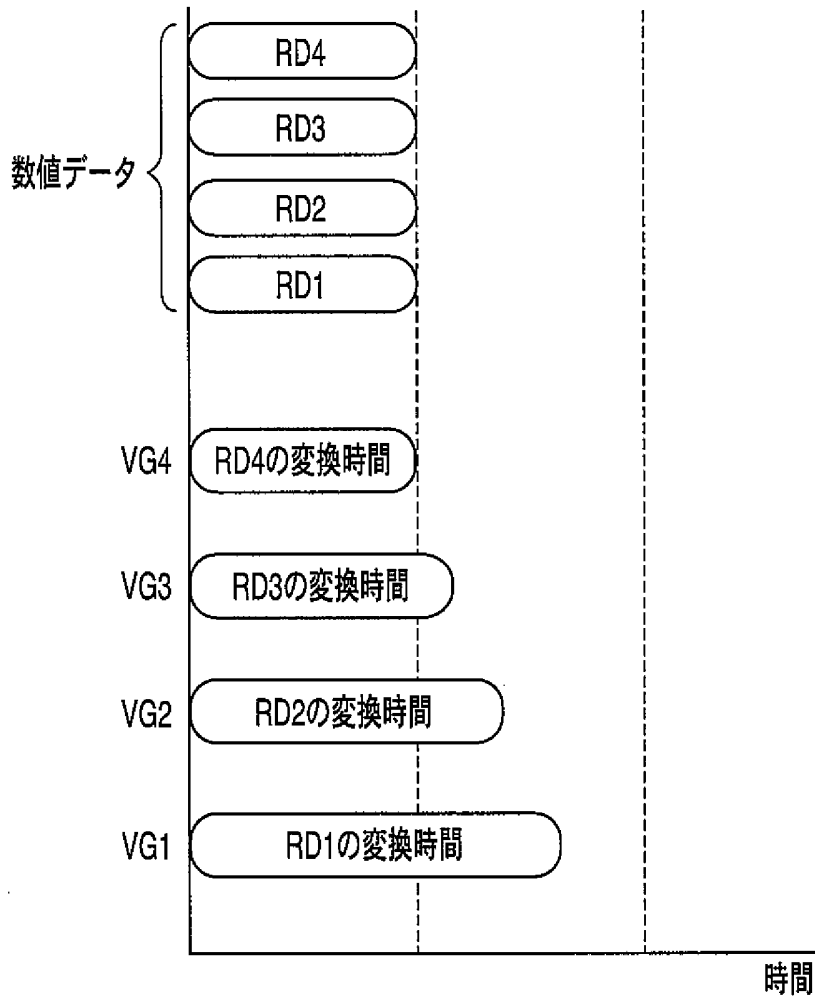
[図9]



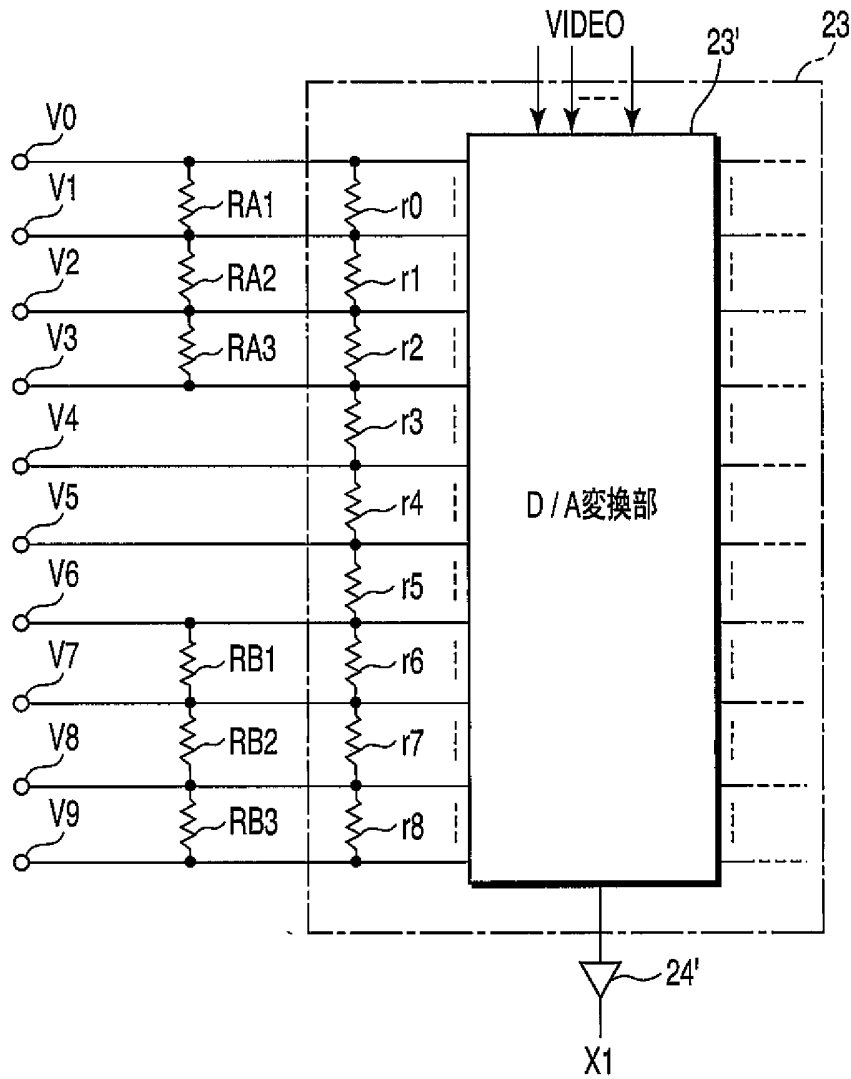
[図10]



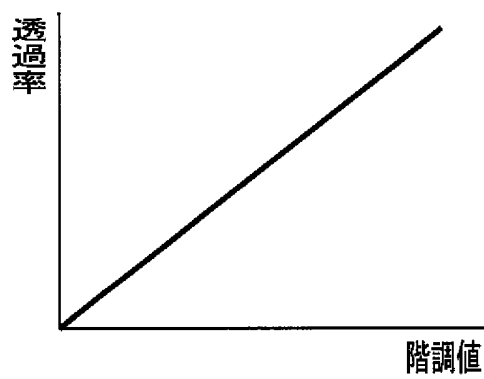
[図11]



[図12]

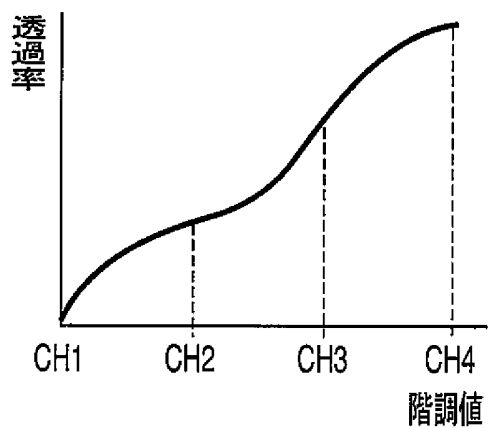


[図13]

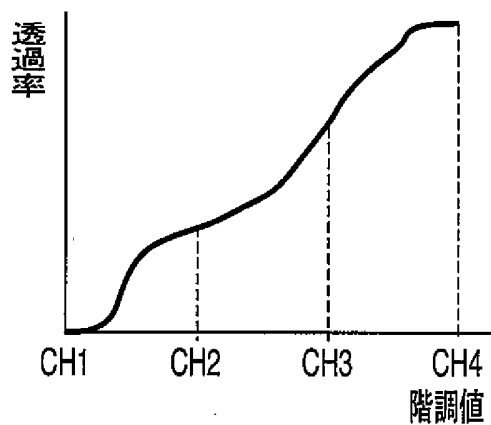




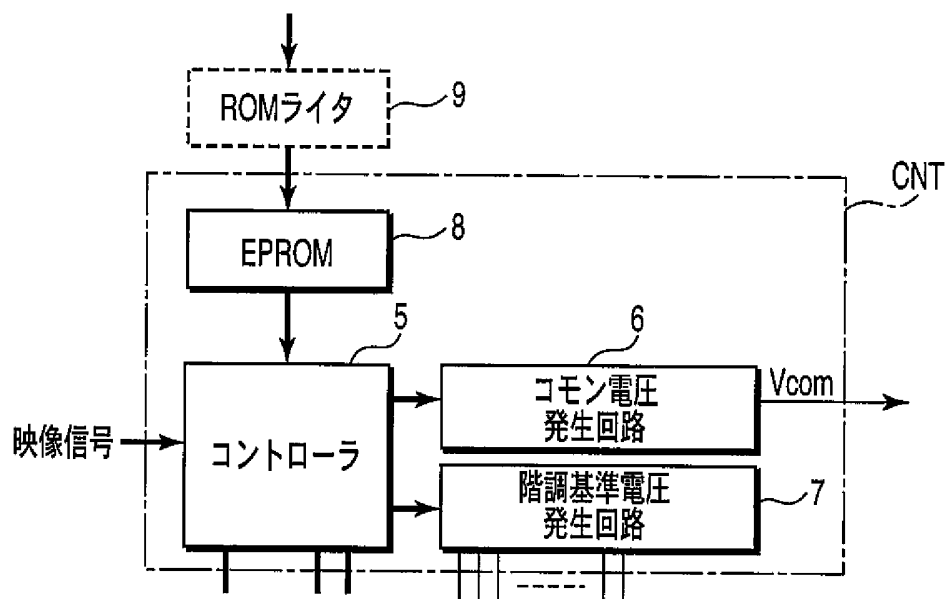
[図14]



[図15]



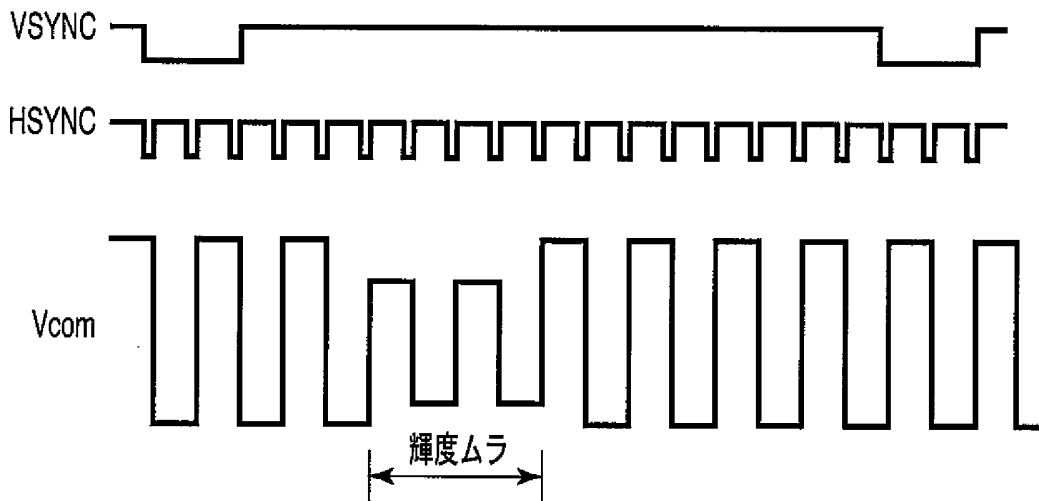
[図16]



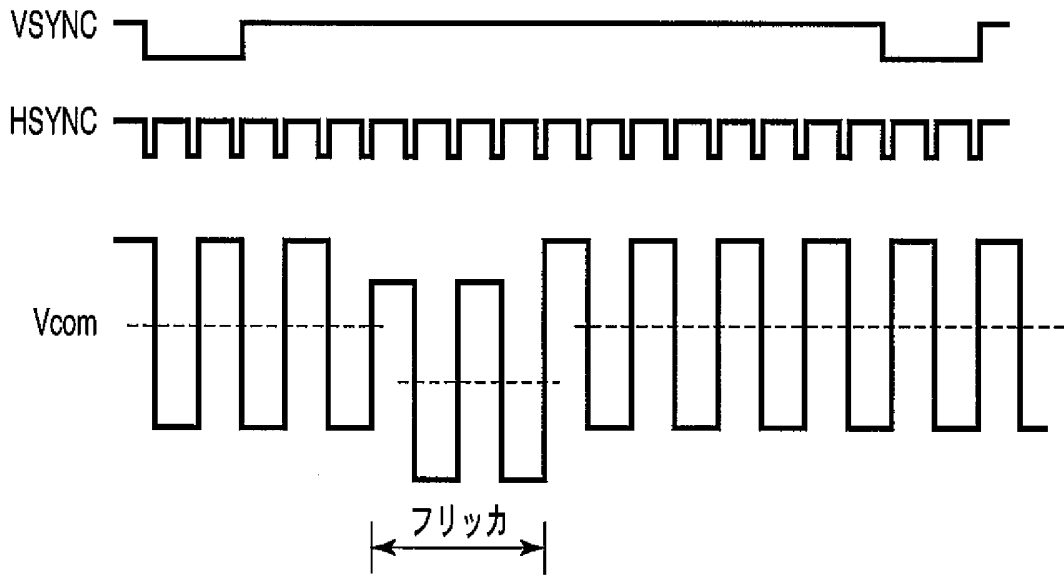
[図17]

入力階調値	出力階調値
63	63
62	63
61	62
60	61
59	61
58	59
57	57
⋮	⋮
6	6
5	4
4	2
3	2
2	1
1	0
0	0

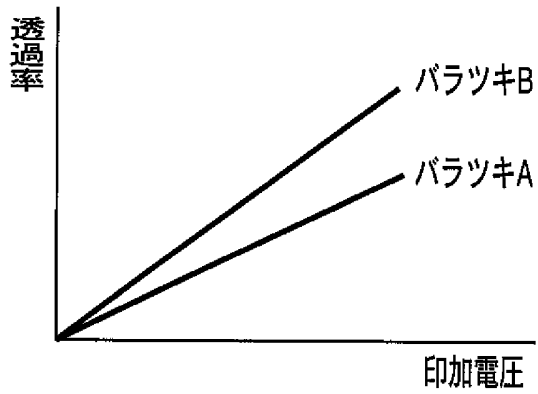
[図18]



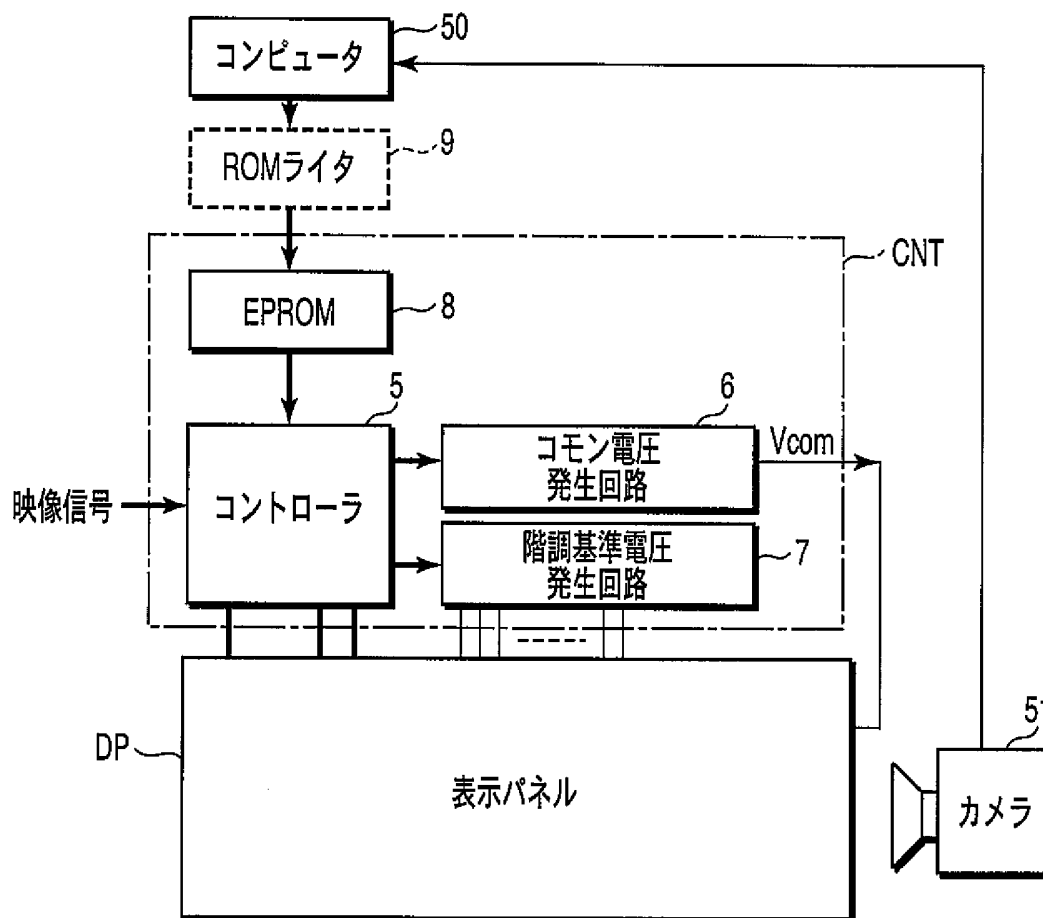
[図19]



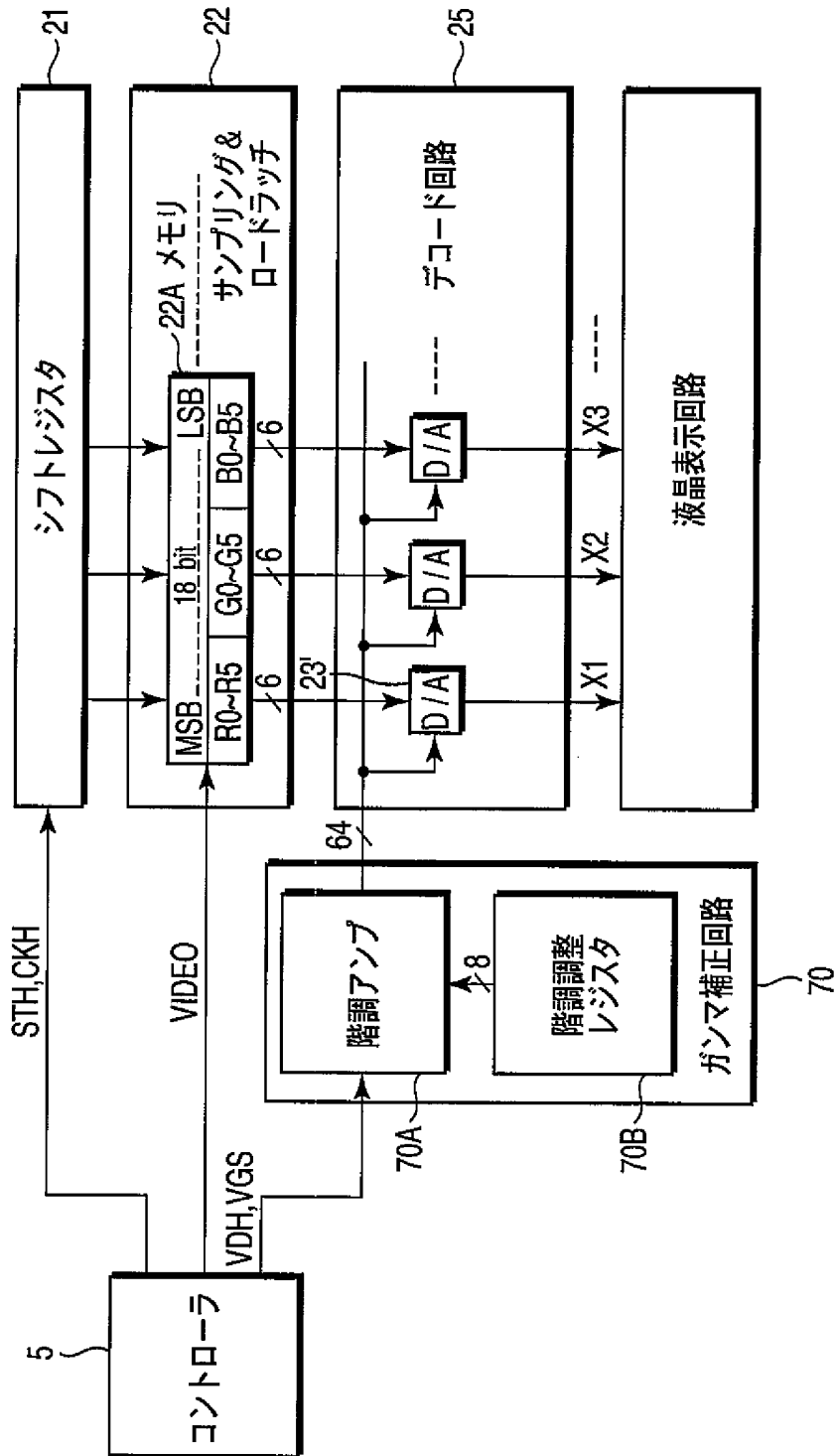
[図20]



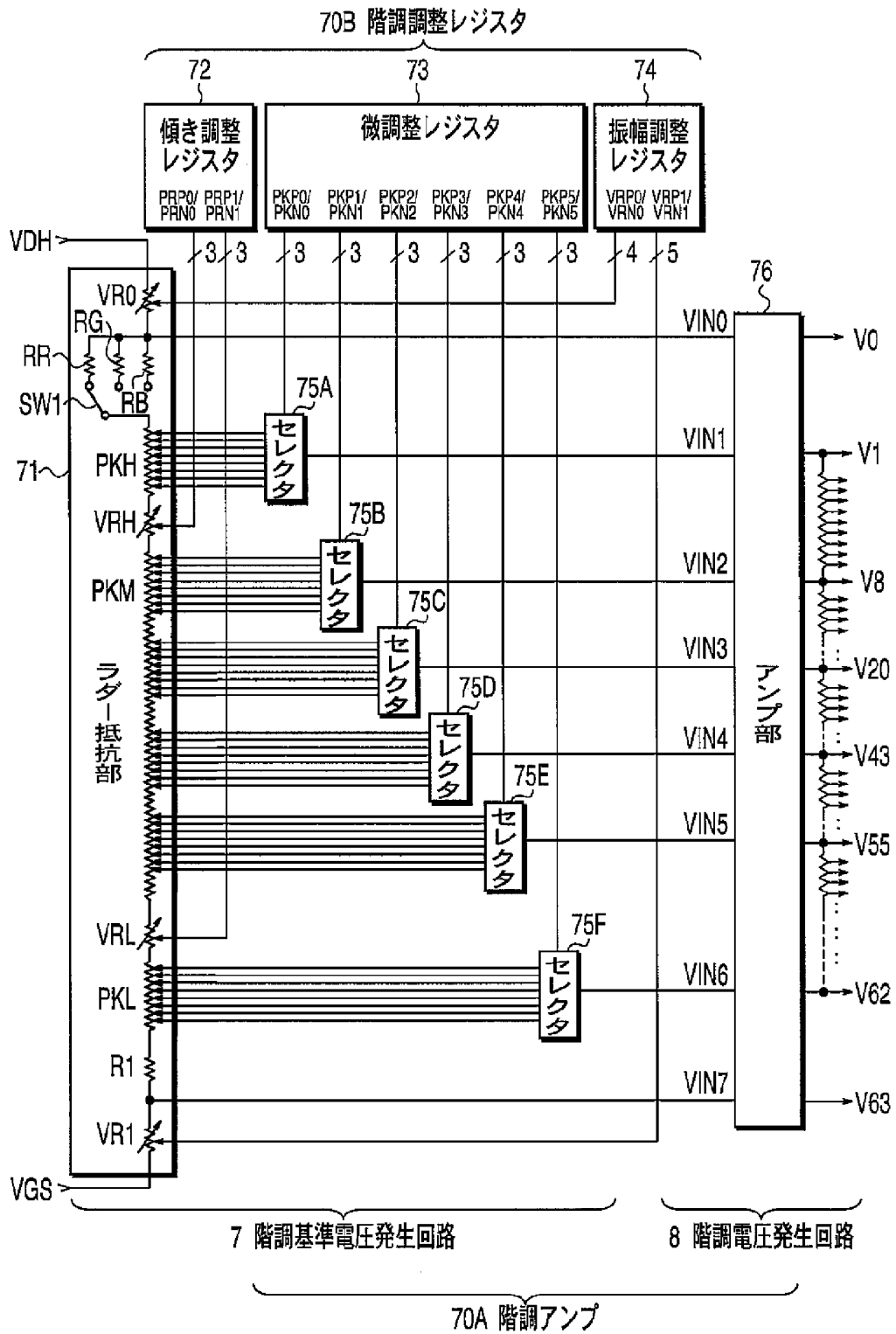
[図21]



[図22]



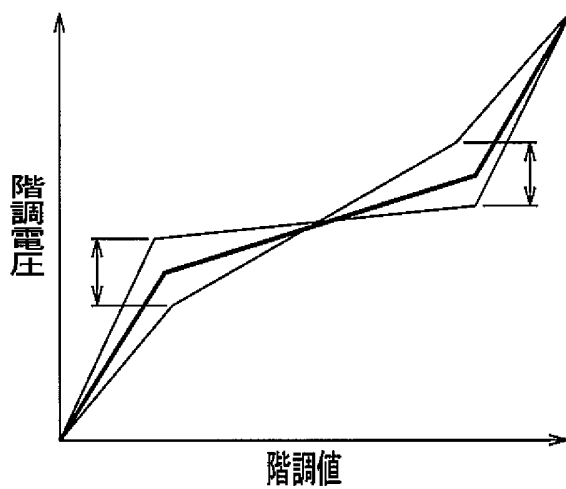
[図23]



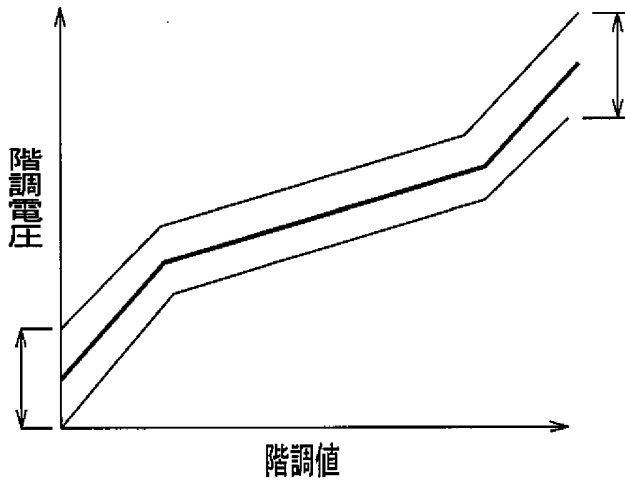
[図24]

レジスタ分類	正極性用	負極性用	設定内容
傾き調整	PRP0[2:0]	PRN0 [2:0]	可変抵抗 VRH
	PRP1[2:0]	PRN1 [2:0]	可変抵抗 VRL
振幅調整	VRP0[3:0]	VRN0 [3:0]	可変抵抗 VR0
	VRP1[4:0]	VRN1 [4:0]	可変抵抗 VR1
微調整	PKP0[2:0]	PKN0 [2:0]	セクタ 75A (V1の電圧レベル)
	PKP1[2:0]	PKN1 [2:0]	セクタ 75B (V8の電圧レベル)
	PKP2[2:0]	PKN2 [2:0]	セクタ 75C (V20の電圧レベル)
	PKP3[2:0]	PKN3 [2:0]	セクタ 75D (V43の電圧レベル)
	PKP4[2:0]	PKN4 [2:0]	セクタ 75E (V55の電圧レベル)
	PKP5[2:0]	PKN5 [2:0]	セクタ 75F (V62の電圧レベル)

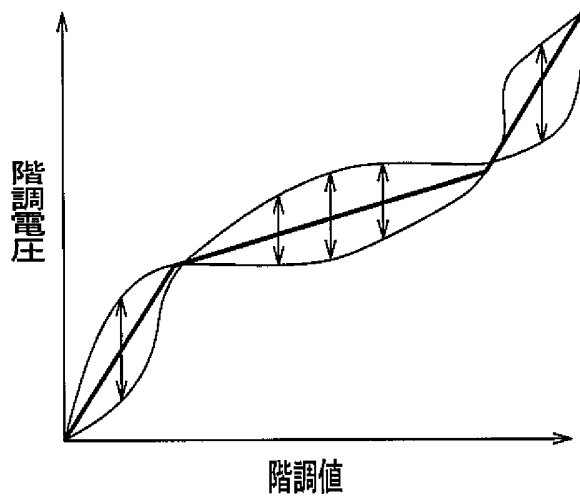
[図25]



[図26]

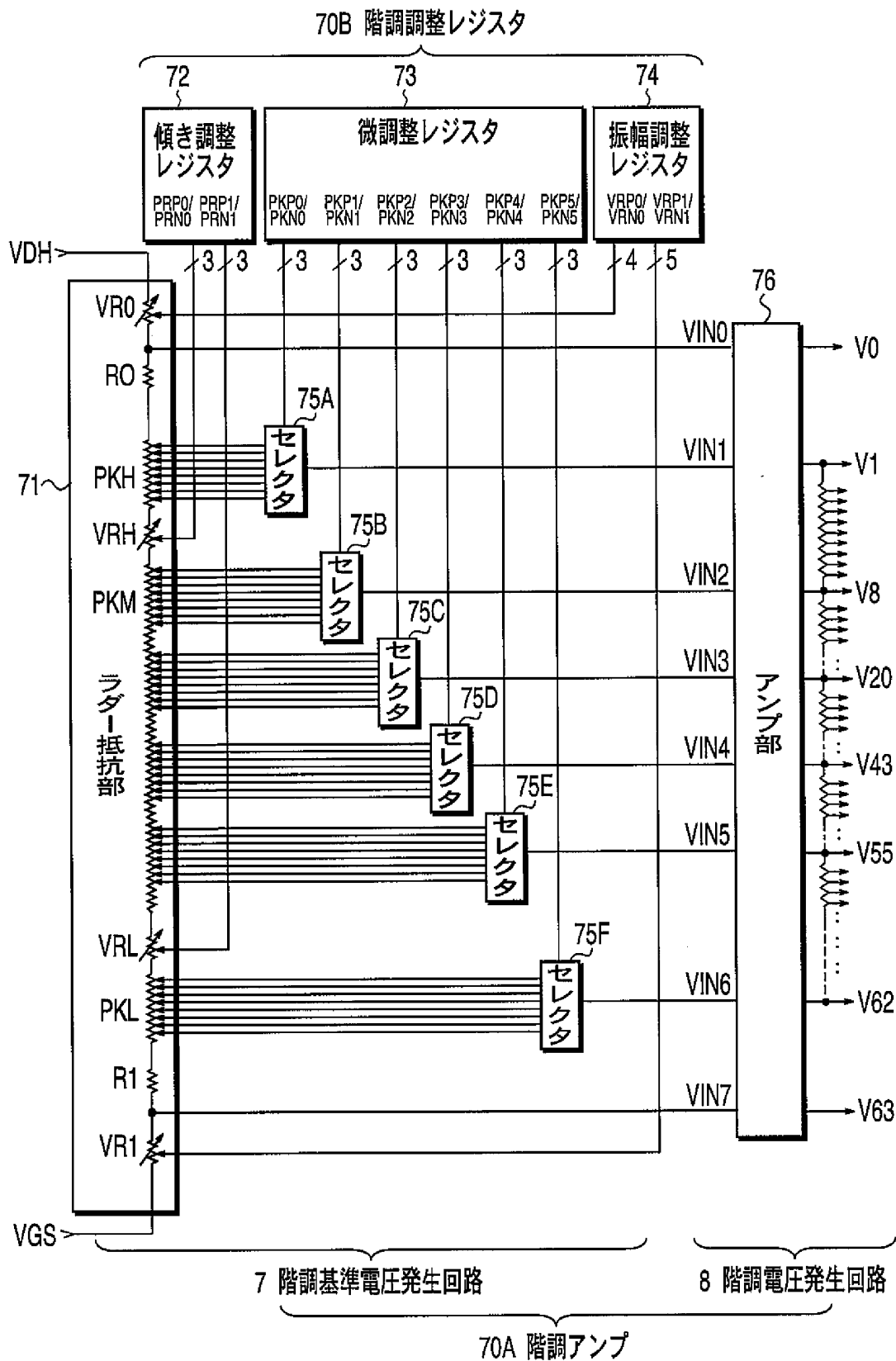


[図27]

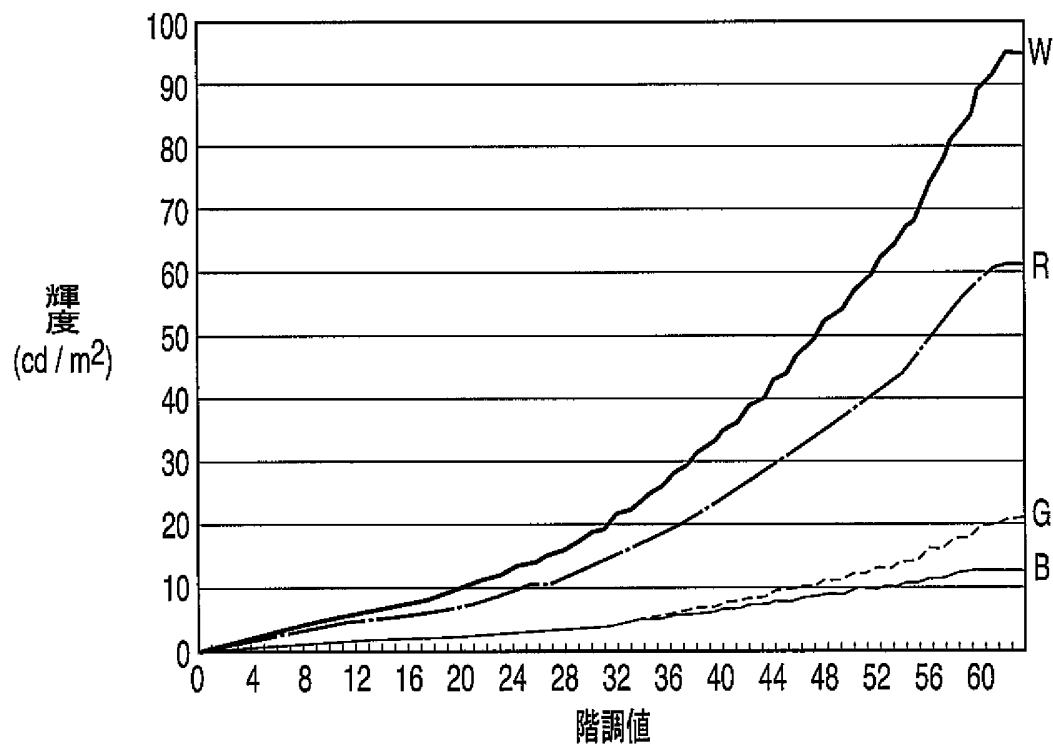




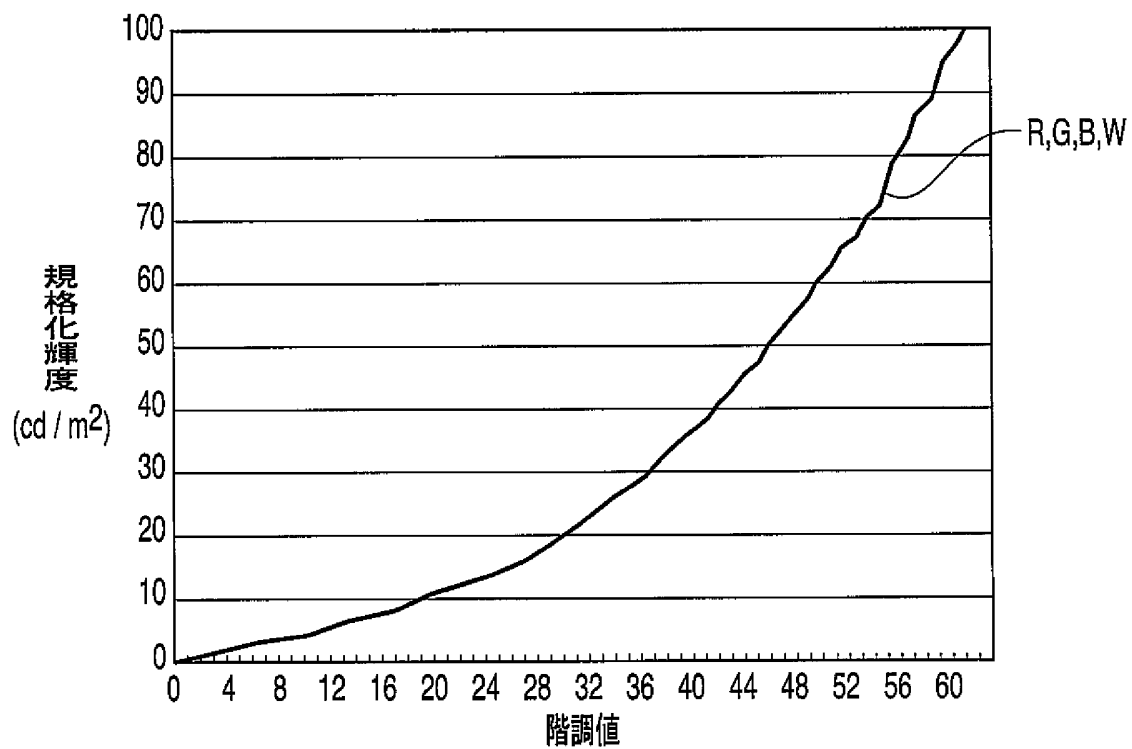
[図28]



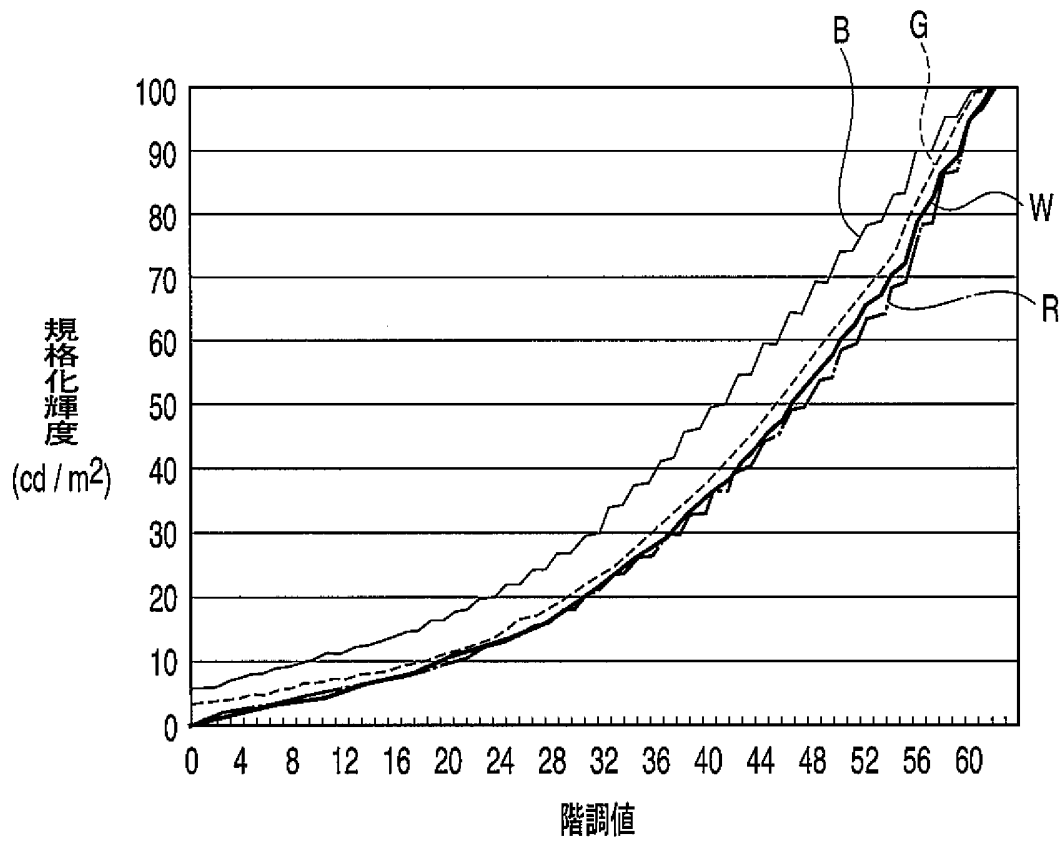
[図29]



[図30]



[図31]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/002932

A. CLASSIFICATION OF SUBJECT MATTER  
 Int.Cl<sup>7</sup> G09G3/36, G02F1/133, G09G3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
 Int.Cl<sup>7</sup> G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-4046 A (Fujitsu Ltd.), 14 January, 1994 (14.01.94), Full text; all drawings (Family: none)	1-5, 7-22
Y	JP 2003-295842 A (Toshiba Corp.), 15 October, 2003 (15.10.03), Full text; all drawings & US 2003/0142363 A1	1-5, 7-22

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 April, 2005 (15.04.05)	Date of mailing of the international search report 10 May, 2005 (10.05.05)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002932

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 122453/1988 (Laid-open No. 45521/1990) (Sanyo Electric Co., Ltd.), 28 March, 1990 (28.03.90), Full text; all drawings (Family: none)	3, 17
Y	JP 6-89073 A (Fujitsu Ltd.), 29 March, 1994 (29.03.94), Par. Nos. [0010] to [0028]; Figs. 2 to 7 (Family: none)	11-14, 16
Y	JP 2001-343955 A (Seiko Epson Corp.), 14 December, 2001 (14.12.01), Par. Nos. [0034] to [0056]; Fig. 3 & US 2001/0015835 A1	15
Y	JP 8-263019 A (Casio Computer Co., Ltd.), 11 October, 1996 (11.10.96), Full text; all drawings (Family: none)	18-22
Y	JP 2002-366112 A (Hitachi, Ltd.), 20 December, 2002 (20.12.02), Full text; all drawings & US 2002/0186230 A1	20-22
P, X	JP 2004-165749 A (Rohm Co., Ltd.), 10 June, 2004 (10.06.04), Full text; all drawings & US 2004/0090409 A1	1-2, 4-5, 7, 10

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. <sup>7</sup> G09G3/36, G02F1/133, G09G3/20		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. <sup>7</sup> G09G3/36, G02F1/133, G09G3/20		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 6-4046 A (富士通株式会社), 1994.01.14, 全文全図 (ファミリーなし)	1-5, 7-22
Y	J P 2003-295842 A (株式会社東芝), 2003.1 0.15, 全文全図 & US 2003/0142363 A1	1-5, 7-22
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 15.04.2005	国際調査報告の発送日 10.5.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 濱本 禎広 電話番号 03-3581-1101 内線 3226	2G 9509

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願63-122453号(日本国実用新案登録出願公開2-45521号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(三洋電機株式会社), 1990. 03. 28, 全文全図(ファミリーなし)	3, 17
Y	JP 6-89073 A (富士通株式会社), 1994. 03. 29, 段落【0010】～【0028】, 図2～7(ファミリーなし)	11-14, 16
Y	JP 2001-343955 A (セイコーエプソン株式会社), 2001. 12. 14, 段落【0034】～【0056】, 図3 & US 2001/0015835 A1	15
Y	JP 8-263019 A (カシオ計算機株式会社), 1996. 10. 11, 全文全図(ファミリーなし)	18-22
Y	JP 2002-366112 A (株式会社日立製作所), 2002. 12. 20, 全文全図 & US 2002/0186230 A1	20-22
P, X	JP 2004-165749 A (ローム株式会社), 2004. 06. 10, 全文全図 & US 2004/0090409 A1	1-2, 4-5, 7, 10