

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4545617号  
(P4545617)

(45) 発行日 平成22年9月15日(2010.9.15)

(24) 登録日 平成22年7月9日(2010.7.9)

(51) Int.Cl.

F I

HO 1 L 21/768 (2006.01)	HO 1 L 21/90 J
HO 1 L 23/522 (2006.01)	HO 1 L 29/78 6 2 7 D
HO 1 L 21/336 (2006.01)	GO 6 K 19/00 H
HO 1 L 29/786 (2006.01)	HO 1 L 21/20
GO 6 K 19/07 (2006.01)	GO 6 K 19/00 K

請求項の数 6 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2005-63905 (P2005-63905)  
 (22) 出願日 平成17年3月8日(2005.3.8)  
 (65) 公開番号 特開2005-294818 (P2005-294818A)  
 (43) 公開日 平成17年10月20日(2005.10.20)  
 審査請求日 平成20年1月18日(2008.1.18)  
 (31) 優先権主張番号 特願2004-70788 (P2004-70788)  
 (32) 優先日 平成16年3月12日(2004.3.12)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 荒尾 達也  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 棚田 一也

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板上に、半導体素子を用いた集積回路と、前記集積回路上のアンテナとを有し、前記アンテナは、前記基板の水平方向に円状または螺旋状に巻かれた導線を有し、前記集積回路と前記アンテナとは、電気的に接続するように形成されており、前記導線を覆い、円状または螺旋状に巻かれた前記導線の間隙を電気的に分離する第1の絶縁膜を有し、

前記導線の間隙を埋めるように、前記第1の絶縁膜上に第2の絶縁膜を有し、前記第2の絶縁膜には軟磁性材料を用いた微粒子が含まれていることを特徴とする半導体装置。

【請求項2】

基板上に、半導体素子を用いた集積回路と、前記集積回路上のアンテナとを有し、前記アンテナは、前記基板の水平方向に円状または螺旋状に巻かれた導線を有し、前記集積回路と前記アンテナとは、電気的に接続するように形成されており、前記導線を覆い、円状または螺旋状に巻かれた前記導線の間隙を電気的に分離する第1の絶縁膜を有し、

前記導線の間隙を埋めるように、前記第1の絶縁膜上に第2の絶縁膜を有し、前記半導体素子と前記導線との間には、第3の絶縁膜と前記第3の絶縁膜上の第4の絶縁膜とを有し、

前記第2の絶縁膜及び前記第3の絶縁膜には、軟磁性材料を用いた微粒子が含まれてい

10

20

ることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記 1 の絶縁膜は、窒化珪素膜または窒化酸化珪素膜であることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記第 2 の絶縁膜は樹脂膜であることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記第 2 の絶縁膜は、前記第 1 の絶縁膜を介して、前記導線の上面を覆うことを特徴とする半導体装置。

10

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記半導体素子は薄膜トランジスタであり、

前記基板は可撓性を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線での通信が可能な半導体装置に関する。

20

【背景技術】

【0002】

無線でデータの送受信が可能な ID チップなどの半導体装置は、様々な分野において実用が進められており、新しい形態の通信情報端末としてさらなる市場の拡大が見込まれている。ID チップは、無線タグ、RFID (Radio frequency identification) タグ、IC タグとも呼ばれており、アンテナと、半導体基板を用いて形成された集積回路とを有しているタイプが、現在実用化されている。

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところで ID チップは、別々に形成された集積回路とアンテナとを後に接続する場合と、集積回路とアンテナとを同一の基板上に連続して形成 (一体形成) する場合とがある。

30

【0004】

別々に形成された集積回路とアンテナとを後に接続する ID チップの場合、集積回路とアンテナの接続箇所において不良が起こりやすく、歩留まりを高めることが難しい。さらに ID チップは、用途によって紙、プラスチックなどの可撓性を有する素材 (フレキシブルな素材) に取り付けられることも想定される。そのため、集積回路とアンテナとが良好に接続されたとしても、使用に際し、集積回路の形成されている基板に応力が加えられることがある。よって応力により接続箇所に不良が生じやすく、信頼性が低いという問題がある。

40

【0005】

一方、集積回路とアンテナとを一体形成する ID チップの場合、別々に形成する場合と異なり、接続箇所の不良が起こりにくい。しかし、基板一枚あたりから得られる ID チップの数を確保しようとする、自ずとアンテナを形成するためのエリアが限られてくる。そのため、アンテナの寸法を大きくすることが難しく、利得の高いアンテナを形成することが難しい。

【0006】

また一般的に集積回路を形成するのに用いられている半導体基板は、可撓性に乏しく、機械的強度が低いのが難点であるが、集積回路自体の面積を縮小化することで、機械的強度をある程度向上させることは可能である。しかしこの場合、回路規模の確保が難しくな

50

り、IDチップの用途が制限されるので好ましくない。よって、集積回路の回路規模の確保を重要視すると、やみくもに集積回路の面積を縮小化することは妥当ではない。

【0007】

上記問題に鑑み、本発明は、アンテナの利得を高め、回路規模を抑えることなく集積回路の機械的強度を高めることができる、IDチップの提供を課題とする。さらに本発明は、該IDチップを用いた包装材、タグ、証書、紙幣及び有価証券に関する。

【課題を解決するための手段】

【0008】

本発明の半導体装置は、薄膜の半導体膜で形成された半導体素子が用いられた集積回路と、該集積回路に接続されたアンテナとを有する。本発明の半導体装置は、無線チップを含み、さらに無線チップにはIDチップが含まれる。アンテナは、集積回路と一体形成されている方が、半導体装置の機械的強度を高めることができるので望ましい。なおかつ本発明で用いるアンテナは、円状または螺旋状に巻かれた導線を有し、導線と導線の間に、軟磁性材料を用いた微粒子が配置されている。具体的には、導線間に、軟磁性材料を用いた微粒子が含まれた（分散された）絶縁層が、配置されている。

10

【0009】

なお本発明では、導線を覆うように絶縁膜を形成し、該絶縁膜を間に挟むように、導線間に、軟磁性材料を用いた微粒子が含まれた（分散された）絶縁層が配置されていても良い。

【0010】

また本発明では、該絶縁層が導線を覆うように形成されていても良い。

20

【0011】

なお、集積回路及びアンテナは、基板上に直接形成されていても良いし、基板上に形成した後剥離され、別途用意された基板に貼り合わされていても良い。集積回路の貼り合わせは、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離し、貼り合わせる方法、耐熱性の高い基板と集積回路の間に剥離層を設け、レーザ光の照射またはエッチングにより該剥離層を除去することで基板と集積回路とを剥離し、貼り合わせる方法、集積回路が形成された耐熱性の高い基板を機械的に削除または溶液やガスによるエッチングで除去することで集積回路を基板から切り離し、貼り合わせる方法等、様々な方法を用いることができる。

30

【0012】

また、別途作製された集積回路どうしを貼り合わせることで、集積回路を積層し、回路規模やメモリの容量を大きくするようにしても良い。集積回路は半導体基板で作製したIDチップに比べて飛躍的に薄いので、複数の集積回路を積層させてもIDチップの機械的強度をある程度維持することができる。積層した集積回路どうしの接続は、フリップチップ法、TAB ( Tape Automated Bonding ) 法、ワイヤボンディング法などの、公知の接続方法を用いることができる。

【0013】

さらに本発明は、上記IDチップを用いた包装材、タグ、証書、紙幣及び有価証券もその範疇に含む。本発明において包装材とは、ラップ、ペットボトル、トレイ、カプセルなど、対象物を包装するために成形が可能な、或いは成形された支持体に相当する。また本発明においてタグとは、荷札、値札、名札など、該タグが付加される対象物の情報を有する札に相当する。また本発明において証書とは、戸籍謄本、住民票、パスポート、免許証、身分証、会員証、クレジットカード、キャッシュカード、プリペイドカード、診察券、定期券など、事実を証明する文書に相当する。また本発明において有価証券とは、手形、小切手、貨物引換証、船貨証券、倉庫証券、株券、債券、商品券、抵当証券など、私法上の財産権を表示する証券に相当する。

40

【発明の効果】

【0014】

軟磁性材料は透磁率が高く、保磁力が小さい磁性体である。よって、導線間に軟磁性材

50

料を配置させることで、アンテナが含まれている平面と交差する磁束により、導線に含まれている導体に渦電流が発生するのを抑えることができる。よって、アンテナが含まれている平面と交差する磁束の損失を低減し、アンテナの相互インダクタンスを高めることができる。従って、ＩＤチップの機械的強度を確保しつつ、アンテナの利得をも高めることができる。

【 0 0 1 5 】

また、導線を覆うように軟磁性材料を含む絶縁層を形成することで、アンテナにおいて生じる磁束が、導線の近傍に配置されている導体により損失するのを抑えることができる。特に、ＩＤチップを取り付ける対象物の表面に導体がいわれている場合、アンテナと該表面との間に、軟磁性材料を含む絶縁層が配置されるようにＩＤチップを取り付けること

10

【 0 0 1 6 】

また集積回路とアンテナとを一体形成することで、集積回路と、アンテナとを接続するための配線も、集積回路を作製する過程において、当該基板上に形成することができる。よって、ＩＤチップ形成時における接続不良の発生を抑えることができる。さらに、可撓性を有する基板を用いる場合、該基板に応力が加えられることにより発生する接続不良をも抑えることができ、信頼性の向上に繋がる。

【 0 0 1 7 】

また、薄膜の半導体膜で形成された半導体素子を用いて、集積回路を形成するので、可撓性を有する基板を用いることが可能であり、半導体基板を用いた集積回路ほど面積を小さくせずとも、高い機械的強度を得ることができる。よって、回路規模を抑えなくとも集積回路の機械的強度を高め、ＩＤチップの用途範囲をより広げることができる。

20

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 1 9 】

図 1 を用いて、本発明のＩＤチップなどの半導体装置の構成について説明する。図 1 ( A ) に、本発明のＩＤチップの一形態を斜視図で示す。また図 1 ( B ) に、図 1 ( A ) に示すＩＤチップの、 A - A ' における断面図を示す。1 0 0 は集積回路、1 0 1 はアンテナに相当し、アンテナ 1 0 1 は集積回路 1 0 0 に電気的に接続されている。1 0 2 は基板、1 0 3 はカバー材に相当し、集積回路 1 0 0 及びアンテナ 1 0 1 は、基板 1 0 2 とカバー材 1 0 3 の間に挟まれている。

30

【 0 0 2 0 】

なお図 1 ( B ) では、集積回路 1 0 0 に含まれる半導体素子の一例として、ＴＦＴ（薄膜トランジスタ）1 0 4 を示しているが、集積回路 1 0 0 に用いられる半導体素子はＴＦＴに限定されない。例えば、ＴＦＴの他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどを用いることができる。ＴＦＴを覆っている層間絶縁膜 1 1 1 上に、アンテナ 1 0 1 が形成されている。

40

【 0 0 2 1 】

また本発明のＩＤチップは、アンテナ 1 0 1 を構成している導線 1 0 5 間に絶縁層 1 0 6 が形成されている。さらに本発明では図 1 ( B ) に示すように、導線 1 0 5 間のみならず、導線 1 0 5 を覆うように絶縁層 1 0 6 が形成されていても良い。

【 0 0 2 2 】

次に、図 1 ( B ) の破線 1 0 7 で囲んだ、ＩＤチップの断面の拡大図を、図 1 ( C ) に示す。絶縁層 1 0 6 には、絶縁体 1 1 0 に軟磁性材料の微粒子 1 0 8 を分散させたものを用いる。絶縁体 1 1 0 には、ポリイミド、エポキシ、アクリル、ポリアミド等の有機樹脂を用いることができる。また上記有機樹脂の他に、無機の樹脂、例えばシロキサン系材料

50

を出発材料として形成されたSi-O-Si結合を含む樹脂（以下、シロキサン系樹脂と呼ぶ）等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも1種を有していても良い。

【0023】

また軟磁性材料を含ませることが可能であるならば、酸化珪素、窒化酸化珪素、窒化珪素などの無機絶縁膜も、絶縁体110として用いることが可能である。

【0024】

また微粒子108に用いられる軟磁性材料として、例えばFe、Co、Ni、または、これらのいずれか複数をを用いた合金の他、 $3Y_2O_3 \cdot 5Fe_2O_3$  (YIG)、 $Fe_2O_3$ 、Fe-Si-Al合金、Fe-Cr合金、FeP系合金、NiまたはNi-Fe合金にMo、Cu、Cr、Nbのいずれかひとつまたは複数を加えたパーマロイ系合金を用いることができる。また軟磁性材料として、Mn-Znフェライトに代表されるソフトフェライトを用いることもできる。

【0025】

また図1(C)に示すように、本発明のIDチップは、絶縁層106と導線105との間に、導線105どうしを電気的に分離するための絶縁膜（以下、分離用絶縁膜）109が形成されていても良い。絶縁層106内における軟磁性材料の含有率が高い場合、上記分離用絶縁膜109は、導線105どうしを電気的に分離するのに有効な手段である。

【0026】

なお、図1ではカバー材103を用いてIDチップの機械的強度を高めている例を示しているが、本発明のIDチップは必ずしもカバー材103を用いる必要はない。例えば、集積回路100及びアンテナ101を樹脂等で覆うことで、IDチップの機械的強度を高めるようにしても良い。また、絶縁層106の厚さを制御することで、IDチップの機械的強度を高めるようにしても良い。

【0027】

また、基板102の耐熱温度が、集積回路100の作製工程における熱処理に耐えうる程度であれば、基板102上に集積回路100及びアンテナ101を直接形成しても良い。ただし、基板102として、例えばプラスチック基板など耐熱性に劣る基板を用いる場合は、耐熱性を有する基板上に集積回路を形成した後、基板102に集積回路100及びアンテナ101を貼り合わせるようにしても良い。

【0028】

また、アンテナ101に用いられている導線105は、例えばAg、Au、Cu、Pd、Cr、Mo、Ti、Ta、W、Al、Fe、Co、Zn、Sn、Niなどの金属、金属化合物を1つまたは複数有する導電材料を用いることができる。そして導線105は、例えば印刷法、フォトリソグラフィ法、めっき法、蒸着法または液滴吐出法などを用いて形成することができる。なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出して所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。また印刷法にはスクリーン印刷法、オフセット印刷法などが含まれる。

【0029】

また図1(C)では、導線105が単層の導電膜で形成されているが、複数の導電膜を用いて形成されていても良い。

【0030】

図2(A)に、パターンニングされた第1の導体201を形成した後に、第1の導体201を覆うように第2の導体202を形成し、第1の導体201及び第2の導体202を導線105として用いる場合の、導線105の断面図を示す。図2(A)では、フォトリソグラフィ法を用いてNiで第1の導体201を形成した後、第1の導体201を覆うように、無電解めっき法を用いてCuで第2の導体202を形成する。なお第1の導体201は、フォトリソグラフィ法の他、印刷法、蒸着法または液滴吐出法などを用いて形成することができる。第2の導体202は、無電解めっき法の他、電気めっき法または液滴吐出法などを用いて形成することができる。

## 【 0 0 3 1 】

なお、第1の導体201、第2の導体202に用いられる材料は、図2(A)に示した構成に限定されない。また、図2(A)では、第1の導体201を第2の導体202が覆っている構成を示しているが、第1の導体201を覆っている第2の導体202は単層であるとは限らない。複数の層が積層された第2の導体202が、第1の導体201を覆っていても良い。

## 【 0 0 3 2 】

図2(B)に、複数の導電膜を積層した後、フォトリソグラフィ法を用いてパターンニングすることで、導線105を形成する場合の、導線105の断面図を示す。図2(B)では、Tiで形成された第1の導体203上に、Alで形成された第2の導体204が積層するように形成されている。

10

## 【 0 0 3 3 】

なお、第1の導体203、第2の導体204に用いられる材料は、図2(B)に示した構成に限定されない。また、図2(B)では、第1の導体203と第2の導体204が積層されている構成を示しているが、3層以上の導体が積層するように、導線105が形成されていても良い。

## 【 0 0 3 4 】

また図2(B)に示すように、積層された複数の導体を形成した後、図2(A)に示すように、別の導体で、該積層された複数の導体を覆うことで、導線105を形成するようにしても良い。

20

## 【 0 0 3 5 】

なお、絶縁層106は、必ずしも導線105を覆っている必要はなく、少なくとも導線105に接して形成されていれば良い。図2(C)に、導線105間に、選択的に絶縁層106を形成した場合の、導線105の断面図を示す。絶縁層106は、液滴吐出法または印刷法などを用いて形成することができる。図2(C)の場合、導線105及び絶縁層106を形成した後、導線105及び絶縁層106を覆うように、保護膜205を形成することが望ましい。保護膜205には、有機樹脂またはシロキサン系樹脂など無機の樹脂を用いた絶縁膜で形成することができる。

## 【 0 0 3 6 】

また、分離用絶縁膜109は、真空蒸着法、スパッタリング法、CVD法などを用いても形成することができるが、液滴吐出法または印刷法などを用いて選択的に形成することが可能である。

30

## 【 0 0 3 7 】

図3(A)に、液滴吐出法を用いて、導線105を覆うように分離用絶縁膜301を選択的に形成した例を示す。図3(A)の場合、分離用絶縁膜301として、有機樹脂またはシロキサン系樹脂など無機の樹脂を用いることができる。なお図3(A)の場合も、図3(B)に示すように、絶縁層302を導線105間に選択的に形成しても良い。

## 【 0 0 3 8 】

また、導線105と層間絶縁膜111との間に、バリア性の高い窒化珪素膜または窒化酸化珪素膜などの絶縁膜を形成しても良い。図3(C)に、バリア性の高い窒化珪素膜または窒化酸化珪素膜などの絶縁膜303が、導線105と層間絶縁膜111との間に形成された場合の、導線105の断面図を示す。バリア性の高い絶縁膜303を形成することで、例えば導線105にCuなどの半導体素子の特性に悪影響を及ぼすような金属が用いられていた場合、該金属が半導体素子の方に拡散するのを抑えることができる。

40

## 【 0 0 3 9 】

また、導線105に用いられている金属のみならず、絶縁層106内の微粒子に、半導体素子の特性に悪影響を及ぼすような金属が用いられている場合でも、該金属が半導体素子の方に拡散するのを抑えることができる。特に、導線105及び層間絶縁膜111を覆うように形成されている分離用絶縁膜304を、バリア性の高い窒化珪素膜または窒化酸化珪素膜などの絶縁膜で形成することで、絶縁層106内の微粒子に用いられている金属

50

が、半導体素子の方に拡散するのをより抑えることが可能になる。

【0040】

次に、本発明のIDチップの詳しい作製方法について説明する。なお本実施の形態では、絶縁分離されたTFTを半導体素子の一例として示すが、集積回路に用いられる半導体素子はこれに限定されず、あらゆる回路素子を用いることができる。

【0041】

まず図4(A)に示すように、耐熱性を有する第1の基板500上に剥離層501を形成する。第1の基板500として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレス基板を含む金属基板または半導体基板を用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

10

【0042】

剥離層501は、非晶質シリコン、多結晶シリコン、単結晶シリコン、微結晶シリコン(セミアモルファスシリコンを含む)等、シリコンを主成分とする層を用いることができる。剥離層501は、スパッタ法、減圧CVD法、プラズマCVD法等を用いて形成することができる。本実施の形態では、膜厚50nm程度の非晶質シリコンを減圧CVD法で形成し、剥離層501として用いる。なお剥離層501はシリコンに限定されず、エッチングにより選択的に除去できる材料で形成すれば良い。剥離層501の膜厚は、10~100nmとするのが望ましい。セミアモルファスシリコンに関しては、30~50nmとしてもよい。

20

【0043】

次に、剥離層501上に、下地膜502を形成する。下地膜502は第1の基板500中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、TFTなどの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。また下地膜502は、後の半導体素子を剥離する工程において、半導体素子を保護する役目も有している。下地膜502は単層であっても複数の絶縁膜を積層したものであっても良い。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素や、窒化珪素、窒化酸化珪素などの絶縁膜を用いて形成する。

【0044】

本実施の形態では、膜厚100nmのSiON膜、膜厚50nmのSiNO膜、膜厚100nmのSiON膜を順に積層して下地膜502を形成するが、各膜の材質、膜厚、積層数は、これに限定されるものではない。例えば、下層のSiON膜に代えて、膜厚0.5~3μmのシロキサン系樹脂をスピンコート法、スリットコーター法、液滴吐出法、印刷法などによって形成しても良い。また、中層のSiNO膜に代えて、窒化珪素膜(SiNx、Si<sub>3</sub>N<sub>4</sub>等)を用いてもよい。また、上層のSiON膜に代えて、SiO<sub>2</sub>膜を用いてもよい。また、それぞれの膜厚は、0.05~3μmとするのが望ましく、その範囲から自由に選択することができる。

30

【0045】

或いは、下地膜502は、SiON膜またはSiO<sub>2</sub>膜、シロキサン系樹脂膜、及びSiO<sub>2</sub>膜を順次積層して形成しても良い。

40

【0046】

ここで、酸化珪素膜は、SiH<sub>4</sub>とO<sub>2</sub>、TEOS(テトラエトキシシラン)とO<sub>2</sub>等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、SiH<sub>4</sub>とNH<sub>3</sub>の混合ガスを用い、プラズマCVDによって形成することができる。また、酸化窒化珪素膜(SiO<sub>x</sub>N<sub>y</sub>:x>y)、窒化酸化珪素膜(SiN<sub>x</sub>O<sub>y</sub>:x>y)は、代表的には、SiH<sub>4</sub>とN<sub>2</sub>Oの混合ガスを用い、プラズマCVDによって形成することができる。

【0047】

次に、下地膜502上に半導体膜503を形成する。半導体膜503は、下地膜502

50

を形成した後、大気に曝さずに形成することが望ましい。半導体膜503の膜厚は20～200nm（望ましくは40～170nm、好ましくは50～150nm）とする。なお半導体膜503は、非晶質半導体であっても良いし、セミアモルファス半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5atomic%程度であることが望ましい。

【0048】

なお半導体膜503は、公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、第1の基板500として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法のうちいずれかと、950程度の高温度アニールを組み合わせる結晶化法を用いても良い。

10

【0049】

例えばレーザ結晶化を用いる場合、レーザ結晶化の前に、レーザに対する半導体膜503の耐性を高めるために、500、1時間の熱アニールを該半導体膜503に対して行なう。そして連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO<sub>4</sub>レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いるのが望ましい。具体的には、連続発振のYVO<sub>4</sub>レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力10Wのレーザ光を得る。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体膜503に照射する。このときのパワー密度は0.01～100MW/cm<sup>2</sup>程度（好ましくは0.1～10MW/cm<sup>2</sup>）が必要である。そして、走査速度を10～2000cm/sec程度とし、照射する。

20

【0050】

また、パルス発振のレーザ光の発振周波数を10MHz以上とし、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行なっても良い。パルス発振でレーザ光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec～数百nsecと言われている。よって上記周波数を用いることで、半導体膜がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。したがって、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10～30μm、走査方向に対して垂直な方向における幅が1～5μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く伸びた単結晶の結晶粒を形成することで、少なくともTFTのチャンネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

30

【0051】

なおレーザ結晶化は、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを並行して照射するようにしても良いし、連続発振の基本波のレーザ光とパルス発振の高調波のレーザ光とを並行して照射するようにしても良い。

40

【0052】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

【0053】

上述したレーザ光の照射により、結晶性がより高められた半導体膜503が形成される。なお、予め多結晶半導体を、スパッタ法、プラズマCVD法、熱CVD法などで形成するようにしても良い。

【0054】

50

また本実施の形態では半導体膜503を結晶化しているが、結晶化せずに非晶質珪素膜または微結晶半導体膜のまま、後述のプロセスに進んでも良い。非晶質半導体、微結晶半導体を用いたTFTは、多結晶半導体を用いたTFTよりも作製工程が少ない分、コストを抑え、歩留まりを高くすることができるというメリットを有している。

【0055】

非晶質半導体は、珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ が挙げられる。この珪化物気体を、水素、水素とヘリウムで希釈して用いても良い。

【0056】

なおセミアモルファス半導体とは、非晶質半導体と結晶構造を有する半導体（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。このセミアモルファス半導体は、自由エネルギーの観点から安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5~20nmとして非単結晶半導体中に分散させて存在せしめることが可能である。セミアモルファス半導体は、そのラマンスペクトルが $520\text{cm}^{-1}$ よりも低波数側にシフトしており、またX線回折ではSi結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。また、未結合手（ダングリングボンド）を末端させるために水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。ここでは便宜上、このような半導体をセミアモルファス半導体（SAS）と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なセミアモルファス半導体を得られる。

【0057】

またSASは珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 $\text{SiH}_4$ であり、その他にも $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ などを用いることができる。また水素や、水素にヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素を加えたガスで、この珪化物気体を希釈して用いることで、SASの形成を容易なものとすることができる。希釈率は2倍~1000倍の範囲で珪化物気体を希釈することが好ましい。またさらに、珪化物気体中に、 $\text{CH}_4$ 、 $\text{C}_2\text{H}_6$ などの炭化物気体、 $\text{GeH}_4$ 、 $\text{GeF}_4$ などのゲルマニウム化気体、 $\text{F}_2$ などを混入させて、エネルギーバンド幅を1.5~2.4eV、若しくは0.9~1.1eVに調節しても良い。

【0058】

例えば、 $\text{SiH}_4$ に $\text{H}_2$ を添加したガスを用いる場合、或いは $\text{SiH}_4$ に $\text{F}_2$ を添加したガスを用いる場合、形成したセミアモルファス半導体を用いてTFTを作製すると、該TFTのサブスレッシュヨルド係数（S値）を0.35V/deC以下、代表的には0.25~0.09V/deCとし、キャリア移動度を $10\text{cm}^2/\text{Vsec}$ とすることができる。そして上記セミアモルファス半導体を用いたTFTで、例えば19段リングオシレータを形成した場合、電源電圧3~5Vにおいて、その発振周波数は1MHz以上、好ましくは100MHz以上の特性を得ることができる。また電源電圧3~5Vにおいて、インバータ1段あたりの遅延時間は26ns、好ましくは0.26ns以下とすることができる。

【0059】

次に、図4(B)に示すように、半導体膜503をパターニングし、島状の半導体膜504~506を形成する。そして、島状の半導体膜504~506を覆うように、ゲート絶縁膜507を形成する。ゲート絶縁膜507は、プラズマCVD法又はスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することができる。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのが好ましい。

【0060】

次に図4(C)に示すように、ゲート電極510~512を形成する。本実施の形態では、n型を付与する不純物がドーピングされたSi、WN、Wをスパッタ法で順に積層す

10

20

30

40

50

るように形成した後、レジスト513をマスクとしてエッチングを行なうことにより、ゲート電極510～512を形成する。勿論、ゲート電極510～512の材料、構造、作製方法は、これに限定されるものではなく、適宜選択することができる。例えば、n型を付与する不純物がドーピングされたSiとNiSi（ニッケルシリサイド）との積層構造、n型を付与する不純物がドーピングされたSiとWSixとの積層構造、Ta<sub>2</sub>N（窒化タンタル）とW（タングステン）の積層構造としてもよい。また、種々の導電材料を用いて単層で形成しても良い。

#### 【0061】

また、レジストマスクの代わりに、SiO<sub>x</sub>等のマスクを用いてもよい。この場合、パターンニングしてSiO<sub>x</sub>、SiON等のマスク（ハードマスクと呼ばれる。）を形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅のゲート電極510～512を形成することができる。また、レジスト513を用いずに、液滴吐出法を用いて選択的にゲート電極510～512を形成しても良い。

10

#### 【0062】

導電材料としては、導電膜の機能に応じて種々の材料を選択することができる。また、ゲート電極とアンテナとを同時に形成する場合には、それらの機能を考慮して材料を選択すればよい。

#### 【0063】

なお、ゲート電極をエッチング形成する際のエッチングガスとしては、CF<sub>4</sub>、Cl<sub>2</sub>、O<sub>2</sub>の混合ガスやCl<sub>2</sub>ガスを用いたが、これに限定されるものではない。

20

#### 【0064】

次に図4（D）に示すように、pチャネル型TFETとなる島状の半導体膜505をレジスト514で覆い、ゲート電極510、512をマスクとして、島状の半導体膜504、506に、n型を付与する不純物元素（代表的にはP（リン）又はAs（砒素））を低濃度にドーピングする（第1のドーピング工程）。第1のドーピング工程の条件は、ドーズ量： $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧：50～70keVとしたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜507を介してドーピングがなされ、島状の半導体膜504、506に、一对の低濃度不純物領域516、517が形成される。なお、第1のドーピング工程は、pチャネル型TFETとなる島状の半導体膜505をレジストで覆わずに行っても良い。

30

#### 【0065】

次に図4（E）に示すように、レジスト514をアッシング等により除去した後、nチャネル型TFETとなる島状の半導体膜504、506を覆うように、レジスト518を新たに形成し、ゲート電極511をマスクとして、島状の半導体膜505に、p型を付与する不純物元素（代表的にはB（ホウ素））を高濃度にドーピングする（第2のドーピング工程）。第2のドーピング工程の条件は、ドーズ量： $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧：20～40keVとして行なう。この第2のドーピング工程によって、ゲート絶縁膜507を介してドーピングがなされ、島状の半導体膜505に、一对のp型の高濃度不純物領域519が形成される。

#### 【0066】

次に図5（A）に示すように、レジスト518をアッシング等により除去した後、ゲート絶縁膜507及びゲート電極510～512を覆うように、絶縁膜520を形成する。本実施の形態では、膜厚100nmのSiO<sub>2</sub>膜をプラズマCVD法によって形成する。その後、エッチバック法により、絶縁膜520、ゲート絶縁膜507を部分的にエッチングし、図5（B）に示すように、ゲート電極510～512の側壁に接するように、サイドウォール522～524を自己整合的（セルフアライン）に形成する。エッチングガスとしては、CHF<sub>3</sub>とHeの混合ガスを用いる。なお、サイドウォールを形成する工程は、これらに限定されるものではない。

40

#### 【0067】

なお、絶縁膜520を形成した時に、第1の基板500の裏面にも絶縁膜が形成された

50

場合には、レジストを用い、裏面に形成された絶縁膜を選択的にエッチングし、除去するようにしても良い。この場合、裏面に形成された絶縁膜は、サイドウォール522～524をエッチバック法で形成する際に、絶縁膜520、ゲート絶縁膜507と共にエッチングして、除去するようにしても良い。

#### 【0068】

次に図5(C)に示すように、pチャネル型TFETとなる島状の半導体膜505を覆うように、レジスト525を新たに形成し、ゲート電極510、512及びサイドウォール522、524をマスクとして、n型を付与する不純物元素(代表的にはP又はAs)を高濃度にドーピングする(第3のドーピング工程)。第3のドーピング工程の条件は、ドーピング量： $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧：60～100keVとして行なう。この第3のドーピング工程によって、島状の半導体膜504、506に、一对のn型の高濃度不純物領域527、528が形成される。

10

#### 【0069】

なおサイドウォール522、524は、後に高濃度のn型を付与する不純物をドーピングし、サイドウォール522、524の下部に低濃度不純物領域又はノンドーピングのオフセット領域を形成する際のマスクとして機能するものである。よって、低濃度不純物領域又はオフセット領域の幅を制御するには、サイドウォール522、524を形成する際のエッチバック法の条件または絶縁膜520の膜厚を適宜変更し、サイドウォール522、524のサイズを調整すればよい。

#### 【0070】

次に、レジスト525をアッシング等により除去した後、不純物領域の熱活性化を行っても良い。例えば、50nmのSiON膜を成膜した後、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。

20

#### 【0071】

また、水素を含むSiNx膜を、100nmの膜厚に形成した後、410℃、1時間、窒素雰囲気下において、加熱処理を行ない、島状の半導体膜504～506を水素化する工程を行なっても良い。或いは、水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行ない、島状の半導体膜504～506を水素化する工程を行なっても良い。また、水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。この水素化の工程により、熱的に励起された水素によりダングリングボンドを末端化することができる。また、後の工程において可撓性を有する第2の基板548上に半導体素子を貼り合わせた後、第2の基板548を曲げることにより半導体膜中に欠陥が形成されたとしても、水素化により半導体膜中の水素の濃度を、 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ atoms} / \text{cm}^3$ 好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} \text{ atoms} / \text{cm}^3$ とすることで、半導体膜に含まれている水素によって該欠陥を末端化させることができる。また該欠陥を末端化させるために、半導体膜中にハロゲンを含ませても良い。

30

#### 【0072】

上述した一連の工程により、nチャネル型TFET529、pチャネル型TFET530、nチャネル型TFET531が形成される。上記作製工程において、エッチバック法の条件または絶縁膜520の膜厚を適宜変更し、サイドウォールのサイズを調整することで、チャンネル長0.2 $\mu\text{m}$ ～2 $\mu\text{m}$ のTFETを形成することができる。なお、本実施の形態では、TFET529～531をトップゲート構造としたが、ボトムゲート構造(逆スタガ構造)としてもよい。

40

#### 【0073】

さらに、この後、TFET529～531を保護するためのパッシベーション膜を形成しても良い。パッシベーション膜は、アルカリ金属やアルカリ土類金属のTFET529～531への侵入を防ぐことができる、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。具体的には、例えば膜厚600nm程度のSiON膜を、パッシベーション膜として用いることができる。この場合、水素化処理工程は、該SiON膜形成後に行っても良い。このように、TFET529～531上に

50

は、SiONとSiNxとSiONの3層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。上記構成を用いることで、TF T 5 2 9 ~ 5 3 1が下地膜502とパッシベーション膜とで覆われるため、Naなどのアルカリ金属やアルカリ土類金属が、半導体素子に用いられている半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのをより防ぐことができる。

【0074】

次に図5(D)に示すように、TF T 5 2 9 ~ 5 3 1を覆うように、第1の層間絶縁膜533を形成する。第1の層間絶縁膜533は、ポリイミド、アクリル、ポリアミド等の、耐熱性を有する有機樹脂を用いることができる。また上記有機樹脂の他に、低誘電率材料(low-k材料)、Si-O-Si結合を含む樹脂(以下、シロキサン系樹脂ともいう)等を用いることができる。シロキサンは、シリコン(Si)と酸素(O)の結合で骨格構造が形成される。これらの置換基として、少なくとも水素を含む有機基(例えば、アルキル基、芳香族炭化水素)が用いられる。また、フルオロ基を置換基として用いてもよい。または、置換基として少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。第1の層間絶縁膜533の形成には、その材料に応じて、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG(リンガラス)、PBSG(リンボロンガラス)、BPSG(ボロンリンガラス)、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、第1の層間絶縁膜533を形成しても良い。

【0075】

さらに本実施の形態では、第1の層間絶縁膜533上に、第2の層間絶縁膜534を形成する。第2の層間絶縁膜534としては、DLC(ダイヤモンドライクカーボン)或いは窒化炭素(CN)等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン系樹脂等を用いてもよい。

【0076】

なお、第1の層間絶縁膜533又は第2の層間絶縁膜534と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、第1の層間絶縁膜533又は第2の層間絶縁膜534の膜剥がれや割れが生じるのを防ぐために、第1の層間絶縁膜533又は第2の層間絶縁膜534中にフィラーを混入させておいても良い。

【0077】

次に図5(D)に示すように、第1の層間絶縁膜533及び第2の層間絶縁膜534にコンタクトホールを形成し、TF T 5 2 9 ~ 5 3 1に接続する配線535~539を形成する。コンタクトホール開孔時のエッチングに用いられるガスは、CHF<sub>3</sub>とHeの混合ガスを用いたが、これに限定されるものではない。本実施の形態では、配線535~539を、Alで形成する。なお配線535~539をTi、TiN、Al-Si、Ti、及びTiNの5層構造とし、スパッタ法を用いて形成しても良い。

【0078】

なお、Alにおいて、Siを混入させることにより、配線パターニング時のレジストベークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用しても良い。

【0079】

なお、配線535、536はnチャネル型TF T 5 2 9の高濃度不純物領域527に、

10

20

30

40

50

配線 536、537 は p チャンネル型 T F T 530 の高濃度不純物領域 519 に、配線 538、539 は n チャンネル型 T F T 531 の高濃度不純物領域 528 に、それぞれ接続されている。

#### 【0080】

次に図 5 ( E ) に示すように、配線 535 ~ 539 を覆うように、第 2 の層間絶縁膜 534 上に第 3 の層間絶縁膜 540 を形成する。第 3 の層間絶縁膜 540 は、配線 535 の一部が露出するような開口部を有する。また第 3 の層間絶縁膜 540 は、有機樹脂膜、無機絶縁膜またはシロキサン系絶縁膜を用いて形成することができる。有機樹脂膜ならば、例えばアクリル、ポリイミド、ポリアミドなど、無機絶縁膜ならば酸化珪素、窒化酸化珪素などを用いることができる。なお開口部を形成するのに用いるマスクを、液滴吐出法または印刷法で形成することができる。また第 3 の層間絶縁膜 540 自体を、液滴吐出法または印刷法で形成することもできる。

10

#### 【0081】

次に、アンテナ 541 を第 3 の層間絶縁膜 540 上に形成する。アンテナ 541 は、A g、A u、C u、P d、C r、M o、T i、T a、W、A l、F e、C o、Z n、S n、N i などの金属、金属化合物を 1 つまたは複数有する導電材料を用いることができる。そしてアンテナ 541 は、配線 535 と接続されている。なお図 5 ( E ) では、アンテナ 541 が配線 535 と直接接続されているが、本発明の I D チップはこの構成に限定されない。例えば別途形成した配線を用いて、アンテナ 541 と配線 535 とを電氣的に接続するようにしても良い。

20

#### 【0082】

アンテナ 541 は印刷法、フォトリソグラフィ法、めっき法、蒸着法または液滴吐出法などを用いて形成することができる。本実施の形態では、アンテナ 541 が単層の導電膜で形成されているが、複数の導電膜が積層されたアンテナ 541 を形成することも可能である。

#### 【0083】

印刷法、液滴吐出法を用いることで、露光用のマスクを用いずとも、アンテナ 541 を形成することが可能になる。また、液滴吐出法、印刷法だと、フォトリソグラフィ法と異なり、エッチングにより除去されてしまうような材料の無駄がない。また高価な露光用のマスクを用いなくとも良いので、I D チップの作製に費やされるコストを抑えることができる。

30

#### 【0084】

液滴吐出法または各種印刷法を用いる場合、例えば、C u を A g でコートした導電粒子なども用いることが可能である。なお液滴吐出法を用いてアンテナ 541 を形成する場合、該アンテナ 541 の密着性が高まるような処理を、第 3 の層間絶縁膜 540 の表面に施すことが望ましい。

#### 【0085】

密着性を高めるための処理として、具体的には、例えば触媒作用により導電膜または絶縁膜の密着性を高めることができる金属または金属化合物を第 3 の層間絶縁膜 540 の表面に付着させる方法、形成される導電膜または絶縁膜との密着性が高い有機系の絶縁膜、金属、金属化合物を第 3 の層間絶縁膜 540 の表面に付着させる方法、第 3 の層間絶縁膜 540 の表面に大気圧下または減圧下においてプラズマ処理を施し、表面改質を行なう方法などが挙げられる。また、上記導電膜または絶縁膜との密着性が高い金属として、チタン、チタン酸化物の他、3 d 遷移元素である S c、T i、V、C r、M n、F e、C o、N i、C u、Z n などが挙げられる。また金属化合物として、上述した金属の酸化物、窒化物、酸窒化物などが挙げられる。上記有機系の絶縁膜として、例えばポリイミド、シロキサン系樹脂等が挙げられる。

40

#### 【0086】

第 3 の層間絶縁膜 540 に付着させる金属または金属化合物が導電性を有する場合、アンテナの正常な動作が妨げられないように、そのシート抵抗を制御する。具体的には、導

50

電性を有する金属または金属化合物の平均の厚さを、例えば1～10nmとなるように制御したり、該金属または金属化合物を酸化により部分的に、または全体的に絶縁化したりすれば良い。或いは、密着性を高めたい領域以外は、付着した金属または金属化合物をエッチングにより選択的に除去しても良い。また金属または金属化合物を、予め基板の全面に付着させるのではなく、液滴吐出法、印刷法、ゾル-ゲル法などを用いて特定の領域にのみ選択的に付着させても良い。なお金属または金属化合物は、第3の層間絶縁膜540の表面において完全に連続した膜状である必要はなく、ある程度分散した状態であっても良い。

#### 【0087】

なおアンテナ541を形成したら、図6(A)に示すように、アンテナ541を覆うように、分離用絶縁膜542を形成する。分離用絶縁膜542には、有機樹脂、無機絶縁膜、シロキサン系樹脂などを用いることができる。無機絶縁膜として、具体的には、例えばDLC膜、窒化炭素膜、酸化珪素膜、窒化酸化珪素膜、窒化珪素膜、 $AlN_x$ 膜または $AlN_xO_y$ 膜等を用いることができる。また、例えば窒化炭素膜と窒化珪素を積層した膜、ポリスチレンを積層した膜などを、分離用絶縁膜542として用いても良い。本実施の形態では、分離用絶縁膜542として窒化珪素膜を用いる。

10

#### 【0088】

次に図7(C)に示すように、分離用絶縁膜542を覆うように、保護層543を形成する。保護層543は、後に剥離層501をエッチングにより除去する際に、TF T 5 2 9～531及び配線535～539を保護することができる材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布することで保護層543を形成することができる。

20

#### 【0089】

本実施の形態では、スピコート法で水溶性樹脂(東亜合成製:VL-WSHL10)を膜厚30 $\mu$ mとなるように塗布し、仮硬化させるために2分間の露光を行ったあと、紫外線を裏面から2.5分、表面から10分、合計12.5分の露光を行って本硬化させて、保護層543を形成する。なお、複数の有機樹脂を積層する場合、有機樹脂同士では使用している溶媒によって塗布または焼成時に一部溶解したり、密着性が高くなりすぎたりする恐れがある。従って、分離用絶縁膜542と保護層543を共に同じ溶媒に可溶な有機樹脂を用いる場合、後の工程において保護層543の除去がスムーズに行なわれるように、分離用絶縁膜542を覆うように、無機絶縁膜( $SiN_x$ 膜、 $SiN_xO_y$ 膜、 $AlN_x$ 膜、または $AlN_xO_y$ 膜)を形成しておくことが好ましい。

30

#### 【0090】

次に図6(B)に示すように、IDチップどうしを分離するために溝546を形成する。溝546は、剥離層501が露出する程度の深さを有していれば良い。溝546の形成は、ダイシング、スクライピング、フォトリソグラフィ法などを用いることができる。なお、第1の基板500上に形成されているIDチップを分離する必要がない場合、必ずしも溝546を形成する必要はない。

#### 【0091】

次に図6(C)に示すように、剥離層501をエッチングにより除去する。本実施の形態では、エッチングガスとしてハロゲン化フッ素を用い、該ガスを溝546から導入する。本実施の形態では、例えば $ClF_3$ (三フッ化塩素)を用い、温度:350、流量:300sccm、気圧: $8 \times 10^2$ Pa(6Torr)、時間:3時間の条件で行なう。また、 $ClF_3$ ガスに窒素を混ぜたガスを用いても良い。 $ClF_3$ 等のフッ化ハロゲンを用いることで、剥離層501が選択的にエッチングされ、第1の基板500をTF T 5 2 9～531から剥離することができる。なおフッ化ハロゲンは、気体であっても液体であってもどちらでも良い。

40

#### 【0092】

次に図7(A)に示すように、剥離されたTF T 5 2 9～531を、接着剤547を用いて第2の基板548に貼り合わせる。接着剤547は、第2の基板548と下地膜50

50

2とを貼り合わせることができる材料を用いる。接着剤547は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

#### 【0093】

第2の基板548として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、可撓性を有する紙またはプラスチックなどの有機材料を用いることができる。または第2の基板548として、フレキシブルな無機材料を用いても良い。プラスチック基板は、極性基のついたポリノルボルネンからなるARTON(JSR製)を用いることができる。また、ポリエチレンテレフタレート(PET)に代表されるポリエステル、ポリエーテルスルホン(PES)、ポリエチレンナフタレート(PEN)、ポリカーボネート(PC)、ナイロン、ポリエーテルエーテルケトン(PEEK)、ポリスルホン(PSF)、ポリエーテルイミド(PEI)、ポリアリレート(PAR)、ポリブチレンテレフタレート(PBT)、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。第2の基板548は集積回路において発生した熱を拡散させるために、2~30W/mK程度の高い熱伝導率を有する方が望ましい。

10

#### 【0094】

次に図7(A)に示すように、分離用絶縁膜542を覆うように、絶縁層549を形成する。絶縁層549は、軟磁性材料で形成された微粒子551が分散された、絶縁体550を用いている。絶縁体550には、ポリイミド、エポキシ、アクリル、ポリアミド等の有機樹脂を用いることができる。また上記有機樹脂の他に、無機の樹脂、例えばシロキサン系材料等を用いることができる。シロキサン系樹脂の置換基として、少なくとも水素を含む有機基(例えば、アルキル基、芳香族炭化水素等)が用いられる。または、置換基としてフルオロ基を用いてもよい。または、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

20

#### 【0095】

また微粒子551に用いられる軟磁性材料として、例えばFe、Co、Ni、または、これらのいずれか複数をを用いた合金の他、 $3Y_2O_3 \cdot 5Fe_2O_3$ (YIG)、 $Fe_2O_3$ 、Fe-Si-Al合金、Fe-Cr合金、FeP系合金、NiまたはNi-Fe合金にMo、Cu、Cr、Nbのいずれかひとつまたは複数を加えたパーマロイ系合金を用いることができる。また軟磁性材料として、Mn-Znフェライトに代表されるソフトフェライトを用いることもできる。

30

#### 【0096】

微粒子551の濃度、比表面積は、用いる軟磁性材料によって適宜調整することが望ましい。軟磁性材料の濃度が高すぎると、絶縁層549の抵抗が下がることで渦電流による磁束の損失が生じてしまい、インダクタンスを高めにくい。逆に、軟磁性材料の濃度が低すぎても、絶縁層549全体の透磁率が低すぎて、アンテナ541のインダクタンスを高めにくい。また微粒子551の比表面積は、小さすぎると微粒子551の径が大きくなりすぎるため、アンテナ541を構成している導線間に微粒子551を均一に分散させることが難しくなる。逆に微粒子551の比表面積が大きすぎると、微粒子551が凝集しやすくなり、これもまた、導線間に微粒子551を均一に分散させることが難しくなる。軟磁性材料として $Fe_2O_3$ を用いる場合、例えば微粒子551の比表面積が $50 \sim 300 m^2/g$ 、濃度が $40 \sim 50 mol\%$ となるように、絶縁層549を形成することができる。

40

#### 【0097】

次に、接着剤552を絶縁層549上に塗布し、カバー材553を貼り合わせる。カバー材553は第2の基板548と同様の材料を用いることができる。接着剤552の厚さは、例えば $10 \sim 200 \mu m$ とすれば良い。

#### 【0098】

また接着剤552は、カバー材553と絶縁層549とを貼り合わせることができる材

50

料を用いる。接着剤 5 5 2 は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【 0 0 9 9 】

なお本実施の形態では、接着剤 5 5 2 を用いて、カバー材 5 5 3 を絶縁層 5 4 9 に貼り合わせているが、本発明はこの構成に限定されない。絶縁層 5 4 9 が有する絶縁体 5 5 0 に、接着剤としての機能を有する樹脂を用いることで、絶縁層 5 4 9 とカバー材 5 5 3 とを直接貼り合わせることも可能である。

【 0 1 0 0 】

また本実施の形態では、図 7 ( B ) に示すように、カバー材 5 5 3 を用いる例を示しているが、本発明はこの構成に限定されない。例えば図 7 ( A ) に示した工程までで終了としても良い。

【 0 1 0 1 】

上述した各工程を経て、I D チップが完成する。上記作製方法によって、トータルの膜厚  $0.3 \mu\text{m}$  以上  $3 \mu\text{m}$  以下、代表的には  $2 \mu\text{m}$  程度の飛躍的に薄い集積回路を第 2 の基板 5 4 8 とカバー材 5 5 3 との間に形成することができる。なお集積回路の厚さは、半導体素子自体の厚さのみならず、接着剤 5 4 7 と接着剤 5 5 2 間に形成された各種絶縁膜及び層間絶縁膜の厚さを含め、アンテナは含まないものとする。また I D チップが有する集積回路の占める面積を、 $5 \text{mm}$  四方 ( $25 \text{mm}^2$ ) 以下、より望ましくは  $0.3 \text{mm}$  四方 ( $0.09 \text{mm}^2$ ) ~  $4 \text{mm}$  四方 ( $16 \text{mm}^2$ ) 程度とすることができる。

【 0 1 0 2 】

なお集積回路を、第 2 の基板 5 4 8 とカバー材 5 5 3 の間のより中央に位置させることで、I D チップの機械的強度を高めることができる。具体的には、第 2 の基板 5 4 8 とカバー材 5 5 3 の間の距離を  $d$  とすると、集積回路の厚さ方向における中心と第 2 の基板 5 4 8 との間の距離  $x$  が、以下の数 1 に示す式を満たすように、接着剤 5 4 7、接着剤 5 5 2 の厚さを制御することが望ましい。

【 0 1 0 3 】

【数 1】

$$\frac{1}{2}d - 30\mu\text{m} < x < \frac{1}{2}d + 30\mu\text{m}$$

【 0 1 0 4 】

また好ましくは、以下の数 2 に示す式を満たすように、接着剤 5 4 7、接着剤 5 5 2 の厚さを制御する。

【 0 1 0 5 】

【数 2】

$$\frac{1}{2}d - 10\mu\text{m} < x < \frac{1}{2}d + 10\mu\text{m}$$

【 0 1 0 6 】

また、図 8 に示すように、集積回路における T F T の島状の半導体膜から下部の下地膜までの距離 ( $t_{\text{under}}$ ) と、島状の半導体膜から上部の第 3 の層間絶縁膜 5 4 0 までの距離 ( $t_{\text{over}}$ ) が、等しく又は概略等しくなるように、下地膜 5 0 2、第 1 の層間絶縁膜 5 3 3、第 2 の層間絶縁膜 5 3 4 または第 3 の層間絶縁膜 5 4 0 の厚さを調整しても良い。このようにして、島状の半導体膜を集積回路の中央に配置せしめることで、半導体層への応力を緩和することができ、クラックの発生を防止することができる。

【 0 1 0 7 】

また本実施の形態では、アンテナを覆うように絶縁層が形成されているのみであるが、

本発明はこの構成に限定されない。アンテナと第2の基板との間に、軟磁性材料が分散された絶縁層が形成されていても良い。図17に、第2の層間絶縁膜1701上に第3の層間絶縁膜1704が形成されており、なおかつ該第3の層間絶縁膜1704は2層の絶縁膜1702、1703が順に積層されるように形成されている場合の、IDチップの断面図を示す。第3の層間絶縁膜1704上にはアンテナ1705が形成されている。そして、絶縁膜1702、1703のうち、最もアンテナ1705に近い絶縁膜1703には、軟磁性材料で形成された微粒子が分散されている。よって図17において、絶縁膜1703は本発明の絶縁層に相当する。さらに図17に示すIDチップでは、アンテナ1705が分離用絶縁膜1706に覆われており、アンテナ1705及び分離用絶縁膜1706を覆うように、軟磁性材料で形成された微粒子が分散されている絶縁層1707が形成されている。

10

**【0108】**

なお分離用絶縁膜1706は、必ずしも設ける必要はない。また絶縁層1707は、アンテナ1705を構成している導線間のみ形成されていても良い。また、絶縁膜1703とアンテナ1705との間にも、分離用絶縁膜を形成するようにしても良い。

**【0109】**

図17に示すように、絶縁層として機能する絶縁膜1703を形成することで、よりアンテナの利得を高めることができる。

**【0110】**

なお本実施の形態では、耐熱性の高い第1の基板500と集積回路の間に剥離層を設け、エッチングにより該剥離層を除去することで基板と集積回路とを剥離する方法について示したが、本発明のIDチップの作製方法は、この構成に限定されない。例えば、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離しても良い。或いは、耐熱性の高い基板と集積回路の間に、水素を含む非晶質半導体膜を用いた剥離層を設け、レーザ光の照射により該剥離層を除去することで基板と集積回路とを剥離しても良い。或いは、集積回路が形成された耐熱性の高い基板を機械的に削除または溶液やガスによるエッチングで除去することで集積回路を基板から切り離しても良い。

20

**【0111】**

またIDチップの可撓性を確保するために、下地膜502に接する接着剤547に有機樹脂を用いる場合、下地膜502として窒化珪素膜または窒化酸化珪素膜を用いることで、有機樹脂からNaなどのアルカリ金属やアルカリ土類金属が半導体膜中に拡散するのを防ぐことができる。

30

**【0112】**

また対象物の表面が曲面を有しており、それにより該曲面貼り合わされたIDチップの第2の基板548が、錐面、柱面など母線の移動によって描かれる曲面を有するように曲がってしまう場合、該母線の方向とTF T 529~531のキャリアが移動する方向とを揃えておくことが望ましい。上記構成により、第2の基板548が曲がっても、それによってTF T 529~531の特性に影響が出るのを抑えることができる。また、島状の半導体膜が集積回路内において占める面積の割合を、1~3%とすることで、第2の基板548が曲がっても、それによってTF T 529~531の特性に影響が出るのをより抑えることができる。

40

**【0113】**

なお一般的にIDチップで用いられている電波の周波数は、13.56MHz、2.45GHzが多く、該周波数の電波を検波できるようにIDチップを形成することが、汎用性を高める上で非常に重要である。

**【0114】**

また本実施の形態のIDチップでは、半導体基板を用いて形成されたIDチップよりも電波が遮蔽されにくく、電波の遮蔽により信号が減衰するのを防ぐことができるというメリットを有している。よって、半導体基板を用いずに済むので、IDチップのコストを大

50

幅に低くすることができる。例えば、直径 12 インチのシリコン基板を用いた場合と、 $730 \times 920 \text{ mm}^2$  のガラス基板を用いた場合とを比較する。前者のシリコン基板の面積は約  $73000 \text{ mm}^2$  であるが、後者のガラス基板の面積は約  $672000 \text{ mm}^2$  であり、ガラス基板はシリコン基板の約 9.2 倍に相当する。後者のガラス基板の面積は約  $672000 \text{ mm}^2$  では、基板の分断により消費される面積を無視すると、 $1 \text{ mm}$  四方の ID チップが約 672000 個形成できる計算になり、該個数はシリコン基板の約 9.2 倍の数に相当する。そして ID チップの量産化を行なうための設備投資は、 $730 \times 920 \text{ mm}^2$  のガラス基板を用いた場合の方が直径 12 インチのシリコン基板を用いた場合よりも工程数が少なく済むため、額を 3 分の 1 で済ませることができる。さらに本発明では、集積回路を剥離した後、ガラス基板を再び利用できる。よって、破損したガラス基板を補填したり、ガラス基板の表面を清浄化したりする費用を踏まえても、シリコン基板を用いる場合より大幅にコストを抑えることができる。またガラス基板を再利用せずに廃棄していったとしても、 $730 \times 920 \text{ mm}^2$  のガラス基板の値段は、直径 12 インチのシリコン基板の半分程度で済むので、ID チップのコストを大幅に低くすることができる。 10

#### 【0115】

従って、 $730 \times 920 \text{ mm}^2$  のガラス基板を用いた場合、直径 12 インチのシリコン基板を用いた場合よりも、ID チップの値段を約 30 分の 1 程度に抑えることができる。ID チップは、使い捨てを前提とした用途も期待されているので、コストを大幅に低くすることができる本発明の ID チップは上記用途に非常に有用である。 20

#### 【0116】

なお本実の形態では、集積回路を剥離して、可撓性を有する基板に貼り合わせる例について説明したが、本発明はこの構成に限定されない。例えばガラス基板のように、集積回路の作製工程における熱処理に耐えうるような、耐熱温度を有している基板を用いる場合、必ずしも集積回路を剥離する必要はない。図 9 (A)、図 9 (B) に、ガラス基板を用いて形成された、ID チップの一形態を、断面図で示す。

#### 【0117】

図 9 (A) に示す ID チップでは、基板 570 にガラス基板を用い、TF T 571 ~ 573 が剥離されることなく、直接基板 570 上に形成されている。具体的には、TF T 571 ~ 573 と基板 570 との間に、接着剤を間に挟んでおらず、基板 570 と下地膜 574 とが接するように形成されている。なお図 9 (B) は、図 9 (A) に示す ID チップに、カバー材 575 を貼り合わせた ID チップの断面図に相当する。 30

#### 【実施例 1】

#### 【0118】

図 10 (A) を用いて、導電膜のパターニングにより、TF T に接続されている配線とアンテナとを共に形成する場合の、ID チップなどの半導体装置の構成について説明する。図 10 (A) に、本実施例の ID チップの断面図を示す。

#### 【0119】

図 10 (A) において、TF T 1401 は、島状の半導体膜 1402 と、島状の半導体膜 1402 に接しているゲート絶縁膜 1403 と、ゲート絶縁膜 1403 を間に挟んで島状の半導体膜 1402 と重なっているゲート電極 1404 とを有している。また TF T 1401 は、第 1 の層間絶縁膜 1405 及び第 2 の層間絶縁膜 1406 に覆われている。なお、本実施例では、TF T 1401 が、第 1 の層間絶縁膜 1405、第 2 の層間絶縁膜 1406 の、2 つの層間絶縁膜に覆われているが、本実施例はこの構成に限定されない。TF T 1401 は、単層の層間絶縁膜で覆われていても良いし、3 層以上の層間絶縁膜で覆われていても良い。 40

#### 【0120】

そして第 2 の層間絶縁膜 1406 に上に形成された配線 1407 は、第 1 の層間絶縁膜 1405 及び第 2 の層間絶縁膜 1406 に形成されたコンタクトホールを介して、島状の半導体膜 1402 に接続されている。 50

## 【 0 1 2 1 】

また第2の層間絶縁膜1406上には、アンテナ1408が形成されている。配線1407とアンテナ1408は、第2の層間絶縁膜1406上に導電膜を形成し、該導電膜をパターンングすることで、共に形成することができる。アンテナ1408を配線1407と共に形成することで、IDチップの作製工程数を抑えることができる。

## 【 0 1 2 2 】

そして、アンテナ1408を覆うように、分離用絶縁膜1409が形成されており、さらにアンテナ1408及び分離用絶縁膜1409を覆うように絶縁層1410が形成されている。なお絶縁層1410は、必ずしもアンテナ1408全体を覆っている必要はなく、アンテナ1408を構成している導線間に配置されるように、形成されていれば良い。

10

## 【 0 1 2 3 】

また図10(A)では、絶縁層1410を、アンテナ1408が形成されている領域に選択的に形成しているが、本実施例はこの構成に限定されない。絶縁層1410は配線1407を覆うように形成されていても良い。ただしこの場合、分離用絶縁膜1409は、配線1407を覆うように形成するのが望ましい。

## 【 0 1 2 4 】

次に図10(B)を用いて、導電膜のパターンングにより、TFTのゲート電極とアンテナとを共に形成する場合の、IDチップの構成について説明する。図10(B)に、本実施例のIDチップの断面図を示す。

## 【 0 1 2 5 】

図10(B)において、TFT1411は、島状の半導体膜1412と、島状の半導体膜1412と重なっているゲート絶縁膜1413と、ゲート絶縁膜1413を間に挟んで島状の半導体膜1412と重なっているゲート電極1414とを有している。またゲート絶縁膜1413上には、アンテナ1418が形成されている。ゲート電極1414とアンテナ1418は、ゲート絶縁膜1413上に導電膜を形成し、該導電膜をパターンングすることで共に形成することができる。アンテナ1418をゲート電極1414とを同一材料で共に形成することで、IDチップの作製工程数を抑えることができる。

20

## 【 0 1 2 6 】

そして、アンテナ1418を覆うように絶縁層1420が形成されている。なお絶縁層1420は、必ずしもアンテナ1418全体を覆っている必要はなく、アンテナ1418を構成している導線間に配置されるように、形成されていれば良い。

30

## 【 0 1 2 7 】

また、図10(B)では、分離用絶縁膜を形成していない構成について示しているが、本発明はこの構成に限定されない。分離用絶縁膜をアンテナ1418と絶縁層1420との間に形成するようにしても良い。

## 【 0 1 2 8 】

なお本実施例では、集積回路を剥離して、別途用意した基板に貼り合わせる例について説明したが、本発明はこの構成に限定されない。例えばガラス基板のように、集積回路の作製工程における熱処理に耐えうるような、耐熱温度を有している基板を用いる場合、必ずしも集積回路を剥離する必要はない。なお、本実施例は、他の実施の形態又は実施例と自由に組み合わせて用いることができる。

40

## 【 実施例 2 】

## 【 0 1 2 9 】

本実施例では、本発明のIDチップなどの半導体装置の、機能的な構成の一形態について、図11を用いて説明する。

## 【 0 1 3 0 】

図11において、900はアンテナ、901は集積回路に相当する。また903は、アンテナ900の両端子間に形成される容量に相当する。集積回路901は、復調回路909、変調回路904、整流回路905、マイクロプロセッサ906、メモリ907、負荷変調をアンテナ900に与えるためのスイッチ908を有している。なおメモリ907は

50

1つに限定されず、複数であっても良く、SRAM、フラッシュメモリ、ROMまたはFRAM（登録商標）などを用いることができる。

【0131】

リーダ/ライタから電波として送られてきた信号は、アンテナ900において電磁誘導により交流の電気信号に変換される。復調回路909では該交流の電気信号を復調し、後段のマイクロプロセッサ906に送信する。また整流回路905では、交流の電気信号を用いて電源電圧を生成し、後段のマイクロプロセッサ906に供給する。マイクロプロセッサ906では、入力された信号に従って各種演算処理を行なう。メモリ907にはマイクロプロセッサ906において用いられるプログラム、データなどが記憶されている他、演算処理時の作業エリアとしても用いることができる。

10

【0132】

そしてマイクロプロセッサ906から変調回路904にデータが送られると、変調回路904はスイッチ908を制御し、該データに従ってアンテナ900に負荷変調を加えることができる。リーダ/ライタは、アンテナ900に加えられた負荷変調を電波で受け取ることで、結果的にマイクロプロセッサ906からのデータを読み取ることができる。

【0133】

なお、図11に示すIDチップは、本発明の一形態を示したのに過ぎず、本発明は上記構成に限定されない。本発明のIDチップは、必ずしもマイクロプロセッサ906を有している必要はない。また信号の伝送方式は、図11に示したような電磁結合方式に限定されず、電磁誘導方式を用いていても良い。

20

【0134】

本実施例は、他の実施の形態又は実施例と自由に組み合わせて実施することが可能である。

【実施例3】

【0135】

本実施例では、本発明のIDチップなどの半導体装置に用いられるTFETの構成について説明する。

【0136】

図12(A)に、本実施例のTFETの断面図を示す。701はnチャネル型TFET、702はpチャネル型TFETに相当する。nチャネル型TFET701を例に挙げて、より詳しい構成について説明する。

30

【0137】

nチャネル型TFET701は活性層として用いる島状の半導体膜705を有しており、該島状の半導体膜705は、ソース領域またはドレイン領域として用いる2つの不純物領域703と、該2つの不純物領域703の間に挟まれているチャンネル形成領域704と、2つの不純物領域703とチャンネル形成領域704の間に挟まれている2つのLDD(Lightly Doped Drain)領域710とを有している。またnチャネル型TFET701は、島状の半導体膜705を覆っているゲート絶縁膜706と、ゲート電極707と、絶縁膜で形成された2つのサイドウォール708、709とを有している。

40

【0138】

なお本実施例ではゲート電極707が、2層の導電膜707a、707bを有しているが、本発明はこの構成に限定されない。ゲート電極707は1層の導電膜で形成されていても良いし、2層以上の導電膜で形成されていても良い。ゲート電極707は、ゲート絶縁膜706を間に挟んで、島状の半導体膜705が有するチャンネル形成領域704と重なっている。またサイドウォール708、709は、ゲート絶縁膜706を間に挟んで、島状の半導体膜705が有する2つのLDD領域710と重なっている。

【0139】

サイドウォール708は、例えば膜厚100nmの酸化珪素膜をエッチングすることで、サイドウォール709は、例えば膜厚200nmのLTO膜(Low Temperature Oxide、低温酸化膜)をエッチングすることで形成することができる。本

50

実施例では、サイドウォール708に用いられる酸化珪素膜をプラズマCVD法で形成し、サイドウォール709に用いられるLTO膜を、酸化珪素膜を減圧CVD法で形成する。なお酸化珪素膜には、窒素が混じっていても良いが、該窒素原子数は酸素原子数よりも少ないものとする。

**【0140】**

不純物領域703及びLDD領域710は、ゲート電極707をマスクにして島状の半導体膜705にn型の不純物をドーピングした後、サイドウォール708、709を形成し、該サイドウォール708、709マスクとして島状の半導体膜705にn型の不純物をドーピングすることで、作り分けることができる。

**【0141】**

なおpチャネル型TF T702は、nチャネル型TF T701と構成はほとんど同じであるが、pチャネル型TF T702が有する島状の半導体膜711の構成のみ異なっている。島状の半導体膜711はLDD領域を有しておらず、2つの不純物領域712と、該2つの不純物領域712に挟まれているチャネル形成領域713とを有している。そして、不純物領域712には、p型の不純物がドーピングされている。なお図12(A)では、pチャネル型TF T702がLDD領域を有していない例を示しているが、本発明はこの構成に限定されない。pチャネル型TF T702がLDD領域を有していても良い。

**【0142】**

図12(B)に、図12(A)に示したTF Tにおいて、サイドウォールが単層である場合を示す。図12(B)に示すnチャネル型TF T721と、pチャネル型TF T722は、それぞれ単層のサイドウォール728、729を有している。サイドウォール728、729は、例えば膜厚100nmの酸化珪素膜をエッチングすることで形成することができる。本実施例では、サイドウォール728に用いられる酸化珪素膜をプラズマCVD法で形成する。なお酸化珪素膜には、窒素が混じっていても良いが、該窒素原子数は酸素原子数よりも少ないものとする。

**【0143】**

次に図12(C)に、ボトムゲート型のTF Tの構成を示す。741はnチャネル型TF T、742はpチャネル型TF Tに相当する。nチャネル型TF T741を例に挙げて、より詳しい構成について説明する。

**【0144】**

図12(C)において、nチャネル型TF T741は島状の半導体膜745を有しており、該島状の半導体膜745は、ソース領域またはドレイン領域として用いる2つの不純物領域743と、該2つの不純物領域743の間に挟まれているチャネル形成領域744と、2つの不純物領域743とチャネル形成領域744の間に挟まれている2つのLDD(Lightly Doped Drain)領域750とを有している。またnチャネル型TF T741は、ゲート絶縁膜746と、ゲート電極747と、絶縁膜で形成されたチャネル保護膜748を有している。

**【0145】**

ゲート電極747は、ゲート絶縁膜746を間に挟んで、島状の半導体膜745が有するチャネル形成領域744と重なっている。ゲート絶縁膜746は、ゲート電極747が形成された後に形成されており、島状の半導体膜745はゲート絶縁膜746が形成された後に形成されている。またチャネル保護膜748は、チャネル形成領域744を間に挟んでゲート絶縁膜746と重なっている。

**【0146】**

チャネル保護膜748は、例えば膜厚100nmの酸化珪素膜をエッチングすることで形成することができる。本実施例では、チャネル保護膜748に用いられる酸化珪素膜をプラズマCVD法で形成する。なお酸化珪素膜には、窒素が混じっていても良いが、該窒素原子数は酸素原子数よりも少ないものとする。

**【0147】**

不純物領域743及びLDD領域750は、レジストで形成したマスクを用いて島状の

10

20

30

40

50

半導体膜 745 に n 型の不純物をドーピングした後、チャンネル保護膜 748 を形成し、該チャンネル保護膜 748 マスクとして島状の半導体膜 745 に n 型の不純物をドーピングすることで、作り分けることができる。

【0148】

なお p チャンネル型 TFT 742 は、n チャンネル型 TFT 741 と構成はほとんど同じであるが、p チャンネル型 TFT 742 が有する島状の半導体膜 751 の構成のみ異なっている。島状の半導体膜 751 は LDD 領域を有しておらず、2 つの不純物領域 752 と、該 2 つの不純物領域 752 に挟まれているチャンネル形成領域 753 とを有している。そして、不純物領域 752 には、p 型の不純物がドーピングされている。なお図 12 (C) では、p チャンネル型 TFT 742 が LDD 領域を有していない例を示しているが、本発明はこの構成に限定されない。p チャンネル型 TFT 742 が LDD 領域を有していても良い。また n チャンネル型 TFT 741 が LDD 領域を有していなくとも良い。なお、本実施例は、他の実施の形態又は実施例と自由に組み合わせ用いることができる。

10

【実施例 4】

【0149】

本実施例では、大型の基板を用いて、複数の ID チップなどの半導体装置を作製する方法について説明する。

【0150】

まず、耐熱性を有する基板の上に集積回路 401 及びアンテナ 402 を形成した後、剥離し、図 13 (A) に示すように、別途用意した基板 403 上に、接着剤 404 を用いて貼り合わせる。なお図 13 (A) では、集積回路 401 及びアンテナ 402 を一組づつ基板 403 上に貼り合わせている様子を示しているが、本発明はこの構成に限定されない。集積回路 401 及びアンテナ 402 の組を、互いに繋がった状態で基板から剥離し、一度に基板 403 上に貼り合わせるようにしても良い。

20

【0151】

次に図 13 (B) に示すように、間に集積回路 401 及びアンテナ 402 を挟むように、基板 403 にカバー材 405 を貼り合わせる。このとき、集積回路 401 及びアンテナ 402 を覆うように、基板 403 上に接着剤 406 を塗布しておく。カバー材 405 を基板 403 に貼り合わせることで、図 13 (C) に示す状態が得られる。なお、図 13 (C) では、集積回路 401 及びアンテナ 402 の位置を明確にするために、カバー材 405 を通して透けて見えるように、集積回路 401 及びアンテナ 402 を図示している。

30

【0152】

次に図 13 (D) に示すように、ダイシングまたはスクライブにより、集積回路 401 及びアンテナ 402 を互いに分離することで、ID チップ 407 を完成させる。

【0153】

なお、ガラス基板を用いた ID チップを IDG チップ (Identification Glass Chip)、可撓性を有する基板を用いた ID チップを IDF チップ (Identification Flexible Chip) と呼ぶことができる。

【0154】

本実施例は、実施例 1 ~ 実施例 3 と組み合わせ実施することが可能である。

40

【実施例 5】

【0155】

本実施例では、1 つの基板の上に形成された複数の集積回路を剥離する際、形成される溝の形状について説明する。図 14 (A) に、溝 601 が形成された基板 603 の上面図を示す。また図 14 (B) に、図 14 (A) の A - A' における断面図を示す。

【0156】

集積回路 602 は、剥離層 604 上に形成されており、剥離層 604 は基板 603 上に形成されている。溝 601 は各集積回路 602 の間に形成されており、なおかつ剥離層 604 が露出する程度の深さを有している。また本実施例では、複数の集積回路 602 は溝 601 によって完全にではなく部分的に分離されている。

50

## 【 0 1 5 7 】

次に図 1 4 ( A )、図 1 4 ( B ) に示した溝 6 0 1 からエッチングガスを流し込み、剥離層 6 0 4 をエッチングにより除去した後の様子を、図 1 4 ( C )、図 1 4 ( D ) に示す。図 1 4 ( C ) は、溝 6 0 1 が形成された基板 6 0 3 の上面図に相当し、図 1 4 ( D ) は、図 1 4 ( C ) の A - A ' における断面図に相当する。エッチングにより溝 6 0 1 から破線 6 0 5 に示す領域まで、剥離層 6 0 4 のエッチングが進んだものとする。図 1 4 ( C )、図 1 4 ( D ) に示すように、複数の集積回路 6 0 2 が、完全にではなく互いに一部繋がった状態で溝 6 0 1 により分離されていることで、剥離層 6 0 4 をエッチングした後に各集積回路 6 0 2 が支えをなくして移動してしまうのを防ぐことができる。

## 【 0 1 5 8 】

図 1 4 ( C )、図 1 4 ( D ) に示した状態まで形成したら、接着剤が付着したテープや、基板等を別途用意し、集積回路 6 0 2 を基板 6 0 3 から剥離する。そして基板 6 0 3 から剥離された複数の集積回路 6 0 2 は、互いに分断される前またはされた後に、別途用意された基板に貼り合わせられる。

## 【 0 1 5 9 】

なお本実施例では、I D チップなどの半導体装置の作製方法の一例を示しており、本発明の半導体装置の作製方法は本実施例で示した構成に限定されない。

## 【 0 1 6 0 】

本実施例は、他の実施の形態または実施例と自由に組み合わせて実施することが可能である。

## 【 実施例 6 】

## 【 0 1 6 1 】

本発明の I D チップなどの半導体装置は、可撓性を有する基板を用いている場合、可撓性を有する対象物、或いは曲面を有する対象物に、貼り合わせるのに好適である。また本発明の I D チップが有する集積回路の中に、データの書き換えができない R O M などのメモリを形成しておけば、I D チップが取り付けられた対象物の偽造を防止することができる。また例えば、産地、生産者などによって商品価値が大きく左右される食料品に、本発明の I D チップを用いることは、産地、生産者などの偽装を低いコストで防止するのに有用である。

## 【 0 1 6 2 】

具体的に本発明の I D チップは、例えば、荷札、値札、名札など、対象物の情報を有するタグに取り付けて用いることができる。或いは、本発明の I D チップ自体をタグとして用いても良い。また例えば、戸籍謄本、住民票、パスポート、免許証、身分証、会員証、鑑定書、クレジットカード、キャッシュカード、プリペイドカード、診察券、定期券など、事実を証明する文書に相当する証書に取り付けても良い。また例えば、手形、小切手、貨物引換証、船貨証券、倉庫証券、株券、債券、商品券、抵当証券など、私法上の財産権を表示する証券に相当する有価証券に取り付けても良い。

## 【 0 1 6 3 】

図 1 5 ( A ) に、本発明の I D チップ 1 3 0 2 を取り付けした小切手 1 3 0 1 の一例を示す。図 1 5 ( A ) では、I D チップ 1 3 0 2 が小切手 1 3 0 1 の内部に取り付けられているが、表に露出させておいても良い。本発明の I D チップは、可撓性を有する基板を用いている場合、可撓性を有する小切手 1 3 0 1 に取り付けられても、応力により破壊されにくいというメリットを有している。

## 【 0 1 6 4 】

図 1 5 ( B ) に、本発明の I D チップ 1 3 0 3 を取り付けしたパスポート 1 3 0 4 の一例を示す。図 1 5 ( B ) では、I D チップ 1 3 0 3 がパスポート 1 3 0 4 の表紙に取り付けられているが、パスポート 1 3 0 4 が有する他のページに取り付けられていても良い。本発明の I D チップは、可撓性を有する基板を用いている場合、可撓性を有するパスポート 1 3 0 4 の表紙に取り付けられても、応力により破壊されにくいというメリットを有している。

10

20

30

40

50

## 【 0 1 6 5 】

図 1 5 ( C ) に、本発明の I D チップ 1 3 0 5 を取り付けた、商品券 1 3 0 6 の一例を示す。なお I D チップ 1 3 0 5 は商品券 1 3 0 6 の内部に形成しても良いし、商品券 1 3 0 6 の表面に露出させるように形成しても良い。本発明の I D チップは、可撓性を有する基板を用いている場合、可撓性を有する商品券 1 3 0 6 に取り付けられても、応力により破壊されにくいというメリットを有している。

## 【 0 1 6 6 】

また T F T を有する集積回路を用いた I D チップは、安価、かつ薄型である。そのため本発明の I D チップは、最終的に消費者によって使い捨てられるような用途に向いている。特に、数円、数十円単位の値段の差が売りに大きき影響する商品に用いる場合、本発明の安価かつ薄型の I D チップを有する包装材は、非常に有用である。包装材とは、ラップ、ペットボトル、トレイ、カプセルなど、対象物を包装するために成形が可能な、或いは成形された支持体に相当する。

## 【 0 1 6 7 】

図 1 6 ( A ) に、本発明の I D チップ 1 3 0 7 が取り付けられた包装材 1 3 0 8 で、販売用のお弁当 1 3 0 9 を包装している様子を示す。I D チップ 1 3 0 7 内に商品の価格などを記録しておくことで、リーダ/ライタとしての機能を有するレジスターでお弁当 1 3 0 9 の代金を清算することができる。さらに、商品の在庫管理、商品の消費期限の管理なども、簡便に行なうことが可能である。

## 【 0 1 6 8 】

また例えば、商品のラベルに本発明の I D チップを付けておき、該 I D チップを用いて商品の流通を管理するような利用の仕方も可能である。

## 【 0 1 6 9 】

図 1 6 ( B ) に示すように、裏面が粘着性を有する商品のラベル 1 3 1 0 などの支持体に、本発明の I D チップ 1 3 1 1 を取り付ける。そして、I D チップ 1 3 1 1 が取り付けられたラベル 1 3 1 0 を、商品 1 3 1 2 に装着する。商品 1 3 1 2 に関する識別情報は、ラベル 1 3 1 0 に貼り合わされた I D チップ 1 3 1 1 から、無線で読み取ることが可能である。よって I D チップ 1 3 1 1 により、流通の過程において、商品の管理が容易になる。本発明の I D チップは、可撓性を有する基板を用いている場合、可撓性を有するラベル 1 3 1 0 に取り付けられても、応力により破壊されにくいというメリットを有している。よって、本発明の I D チップを用いたラベル 1 3 1 0 は、曲面を有する対象物に貼り合わせるのに好適である。

## 【 0 1 7 0 】

例えば、I D チップ 1 3 1 1 内の集積回路が有するメモリとして、書き込みが可能な揮発性メモリを用いている場合、商品 1 3 1 2 の流通のプロセスを記録することができる。また商品の生産段階におけるプロセスを記録しておくことで、卸売業者、小売業者、消費者が、産地、生産者、製造年月日、加工方法などを把握することが容易になる。

## 【 0 1 7 1 】

本実施例は、他の実施の形態又は実施例の構成と自由に組み合わせて実施することが可能である。

## 【 図面の簡単な説明 】

## 【 0 1 7 2 】

【 図 1 】 本発明の I D チップの斜視図及び断面図。

【 図 2 】 本発明の I D チップが有するアンテナの断面図。

【 図 3 】 本発明の I D チップが有するアンテナの断面図。

【 図 4 】 本発明の I D チップの作製方法を示す図。

【 図 5 】 本発明の I D チップの作製方法を示す図。

【 図 6 】 本発明の I D チップの作製方法を示す図。

【 図 7 】 本発明の I D チップの作製方法を示す図。

【 図 8 】 本発明の I D チップの作製方法を示す図。

【図9】本発明のIDチップの作製方法を示す図。

【図10】本発明のIDチップの断面図。

【図11】本発明のIDチップの、機能的な構成の一形態を示すブロック図。

【図12】本発明のIDチップが有するTFTの断面図。

【図13】大型の基板を用いて、本発明のIDチップに用いられる集積回路を複数作製する方法を示す図。

【図14】1つの基板上に形成された複数の集積回路を剥離する際、形成される溝の形状を示す図。

【図15】本発明のIDチップの利用方法について示す図。

【図16】本発明のIDチップの利用方法について示す図。

【図17】本発明のIDチップの断面図。

10

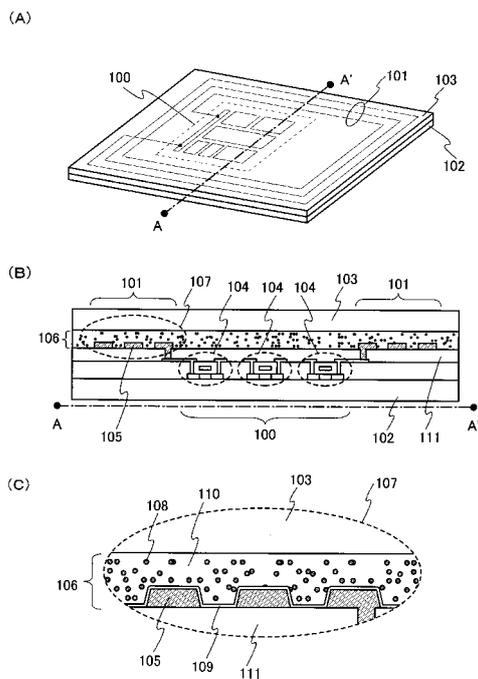
【符号の説明】

【0173】

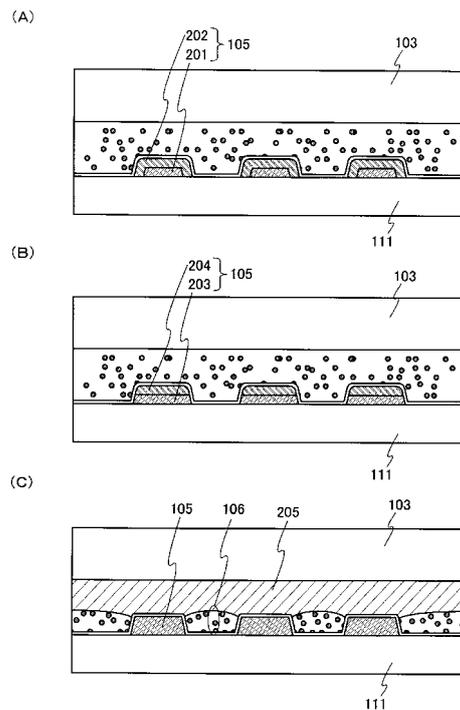
- 100 集積回路
- 101 アンテナ
- 102 基板
- 103 カバー材
- 104 TFT
- 105 導線
- 106 絶縁層
- 107 破線
- 108 微粒子
- 109 分離用絶縁膜
- 110 絶縁体
- 111 層間絶縁膜

20

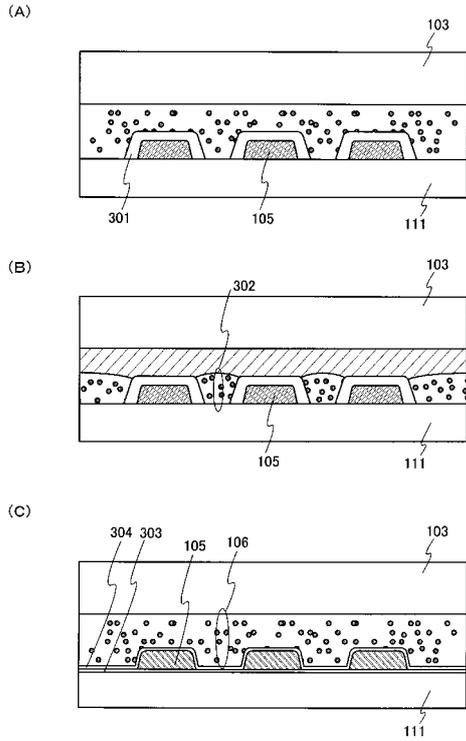
【図1】



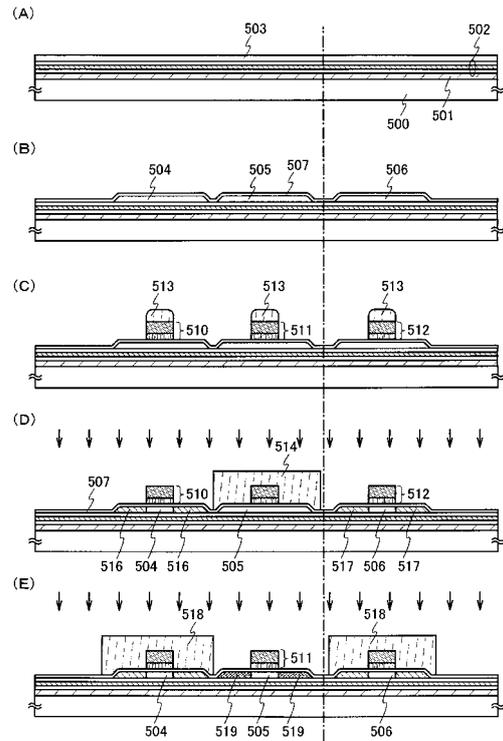
【図2】



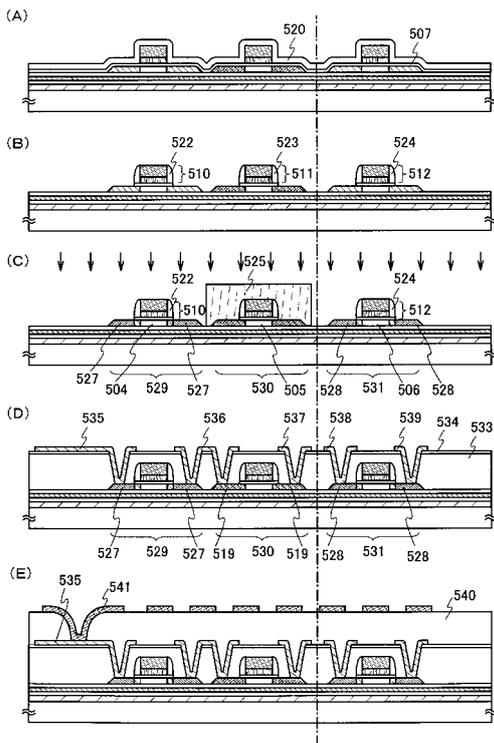
【図3】



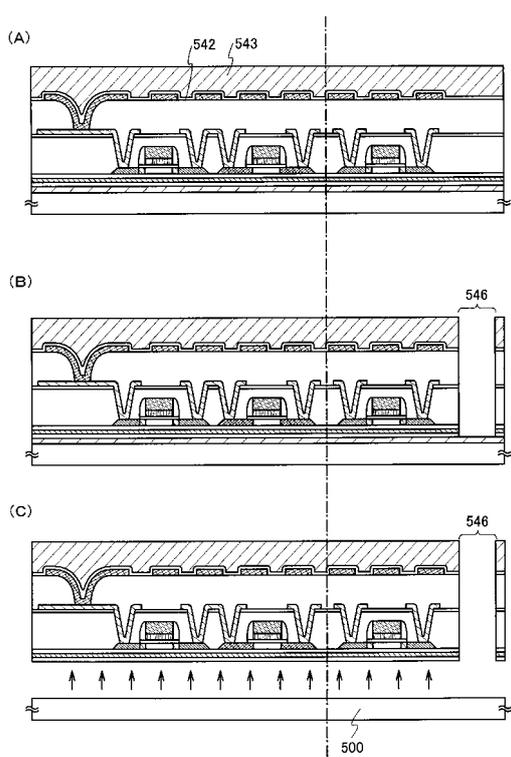
【図4】



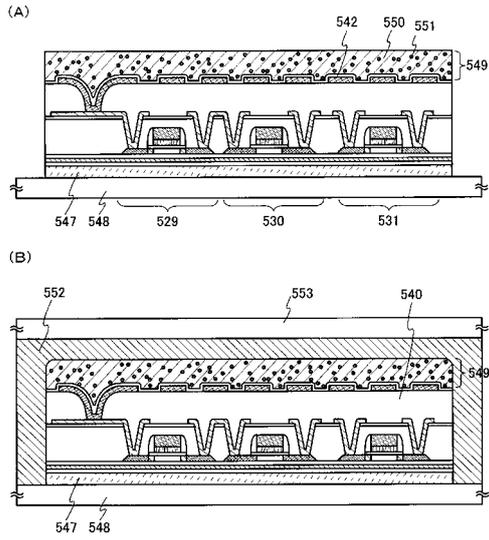
【図5】



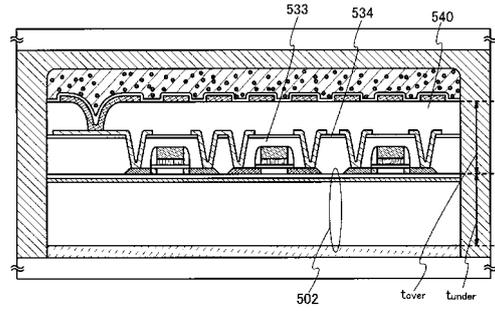
【図6】



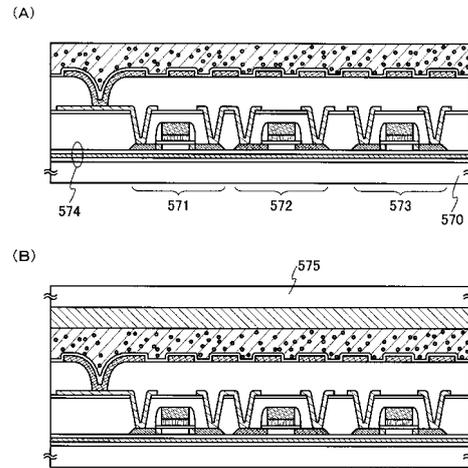
【図7】



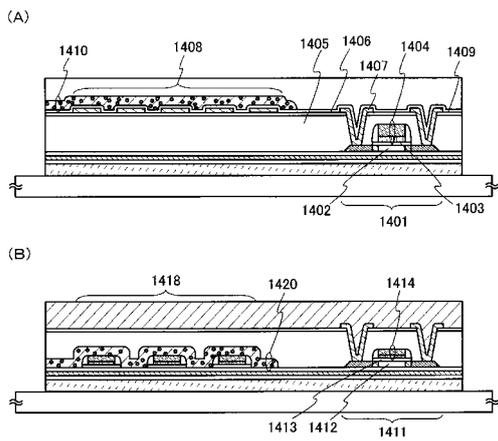
【図8】



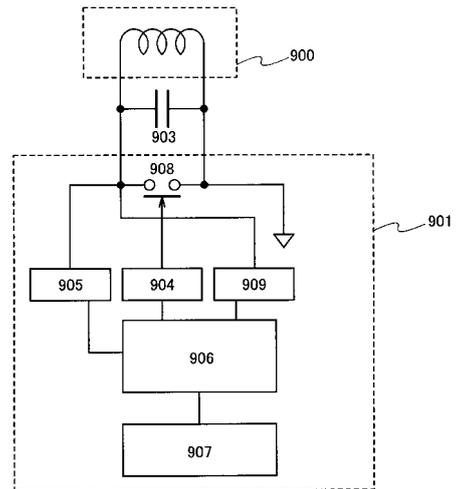
【図9】



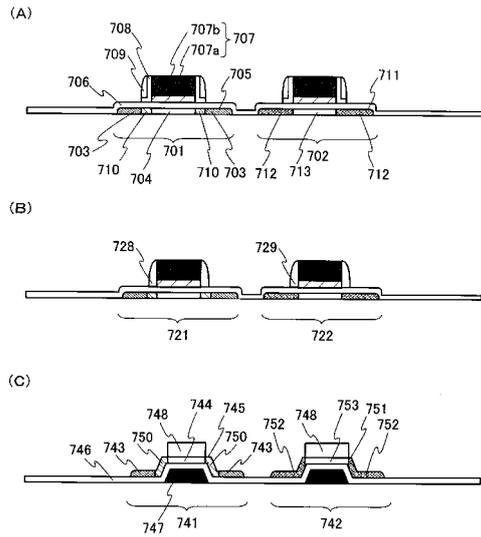
【図10】



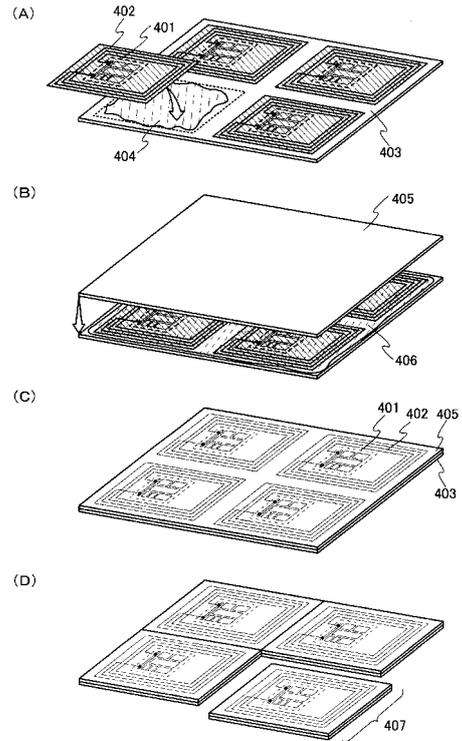
【図11】



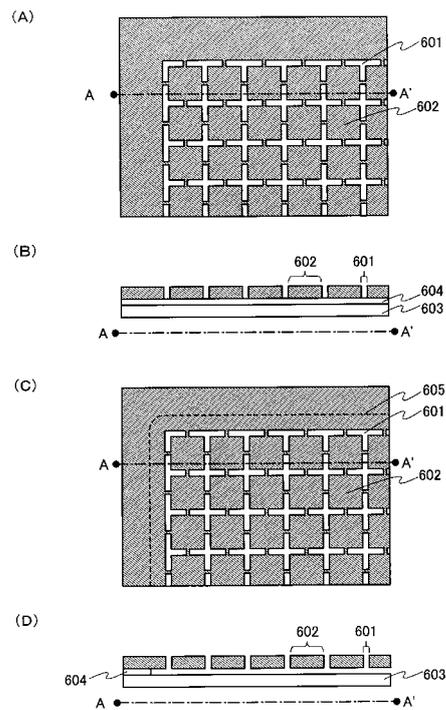
【図12】



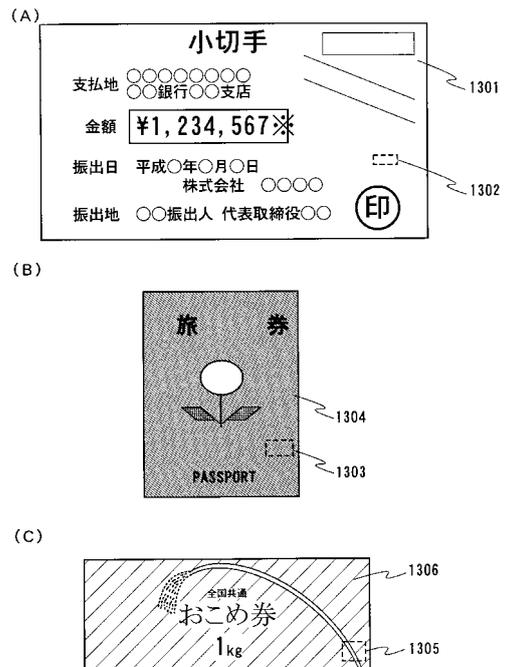
【図13】



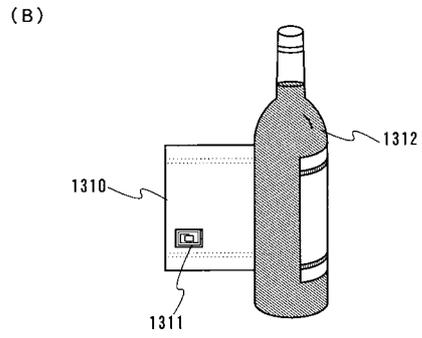
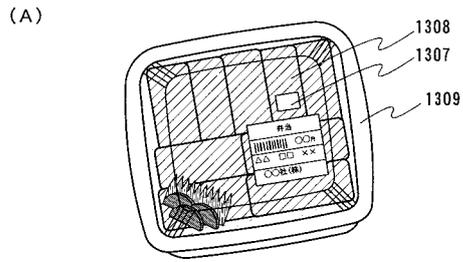
【図14】



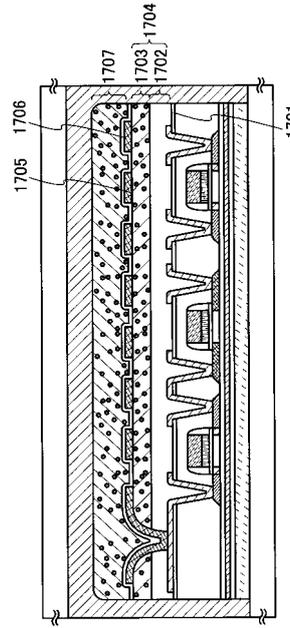
【図15】



【 図 16 】



【 図 17 】



フロントページの続き

(51) Int.Cl.		F I	
H 0 1 L 21/20	(2006.01)	H 0 1 L 27/04	L
G 0 6 K 19/077	(2006.01)	H 0 1 L 27/12	B
H 0 1 L 21/822	(2006.01)		
H 0 1 L 27/04	(2006.01)		
H 0 1 L 21/02	(2006.01)		
H 0 1 L 27/12	(2006.01)		

(56) 参考文献 特開 2000 - 090637 (JP, A)  
 特開 2000 - 323656 (JP, A)  
 特開平 10 - 135040 (JP, A)

(58) 調査した分野 (Int.Cl., DB名)

H 0 1 L	2 1 / 7 6 8
G 0 6 K	1 9 / 0 7
G 0 6 K	1 9 / 0 7 7
H 0 1 L	2 1 / 0 2
H 0 1 L	2 1 / 2 0
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 8 2 2
H 0 1 L	2 3 / 5 2 2
H 0 1 L	2 7 / 0 4
H 0 1 L	2 7 / 1 2
H 0 1 L	2 9 / 7 8 6