

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5154585号
(P5154585)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl. F I
H04L 1/00 (2006.01) H04L 1/00 C

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2010-4097 (P2010-4097)	(73) 特許権者	000000572 アンリツ株式会社 神奈川県厚木市恩名五丁目1番1号
(22) 出願日	平成22年1月12日(2010.1.12)	(74) 代理人	100067323 弁理士 西村 敦光
(65) 公開番号	特開2011-146792 (P2011-146792A)	(74) 代理人	100124268 弁理士 鈴木 典行
(43) 公開日	平成23年7月28日(2011.7.28)	(72) 発明者	西小原 匡則 神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内
審査請求日	平成23年3月9日(2011.3.9)	(72) 発明者	鈴木 誠也 神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内

最終頁に続く

(54) 【発明の名称】 誤り率測定装置及び方法

(57) 【特許請求の範囲】

【請求項1】

既知のパルスパターンによるテスト信号の入力に伴う被試験デバイス(W)からの被測定信号の誤り率を測定する誤り率測定装置(1)において、

前記被測定信号から再生クロックを生成し、前記被測定信号のデータ長の周期の整数倍となる分周比に設定して前記再生クロックを分周するクロック制御部(4)と、

前記分周比で分周された再生クロックを用いて前記被測定信号をビット列波形として表示する波形観測部(5)と、

前記被測定信号のパターンを識別し、この識別された識別パターンデータに関して、先頭と決めた位置から一部又は全部のデータを先頭パターンとして保持し、前記被測定信号が1周回して前記先頭パターンと一致したときに、前記識別パターンデータと前記既知のパルスパターンとの比較によって前記識別パターンデータのエラービットを検出し、この検出したエラービットを含む前後のビット列を保持する誤り率検出部(3)と、

前記ビット列波形からビット列を読み取り、前記保持されたエラービットと一致するまで前記ビット列波形を時間軸方向に遅延させる制御部(6)とを備えたことを特徴とする誤り率測定装置。

【請求項2】

前記制御部(6)は、前記被試験デバイス(W)から前記被測定信号が1周回して前記先頭パターンと一致するまでの遅延時間と、前記被試験デバイスから前記被測定信号がサンプリングされるまでの遅延時間との絶対遅延差を予め記憶された補正值に基づいて補正す

ることを特徴とする請求項 1 記載の誤り率測定装置。

【請求項 3】

既知のパルスパターンによるテスト信号の入力に伴う被試験デバイス (W) からの被測定信号の誤り率を測定する誤り率測定方法において、

前記被測定信号から再生クロックを生成し、前記被測定信号のデータ長の周期の整数倍となる分周比に設定して前記再生クロックを分周するステップと、

前記分周比で分周された再生クロックを用いて前記被測定信号をビット列波形として表示するステップと、

前記被測定信号のパターンを識別するステップと、

この識別された識別パターンデータに関して、先頭と決めた位置から一部又は全部のデータを先頭パターンとして保持するステップと、

前記被測定信号が 1 周回して前記先頭パターンと一致したときに、前記識別パターンデータと前記既知のパルスパターンとの比較によって前記識別パターンデータのエラービットを検出するステップと、

この検出したエラービットを含む前後のビット列を保持するステップと、

前記ビット列波形からビット列を読み取り、前記保持されたエラービットと一致するまで前記ビット列波形を時間軸方向に遅延させるステップとを含むことを特徴とする誤り率測定方法。

【請求項 4】

前記被試験デバイス (W) から前記被測定信号が 1 周回して前記先頭パターンと一致するまでの遅延時間と、前記被試験デバイスから前記被測定信号がサンプリングされるまでの遅延時間との絶対遅延差を予め記憶された補正值に基づいて補正するステップを更に含むことを特徴とする請求項 3 記載の誤り率測定方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば光電変換部品等の被試験デバイスへのテスト信号の入力に伴う被試験デバイスからの被測定信号のビット誤り率測定と波形測定・表示を行う誤り率測定装置及び方法に関する。

【背景技術】

【0002】

近年、各種のデジタル有線通信装置は、利用者数の増加やマルチメディア通信の普及に伴い、より大容量の伝送能力が求められている。そして、これらのデジタル有線通信装置におけるデジタル信号の品質評価の指標の一つとして、受信データのうち符号誤りが発生した数と受信データの総数との比較として定義されるビット誤り率 (Bit Error Rate) が知られている。

【0003】

また、試験対象となる光電変換部品等の被試験デバイス (Device Under Test) に対して固定データを含むテスト信号を送信し、被試験デバイスを介して入力される被測定信号と基準となる参照信号とをビット単位で比較して、被測定信号の誤り率を検出する装置として、例えば下記特許文献 1 に開示されるような誤り率測定装置が公知である。

【0004】

図 4 は、下記特許文献 1 に開示される誤り率測定装置の概略構成図である。図示のように、ビット誤り測定装置 100 は、RAM 等のメモリによって構成されるデータ記憶部 101、比較データ記憶部 102、及び位置情報記憶部 103 と、集積回路等によって構成される信号送信部 104、信号受信部 105、同期検出部 106、比較部 107、表示制御部 108 と、CRT や液晶ディスプレイ等の表示機器 109、及びキーボード等の操作部 110 とによって構成され、測定対象 200 から受信した入力データと測定対象 200 から受信されるべき既知のデータとを比較して誤りビットを測定するビット誤り測定装置 100 において、複数のブロックを有する比較データ記憶部 101 と、受信した入力デー

10

20

30

40

50

タと既知のデータとを比較し、所定の検出条件で検出される1または複数の検出ビットを含むビット列の比較データを、検出されることに応じて複数のブロックへ順次格納する比較部102と、複数のブロックそれぞれに格納された比較データから得られるそれぞれのビット列を、所定の配置条件に従った位置を基準にして並べて表示機器103に表示する表示制御部104とを備えて構成している。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-274474号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0006】

ところで、上述した特許文献1の誤り率測定装置を含む従来の誤り率測定装置を用いて被試験デバイスの誤り率を測定した際、測定結果に異常が発見されると、オシロスコープ等の信号波形を測定・表示する波形観測器を用いて被試験デバイスから入力した被測定信号の波形測定及び表示して原因の究明を行っている。

【0007】

しかしながら、上述した特許文献1を含む従来の誤り率測定装置では、入力されたデータ信号全体の誤り率（エラーレート）や、誤り箇所を認識することは可能であったが、どのように誤りを起こしているのか（例えば、信号の位相がズれているのか、振幅が不足しているのか等）を観測することが出来なかった。

20

【0008】

また、オシロスコープ等の信号波形を測定・表示する波形観測器では、信号波形の位相や振幅、歪み等を観測することは出来たが、これら観測した信号波形の位相や振幅、歪み等が誤り率に対して直接どのように影響しているかどうかを判断することが出来なかった。

【0009】

そこで、本発明は上記問題点に鑑みてなされたものであって、被測定信号のエラー発生箇所をビット系列波形表示することができる誤り率測定装置及び方法を提供することを目的としている。

30

【課題を解決するための手段】

【0010】

上記目的を達成するため、本発明の請求項1に記載された誤り率測定装置は、既知のパルスパターンによるテスト信号の入力に伴う被試験デバイスWからの被測定信号の誤り率を測定する誤り率測定装置1において、

前記被測定信号から再生クロックを生成し、前記被測定信号のデータ長の周期の整数倍となる分周比に設定して前記再生クロックを分周するクロック制御部4と、

前記分周比で分周された再生クロックを用いて前記被測定信号をビット列波形として表示する波形観測部5と、

前記被測定信号のパターンを識別し、この識別された識別パターンデータに関して、先頭と決めた位置から一部又は全部のデータを先頭パターンとして保持し、前記被測定信号が1周回して前記先頭パターンと一致したときに、前記識別パターンデータと前記既知のパルスパターンとの比較によって前記識別パターンデータのエラービットを検出し、この検出したエラービットを含む前後のビット列を保持する誤り率検出部3と、

40

前記ビット列波形からビット列を読み取り、前記保持されたエラービットと一致するまで前記ビット列波形を時間軸方向に遅延させる制御部6とを備えたことを特徴とする。

【0011】

請求項2に記載された誤り率測定装置は、請求項1の誤り率測定装置において、

前記制御部6は、前記被試験デバイスWから前記被測定信号が1周回して前記先頭パターンと一致するまでの遅延時間と、前記被試験デバイスから前記被測定信号がサンプリン

50

グされるまでの遅延時間との絶対遅延差を予め記憶された補正值に基づいて補正することを特徴とする。

【0012】

請求項3に記載された誤り率測定方法は、既知のパルスパターンによるテスト信号の入力に伴う被試験デバイスWからの被測定信号の誤り率を測定する誤り率測定方法において、

前記被測定信号から再生クロックを生成し、前記被測定信号のデータ長の周期の整数倍となる分周比に設定して前記再生クロックを分周するステップと、

前記分周比で分周された再生クロックを用いて前記被測定信号をビット列波形として表示するステップと、

前記被測定信号のパターンを識別するステップと、

この識別された識別パターンデータに関して、先頭と決めた位置から一部又は全部のデータを先頭パターンとして保持するステップと、

前記被測定信号が1周回して前記先頭パターンと一致したときに、前記識別パターンデータと前記既知のパルスパターンとの比較によって前記識別パターンデータのエラービットを検出するステップと、

この検出したエラービットを含む前後のビット列を保持するステップと、

前記ビット列波形からビット列を読み取り、前記保持されたエラービットと一致するまで前記ビット列波形を時間軸方向に遅延させるステップとを含むことを特徴とする。

【0013】

請求項4に記載された誤り率測定方法は、請求項3の誤り率測定方法において、

前記被試験デバイスWから前記被測定信号が1周回して前記先頭パターンと一致するまでの遅延時間と、前記被試験デバイスから前記被測定信号がサンプリングされるまでの遅延時間との絶対遅延差を予め記憶された補正值に基づいて補正するステップを更に含むことを特徴とする。

【発明の効果】

【0014】

本発明によれば、被測定信号から検出したエラー発生箇所を自動的にビット系列波形として表示することができ、エラーの発生と波形の乱れとの相関を容易に知ることができる。

【0015】

また、遅延差補正值によってビット列波形を時間軸方向に遅延させる粗い補正を行った後、エラービットと一致するまでビット列波形を時間軸方向に遅延すれば、高速・高精度に誤り箇所を波形表示させることができる。

【図面の簡単な説明】

【0016】

【図1】本発明に係る誤り率測定装置及び方法を説明するための概略構成を示すブロック図である。

【図2】図1における誤り率検出部を中心とする具体的な内部構成を示すブロック図である。

【図3】誤り検出部の他の構成例を示すブロック図である。

【図4】従来の誤り率測定装置の一例を示す概略構成図である。

【発明を実施するための形態】

【0017】

以下、本発明を実施するための形態について図面を参照しながら具体的に説明する。図1は本発明に係る誤り率測定装置及び方法を説明するための概略構成を示すブロック図、図2は図1における誤り率検出部を中心とする具体的な内部構成を示すブロック図、図3は誤り検出部の他の構成例を示すブロック図である。

【0018】

本発明に係る誤り率測定装置1は、例えば光電変換部品等の被試験デバイスへのテスト

信号の入力に伴う被試験デバイスからの被測定信号のビット誤り率測定と波形測定・表示を行うものであり、図 1 に示すように、基準パターン発生部 2、誤り率検出部 3、クロック制御部 4、波形観測部 5、制御部 6 を備えて概略構成される。

【 0 0 1 9 】

誤り率測定装置 1 は、制御部 6 の制御により、基準パターン発生部 2 が発生する予め決められたパルスパターン（基準パターン）によるテスト信号と被試験デバイス W が出力する信号とを比較し、誤り率を測定している。このとき、クロック制御部 4 の再生クロックのクロックタイミングにより、テスト信号の入力に伴う被試験デバイス W からの被測定信号（NRZ 信号）の誤り率を誤り率検出部 3 で測定しつつ入力信号の波形を波形観測部 5 で表示させ、被試験デバイス W の性能評価を行っている。

10

【 0 0 2 0 】

さらに、この誤り率測定装置 1 では、入力された被測定信号のビット列のデータ長を自動認識し、その周期の整数倍となる分周比を設定し、この分周比が設定された状態で誤り率検出部 3 が検出したビット誤り箇所を波形観測部 5 に通知し、自動的に誤り箇所のビット列波形を表示可能としている。以下、各構成要素について具体的に説明する。

【 0 0 2 1 】

パルスパターン発生器（Pulse Pattern Generator : P P G）6 0 は、制御部 6 の制御により、予め決められたパルスパターン（基準パターン）のテスト信号を発生し、この発生したパルスパターンのテスト信号を被試験デバイス W に出力している。

【 0 0 2 2 】

尚、上記基準パターンは、後述するデータ識別部 1 1 が識別した識別パターンデータと比較して被測定信号の誤り率（エラーレート）を算出するために用いられ、例えば予め設定された複数の P R B S パターン（Pseudorandom Binary(Bit) Sequence パターン）と、ユーザによってパターン周期が任意に設定された複数の任意パターンからなる基準パターン群で構成される。そして、基準パターン発生部 2 は、制御部 6 の制御により、上記基準パターン群の中から 1 つのパルスパターンを選択して発生出力している。

20

【 0 0 2 3 】

誤り率検出部 3 は、基準パターン発生部 2 からのテスト信号に伴う被試験デバイス W からの被測定信号が入力されると、この被測定信号の誤り率を検出する誤り率検出器（Error Detector : E D）の機能を有するもので、データ識別部 1 1 とデータ解析部 1 2 を備えている。

30

【 0 0 2 4 】

データ識別部 1 1 は、クロック制御部 4 からの再生クロックのクロックタイミングにより、被測定信号の信号レベル（High / Low）のパターンを識別し、この識別したパターンを識別パターンデータとしてデータ解析部 1 2 に出力している。

【 0 0 2 5 】

データ解析部 1 2 は、データ識別部 1 1 から入力される識別パターンデータを解析し、被測定信号を分周する際に用いる分周比 M（M は自然数）を示す M 分周設定情報を解析結果から取得するもので、詳しくは図 2 に示すように、先頭パターン保持手段 1 2 a、一致判定手段 1 2 b、エラー検出手段 1 2 c、エラービット列保持手段 1 2 d、ビット数計数手段 1 2 e、データ長検出手段 1 2 f、エラー位置計数値保持手段 1 2 g、遅延差補正值記憶手段 1 2 h を備えている。

40

【 0 0 2 6 】

先頭パターン保持手段 1 2 a は、データ識別部 1 1 が識別した識別パターンデータに関して、先頭と決めた位置からの一部のデータ又は全部のデータを一時的に保持している。

【 0 0 2 7 】

一致判定手段 1 2 b は、先頭パターン保持手段 1 2 a が識別パターンデータの先頭パターンを保持すると、データ識別部 1 1 からの識別パターンデータと先頭パターンとの比較を開始し、エラー検出の開始を指示するエラー検出開始信号をエラー検出手段 1 2 c に出力するとともに、ビット数計数の開始を指示するビット数計数開始信号をビット数計数手

50

段 1 2 e に出力している。また、一致判定手段 1 2 b は、識別パターンデータが 1 周回して識別パターンデータが先頭パターンと一致すると、ビット数計数の停止を指示するビット数計数停止信号をビット数計数手段 1 2 e に出力するとともに、M 分周手段 1 4 にリセット信号を出力している。

【 0 0 2 8 】

エラー検出手段 1 2 c は、一致判定手段 1 2 b からエラー検出開始信号が入力されると、基準パターン発生部 2 が発生している基準パターンに基づいてデータ識別部 1 1 からの識別パターンデータのビット誤りを検出している。また、エラー検出手段 1 2 c は、識別パターンデータからビット誤りを検出したときにエラー検出通知を発行し、発行したエラー検出通知をエラービット列保持手段 1 2 d 及びエラー位置計数值保持手段 1 2 g に出力している。

10

【 0 0 2 9 】

エラービット列保持手段 1 2 d は、エラー検出手段 1 2 c からエラー検出通知が入力されると、エラー検出手段 1 2 c が検出したビット誤りを含む前後のビット列（例えば 1 6 ビット程度）を保持し、ビット列を保持した旨のビット列保持通知を制御部 6 に出力している。

【 0 0 3 0 】

ビット数計数手段 1 2 e は、カウンタで構成され、クロック再生手段 1 3 からの再生クロックのクロックタイミングでデータ識別部 1 1 からの識別パターンのビット数を計数するもので、一致判定手段 1 2 b からの計数開始信号によって識別パターンデータのビット計数を開始し、一致判定手段 1 2 b からの計数停止信号によって識別パターンデータのビット計数を停止している。そして、このビット計数によるビット計数值 N (N は自然数) をデータ長検出手段 1 2 f 及びエラー位置計数值保持手段 1 2 g に出力している。

20

【 0 0 3 1 】

データ長検出手段 1 2 f は、被測定信号とパターン同期したパルスパターン（基準パターン）のビット数として、ビット数計数手段 1 2 e からのビット計数值 N を整数倍した分周比 M の情報を M 分周情報としてクロック制御部 4 の M 分周手段 1 4 に出力している。

【 0 0 3 2 】

エラー位置計数值保持手段 1 2 g は、エラー検出手段 1 2 c からエラー検出通知が入力されると、ビット数計数手段 1 2 e が計数した誤りビットの先頭からの位置に相当するビット計数值を保持し、この保持したビット計数值を誤りビット位置情報として制御部 6 に出力している。

30

【 0 0 3 3 】

遅延差補正值記憶手段 1 2 h は、被測定デバイス W から一致判定手段 1 2 b までの遅延時間と、被測定デバイス W からサンプリング手段 1 6 までの遅延時間とが異なるため、その絶対遅延差を補うための補正值を予め記憶している。この補正值は、予め実験等により求められる。

【 0 0 3 4 】

クロック制御部 4 は、テスト信号の入力に伴う被試験デバイス W からの被測定信号に基づいて再生クロックを生成し、この再生クロックを M 分周したクロックを波形観測部 5 に出力するもので、クロック再生手段 1 3、 M 分周器手段 1 4 を備えている。

40

【 0 0 3 5 】

クロック再生手段 1 3 は、被試験デバイス W からの被測定信号のビットレートに同期したクロックを抽出し、この抽出したクロックを再生クロックとして誤り率検出部 3（データ識別部 1 1、ビット数計数手段 1 2 e）と M 分周手段 1 4 に生成出力している。

【 0 0 3 6 】

M 分周手段 1 4 は、クロック再生手段 1 3 から入力される再生クロックの周波数をデータ解析部 1 2 のデータ長検出手段 1 2 f からの M 分周情報に基づいて分周比 M に設定し、 M 分周したクロックを波形観測部 5 に出力している。

【 0 0 3 7 】

50

波形観測部 5 は、例えばサンプリングオシロスコープ等のアナログ測定波形をデジタル信号に変換し、この変換されたデジタル信号を波形データとして内部メモリに取り込むとともに、電圧や電流の値が時間的に変化する事象を離散的にサンプリングして得た波形データに基づいて表示画面上に波形画像を再生表示する波形観測器の機能を有しており、遅延制御手段 15、サンプリング手段 16、A/D変換手段 17、波形表示手段 18を備えている。

【0038】

遅延制御手段 15 は、M分周手段 14 からのM分周されたクロックを、入力するデータ量や測定したいデータ帯域に基づいてユーザが任意に設定した遅延時間（例えば数フェムト秒）だけ遅延させたクロックをサンプリングクロックとしてサンプリング手段 16 と A/D変換手段 17 に出力している。

10

【0039】

サンプリング手段 16 は、遅延制御手段 15 からのサンプリングクロックのクロックタイミングにより、被測定デバイスWからの被測定信号をサンプリングし、このサンプリングしたサンプリング信号をA/D変換手段 17 に出力している。

【0040】

A/D変換手段 17 は、遅延制御手段 15 からのサンプリングクロックのクロックタイミングにより、サンプリング手段 16 からのサンプリング信号（アナログ信号）をデジタル信号に変換して波形表示手段 18 に出力している。

【0041】

20

波形表示手段 18 は、制御部 6 の制御により、A/D変換手段 17 でデジタル変換されたサンプリング信号の信号波形をユーザが所望する表示形態で表示器（不図示）に表示制御している。

【0042】

制御部 6 は、被試験デバイスWへのテスト信号の入力、この被試験デバイスWへのテスト信号の入力に伴う被試験デバイスWからの被測定信号の誤り率を測定しつつ入力信号の波形を表示させるべく、基準パターン発生部 2、誤り率検出部 3、クロック制御部 4、波形観測部 5 を統括制御している。

【0043】

また、制御部 6 は、遅延差補正值記憶手段 12 h に記憶された補正值とエラー位置計数値保持手段 12 g に保持されたビット計数値による誤りビット位置情報とに基づいて表示器（不図示）上の波形のビット遅延制御を行うべく波形表示手段 18 を制御している。具体的には、表示器（不図示）に表示される表示波形（例えば 16 ビット分の波形）からビット列を読み取り、エラービット列保持手段 12 d に保持されているエラービットと一致するように、誤りビット位置情報と遅延差補正值の分だけ時間軸方向に表示波形が時間軸方向に遅延するべく波形表示手段 18 を制御している。

30

【0044】

次に、上記のように構成される誤り率測定装置 1 の一連の動作について説明する。

まず、パルスパターン発生器 60 は、制御部 6 の制御により、パルスパターン（基準パターン）のテスト信号を被試験デバイスWに出力する。被測定デバイスWからは、テスト信号の入力に伴う被測定信号がデータ識別部 11 に入力される。データ識別部 11 は、被測定デバイスWから被測定信号が入力されると、クロック制御部 4 からの再生クロックのクロックタイミングにより、被測定信号の信号レベル（High/Low）のパターンを識別し、この識別したパターンを識別パターンデータとしてデータ解析部 12 に出力する。

40

【0045】

データ解析部 12 の先頭パターン保持手段 12 a は、データ識別部 11 で識別された識別パターンデータに関して、先頭と決めた位置からの一部のデータ又は全部のデータを先頭パターンとして一時的に保持する。その後、一致判定手段 12 b は、先頭パターン保持手段 12 a による先頭パターンの保持が完了すると、識別パターンデータと先頭パターン

50

との比較を開始すると同時に、ビット数計数手段 1 2 e の計数を開始する。そして、識別パターンデータが 1 周回し、先頭パターンと識別パターンデータが一致すると、ビット数計数手段 1 2 e の計数が停止する。このビット数計数手段 1 2 e のビット計数値が被測定信号のデータ長 N となる。

【 0 0 4 6 】

次に、データ長検出手段 1 2 f は、ビット数計数手段 1 2 e からのビット計数値 N を整数倍した分周比 M の情報を M 分周情報として M 分周手段 1 4 に出力する。これにより、M 分周手段 1 4 は、クロック再生手段 1 3 から入力される再生クロックの周波数をデータ長検出手段 1 2 f からの M 分周情報に基づいて分周比 M を設定し、M 分周したクロックを波形観測部 5 に出力する。

10

【 0 0 4 7 】

次に、M 分周手段 1 4 の分周比 M の設定が完了すると、波形観測部 5 によるビット列波形の表示が可能となる。しかし、このままでは誤り率検出部 3 が保持している先頭パターンが不明であるため、波形観測部 5 が任意のビット位置を波形表示してしまう。

【 0 0 4 8 】

そこで、本例では、先頭パターン保持手段 1 2 a による先頭パターンの保持が完了すると、エラー検出手段 1 2 c がエラーを検出し、エラービット列保持手段 1 2 d がそのエラー前後のビット列を保持し、その旨のビット列保持通知を制御部 6 に出力する。そして、制御部 6 は、エラービット列保持手段 1 2 d からのビット列保持通知により、エラービットを表示するべく波形表示手段 1 8 を制御する。

20

【 0 0 4 9 】

これにより、エラービットの表示が可能となるが、この方法では所望のビット位置に到達するまでに時間を要する場合がある。

【 0 0 5 0 】

そこで、所望のビット位置に到達するまでの時間を短縮するため、エラーが発生すると、エラー検出手段 1 2 c からエラー検出通知を発行し、このエラー検出通知によりビット数計数手段 1 2 e の出力を保持し、先頭ビットから何ビット目においてエラーが発生したかを検出する。そして、この検出に基づく誤りビット位置情報を制御部 6 に通知する。

【 0 0 5 1 】

また、誤り率検出部 3 が保持している先頭パターンと、波形観測部 5 が表示する波形のビット位置を一致させるため、一致判定手段 1 2 b が出力するリセット信号で M 分周手段 1 4 をリセットする。このとき、被測定デバイス W から一致判定手段 1 2 b まで（被測定信号が 1 周回して先頭パターンと一致すると判定されるまで）の遅延時間と、被試験デバイス W からサンプリング手段 1 6 まで（被測定信号がサンプリングされるまで）の遅延時間とが異なるため、絶対遅延差を補う補正值が必要となる。

30

【 0 0 5 2 】

そこで、制御部 6 は、表示ビット列波形を誤りビット位置情報と遅延差補正值の分だけ時間軸方向に遅延させるべく波形表示手段 1 8 を制御する。これにより、被測定信号のエラー発生ビット列を表示することができる。

【 0 0 5 3 】

尚、一般的に、誤り率検出部 3 内のエラー検出手段 1 2 c は、入力データの 1 / 1 6 程度の速度で処理している。このため、一致判定手段 1 2 b のリセット信号は 1 6 ビットの誤差を有する。従って、高速・高精度に誤り箇所を波形表示するためには、遅延差補正值による時間軸方向への表示ビット列波形の粗い遅延処理を行った後、誤りビット列情報と表示波形が一致するまで時間軸方向への表示ビット列波形の遅延処理を行うべく波形表示手段 1 8 を制御するのが好ましい。

40

【 0 0 5 4 】

このように、本例の誤り率測定装置 1 によれば、既知のパルスパターンによるテスト信号の入力に伴う被試験デバイス W の被検出信号から検出したエラー発生箇所を自動的にビット列波形として表示することができ、エラーの発生と波形の乱れとの相関を容易に知る

50

ことができる。

【0055】

また、遅延差補正值によってビット列波形を時間軸方向に遅延させる粗い時間軸遅延による補正を行った後、誤りビット列情報と表示波形が一致するまで時間遅延量を制御し、エラービットと一致するまでビット列波形を時間軸方向に遅延すれば、高速・高精度に誤り箇所を波形表示させることができる。

【0056】

ところで、本発明に係る誤り率測定装置1は、被試験デバイスWに既知のパルスパターンを入力し、この既知のパルスパターンの入力に伴う被試験デバイスWからのパルスパターンのビット列のデータ長の周期の整数倍となる分周比をM分周手段14に設定しているが、この分周比の設定は図2の構成に限定されるものではない。

10

【0057】

例えば被試験デバイスWに入力するパルスパターンに応じて適切な分周比を手動設定する他、誤り率検出部3のデータ解析部12として図3に示す構成を採用することもできる。以下にその構成について説明する。

【0058】

図3に示すデータ解析部12は、誤り率算出手段12i、同期判定手段12j、データ長検出手段12kを備えて構成される。

【0059】

誤り率算出手段12iは、データ識別部11からの識別パターンデータと基準パターン群から選択された一つの基準パターンとを比較して誤り率(エラーレート)を算出し、この算出した誤り率を同期判定手段12jに出力している。また、誤り率算出手段12iは、同期判定手段12jから基準パターン発生部2に基準パターン切替信号が入力して基準パターン群から別の基準パターンが選択されると、この選択された基準パターンと識別パターンデータと比較して誤り率を算出している。さらに、誤り率算出手段12iは、同期判定手段12jから誤り率再算出信号が入力すると、識別パターンデータと該当する基準パターンとを再度比較して誤り率を算出する。

20

【0060】

同期判定手段12jは、誤り率算出手段12iで算出した誤り率と、パターン同期の程度を判別するべく予め設定された基準誤り率閾値とを比較し、算出した誤り率が基準誤り率閾値を下回った場合に、比較した基準パターンと被測定信号とがパターン同期したと判別し、この判別結果をデータ長検出手段12kに通知している。また、同期判定手段12jは、算出した誤り率が基準誤り率閾値を上回った場合に、比較した基準パターンと被測定信号とがパターン同期していないと判別し、他の基準パターンと比較して再度誤り率を算出するための基準パターン切替信号を基準パターン発生部2に出力している。

30

【0061】

すなわち、同期判定手段12jにおける比較判別では、算出した誤り率が基準誤り率閾値を上回った場合に、算出した誤り率が基準誤り率閾値を下回るまで基準パターン群から基準パターンを順次切り替えて選択し、選択された基準パターンと識別パターンデータとの比較判別を行っている。

40

【0062】

なお、同期判定手段12jは、基準パターン群における全ての基準パターンの誤り率が基準誤り率閾値を上回った場合、最も誤り率の誤差が低くなる基準パターンを用いて再度誤り率を算出するための誤り率再算出信号を誤り率算出手段12iに出力している。

【0063】

データ長検出手段12kは、同期判定手段12jから入力した判別結果通知に基づき被測定信号とパターン同期した基準パターンのビット数N(Nは自然数)を整数倍した分周比Mの情報をM分周情報としてクロック制御部4に出力している。

【0064】

クロック制御部4は、被試験デバイスWを介して入力した被測定信号からクロック再生

50

を行うとともに、波形観測部 5 に対し M 分周したクロックを出力している。

【 0 0 6 5 】

上述した図 3 の構成では、基準パターン群から選択された一つのパルスパターンのテスト信号を基準パターン発生部 2 から被試験デバイス W に出力する。誤り率検出部 3 のデータ識別部 1 1 は、テスト信号に伴う被試験デバイス W からの被測定信号が入力されると、クロック制御部 4 からの再生クロックのクロックタイミングで被測定信号の信号レベルを識別する。続いて、誤り率検出部 3 のデータ解析部 1 2 は、データ識別部 1 1 が識別した識別パターンデータと既知のパルスパターン（基準パターン）とを比較して誤り率を算出する。

【 0 0 6 6 】

次に、データ解析部 1 2 は、算出した誤り率と基準誤り率閾値とを比較し、誤り率が基準誤り率閾値を下回っていれば、被測定信号が基準パターンとパターン同期したと判別し、被測定信号とパターン同期した基準パターンのビット数 N（N は自然数）を整数倍した値を分周比 M として取得する。

【 0 0 6 7 】

これに対し、算出した誤り率が基準誤り率閾値を上回っていれば、被測定信号が基準パターンとパターン同期していないと判別し、他の基準パターンに切り替えて再度誤り率を算出する。

【 0 0 6 8 】

そして、クロック制御部 4 の M 分周手段 1 4 は、データ解析部 1 2 が取得した分周比 M による M 分周情報に基づいて被測定信号の再生クロックを M 分周して波形観測部 5 に出力する。波形観測部 5 では、M 分周されたクロックを遅延制御手段 1 5 によって任意に設定した遅延時間ずつずらして一周期分のクロックをサンプリングする。そして、サンプリング手段 1 6 は、サンプリングしたサンプリングクロックのクロックタイミングで被測定信号をサンプリングする。続いて、A / D 変換手段 1 7 は、サンプリング手段 1 6 からのサンプリング信号をサンプリングクロックのクロックタイミングでデジタル信号に変換する。そして、波形表示手段 1 8 は、A / D 変換手段 1 7 で変換されたデジタル信号によるサンプリング信号の信号波形を表示器（不図示）に表示する。

【 符号の説明 】

【 0 0 6 9 】

- 1 誤り率測定装置
- 2 基準パターン発生部
- 3 誤り率検出部
- 4 クロック制御部
- 5 波形観測部
- 6 制御部
- 1 1 データ識別部
- 1 2 データ解析部
- 1 3 クロック再生手段
- 1 4 M 分周手段
- 1 5 遅延制御手段
- 1 6 サンプリング手段
- 1 7 A / D 変換手段
- 1 8 波形表示手段
- 6 0 パルスパターン発生器
- W 被試験デバイス

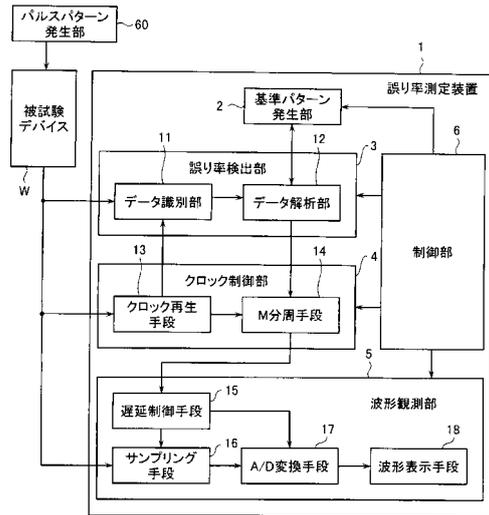
10

20

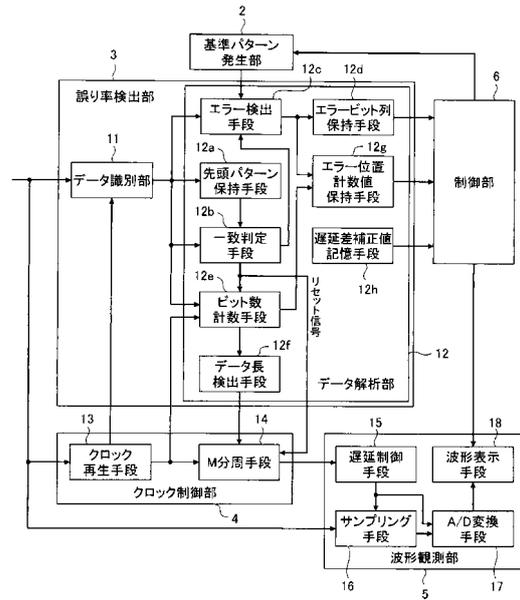
30

40

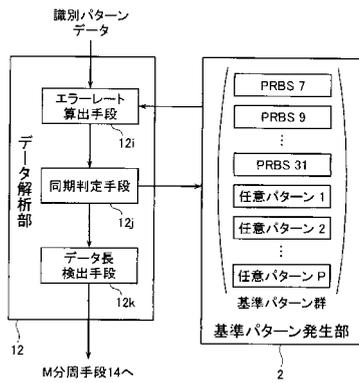
【図 1】



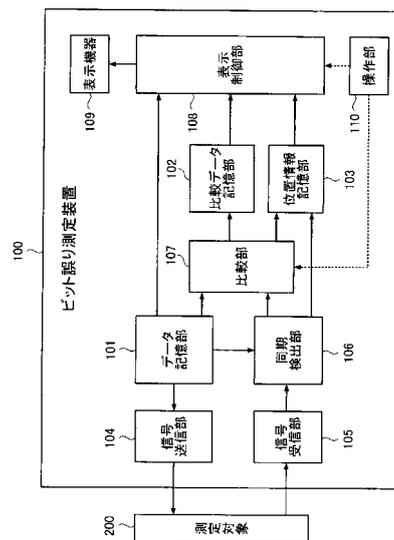
【図 2】



【図 3】



【図 4】



フロントページの続き

- (72)発明者 平田 智一
神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内
- (72)発明者 村上 崇
神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内
- (72)発明者 阿部 高也
神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内

審査官 谷岡 佳彦

- (56)参考文献 特開平11-046184(JP,A)
特開2001-133485(JP,A)
特開2005-117223(JP,A)
特開2003-319015(JP,A)
特開平08-056214(JP,A)
特表2006-512798(JP,A)
特開2004-200868(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04L 1/00