



# (12)发明专利

(10)授权公告号 CN 107170715 B

(45)授权公告日 2019.08.27

(21)申请号 201610397594.3

(22)申请日 2016.06.07

(65)同一申请的已公布的文献号  
申请公布号 CN 107170715 A

(43)申请公布日 2017.09.15

(30)优先权数据  
105107009 2016.03.08 TW

(73)专利权人 南茂科技股份有限公司  
地址 中国台湾新竹科学工业园区新竹县研  
发一路一号

(72)发明人 陈宪章

(74)专利代理机构 北京同立钧成知识产权代理  
有限公司 11205  
代理人 马雯雯 臧建明

(51)Int.Cl.

H01L 23/31(2006.01)

H01L 23/367(2006.01)

(56)对比文件

CN 101335217 A, 2008.12.31,

CN 103871998 A, 2014.06.18,

TW 201248814 A, 2012.12.01,

TW I398933 B, 2013.06.11,

US 2007155057 A1, 2007.07.05,

审查员 李慧梅

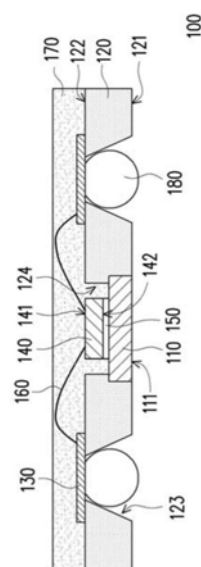
权利要求书2页 说明书4页 附图5页

## (54)发明名称

半导体封装结构及其制作方法

## (57)摘要

本发明提供一种半导体封装结构及其制作方法。半导体封装结构,包括金属片、介电层、图案化线路层、第一芯片以及封装胶体。介电层包覆金属片。介电层具有相对的第一表面与第二表面、位于第一表面上的至少一第一开口以及位于第二表面上的第二开口。金属片位于第二开口内,且分别暴露于第一表面与第二表面。图案化线路层配置于第二表面上。第一芯片配置于金属片上,其中第一芯片位于第二开口内,且电性连接于图案化线路层。封装胶体配置于第二表面上,且覆盖第一芯片与图案化线路层。另提出一种半导体封装结构的制作方法。本发明提供的半导体封装结构整体厚度较薄且具有良好的散热效果。



1. 一种半导体封装结构的制作方法,其特征在于,包括:  
提供载板;  
配置金属片于所述载板上;  
形成介电层于所述载板上,并使所述介电层包覆所述金属片,其中所述介电层具有相对的第一表面与第二表面,且所述介电层以所述第一表面与所述载板相连接;  
形成图案化线路层于所述介电层的所述第二表面上;  
移除所述载板,以使所述金属片暴露于所述介电层的所述第一表面;  
移除部分所述介电层,以形成位于所述第一表面上的至少一第一开口以及位于所述第二表面上的第二开口,其中所述至少一第一开口暴露出部分所述图案化线路层,且所述第二开口暴露出所述金属片;  
配置第一芯片于所述金属片上,使所述第一芯片位于所述第二开口内,并电性连接所述图案化线路层;以及  
形成封装胶体于所述介电层的所述第二表面上,并使所述封装胶体覆盖所述第一芯片与所述图案化线路层。
2. 根据权利要求1所述的半导体封装结构的制作方法,其特征在于,还包括:  
形成至少一外部连接端子于所述至少一第一开口内,且所述至少一外部连接端子电性连接所述图案化线路层。
3. 根据权利要求1所述的半导体封装结构的制作方法,其特征在于,还包括:  
在形成所述封装胶体于所述介电层的所述第二表面上之前,配置第二芯片于所述介电层的所述第二表面的上方,并使所述第二芯片电性连接于所述图案化线路层。
4. 根据权利要求3所述的半导体封装结构的制作方法,其特征在于,还包括:  
使所述封装胶体覆盖所述第二芯片。
5. 根据权利要求1所述的半导体封装结构的制作方法,其特征在于,所述封装胶体填满所述第二开口。
6. 一种半导体封装结构,其特征在于,包括:  
金属片;  
介电层,包覆所述金属片,其中所述介电层具有相对的第一表面与第二表面、位于所述第一表面上的至少一第一开口以及位于所述第二表面上的第二开口,其中所述金属片位于所述第二开口内,且分别暴露于所述介电层的所述第一表面与所述第二表面,其中所述金属片的底面暴露于所述第一表面,所述金属片的底面与所述介电层的所述第一表面齐平;  
图案化线路层,配置于所述介电层的所述第二表面上,其中所述至少一第一开口暴露部分所述图案化线路层;  
第一芯片,配置于所述金属片上,其中所述第一芯片位于所述第二开口内,且电性连接于所述图案化线路层;以及  
封装胶体,配置于所述介电层的所述第二表面上,且覆盖所述第一芯片与所述图案化线路层。
7. 根据权利要求6所述的半导体封装结构,其特征在于,还包括:  
至少一外部连接端子,配置于所述至少一第一开口内,且所述至少一外部连接端子电性连接所述图案化线路层。

8. 根据权利要求6所述的半导体封装结构,其特征在于,还包括:  
第二芯片,配置于所述介电层的所述第二表面的上方,且电性连接于所述图案化线路层。
9. 根据权利要求8所述的半导体封装结构,其特征在于,所述第二芯片被所述封装胶体所覆盖。
10. 根据权利要求6所述的半导体封装结构,其特征在于,所述封装胶体填满所述第二开口。

## 半导体封装结构及其制作方法

### 技术领域

[0001] 本发明涉及一种封装结构及其制作方法,尤其涉及一种半导体封装结构及其制作方法。

### 背景技术

[0002] 在半导体产业中,集成电路(IC)的生产主要可分为三个阶段:集成电路的设计、集成电路的制作以及集成电路的封装。在晶圆的集成电路制作完成之后,晶圆的主动面配置有多个接垫。最后,由晶圆切割所得的裸芯片可通过接垫,电性连接于承载器(carrier)。通常而言,承载器可为导线架(lead frame)、基板(substrate)或印刷电路板(printed circuit board),而芯片可通过打线接合(wire bonding)或覆晶接合(flip chip bonding)等方式连接至承载器上,以使芯片的接垫与承载器的接点电性连接,进而构成芯片封装体。

[0003] 以封装基板为例,其大多具有核心层,故厚度较厚且成本较高。另一方面,为使芯片封装体具有良好的散热效率,现行的作法大多是将散热片贴附于芯片,并使包覆于芯片的封装胶体进一步包覆散热片。又或者是,将散热片贴附于封装胶体,并通过直接连接或间接连接的方式使散热片热耦接于芯片。因此,芯片封装体的整体厚度难以降低。

### 发明内容

[0004] 本发明提供一种半导体封装结构的制作方法,其能制作得到整体厚度较薄且具有良好的散热效果的半导体封装结构。

[0005] 本发明提供一种半导体封装结构,其整体厚度较薄且具有良好的散热效果。

[0006] 本发明提出一种半导体封装结构的制作方法,其包括以下步骤。提供载板。配置金属片于载板上。形成介电层于载板上,并使介电层包覆金属片。介电层具有相对的第一表面与第二表面,且介电层以第一表面与载板相连接。形成图案化线路层于介电层的第二表面上。移除载板,以使金属片暴露于介电层的第一表面。移除部分介电层,以形成位于第一表面上的至少一第一开口以及位于第二表面上的第二开口,其中第一开口暴露出部分图案化线路层,且第二开口暴露出金属片。配置第一芯片于金属片上,使第一芯片位于第二开口内,并电性连接图案化线路层。形成封装胶体于介电层的第二表面上,并使封装胶体覆盖第一芯片与图案化线路层。

[0007] 在本发明的一实施例中,上述的半导体封装结构的制作方法还包括形成至少一外部连接端子于第一开口内,且外部连接端子电性连接图案化线路层。

[0008] 在本发明的一实施例中,上述的半导体封装结构的制作方法还包括在形成封装胶体于介电层的第二表面上之前,配置第二芯片于介电层的第二表面的上方,并使第二芯片电性连接于图案化线路层。

[0009] 在本发明的一实施例中,上述的半导体封装结构的制作方法还包括使封装胶体覆盖第二芯片。

[0010] 在本发明的一实施例中,上述的封装胶体填满第二开口。

[0011] 本发明提出一种半导体封装结构,其包括金属片、介电层、图案化线路层、第一芯片以及封装胶体。介电层包覆金属片,其中介电层具有相对的第一表面与第二表面、位于第一表面上的至少一第一开口以及位于第二表面上的第二开口。金属片位于第二开口内,且分别暴露于介电层的第一表面与第二表面。图案化线路层配置于介电层的第二表面上。第一芯片配置于金属片上,其中第一芯片位于第二开口内,且电性连接于图案化线路层。封装胶体配置于介电层的第二表面上,且覆盖第一芯片与图案化线路层。

[0012] 在本发明的一实施例中,上述的半导体封装结构还包括至少一外部连接端子。外部连接端子配置于第一开口内,且外部连接端子电性连接图案化线路层。

[0013] 在本发明的一实施例中,上述的半导体封装结构还包括第二芯片。第二芯片配置于介电层的第二表面的上方,且电性连接于图案化线路层。

[0014] 在本发明的一实施例中,上述的第二芯片被封装胶体所覆盖。

[0015] 在本发明的一实施例中,上述的金属片的底面与介电层的第一表面齐平。

[0016] 基于上述,通过本发明的半导体封装结构的制作方法制作所得的半导体封装结构不具有核心层,且彼此热耦接的芯片与金属片皆埋设于介电层的开口内。另一方面,金属片会暴露于介电层的其中一表面。因此,本发明的半导体封装结构的整体厚度可大幅地减少,且同时具有良好的散热效果。

[0017] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

## 附图说明

[0018] 图1至图8是本发明一实施例的半导体封装结构的制作流程的剖面示意图;

[0019] 图9是本发明另一实施例的半导体封装结构的剖面示意图。

[0020] 附图标记:

[0021] 10:载板

[0022] 100、100A:半导体封装结构

[0023] 110:金属片

[0024] 111:底面

[0025] 120:介电层

[0026] 121:第一表面

[0027] 122:第二表面

[0028] 123:第一开口

[0029] 124:第二开口

[0030] 130:图案化线路层

[0031] 140:第一芯片

[0032] 141:主动表面

[0033] 142:背表面

[0034] 150:胶层

[0035] 160:导线

- [0036] 170:封装胶体
- [0037] 180:外部连接端子
- [0038] 181:凸块
- [0039] 190:第二芯片
- [0040] 191:主动表面

### 具体实施方式

[0041] 图1至图8是本发明一实施例的半导体封装结构的制作流程的剖面示意图。请参考图1,首先,提供载板10。在本实施例中,载板10可为刚性较高的材质制成,故不易受力而弯曲变形。请继续参考图1,配置金属片110于载板10上。金属片110可通过其底面111直接贴附于载板10上,或者是通过底面111上的离形胶膜(图未示)而暂时性地固定于载板10上。金属片110的材质可为铜、铝、银或其它导热性佳的金属材质。

[0042] 接着,请参考图2,例如采用化学气相沉积法(CVD)将半导体氧化物(例如二氧化硅)形成于载板10上,并使前述半导体氧化物覆盖金属片110,以形成介电层120。在本实施例中,介电层120具有相对的第一表面121与第二表面122,其中第一表面121与载板10相连接,且与金属片110的底面111大致上齐平。接着,请参考图3,例如采用溅镀、印刷、电镀、无电镀、化学气相沉积或物理气相沉积(PVD)等方式形成图案化线路层130于介电层120的第二表面122上。此时,介电层120位于图案化线路层130与载板10之间。接着,请参考图4,移除载板10,以暴露出介电层120的第一表面121以及金属片110的底面111。换个角度来说,金属片110的底面111例如是暴露于介电层120的第一表面121。值得一提的是,若金属片110通过底面111上的离形胶膜而暂时性地固定于载板10上,则在移除载板10时离形胶膜(图未示)会一并被移除。

[0043] 接着,请参考图5,例如通过激光蚀刻的方式移除部分介电层120,以形成位于第一表面121上的至少一第一开口123(示意地显示出多个)以及位于第二表面122上的第二开口124。在形成这些第一开口123时,需先使激光源对准图案化线路层130。接着,将激光束投射至介电层120的第一表面121,以对介电层120进行蚀刻直到暴露出图案化线路层130,且以不损及图案化线路层130为原则。另一方面,在形成第二开口124时,需先使激光源对准金属片110。接着,将激光束投射至介电层120的第二表面122,以对介电层120进行蚀刻直到暴露出金属片110,且以不损及金属片110为原则。如图5所示,第二开口124的截面积例如是小于金属片110的表面积。在其他实施例中,第二开口的截面积可大于或等于金属片的表面积,可视制程需求作调整。

[0044] 接着,请参考图6,配置第一芯片140于金属片110上,并使第一芯片140位于第二开口124内。在本实施例中,第一芯片140的主动表面141会暴露于介电层120的第二表面122,换言之,第一芯片140是以其背表面142固定于金属片110上。此外,第一芯片140可通过胶层150(例如:导热胶)黏贴于金属片110上。接着,通过打线接合的方式使导线160接合位于第一芯片140的主动表面141上的接垫(未显示)与图案化线路层130,以使第一芯片140与图案化线路层130电性连接。接着,请参考图7,形成封装胶体170于介电层120的第二表面122上,并使封装胶体170覆盖第一芯片140与图案化线路层130。另一方面,封装胶体170可进一步填满第二开口124,以覆盖金属片110暴露于第二开口124的部分表面,进而固定第一芯片

140于第二开口124。封装胶体170可为环氧树脂,用以避免图案化线路层130、第一芯片140以及导线160受到外界水气或异物的影响。

[0045] 之后,请参考图8,形成至少一外部连接端子180(示意地显示出两个)于第一开口123内。这些外部连接端子180的数量与第一开口123的数量相应,且这些外部连接端子180电性连接图案化线路层130。在本实施例中,外部连接端子180是局部埋设于第一开口123内,并较介电层120的第一表面121凸出,本发明对此并不加以限制。通常而言,外部连接端子180可为锡球。至此,半导体封装结构100的制作已大致完成。由于半导体封装结构100不具有核心层,且彼此热耦接的第一芯片140与金属片110皆埋设于介电层120的第二开口124内,因此半导体封装结构100的整体厚度可大幅地减少。另一方面,由于金属片110的底面111会暴露于介电层120的第一表面121,因此半导体封装结构100可具有良好的散热效果。

[0046] 以下将列举其他实施例以作为说明。在此必须说明的是,下述实施例沿用前述实施例的组件标号与部分内容,其中采用相同的标号来表示相同或近似的组件,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施例,下述实施例不再重复赘述。

[0047] 图9是本发明另一实施例的半导体封装结构的剖面示意图。请参考图9,本实施例的半导体封装结构100A的制作流程大致于上述实施例的半导体封装结构100的制作流程相似,两者之间的差异在于:在形成封装胶体170于介电层120的第二表面122上之前,本实施例会另配置第二芯片190于介电层120的第二表面122的上方,第二芯片190的主动表面191面向介电层120的第二表面122。详细而言,本实施例可通过覆晶接合的方式使多个凸块181接合于第二芯片190的主动表面191与图案化线路层130之间,以使第二芯片190电性连接于图案化线路层130。凸块181可为电镀凸块、无电镀凸块、结线凸块、导电聚合物凸块或金属复合凸块,且凸块181的材质可选自下列群组:铜、金、银、锡、铟、镍/金、镍/钯/金、铜/镍/金、铜/金、铝及其合金。另一方面,在形成封装胶体170于介电层120的第二表面122上时,封装胶体170会进一步覆盖第二芯片190以及这些凸块181。因此,被封装胶体170所覆盖的图案化线路层130、第一芯片140、导线160、凸块181以及第二芯片190不易受到外界水气或异物的影响。

[0048] 综上所述,通过本发明的半导体封装结构的制作方法制作所得的半导体封装结构不具有核心层,且彼此热耦接的芯片与金属片皆埋设于介电层的其中一个开口内。另一方面,与介电层上的图案化线路层电性连接的外部连接端子局部埋设于介电层的其他开口内,且金属片会暴露于介电层的其中一表面。因此,本发明的半导体封装结构的整体厚度可大幅地减少,且同时具有良好的散热效果。

[0049] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,任何所属技术领域普通技术人员,在不脱离本发明的精神和范围内,当可作些许的改动与润饰,故本发明的保护范围当视所附权利要求界定范围为准。

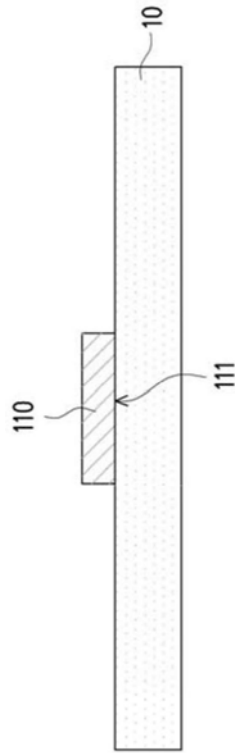


图1

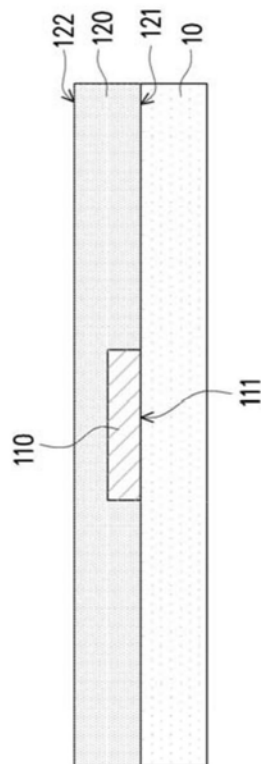


图2



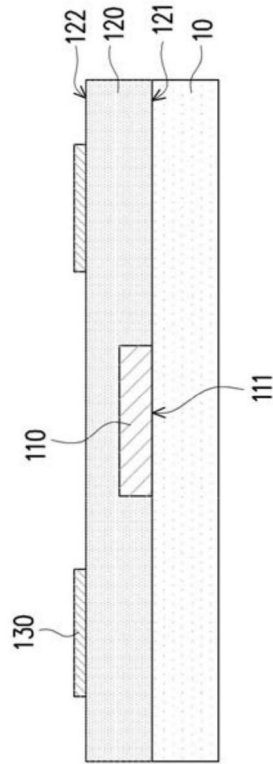


图3

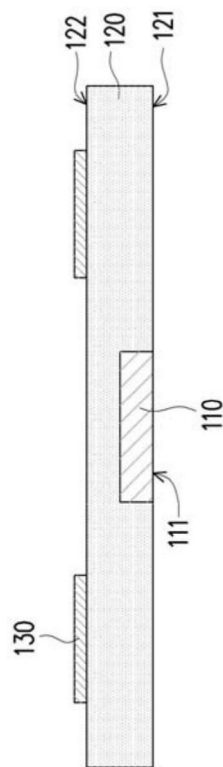


图4

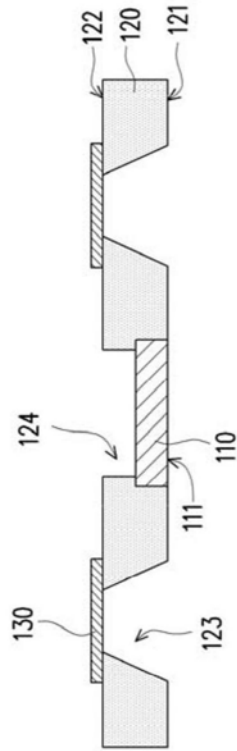


图5

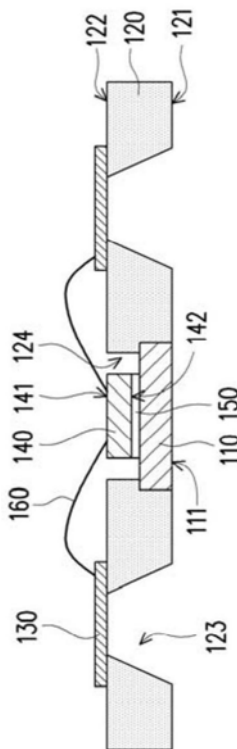


图6



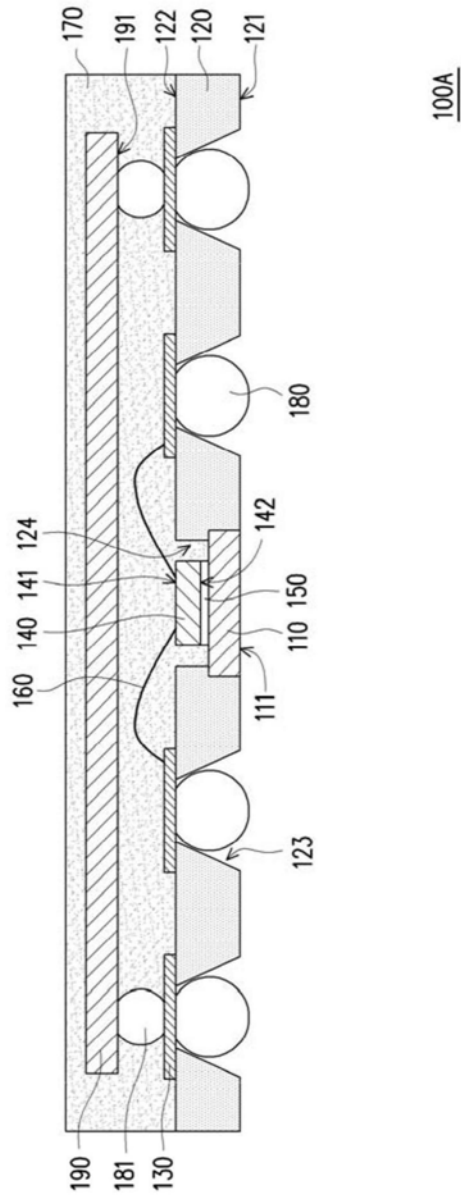


图9