



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I808737 B

(45) 公告日：中華民國 112 (2023) 年 07 月 11 日

(21) 申請案號：111116024

(22) 申請日：中華民國 111 (2022) 年 04 月 27 日

(51) Int. Cl. : **G11C11/419 (2006.01)**

(30) 優先權：2022/03/02 美國 17/685,188

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING COMPANY, LTD. (TW)

新竹市新竹科學工業園區力行六路八號

(72) 發明人：陳建源 CHEN, CHIEN-YUAN (TW)；李哲安 LEE, CHE-AN (TW)；謝豪泰 SHIEH,  
HAU-TAI (TW)；李政宏 LEE, CHENG HUNG (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW 525171B

TW 201621670A

TW 202207228A

US 2012/0287693A1

US 2019/0267096A1

審查人員：林明立

申請專利範圍項數：10 項 圖式數：8 共 55 頁

(54) 名稱

記憶體裝置及其操作方法以及記憶體系統

(57) 摘要

揭示一種記憶體裝置及操作記憶體裝置的方法。在一個態樣中，記憶體裝置包括連接至記憶體陣列的複數個記憶體單元的位元線，位元線具有第一長度。記憶體裝置包括具有基於記憶體陣列的大小決定的第二長度的第一可程式位元線，及連接至位元線及第一可程式位元線的電荷共享電路。電荷共享電路用以將電荷自位元線轉移至第一可程式位元線。記憶體裝置包括連接至第一可程式位元線的放電電路，放電電路用以對第一可程式位元線中的儲存電荷放電。

A memory device and a method of operating the memory device are disclosed. In one aspect, the memory device includes a bit line connected to a plurality of memory cells of a memory array, the bit line having a first length. The memory device includes a first programmable bit line having a second length determined based on a size of the memory array, and a charge sharing circuit connected to the bit line and the first programmable bit line. The charge sharing circuit is configured to transfer a charge from the bit line to the first programmable bit line. The memory device includes a discharge circuit connected to the first programmable bit line, the discharge circuit configured to discharge a stored charge in the first programmable bit line.

指定代表圖：

符號簡單說明：

200:可程式 CS 電路

202:寄生電容器

204:PBL

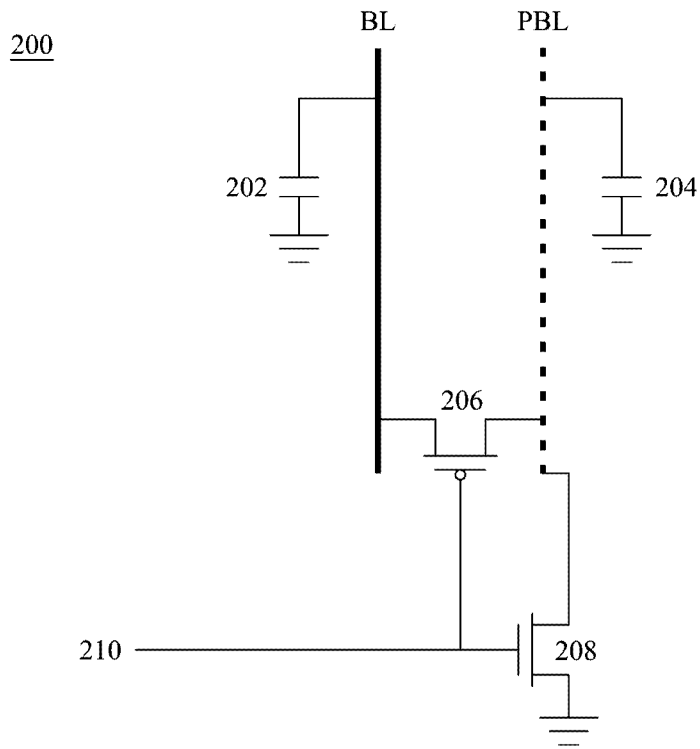
206:CS 電晶體

208:放電電晶體

210:控制訊號線

BL:位元線

PBL:可程式位元線



第 2A 圖



I808737

## 【發明摘要】

## 【中文發明名稱】

記憶體裝置及其操作方法以及記憶體系統

## 【英文發明名稱】

MEMORY DEVICE AND METHOD OF  
OPERATING THE SAME AND MEMORY SYSTEM

## 【中文】

揭示一種記憶體裝置及操作記憶體裝置的方法。在一個態樣中，記憶體裝置包括連接至記憶體陣列的複數個記憶體單元的位元線，位元線具有第一長度。記憶體裝置包括具有基於記憶體陣列的大小決定的第二長度的第一可程式位元線，及連接至位元線及第一可程式位元線的電荷共享電路。電荷共享電路用以將電荷自位元線轉移至第一可程式位元線。記憶體裝置包括連接至第一可程式位元線的放電電路，放電電路用以對第一可程式位元線中的儲存電荷放電。

## 【英文】

A memory device and a method of operating the memory device are disclosed. In one aspect, the memory device includes a bit line connected to a plurality of memory cells of a memory array, the bit line having a first length. The memory device includes a first programmable bit line having a second length determined based on a size of the memory array, and a charge sharing circuit connected to the bit line and the first programmable bit line. The charge sharing circuit is configured to transfer a charge from the bit line to the first programmable bit line. The memory device includes a

discharge circuit connected to the first programmable bit line, the discharge circuit configured to discharge a stored charge in the first programmable bit line.

【指定代表圖】第(2A)圖。

【代表圖之符號簡單說明】

2 0 0	:	可程式 C S 電路
2 0 2	:	寄生電容器
2 0 4	:	P B L C
2 0 6	:	C S 電晶體
2 0 8	:	放電電晶體
2 1 0	:	控制訊號線
B L	:	位元線
P B L	:	可程式位元線

【特徵化學式】

無

## 【發明說明書】

### 【中文發明名稱】

記憶體裝置及其操作方法以及記憶體系統

### 【英文發明名稱】

MEMORY DEVICE AND METHOD OF  
OPERATING THE SAME AND MEMORY SYSTEM

### 【技術領域】

【0001】 本案係關於一種記憶體裝置，特別係關於一種包含位元線、第一可程式位元線、電荷共享電路以及放電電路的記憶體裝置。

### 【先前技術】

【0002】 靜態隨機存取記憶體 (static random access memory, SRAM) 裝置係一種揮發性半導體記憶體，使用不需要更新的雙穩電路系統儲存資料位元。SRAM 裝置通常包括一或多個記憶體陣列，其中各個陣列包括複數個 SRAM 單元。SRAM 單元通常稱為位元格，因為其儲存資訊的一個位元，由兩個交叉耦合反向器的邏輯狀態表示。各個記憶體陣列包括配置成列與行的多個位元格。記憶體陣列中之各個位元格通常包括與電力供應電壓及參考電壓的連接。位元線上的邏輯訊號控制自位元格讀取及寫入至位元格，而字元線控制位元線與反向器的連接，否則反向器會浮動。字元線可沿記憶體陣列的一列耦合至複數個位元格，為不同的列提供不同的字元線。

**【發明內容】**

**【0003】** 本案的一實施例提供一種記憶體裝置，包含位元線、第一可程式位元線、電荷共享電路以及放電電路。位元線連接至記憶體陣列的多個記憶體單元，其中位元線具有第一長度。第一可程式位元線具有第二長度，第二長度是基於記憶體陣列的大小決定。電荷共享電路連接至位元線及第一可程式位元線，其中電荷共享電路用以將電荷自位元線轉移至第一可程式位元線。放電電路連接至第一可程式位元線，其中放電電路用以對第一可程式位元線中的儲存電荷放電。

**【0004】** 本案的另一實施例提供一種記憶體系統，包含記憶體陣列、控制器以及可程式電荷共享電路。記憶體陣列包括具有第一長度的位元線。控制器用以提供控制訊號至記憶體陣列。可程式電荷共享電路連接至控制器及位元線。可程式電荷共享電路包含具有基於記憶體陣列的大小決定的第二長度的第一可程式位元線、連接至位元線及第一可程式位元線的電荷共享電路以及連接至第一可程式位元線的放電電路。電荷共享電路用以將電荷自位元線轉移至第一可程式位元線。放電電路用以對第一可程式位元線中的儲存電荷放電。

**【0005】** 本案的另一實施例提供一種操作記憶體裝置的方法，方法包含以下步驟：在記憶體單元的讀取操作期間，將第一電壓提供至連接至放電電路及電荷共享電路的控制訊號線；基於控制訊號線上的第一電壓，用放電電路對可

程式位元線放電；將不同於第一電壓的第二電壓提供至控制訊號線；及基於控制訊號線上的第二電壓將位元線連接至可程式位元線。

**【圖式簡單說明】**

**【0006】** 本揭示案的態樣在與隨附圖式一起研讀時自以下詳細描述內容來最佳地理解。應注意，根據行業中的標準規範，各種特徵未按比例繪製。實際上，各種特徵的尺寸可為了論述清楚經任意地增大或減小。

第 1 A 圖圖示根據一些實施例的記憶體裝置的示意方塊圖。

第 1 B 圖圖示根據一些實施例的記憶體單元的實例電路圖。

第 2 A 圖圖示根據一些實施例的實例可程式電荷共享電路。

第 2 B 圖圖示根據一些實施例的呈現讀取操作期間使用第 2 A 圖的可程式電荷共享電路的效果的實例波形。

第 3 圖圖示根據一些實施例的電荷共享比的實例電荷共享瓦片矩陣。

第 4 A 圖圖示根據一些實施例的記憶體裝置的實例方塊圖。

第 4 B 圖圖示根據一些實施例的第 4 A 圖的記憶體裝置的實例操作的時序圖。

第 5 圖圖示根據一些實施例的實例可程式電荷共享電路。

第 6 圖圖示根據一些實施例的實例可程式電荷共享電路。

第 7 圖圖示根據一些實施例的實例可程式電荷共享電路。

第 8 圖圖示根據一些實施例的操作記憶體裝置的實例方法的流程圖。

### 【實施方式】

【0007】 以下揭示內容提供用於實施所提供標的物的不同特徵的許多不同實施例、或實例。下文描述組件及配置的特定實例以簡化本揭示案。當然，這些僅為實例且非意欲為限制性的。舉例而言，在以下描述中第一特徵於第二特徵上方或上的形成可包括第一特徵與第二特徵直接接觸地形成的實施例，且亦可包括額外特徵可形成於第一特徵與第二特徵之間使得第一特徵與第二特徵可不直接接觸的實施例。此外，本揭示案在各種實例中可重複參考數字及/或字母。此重複係出於簡單及清楚之目的，且本身且不指明所論述之各種實施例及/或組態之間的關係。

【0008】 此外，為了便於描述，在本文中可使用空間相對術語，諸如「在... ..下方」、「在... ..之下」、「下部」、「在... ..之上」、「上部」、「頂部」、「底部」及類似者，來描述諸圖中圖示之一個元件或特徵與另一（多個）元件或特徵之關係。空間相對術語意欲涵蓋除了諸圖中所描繪的定向以外的裝置在使用或操作時的不同定向。器件可另外定向（旋轉 90 度或處於其他定向），且本文中所使



用之空間相對描述符可類似地加以相應解釋。

【0009】 隨著積體電路 (integrated circuit, IC) 技術的進步，IC 特性（例如，電晶體閘極長度）不斷減少，從而允許在 IC 中實施更多電路系統。不斷進步的一個挑戰係，在矽製程變異度、操作電壓、及溫度 (process variation, operation voltage, and temperature, PVT) 角處，記憶體單元的製造不一致，這可影響記憶體晶片的品質及產量。標準靜態隨機存取記憶體 (static random access memory, SRAM) 記憶體單元包括兩個交叉耦合的反向器，其經由兩個存取電晶體連接至位元線 (bit line, BL) 及位元線棒 (bit line bar, BLB)。藉由透過字元線 (word line, WL) 訊號接通存取電晶體來啟動記憶體單元（例如，存取記憶體單元）。然而，若下拉 n 型金屬氧化物半導體 (n-type metal-oxide-semiconductor, NMOS) 或上拉 p 型金屬氧化物半導體 (p-type metal-oxide-semiconductor, PMOS) 不平衡（例如，適當分粒級或具有不平衡電阻），則在讀取操作期間，記憶體單元的儲存資料可受到干擾。這一現象稱為讀取靜態雜訊容限 (read static noise margin, RSNM) 違反。發生這一情況時，電流可自 BL/BLB 經由下拉電晶體流動至地，這可干擾 BL/BLB 上的電壓位準，並導致記憶體單元的資料無意翻轉，從而導致記憶體單元損壞。

【0010】 解決此問題的典型方法包括幾種方法。第一方法係將 WL 的金屬方案自雙金屬改為單金屬，這可使 WL 在高

壓下的迴轉率惡化，從而降低存取電晶體的強度。然而，這可導致高電壓下的訊號完整性問題。第二方法包括減小 WL 驅動器的大小，這亦可使 WL 迴轉率惡化以至存取電晶體的強度。然而，這可導致讀取/寫入容限進一步微調，並加入裁切行用於支援電壓範圍。第三方法包括抑制 WL 電壓，這可導致 WL 電壓降低，從而降低存取電晶體強度。然而，類似於第二方法，這可導致讀取/寫入容限進一步微調，並加入裁切行用於支援電壓範圍。第四方法包括 WL 驅動器的頭座，這可惡化 WL 迴轉率。然而，字元線中的電壓降可導致定時及電力輸送問題。因此，希望能可靠地保持高 RSNM。

【0011】 在本揭示案中，可形成一可程式電荷共享 (charge sharing, CS) 電容器，以提供比現有技術多的優勢。舉例而言，電荷共享電路可用於將位元線及位元線棒連接至可程式位元線及可程式位元線棒。可程式位元線及可程式位元線棒可自相應位元線或位元線棒接收電荷，以降低位元線及/或位元線棒上的電壓。這可顯著減少存取電晶體啟動時提供至下拉電晶體的電流的突然流入。可程式線可形成為與相應的位元線/位元線棒平行的金屬結構，且可程式線亦可具有不同的長度。根據位元線及/或位元線棒需要多少電荷共享，相應的程式化位元線或位元線棒的長度可充分幫助電荷共享，從而相應位元線及/或位元線棒可具有低於電源電壓 VDD 的電壓。這可有利地導致下拉電阻器的汲極處的電壓彈跳降低，從而增加 RSNM 並降低記憶體單元

中無意位元翻轉的概率。

【0012】 第 1 A 圖圖示根據一些實施例的記憶體裝置 100 的示意方塊圖。記憶體裝置係一種類型之 IC 裝置。在至少一個實施例中，記憶體裝置係單獨 IC 裝置。在一些實施例中，記憶體裝置包括為更大 IC 裝置的一部分，IC 裝置包含除記憶體裝置之外的用於其他功能性的電路系統。

【0013】 記憶體裝置 100 包含至少一個記憶體單元 103 及一控制器（亦稱為「控制電路」）102，經耦合以控制記憶體單元 103 的操作。在第 1 A 圖中的實例組態中，記憶體裝置 100 包含在記憶體陣列 104 中配置成複數個行與列的複數個記憶體單元 103。記憶體裝置 100 進一步包含沿列延伸的複數個字元線  $WL[0]$  至  $WL[m]$  及沿記憶體單元 103 的行延伸的複數個位元線（亦稱為「資料線」） $BL[0]$  至  $BL[k]$ 。儘管第 1 A 圖中未顯示，但可存在互補的位元線棒  $BLB[0]$  至  $BLB[k]$ ，其實質上平行於複數個位元線  $BL[0]$  至  $BL[k]$  延伸。記憶體單元 103 中之各者藉由字元線中之至少一者、及 / 或位元線及 / 或位元線棒中之至少一者耦合至控制器 102。字元線的實例包括但不限於用於傳輸待讀取的記憶體單元 103 的位址的讀取字元線、用於傳輸待寫入的記憶體單元 103 的位址的寫入字元線、或類似者。在至少一個實施例中，一組字元線用以執行為讀取字元線及寫入字元線兩者。位元線的實例包括用於傳輸自由相應字元線指示的記憶體單元 103 讀取的資料的讀取位元線、用於傳輸待寫入由相應字元線指示的記憶體單元 103

的資料的寫入位元線、或類似者。在至少一個實施例中，一組位元線用以執行為讀取位元線及寫入位元線兩者。在一或多個實施例中，各個記憶體單元 103 耦合至稱為位元線及位元線棒的一對位元線。字元線在本文中通常稱為 WL，而位元線在本文中通常稱為 BL。記憶體裝置 100 中的各種數目的字元線及/或位元線在各種實施例的範疇內。

【0014】 在第 1A 圖中的實例組態中，控制器 102 包含字元線驅動器 112、時脈產生器 114、位元線驅動器 116、及感測放大器 (sense amplifier, SA) 118，用以執行讀取操作或寫入操作中之至少一者。在至少一個實施例中，控制器 102 進一步包括一或多個時脈產生器，用於為記憶體裝置 100 的各種組件提供時脈訊號；一或多個輸入/輸出 (input/output, I/O) 電路，用於與外部裝置進行資料交換；及/或一或多個控制器，用於控制記憶體裝置 100 中的各種操作。在至少一個實施例中，省略時脈產生器 114。在一些實施例中，SA 118 的輸入可包括多工器 (multiplexor, mux)，其可接收複數個輸入，舉例而言，複數個位元線（及位元線棒）。控制器可提供控制訊號至 mux，以便 mux 可在感測的位元線上提供訊號至 SA 118，SA 118 可提供輸出訊號至包括 I/O 襯墊的 I/O 電路。此外，記憶體裝置中可有複數個 SA 118。舉例而言，在具有 1064 個行的記憶體裝置中，可有 256 個 SA 118，各個 SA 118 具有 4 個位元線，這些位元線連接至提供被選位元線訊號至 SA 118 的 mux。

【0015】 字元線驅動器 112 透過字元線 **WL** 耦合至記憶體陣列 104。字元線驅動器 112 用以解碼被選記憶體單元 103 的列位址，以便在讀取操作或寫入操作中存取。字元線驅動器 112 用以將電壓供應至對應於解碼列位址的被選字元線 **WL**，並供應不同的電壓至其他、未被選字元線 **WL**。在一些實施例中，字元線驅動器 112 可包括複數個字元線驅動器，這些字元線驅動器連接至字元線群組，並提供一字元線訊號至這些字元線。舉例而言，記憶體裝置中的列數目可對應於字元線驅動器的數目除以多工器的數目。

【0016】 位元線驅動器 116（亦稱為「寫入驅動器」）透過位元線 **BL** 耦合至記憶體陣列 104。位元線驅動器 116 用以解碼被選記憶體單元 103 的行位址，以便在讀取操作或寫入操作中存取。位元線驅動器 116 用以將電壓供應至對應於解碼列位址的被選位元線 **BL**，並供應不同的電壓至其他、未被選位元線 **BL**。在寫入操作中，位元線驅動器 116 用以供應寫入電壓（亦稱為「程式化電壓」）至被選位元線 **BL**。在讀取操作中，位元線驅動器 116 用以供應讀取電壓至被選位元線 **BL**。

【0017】 **SA 11** 透過位元線 **BL** 耦合至記憶體陣列 104。在讀取操作中，**SA 118** 用以感測自所存取記憶體單元 103 讀取並經由相應位元線 **BL** 擷取的資料。所描述的記憶體裝置組態係一實例，其他記憶體裝置組態在各種實施例的範疇內。在至少一個實施例中，記憶體裝置 100 係揮發性記憶體，且記憶體單元 103 係 **SRAM** 記憶體單元。其他

類型之記憶體在各種實施例的範疇內。記憶體裝置 100 的實例記憶體類型包括但不限於 SRAM、動態隨機存取記憶體 (dynamic random access memory, DRAM)、或類似者。

【0018】 本揭示案中的電晶體顯示為具有特定類型 (n 型或 p 型)，但實施例不限於此。電晶體可係任何適合類型之電晶體，包括但不限於金屬氧化物半導體場效電晶體 (metal oxide semiconductor field effect transistor, MOSFET)、互補金屬氧化物半導體 (complementary metal oxide semiconductor, CMOS) 電晶體、P 通道金屬氧化物半導體 (P-channel metal-oxide semiconductor, PMOS)、N 通道金屬氧化物半導體 (N-channel metal-oxide semiconductor, NMOS)、雙極接面電晶體 (bipolar junction transistor, BJT)、高壓電晶體、高頻電晶體、P 通道及 / 或 N 通道場效電晶體 (P-channel and/or N-channel field effect transistor, PFET/NFET)、鰭式場效電晶體 (FinFET)、具有抬升式源極 / 汲極的平面 MOS 電晶體、奈米片 FET、奈米線 FET、或類似者。

【0019】 在一些實施例中，控制器 102 包括字元線驅動器 112、時脈產生器 114、位元線驅動器 116、及感測放大器 118，以及複數個其他電路，諸如一或多個多工器、一或多個通路閘電晶體 (或通路電晶體) 及 / 或一或多個位準移位器，其中這些其他電路中之各者可包括 p 型或 n 型電

晶體。多工器、通路閘電晶體、感測放大器 118、及位準移位器通常可設置於字元線驅動器 112、時脈產生器 114、及/或位元線驅動器 118 的相對側上。控制器 102 可設置於基板上，並經由設置於一或多個金屬化層及/或一或多個通孔結構中的一或多個位元線 BL、及/或一或多個字元線 WL 連接至記憶體陣列 104。

**【0020】** 在一些實施例中，列可定義為字元線驅動器的數目除以  $m u x$  至感測放大器 118 的輸入的數目，而行的數目可定義為 I/O 襯墊的數目乘以  $m u x$  輸入的數目。然而，實施例不限於此。

**【0021】** 第 1B 圖圖示根據一些實施例的記憶體單元 103 的實例電路圖。記憶體單元 103 包括形成六電晶體 (six-transistor, 6T) SRAM 記憶體單元的六個電晶體。在一些實施例中，記憶體單元 103 可實施為各種其他 SRAM 單元中之任意一者，諸如舉例而言，二電晶體二電阻 (two-transistor-two-resistor, 2T-2R) SRAM 單元、四電晶體 (four-transistor, 4T) SRAM 單元、八電晶體 (eight-transistor, 8T) SRAM 單元、十電晶體 (ten-transistor, 10T) SRAM 單元等。儘管本揭示案的討論係針對 SRAM 單元，但應理解，本揭示案的其他實施例亦可用於任何其他記憶體單元中，諸如舉例而言，動態隨機存取記憶體 (dynamic random access memory, DRAM) 單元。

**【0022】** 如第 1B 圖中所示，記憶體單元 103 包括 6 個電

晶體：電晶體 M1、M2、M3、M4、M5、及 M6。電晶體 M1 及 M2 形成為第一反向器，而電晶體 M3 及 M4 形成為第二反向器，其中第一反向器及第二反向器彼此交叉耦合。具體而言，第一反向器及第二反向器各個耦合於第一參考電壓 101 與第二參考電壓 128 之間。在一些實施例中，第一參考電壓 101 係施加於記憶體單元 100 的供應電壓的電壓位準，其通常稱為「VDD」。第二參考電壓 128 通常稱為「地」(ground)。第一反向器(由電晶體 M1 及 M2 形成)耦合至電晶體 M5，而第二反向器(由電晶體 M3 及 M4 形成)耦合至電晶體 M6。除了耦合至第一反向器及第二反向器以外，電晶體 M5 及 M6 各個耦合至字元線(word line, WL) 105，並分別耦合至位元線(bit line, BL) 107 及位元線棒 109 (bit line bar, BLB)。

**【0023】** 在一些實施例中，電晶體 M1 及 M3 稱為記憶體單元 103 的上拉電晶體(以下分別稱為「上拉電晶體 M1」及「上拉電晶體 M3」)；電晶體 M2 及 M4 稱為記憶體單元 103 的下拉電晶體(以下分別稱為「下拉電晶體 M2」及「下拉電晶體 M4」)；且電晶體 M5 及 M6 稱為記憶體單元 103 的存取電晶體(以下分別稱為「存取電晶體 M5」及「存取電晶體 M6」)。在一些實施例中，電晶體 M2、M4、M5、及 M6 各個包括 n 型金屬氧化物半導體(n-type metal-oxide-semiconductor, NMOS)電晶體，而電晶體 M1 及 M3 各個包括 p 型金屬氧化物半導體(p-type metal-oxide-semiconductor, PMOS)電晶體。儘管



圖示的第 1 B 圖的實施例顯示電晶體 M 1 ~ M 6 係 N M O S 或 P M O S 電晶體，但適合在記憶體裝置中使用的多種電晶體或裝置中之任意者可實施為電晶體 M 1 ~ M 6 中之至少一者，諸如舉例而言，雙極接面電晶體 ( b i p o l a r j u n c t i o n t r a n s i s t o r ， B J T ) 、 高 電 子 遷 移 率 電 晶 體 ( h i g h - e l e c t r o n - m o b i l i t y t r a n s i s t o r ， H E M T ) 等。

【0024】 存取電晶體 M 5 及 M 6 各個具有耦合至 W L 1 0 5 的閘極。電晶體 M 5 及 M 6 的閘極用以經由 W L 1 0 5 接收脈衝訊號，以相應地允許或阻止記憶體單元 1 0 3 的存取，這將在下文中進一步詳細討論。電晶體 M 2 與 M 5 在節點 1 1 0 處用電晶體 M 2 的汲極及電晶體 M 5 的源極彼此耦合。節點 1 1 0 進一步耦合至電晶體 M 1 的汲極及節點 1 2 2 。電晶體 M 4 及 M 6 在節點 1 2 4 處用電晶體 M 4 的汲極及電晶體 M 6 的源極彼此耦合。節點 1 2 4 進一步耦合至電晶體 M 3 的汲極及節點 1 2 6 。

【0025】 當記憶體單元（例如，記憶體單元 1 0 3 ）儲存資料位元時，位元格的第一節點組態為處於第一邏輯狀態（邏輯 1 或邏輯 0 ），且位元格的第二節點組態為處於第二邏輯狀態（邏輯 0 或邏輯 1 ）。第一邏輯狀態及第二邏輯狀態彼此互補。在一些實施例中，第一節點處的第一邏輯狀態可表示儲存於記憶體單元中的資料位元的邏輯狀態。舉例而言，在第 1 B 圖中所示的實施例中，當記憶體單元 1 0 3 以邏輯 1 狀態儲存資料位元時，節點 1 1 0 組態為處於邏輯 1 狀態，而節點 1 2 4 組態為處於邏輯 0 狀態。

【0026】 為了讀取儲存於記憶體單元 103 中的資料位元的邏輯狀態，BL 107 及 BLB 109 預充電至 VDD（例如，邏輯高）。接著 WL 105 藉由確定訊號確定或啟動為邏輯高，從而接通存取電晶體 M5 及 M6。具體地，分別在存取電晶體 M5 及 M6 的閘極處接收確定訊號的上升沿，以便接通存取電晶體 M5 及 M6。一旦存取電晶體 M5 及 M6 接通，基於資料位元的邏輯狀態，預充電的 BL 107 或 BLB 109 可開始放電。舉例而言，當記憶體單元 103 儲存邏輯 0 時，節點 110 可呈現與邏輯 0 對應的電壓，而節點 124 可呈現與互補邏輯 1 對應的電壓。回應於存取電晶體 M5 及 M6 接通，可提供一放電路徑，放電路徑自預充電的 BL 107 開始、經由存取電晶體 M5 及下拉電晶體 M2、並至地 128。沿放電路徑，存取電晶體 M5 及下拉電晶體 M2 可分別傳導電流 I5 及電流 I2。當 BL 107 上的電壓位準由此類放電路徑下拉時，下拉電晶體 M4 可保持關斷。因此，BL 107 及 BLB 109 可分別呈現一電壓位準，以在 BL 107 與 BLB 109 之間產生足夠大的電壓差。因此，耦合至 BL 107 及 BLB 109 的感測放大器 118 可使用電壓差的極性來判定資料位元的邏輯狀態係邏輯 1 或邏輯 0。

【0027】 RSNM 係在讀取操作期間將 WL 及 BL/BLB 連接至 VDD 時存在的 SNM。當 WL 接通（或經啟動）時，儲存邏輯 0 的節點可位於分壓器的中間（例如，在電晶體 M5 與 M2 之間或電晶體 M6 與 M4 之間）。因此，這一「讀

取干擾」缺陷可自 BL 經由電晶體 M5 及 M2 吸取電流至參考 128 或自 BLB 經由電晶體 M6 及 M4 吸取電流至參考 128。在讀取或寫入操作期間，沿被選 WL 105 的半選記憶體單元 103 經歷虛擬讀取操作。且由於讀取干擾，若由讀取干擾引起的沿 BL 及 BLB 的電壓變化高於 RSNM，則半選記憶體單元 103 中的儲存資料存在經歷無意位元翻轉的風險。在預先處理中，位元格（或記憶體單元 103）失配變得更大，這有助於節點 110 或 124 處的雜訊電壓。當在快速 NMOS 慢速 PMOS 或快速 NMOS 快速 PMOS (fast NMOS with slow PMOS or fast NMOS with fast PMOS, FS/FF) 下用高溫及高壓處理時，讀取干擾可導致具有強下拉電晶體 M2 或 M4 的單元翻轉。舉例而言，在高溫及更高的失配情況下，RSNM 降低，這會增加無意位元翻轉的風險。

**【0028】** 舉例而言，在記憶體單元 103 的讀取操作開始時，節點 110 可具有邏輯 0（例如，0V），而節點 124 可具有邏輯 1（例如，VDD）。且 BL 及 BLB 可能已預充電，例如，VDD。當電晶體 M5 接通時，儲存於 BL 上的電荷流動穿過電晶體 M5 並流向節點 110。電荷的流入導致節點 110 處的電壓自 0V 彈跳至大於 0V 的一些電壓。若節點 110 處的彈跳足夠高，則其可導致包括電晶體 M3 及 M4 的反向器將節點 124 處的輸出自 VDD 過渡至 0V，從而導致無意位元翻轉。因此，需要保持節點 110 處的電壓彈跳低。

【0029】 解決這一問題的各種現存方法係不充分的。舉例而言，藉由增加升壓帽來提升 SRAM 單元的供應電壓係不充分的，因為上拉 PMOS 電晶體亦加強，這可導致在寫入操作期間將資料寫入 SRAM 單元中的能力。另一實例係，藉由減小 WL 驅動器的尺寸來降低 WL 上電壓位準的上升沿可導致性能下降，以及在低電壓及低溫下寫入記憶體單元中的能力。此外，WL 末端處的單元可遭受額外的性能下降及讀取容限影響。此外，為 WL 驅動器設計不同尺寸會導致更大的設計工作量，並導致更高的性能、功率、及/或面積 (performance, power, and/or area, PPA) 退化。因此，需要在不受 PPA 影響的情況下降低由於 RSNM 違反而導致的無意位元翻轉的風險。

【0030】 第 2A 圖圖示根據一些實施例的實例可程式 CS 電路 200。可程式 CS 電路 200 包括可程式位元線 (programmable bit line, PBL) (或電荷共享位元線或 CSBL)、CS 電晶體 (或 CS 子電路) 206、及放電電晶體 (或放電電路) 208。PBL 可示意性地表示為 PBL 電容器 (PBL capacitor, PBLC) 204，其可包括寄生電容器。CS 電晶體 206 及放電電晶體 208 兩者均可由控制訊號線 210 上提供的控制訊號控制，儘管實施例不限於此。可程式 CS 電路 200 連接至具有寄生電容器 202 的位元線 BL。儘管某些電路組件如第 2A 圖中所示，但實施例並不限於此，可為可程式 CS 電路 200 提供更多、更少、或不同的組件。應理解，在本揭示案的精神範疇內，可對

可程式 CS 電路 200 進行各種修改。此外，儘管未分開圖示或描述，但所揭示的技術亦可應用於 BLB，而不僅係 BL。舉例而言，可程式 CS 電路 200 亦可相鄰於 BLB 設置，以便減少或消除由 BLB 電壓彈跳 (voltage bounce) 引起的無意位元翻轉的發生。因此，為了簡單明瞭，省略類似的描述。

**【0031】** 通常，在包括記憶體裝置的積體電路晶片中，金屬層 ML0、ML2、ML4、及 ML6（以及潛在的其他層）（偶數編號金屬層）內的金屬結構可例如實質上彼此平行，且金屬層 ML1、ML3、ML5、及 ML7（以及可能的其他層）（奇數編號金屬層）內的金屬結構可實質上彼此平行。偶數編號金屬層中形成的金屬結構可形成為實質上垂直於奇數編號金屬層中形成的金屬結構。因此，藉由在偶數編號金屬層與奇數編號金屬層重疊的位置處形成填充有導電材料的通路孔，電子組件可彼此電連接，即使其彼此分開設置。

**【0032】** PBL（及 PBL C 204）可形成為記憶體裝置中金屬層中的金屬結構。若記憶體裝置的位元線 BL 形成為金屬層 ML0 中的金屬結構，則 PBL 可形成為偶數編號金屬層（例如，金屬層 ML2、ML4、或 ML6）中的金屬結構。若位元線 BL 形成為金屬層 ML1 中的金屬結構，則 PBL 可形成為奇數編號的金屬層（例如，金屬層 ML3、ML5、或 ML7）中的金屬結構。

**【0033】** 當製造記憶體裝置（例如，記憶體裝置 100）時，

記憶體裝置可包括具有相同長度且平行於 **BL** 設置的一組 **PBL**。然而，不同的記憶體裝置大小可導致不同的 **PBL** 長度。舉例而言，對於具有大量 **WL** 驅動器及少量 **I/O** 襯墊的第一記憶體裝置，可能存在長度與 **BL** 相同或實質上相同的 **PBL**。若第二記憶體裝置具有少於第一記憶體裝置的 **WL** 驅動器數目但 **I/O** 襯墊的數目相同，則第二記憶體裝置可具有約為 **BL** 長度的  $1/2$  的 **PBL**。此外，對於具有與第一記憶體裝置相同數目的 **WL** 驅動器及比第一記憶體裝置及第二記憶體裝置兩者更多數目的 **I/O** 襯墊的第三記憶體裝置，**PBL** 的長度可更小（例如，**BL** 長度的  $1/8$ ）。仍然進一步，對於具有比第一記憶體裝置及第三記憶體裝置更少的 **WL** 驅動器但比第二記憶體裝置更多的 **I/O** 襯墊的第四記憶體裝置，**PBL** 長度可更小（例如，**BL** 長度的  $1/32$ ）。因此，隨著 **WL** 驅動器的減少及 **I/O** 襯墊的增加，**PBL** 的長度可減少。類似地，可存在為 **BL** 長度的約  $1/4$ 、約  $1/8$ 、約  $1/16$ 、或約  $1/32$  的 **PBL**。取決於 **PBL** 相對於 **BL** 的長度，**PBLC 204** 的電容可變化。舉例而言，**PBL** 越長，**PBLC 204** 的電容可越大。儘管描述 **PBL** 相對於 **BL** 的某些長度及比，但實施例不限於此，且 **PBL** 的長度可係小於、等於、或大於 **BL** 的任何長度。

**【0034】** **CS** 電晶體 **206** 具有可連接至 **BL** 及 **PBLC** 的源極及汲極 (**source and drain, S/D**) 端子。當 **CS** 電晶體 **206** 接通時，儲存於 **BL**（及寄生電容器 **202**）上的電荷可與 **PBL** 共用並對 **PBLC 204** 充電。**CS** 電晶體 **206**

可由控制訊號線 210 上的控制訊號控制。CS 電晶體 206 可基於 CS 電晶體 206 接通時長來程式化。舉例而言，若 CS 電晶體 206 接通較短的電荷共享期，則在 BL 與 PBL C 204 之間可發生較少的 CS，且若 CS 電晶體 206 接通較長的 CS 期，則在 BL 與 PBL C 204 之間可發生更多的 CS，使得儲存於 BL 及 PBL C 204 上的電荷相似。因此，藉由考慮 PBL 的電荷率，CS 電晶體 206 可提供來自 BL 的所需電荷量。

【0035】 放電電晶體 208 可接通以將 PBL C 204 上的電荷放電至地。舉例而言，可在 PBL 透過 CS 電晶體 206 自 BL 接收電荷之前執行放電。

【0036】 在一些實施例中，CS 電晶體 206 包括 PMOS 電晶體，而放電電晶體包括 NMOS 電晶體。因此，當放電電晶體 208 接通時，CS 電晶體 206 可關斷。且當放電電晶體 208 關斷時，CS 電晶體 206 可接通。然而，實施例不限於此，且 CS 電晶體 206 可包括 NMOS 電晶體或可共同分享自 BL 至 PBL C 204 的電荷的電路組件之任何組合。類似地，放電電晶體 208 可包括 PMOS 電晶體或可共同將 PBL C 204 上的電荷放電至地的電路組件之任何組合。

【0037】 控制器（例如，控制器 102）可為控制訊號線 210 提供控制訊號。控制器可計算電荷共享期，包括接通/關斷 CS 電晶體 206 及放電電晶體 208 的時長。電荷共享量可取決於例如記憶體裝置上有多少個 WL 驅動器及/或有多少個輸入/輸出(input/output, I/O)襯墊。CS 量可取決

於 W L 驅動器及 I/O 襯墊的數目，因為不同分粒級的記憶體裝置（例如，記憶體裝置 100）可比其他裝置更易於發生更強及/或更高的電壓彈跳。

【0038】 舉例而言，若記憶體裝置上有 1024 個 W L 驅動器及 8 個 I/O 襯墊，則記憶體裝置可易於發生更多電壓彈跳。因此，可將 P B L 長度設定為類似於記憶體裝置的 B L 的長度。另一方面，若記憶體裝置中有 240 個 W L 驅動器及 72 個 I/O 襯墊，則與具有 1024 個 W L 驅動器及 8 個 I/O 襯墊的記憶體裝置相比，該記憶體裝置可較不易於發生電壓彈跳。因此， $240 \times 72$  記憶體裝置可包括具有較小比的 P B L（例如，P B L 長度係 B L 長度的  $1/4$ ）。另一實例係，若記憶體裝置有 1024 個 W L 驅動器及 144 個 I/O 襯墊，則這一記憶體裝置可比  $240 \times 72$  記憶體裝置更不易於發生電壓彈跳。這一記憶體裝置可有具有較小比的 P B L（例如，P B L 長度可係 B L 長度的  $1/8$ ）。作為進一步實例，若記憶體裝置具有 240 個 W L 驅動器及 144 個 I/O 襯墊，則 P B L 長度可係 B L 長度的  $1/32$ ，因為這一記憶體裝置更不易於發生電壓彈跳。因此，控制器可使 B L 與 P B L 電荷共享，P B L 的長度取決於控制器自哪個 W L 驅動器及 I/O 襯墊讀取記憶體單元。因此，記憶體裝置可設計為具有一 P B L 長度，其取決於記憶體裝置的大小，其可在讀取操作期間最大化記憶體裝置的性能。因此，儲存於 B L 上的電荷可減少，使得（第 1 B 圖的）節點 110 處發生的電壓彈跳可減少，這可增加 R S N M 並消除無意位元翻轉。



【0039】 第 2 B 圖圖示根據一些實施例的實例波形，這些波形有助於顯示在讀取操作期間使用第 2 A 圖的可程式電荷共享電路的效果。圖形 2 5 0 包括記憶體單元（例如，記憶體單元 1 0 3）的不同節點處的若干波形 2 5 2、2 5 4、2 5 6、及 2 5 8，而圖形 2 6 0 係圖形 2 5 0 的一部分的詳細視圖。圖形 2 5 0 及 2 6 0 的 x 軸對應於時間，而 y 軸對應於電壓。波形 2 5 2 與 2 5 4 彼此插入以顯示差異。類似地，波形 2 5 6 與 2 5 8 彼此插入。此外，波形 2 5 2 及 2 5 4 置放於波形 2 5 6 及 2 5 8 之上以顯示讀取操作中在同一時間點（例如，在預充電完成之後）處發生的不同節點處的電壓。一般技藝人士將認識到，波形係作為實例顯示的，且實施例不限於此。

【0040】 波形 2 5 2 係在沒有可程式電荷共享電路的情況下，在 B L（例如，記憶體單元 1 0 3 的 B L）處量測的。波形 2 5 4 係用例如可程式電荷共享電路 2 0 0 在 B L（例如，記憶體單元 1 0 3 的 B L）處量測的。波形 2 5 6 係在沒有可程式電荷共享電路的情況下在存取電晶體（例如，電晶體 M 5）與下拉電晶體（例如，電晶體 M 2）之間的分壓器節點（例如，節點 1 1 0）處量測的。且波形 2 5 8 係用可程式電荷共享電路 2 0 0 在存取電晶體（例如，電晶體 M 5）與下拉電晶體（例如，電晶體 M 2）之間的分壓器節點（例如，節點 1 1 0）處量測的。

【0041】 在讀取操作的同一時間點處，波形 2 5 2 的電壓量測值大於波形 2 5 4 的電壓量測值。因此，如波形 2 5 6 中所示，分壓器節點處的電壓量測值大於波形 2 5 8 的分壓器節

點處的電壓量測值。

【0042】 如詳細圖形 260 中所示，包括可程式電荷共享電路（顯示於波形 258 中）的記憶體裝置的電壓量測值比沒有可程式電荷共享電路（顯示於波形 256 中）的記憶體裝置的電壓量測值低約 37 mV。由於分壓器節點處的電壓降低，記憶體單元具有增加的 RSNM，這可減少及/或消除發生無意位元翻轉的可能性。

【0043】 第 3 圖圖示根據一些實施例的 CS 比的實例 CS 瓦片 (tile) 矩陣 300。x 軸對應於記憶體裝置（例如，記憶體裝置 100）上的 I/O 襯墊數目，而 y 軸對應於記憶體裝置的 WL 驅動器數目。如上所述，PBL 的長度（可決定發生多少電荷共享）可取決於記憶體裝置的 WL 驅動器數目及 I/O 襯墊數目。在本揭示案中，術語「記憶體陣列」及「記憶體裝置」可互換地用於表示配置於 WL 驅動器及 I/O 襯墊中的記憶體單元矩陣。

【0044】 CS 瓦片矩陣 300 可包括具有不同邊界的複數個瓦片，取決於 WL 驅動器的數目及 I/O 襯墊的數目。舉例而言，瓦片 310 可指示對於具有 Y2 至 Y3 數目的 WL 驅動器及 X0 至 X1 數目的 I/O 襯墊的所有記憶體陣列，CS 比可係 1:1，這意謂 PBL 可與 BL 一樣長。瓦片 320 可指示對於具有 Y2 至 Y3 數目的 WL 驅動器及 X2 至 X3 數目的 I/O 襯墊的所有記憶體陣列，CS 比可係 1:8，這意謂 PBL 長度可係 BL 長度的 1/8。瓦片 330 可指示，對於具有 Y0 至 Y1 數目的 WL 驅動器及 X0 至 X1 數目的 I/O

襯墊的所有記憶體陣列，CS 比可係 1:4，這意謂 PBL 長度可係 BL 長度的 1/4。瓦片 340 可指示，對於具有 Y0 至 Y1 數目的 WL 驅動器及 X2 至 X3 數目的 I/O 襯墊的所有記憶體陣列，CS 比可係 1:32，這意謂 PBL 長度可係 BL 長度的 1/32。

**【0045】** 儘管 CS 瓦片矩陣 300 包括四個瓦片，但實施例不限於此，且可考慮任意數目的瓦片及組態。舉例而言，在 x 方向或 y 方向上可有更多或更少的瓦片。此外，瓦片可具有非四邊形形狀。舉例而言，晶片設計師可決定一瓦片可包括多種形狀，諸如矩形、六邊形、圓形等，取決於晶片設計師選擇如何設計記憶體陣列以及該記憶體陣列可發生多少電荷共享。

**【0046】** 第 4A 圖圖示根據一些實施例的記憶體裝置 400 的實例方塊圖。記憶體裝置 400 包括記憶體陣列 402 及 404、WL 驅動器 412（例如，WL 驅動器 112）、追蹤陣列 440、主控制器 410、以及輸入/輸出(input/output, I/O) 電路 452 及 454。WL 驅動器 412、主控制器 410、及/或追蹤陣列 440 在本揭示案中可統稱為控制器（例如，控制器 102）。一般技藝人士將認識到，第 4A 圖中的實例方塊圖不包括可實施為記憶體裝置 400 的一部分的若干訊號線及/或電路，且為了清晰及簡單起見，省略這些訊號線及/或電路。

**【0047】** 記憶體陣列 402 及 404 可包括配置於 WL 驅動器及 I/O 襯墊中的 SRAM 記憶體單元（例如，記憶體單元

103) 的陣列。記憶體陣列 402 及 404 可設置於字元線驅動器 412 的相對側上。

**【0048】** 可使用各種電路及訊號線來塑模及/或追蹤記憶體陣列，以便主控制器 410 能夠準確、及時地產生用於記憶體裝置 400 的操作的訊號。舉例而言，追蹤陣列 440 可包括 SRAM 記憶體單元（或 I/O 襯墊）的陣列，其用於透過輸出至主控制器 410 的 TRKBL 訊號來定時追蹤記憶體裝置 400，以便主控制器 410 可知道何時觸發某些時脈及/或控制訊號邊緣。舉例而言，TRKBL 訊號線可模擬 SRAM 記憶體陣列 402 及 404 中的位元線，使得 TRKBL 訊號可基於 SRAM 記憶體陣列 402 及 404 的條件上升及下降。舉例而言，當 CKPB 訊號可上升及下降時 TRKBL 訊號可觸發，這將在下文進一步詳細描述。

**【0049】** 主控制器 410 可連接至 WL 驅動器 412。主控制器 410 可接收延遲為 TRKBLD 訊號的 TRKBL 訊號以產生電荷共享致能 CSENB 訊號，CSENB 訊號可用於為例如第 2A 圖的控制訊號線 210 提供控制訊號。舉例而言，電荷共享致能訊號 CSENB 可由反向器緩衝器延遲，以產生用於 SRAM 陣列 402 的 GLB\_CSENB\_L 訊號及用於 SRAM 陣列 404 的 GLB\_CSENB\_R 訊號。CSENB 訊號可用接收 TRKBLD 訊號及 BLEQB 訊號作為輸入的反及閘產生，其係控制/致能 BL/BLB 預充電的訊號。BLEQB 訊號可輸入至反向器中，該反向器可用於產生全域 BLEQB 訊號（例如，用於 SRAM 陣列 402 的

GLB\_BLEQ\_L 及用於 SRAM 陣列 404 的 GLB\_BLEQ\_R )，全域 BLEQB 訊號路由至全部 I/O 電路。在各個 I/O 電路內，可產生區域 BLEQB 訊號 LOC\_BLEQB 訊號，用於 I/O 電路內的預充電電路。如第 4A 圖中所示，可使用緩衝器（例如，複數個串聯連接的反向器）來延遲 CSENB 訊號。儘管某些電路組件顯示為用於產生某些訊號，但實施例並不限於此，且可使用多種其他電路組件或電路組件之組合來產生相同或類似的訊號。舉例而言，可使用兩個以上的反向器（例如，4 個、6 個等）作為緩衝器來延遲 CSENB 訊號。

**【0050】** 除其他事項外，I/O 電路 452 及 454 中之各者均可包括感測放大器（例如，感測放大器 118）。I/O 電路 452 及 454 可接收包括例如輸入資料及寫入致能訊號作為輸入，並自 SRAM 陣列 402 及 404 中的記憶體單元讀取資料作為輸出。儘管未顯示，但一般技藝人士將認識到，複數個 I/O 電路可相鄰於 SRAM 陣列 402 及 SRAM 陣列 404 設置，以便可將資料寫入記憶體單元中或自記憶體單元讀取資料。此外，I/O 襯墊相對於主控制器 410 的位置號可增加並對應於第 3 圖的矩陣 300 的 x 軸。舉例而言，最靠近主控制器 410 的 I/O 電路 452 可係矩陣 300 的 x 軸上的 X0，而設置於最左邊的 I/O 電路（未顯示）可表示 x 軸上的 X3。類似地，最靠近主控制器 410 的 I/O 電路 454 可係矩陣 300 的 X 軸上的 X0，而設置於最右邊的 I/O 電路（未顯示）可表示 X 軸上的 X3。

【0051】 I/O 電路 452 可包括 CS 電晶體 422a 及 422b (例如, CS 電晶體 206) 以及放電電晶體 432a 及 432b (例如, 放電電晶體 208)。CS 電晶體 422a 可連接至位元線 BL0 (例如, 第 2A 圖的 BL) 及可程式位元線 PBL0 (例如, 第 2A 圖的 PBL), 且 CS 電晶體 422b 可連接至位元線棒 BLB0 (例如, 與第 2A 圖的 BL 相對的 BLB) 及可程式位元線棒 PBLB0 (例如, 與第 2A 圖的 PBL 相對的可程式 BLB)。I/O 電路 454 可包括 CS 電晶體 422c 及 422d (例如, CS 電晶體 206) 以及放電電晶體 432c 及 432d (例如, 放電電晶體 208)。CS 電晶體 422c 可連接至位元線 BL1 (例如, 第 2A 圖的 BL) 及可程式位元線 PBL1 (例如, 第 2A 圖的 PBL), 而 CS 電晶體 422d 可連接至位元線棒 BLB1 (例如, 與第 2A 圖的 BL 相對的 BLB) 及可程式位元線棒 PBLB1 (例如, 與第 2A 圖的 PBL 相對的可程式 BLB)。為了簡單明瞭, 不重複類似的描述。

【0052】 第 4B 圖圖示根據一些實施例的記憶體裝置 400 的實例操作的時序圖 450。時脈訊號 CKPB 可包括由 SRAM 陣列用於儲存、讀取、及留存資料的時脈訊號。BLEQB 訊號可類似於第 4A 圖的 BLEQB 訊號, TRKBL 訊號可類似於第 4A 圖的 TRKBL 訊號, TRKBLD 訊號可類似於第 4A 圖的 TRKBLD 訊號, 且 CSENB 訊號可類似於第 4A 圖的 CSENB 訊號。GLB\_CSENB\_L 及 GLB\_CSENB\_R 訊號可分別類似於提供控制訊號至放電

電晶體及電荷共享電晶體的  $GLB\_CSENBL\_L$  及  $GLB\_CSENBL\_R$  訊號。

【0053】 時序圖 450 顯示各種訊號的正緣及負緣，這亦顯示如何判定電荷共享期。如第 4A 圖中所示，預充電控制訊號  $BLEQB$  及延遲  $BL$  追蹤訊號  $TRKBLD$  可輸入反及電路中，以產生電荷共享致能訊號  $CSENB$ 。 $CSENB$  可藉由緩衝器延遲以產生  $GLB\_CSENBL\_L$  及  $GLB\_CSENBL\_R$  訊號。

【0054】 因此，當  $BL$  的預充電停止（例如， $BLEQB$  上升）時，電荷共享可開始（例如， $CSENB$  上升），且當  $BL$  追蹤訊號  $TRKBL$  足夠低以使電壓彈跳不會導致無意位元翻轉時，電荷共享可停止。在一些實施例中， $LOC\_BLEQB$  上升可早於  $GLB\_CSENBL\_L/R$  下降。在一些實施例中， $GLB\_CSENBL\_L/R$  上升可早於  $LOC\_BLEQB$  下降。在一些實施例中， $BLEQB$  下降可早於  $TRKBLD$  上升。因此，電荷共享期可由預充電停止及  $TRKBL$  訊號的電壓下降的時間判定。

【0055】 在一些實施例中，對於較高的電壓，電荷共享可製成較低的電壓。舉例而言，若  $VDD$  為  $1.5V$ ，與若  $VDD$  為  $1.1V$  相比，發生電荷共享的量可增加。此外，預充電電路可包括與待由  $p$  型電晶體預充電的  $BL$  及  $BLB$  交叉耦合的  $p$  型電晶體。若在讀取記憶體單元中的邏輯 0 時  $BLB$  由於電荷共享而下降過多，則  $BLB$  的電壓下降可導致交叉耦合的  $p$  型電晶體接通，從而由於  $BLB$  中電壓降大於  $p$

型電晶體的臨界電壓（例如，對於 3 nm 節點，交叉耦合 p 型 MOS 電晶體的臨界電壓為約 350 mV 至約 400 mV），BL 中的電壓增加至邏輯 0。因此，在記憶體單元中邏輯 0 的讀取期間，BLB 及 PBLB 的電荷共享可較少。

**【0056】** 第 5 圖圖示根據一些實施例的實例可程式 CS 電路 500。除可程式 CS 電路 500 包括延遲鏈 512（包括反向器 512a 及 512b）以外，可程式 CS 電路 500 類似於可程式 CS 電路 200。舉例而言，寄生電容器 502 類似於寄生電容器 202，PBLC 504 類似於 PBLC 204，CS 電晶體 506 類似於 CS 電晶體 206，放電電晶體 508 類似於放電電晶體 208，且控制訊號類似於控制訊號 510。因此，省略類似的描述。

**【0057】** 延遲鏈 512 可添加延遲至發送至電荷共享電晶體 506 的控制訊號。這可允許放電電晶體 508 對 PBL（及 PBLC 504）放電更長時間。這可能有利於均衡 CS 電晶體 506 的訊號路徑與放電電晶體 508 的訊號路徑之間的閘極延遲。儘管延遲鏈 512 顯示兩個反向器 512a 及 512b，但實施例並不限於此，可考慮兩個以上的反向器，這取決於需要添加多少延遲來匹配兩個訊號路徑之間的閘極延遲。類似地，可將延遲鏈添加至其他訊號路徑（例如，放電電晶體 508 的訊號路徑）。

**【0058】** 第 6 圖圖示根據一些實施例的實例可程式 CS 電路 600。可程式 CS 電路 600 類似於可程式 CS 電路 200，不同之處在於可程式 CS 電路 600 包括 CMOS 電晶體，以



使用互補控制訊號 610a 及 610b (而非可程式 CS 電路 200 中僅一個控制訊號 210) 在 BL 與 PBL (而非可程式 CS 電路 200 中僅一個 PMOS 電晶體) 之間進行電荷共享。舉例而言, 寄生電容器 602 類似於寄生電容器 202, PBL C 604 類似於 PBL C 204, 且放電電晶體 608 類似於放電電晶體 208。因此, 省略類似的描述。

**【0059】** 當 NMOS 電晶體 606a 及 PMOS 電晶體 606b 用於 BL 與 PBL 之間的電荷共享時, 電荷共享可更快地發生。控制訊號 610a 可與控制訊號 610b 互補。舉例而言, 可添加反向器, 使得兩個訊號彼此相反, 以控制 NMOS 電晶體 606a 及 PMOS 電晶體 606b。

**【0060】** 第 7 圖圖示根據一些實施例的實例可程式 CS 電路 700。可程式 CS 電路 700 類似於可程式 CS 電路 200, 不同之處在於可程式 CS 電路 700 包括延遲鏈 712 (包括反向器 712a 及 712b), 且可程式 CS 電路 700 包括作為電荷共享電晶體的 NMOS 電晶體 706a 及 PMOS 電晶體 706b (而非可程式 CS 電路 200 中的一個 PMOS 電荷共享電晶體 206)。舉例而言, 寄生電容器 702 類似於寄生電容器 202, PBL C 704 類似於 PBL C 204, CS 電晶體 706 類似於 CS 電晶體 206, 放電電晶體 708 類似於放電電晶體 208, 且控制訊號類似於控制訊號 710。因此, 省略類似的描述。

**【0061】** 延遲鏈 712 可添加延遲至發送至電荷共享電晶體 706 的控制訊號。這可允許放電電晶體 708 對 PBL (及

P B L C 704) 放電更長時間。這可能有利於均衡 C S 電晶體 706 的訊號路徑與放電電晶體 708 的訊號路徑之間的閘極延遲。儘管延遲鏈 712 顯示兩個反向器 712a 及 712b，但實施例不限於此，且可考慮兩個以上的反向器，這取決於需要添加多少延遲來匹配兩個訊號路徑之間的閘極延遲。類似地，可將延遲鏈添加至其他訊號路徑（例如，放電電晶體 708 的訊號路徑）。

**【0062】** 當 N M O S 電晶體 706a 及 P M O S 電晶體 706b 用於 B L 與 P B L 之間的電荷共享時，電荷共享可更快地發生。控制訊號 710a 可與控制訊號 710b 互補。舉例而言，可添加反向器，使得兩個訊號彼此相反，以控制 N M O S 電晶體 706a 及 P M O S 電晶體 706b。此外，N M O S 電晶體 706a 可藉由自反向器 712a 輸出的控制訊號 710a 閘控。因此，藉由將延遲鏈 712 及 C M O S 電荷共享電晶體與控制訊號 710a 組合，可減小記憶體裝置的面積。

**【0063】** 參考第 2A 圖及第 5 圖至第 7 圖，本揭示案中描述的實施例中之各者可包括一 P B L 或多個 P B L，其可在金屬層 M0~M7 中之任意者中形成為金屬結構。類似地，可程式 C S 電路 200、500、600、或 700 與其連接的 P B L 可取決於使用者選擇的 C S 比，這可取決於記憶體單元設置於哪個 W L 驅動器及 I/O 襯墊。

**【0064】** 第 8 圖圖示根據一些實施例的操作記憶體裝置的實例方法 800 的流程圖。方法 800 可用於減少記憶體單元內的電壓彈跳，以增加 R S N M 並減少記憶體單元內的無意

位元翻轉的概率。注意，方法 800 僅係一實例，並不意欲為限制本揭示案。因此，可理解，可在第 8 圖的方法 800 之前、期間、及之後提供額外的操作，且一些其他操作可僅在本文中簡要描述。

**【0065】** 簡而言之，方法 800 自操作 802 開始，在記憶體單元的讀取操作期間，將第一電壓提供至連接至放電電路及電荷共享電路的控制訊號線。方法 800 進行至操作 804，基於控制訊號線上的第一電壓，用放電電路對可程式位元線放電。方法 800 進行至操作 806，將不同於第一電壓的第二電壓提供至控制訊號線。方法 800 進行至操作 808，基於控制訊號線上的第二電壓將位元線連接至可程式位元線。

**【0066】** 參考操作 802，在記憶體單元（例如，記憶體單元 103）的讀取操作期間，控制器（例如，控制器 102）可將第一電壓（例如，接通電壓，諸如邏輯高或電力供應電壓  $VDD$ ）提供至連接至放電電路（例如，放電電晶體 208）及電荷共享電路（例如，電荷共享電晶體 206）的控制訊號線（例如，控制訊號線 210）。在提供第一電壓至控制訊號線之前，可將位元線預充電至特定的預充電電壓（例如， $VDD$ 、 $VDD/2$  等）。

**【0067】** 參考操作 804，基於將第一電壓提供至控制訊號線，放電電路可在可程式位元線（例如， $PBL$ ）上放電電荷。 $PBL$  可具有類似於位元線的長度或不同於位元線的長度。

【0068】 參考操作 806，控制器可將不同於第一電壓的第二電壓（例如，關斷電壓、0V 等）提供至控制訊號線。

【0069】 參考操作 808，基於控制訊號線上的第二電壓，電荷共享電路可接通，將位元線電連接至 PBL。當位元線連接至 PBL 時，在預充電期間 BL 上的電荷的一部分可轉移至 PBL。一旦電荷共享期完成，則可關斷電荷共享電路，使得不再有電荷自位元線傳輸至 PBL。

【0070】 因此，在電荷共享期結束時，位元線可具有小於預充電量的電荷量（及電壓）。由於位元線上的電荷減少，當記憶體單元的存取電晶體接通時，自位元線至下拉電晶體的電荷衝擊減少，且電壓彈跳減少。因此，可防止記憶體單元中的無意位元翻轉。

【0071】 在本揭示案的一個態樣中，揭示一種記憶體裝置。記憶體裝置包括連接至記憶體陣列的複數個記憶體單元的位元線，位元線具有第一長度。記憶體裝置包括具有基於記憶體陣列的大小決定的第二長度的第一可程式位元線，及連接至位元線及第一可程式位元線的電荷共享電路。電荷共享電路用以將電荷自位元線轉移至第一可程式位元線。記憶體裝置包括連接至第一可程式位元線的放電電路，放電電路用以放電第一可程式位元線中的儲存電荷。

【0072】 在一些實施例中，電荷共享電路包括 p 型電晶體，p 型電晶體包括連接至控制線的閘極端子。

【0073】 在一些實施例中，放電電路包括 n 型電晶體，n 型電晶體包括連接至控制線的閘極端子。

【0074】 在一些實施例中，位元線形成為第一金屬結構，且其中第一可程式位元線形成為實質上平行於第一金屬結構的第二金屬結構。

【0075】 在一些實施例中，第一長度與第二長度相同。

【0076】 在一些實施例中，第一長度與第二長度不同。

【0077】 在一些實施例中，對於具有大於第二列數的第一列數的記憶體陣列，第二長度更長，且其中對於具有大於第二行數的第一行數的記憶體陣列，第二長度更長。

【0078】 在一些實施例中，電荷共享電路包括並聯連接的 p 型電晶體及 n 型電晶體，其中第一控制訊號連接至 p 型電晶體，且其中自第一控制訊號反向的第二控制訊號連接至 n 型電晶體。

【0079】 在一些實施例中，記憶體裝置進一步包含連接至電荷共享電路的閘極端子的多個反向器，其中控制訊號連接至反向器的輸入及放電電路的閘極端子。

【0080】 在一些實施例中，電荷共享電路包括並聯連接的 p 型電晶體及 n 型電晶體，且其中 n 型電晶體的閘極端子連接至第一反向器的輸出及第二反向器的輸入。

【0081】 在本揭示案的另一態樣中，揭示一種記憶體系統。記憶體系統包括記憶體陣列，記憶體陣列包括具有第一長度的位元線、用以提供控制訊號至記憶體陣列的控制器、及連接至控制器及位元線的可程式電荷共享電路。可程式電荷共享電路包括具有基於記憶體陣列的大小決定的第二長度的第一可程式位元線以及連接至位元線及第一可程式

位元線的電荷共享電路。電荷共享電路用以將電荷自位元線轉移至第一可程式位元線。可程式電荷共享電路亦包括連接至第一可程式位元線的放電電路，放電電路用以放電第一可程式位元線中的儲存電荷。

**【0082】** 在一些實施例中，記憶體系統進一步包含用以追蹤位元線的行為並提供追蹤訊號至控制器的追蹤電路，其中控制器用以基於追蹤訊號產生控制訊號。

**【0083】** 在一些實施例中，記憶體系統進一步包含預充電電路，用以基於來自控制器的預充電控制訊號對位元線預充電，其中控制器包括反及閘，用以接收追蹤訊號及預充電控制訊號作為輸入並輸出控制訊號。

**【0084】** 在一些實施例中，可程式位元線平行於位元線設置。

**【0085】** 在一些實施例中，位元線形成為第一金屬結構，且其中第一可程式位元線形成為實質上平行於第一金屬結構的第二金屬結構。

**【0086】** 在一些實施例中，第一可程式位元線設置於記憶體陣列的第一區域中，其中記憶體系統進一步包含第二可程式位元線，且其中第一可程式位元線比第二可程式位元線長。

**【0087】** 在一些實施例中，記憶體陣列包括多個靜態隨機存取記憶體單元。

**【0088】** 在本揭示案的又一態樣中，揭示一種操作記憶體裝置的方法。方法包括在記憶體單元的讀取操作期間，將第

一電壓提供至連接至放電電路及電荷共享電路的控制訊號線，基於控制訊號線上的第一電壓用放電電路對可程式位元線放電，將不同於第一電壓的第二電壓提供至控制訊號線，以及基於控制訊號線上的第二電壓將位元線連接至可程式位元線。

**【0089】** 在一些實施例中，方法進一步包含以下步驟：在啟動電荷共享控制訊號線之前對位元線預充電。

**【0090】** 在一些實施例中，方法進一步包含以下步驟：追蹤位元線以輸出追蹤訊號，其中基於預充電控制訊號啟動位元線的預充電，且其中基於追蹤訊號及預充電控制訊號產生電荷共享控制訊號。

**【0091】** 如本文所用，術語「約」及「大約」通常指所述值的正負 10%。舉例而言，約 0.5 將包括 0.45 及 0.55，約 10 將包括 9 至 11，約 1000 將包括 900 至 1100。

**【0092】** 前述內容概述若干實施例的特徵，使得熟習此項技術者可更佳地理解本揭示案的態樣。熟習此項技術者應瞭解，其可易於使用本揭示案作為用於設計或修改用於實施本文中引入之實施例之相同目的及/或達成相同優勢之其他製程及結構的基礎。熟習此項技術者亦應認識到，此類等效構造並不偏離本揭示案的精神及範疇，且此類等效構造可在本文中進行各種改變、取代、及替代而不偏離本揭示案的精神及範疇。

#### **【符號說明】**

**【0093】**

1 0 0	:	記 憶 體 裝 置
1 0 1	:	第 一 參 考 電 壓
1 0 2	:	控 制 器
1 0 3	:	記 憶 體 單 元
1 0 4	:	記 憶 體 陣 列
1 0 5	:	W L
1 0 7	:	B L
1 0 9	:	B L B
1 1 0	:	節 點
1 1 2	:	字 元 線 驅 動 器
1 1 4	:	時 脈 產 生 器
1 1 6	:	位 元 線 驅 動 器
1 1 8	:	S A
1 2 2 ~ 1 2 6	:	節 點
1 2 8	:	第 二 參 考 電 壓
2 0 0	:	可 程 式 C S 電 路
2 0 2	:	寄 生 電 容 器
2 0 4	:	P B L C
2 0 6	:	C S 電 晶 體
2 0 8	:	放 電 電 晶 體
2 1 0	:	控 制 訊 號 線
2 5 0	:	圖 形
2 5 2 ~ 2 5 8	:	波 形
2 6 0	:	圖 形



3 0 0	:	C S 瓦片 矩陣
3 1 0 ~ 3 4 0	:	瓦片
4 0 0	:	記憶體 裝置
4 0 2	:	記憶體 陣列
4 0 4	:	記憶體 陣列
4 1 0	:	主 控制 器
4 1 2	:	W L 驅 動 器
4 2 2 a ~ 4 2 2 d	:	C S 電 晶 體
4 3 2 a ~ 4 3 2 d	:	放 電 電 晶 體
4 4 0	:	追 蹤 陣 列
4 5 0	:	時 序 圖
4 5 2	:	I / O 電 路
4 5 4	:	I / O 電 路
5 0 0	:	可 程 式 C S 電 路
5 0 2	:	寄 生 電 容 器
5 0 4	:	P B L C
5 0 6	:	C S 電 晶 體
5 0 8	:	放 電 電 晶 體
5 1 0	:	控 制 訊 號
5 1 2	:	延 遲 鏈
5 1 2 a ~ 5 1 2 b	:	反 向 器
6 0 0	:	可 程 式 C S 電 路
6 0 2	:	寄 生 電 容 器
6 0 4	:	P B L C

606 a	:	N M O S 電晶體
606 b	:	P M O S 電晶體
608	:	放電電晶體
610 a ~ 610 b	:	互補控制訊號
700	:	可程式 C S 電路
702	:	寄生電容器
704	:	P B L C
706 a	:	N M O S 電晶體
706 b	:	P M O S 電晶體
708	:	放電電晶體
710	:	控制訊號
712	:	延遲鏈
712 a ~ 712 b	:	反向器
800	:	方法
802 ~ 808	:	操作

**【生物材料寄存】**

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】一種記憶體裝置，其包含：

一位元線，該位元線連接至一記憶體陣列的複數個記憶體單元，其中該位元線具有一第一長度；

一第一可程式位元線，該第一可程式位元線具有一第二長度，該第二長度是基於該記憶體陣列的一大小決定；

一電荷共享電路，該電荷共享電路連接至該位元線及該第一可程式位元線，其中該電荷共享電路用以將一電荷自該位元線轉移至該第一可程式位元線；及

一放電電路，該放電電路連接至該第一可程式位元線，其中該放電電路用以對該第一可程式位元線中的一儲存電荷放電，

其中該電荷共享電路包括並聯連接的一 p 型電晶體及一 n 型電晶體。

【請求項 2】如請求項 1 所述之記憶體裝置，其中該位元線形成為一第一金屬結構，且其中該第一可程式位元線形成為實質上平行於該第一金屬結構的一第二金屬結構。

【請求項 3】如請求項 1 所述之記憶體裝置，其中一第一控制訊號連接至該 p 型電晶體，且其中自該第一控制訊號反向的一第二控制訊號連接至該 n 型電晶體。

【請求項 4】如請求項 1 所述之記憶體裝置，進一步包含

連接至該電荷共享電路的一閘極端子的複數個反向器，其中一控制訊號連接至該些反向器的一輸入及該放電電路的一閘極端子。

【請求項 5】如請求項 4 所述之記憶體裝置，其中該  $n$  型電晶體的一閘極端子連接至一第一反向器的一輸出及一第二反向器的一輸入。

【請求項 6】一種記憶體系統，其包含：

一記憶體陣列，該記憶體陣列包括具有一第一長度的一位元線；

一控制器，該控制器用以提供一控制訊號至該記憶體陣列；及

一可程式電荷共享電路，連接至該控制器及該位元線，該可程式電荷共享電路包含：

具有基於該記憶體陣列的一大小決定的一第二長度的一第一可程式位元線；

連接至該位元線及該第一可程式位元線的一電荷共享電路，其中該電荷共享電路用以將一電荷自該位元線轉移至該第一可程式位元線；及

連接至該第一可程式位元線的一放電電路，其中該放電電路用以對該第一可程式位元線中的一儲存電荷放電，

其中該可程式電荷共享電路包括並聯連接的一  $p$  型電

晶體及一 n 型電晶體。

【請求項 7】如請求項 6 所述之記憶體系統，進一步包含用以追蹤該位元線的一行為並提供一追蹤訊號至該控制器的一追蹤電路，其中該控制器用以基於該追蹤訊號產生該控制訊號。

【請求項 8】如請求項 7 所述之記憶體系統，進一步包含一預充電電路，用以基於來自該控制器的一預充電控制訊號對該位元線預充電，其中該控制器包括一反及閘，用以接收該追蹤訊號及該預充電控制訊號作為輸入並輸出該控制訊號。

【請求項 9】一種操作一記憶體裝置的方法，該方法包含以下步驟：

在一記憶體單元的一讀取操作期間，將一第一電壓提供至連接至一放電電路及一電荷共享電路的一控制訊號線；

基於該控制訊號線上的該第一電壓，用該放電電路對該可程式位元線放電；

將不同於該第一電壓的一第二電壓提供至該控制訊號線；  
及

基於該控制訊號線上的該第二電壓將一位元線連接至該可程式位元線，

其中該電荷共享電路包括並聯連接的一 p 型電晶體及一

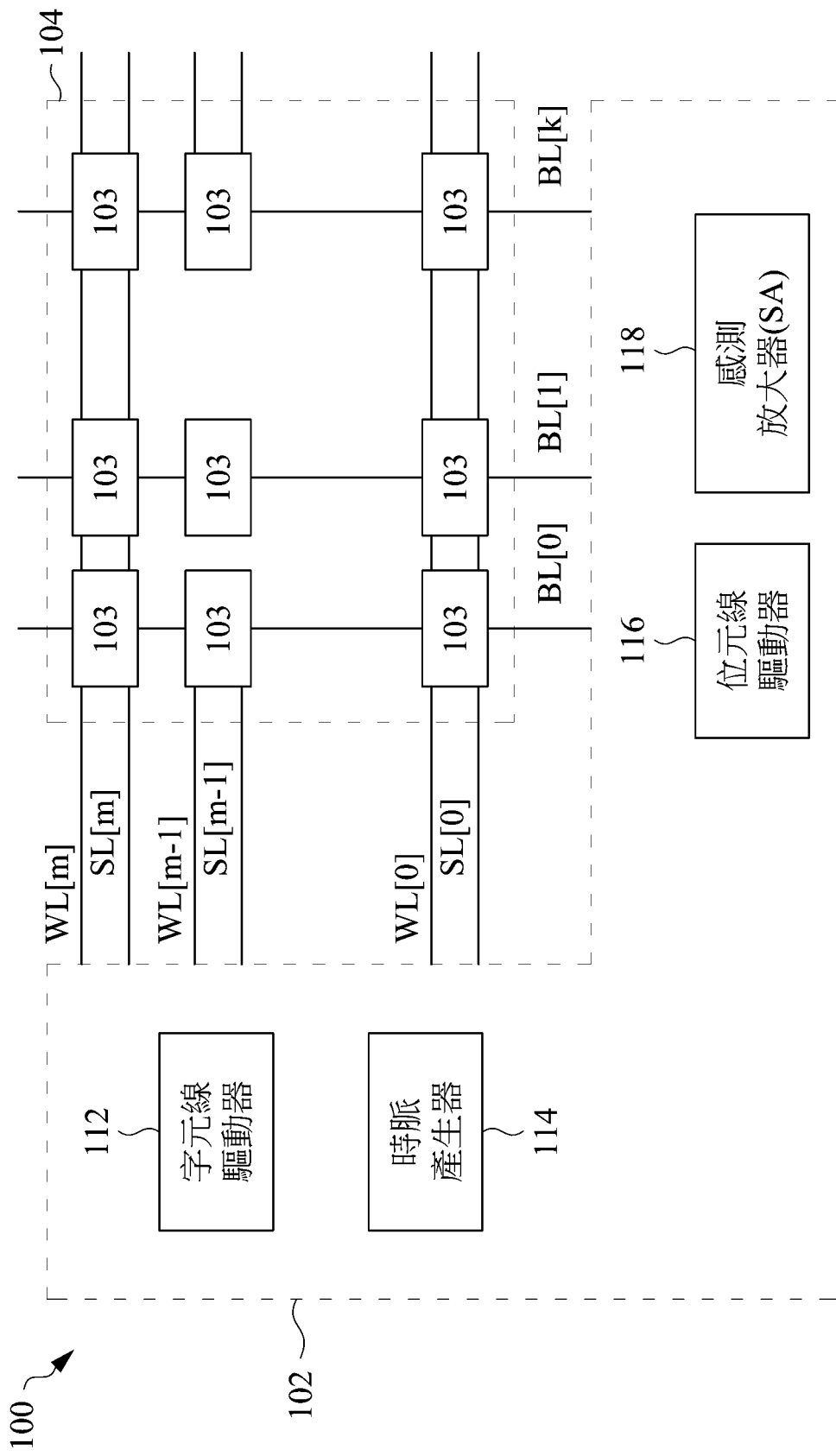
n 型電晶體。

【請求項 10】如請求項 9 所述的方法，進一步包含以下步驟：

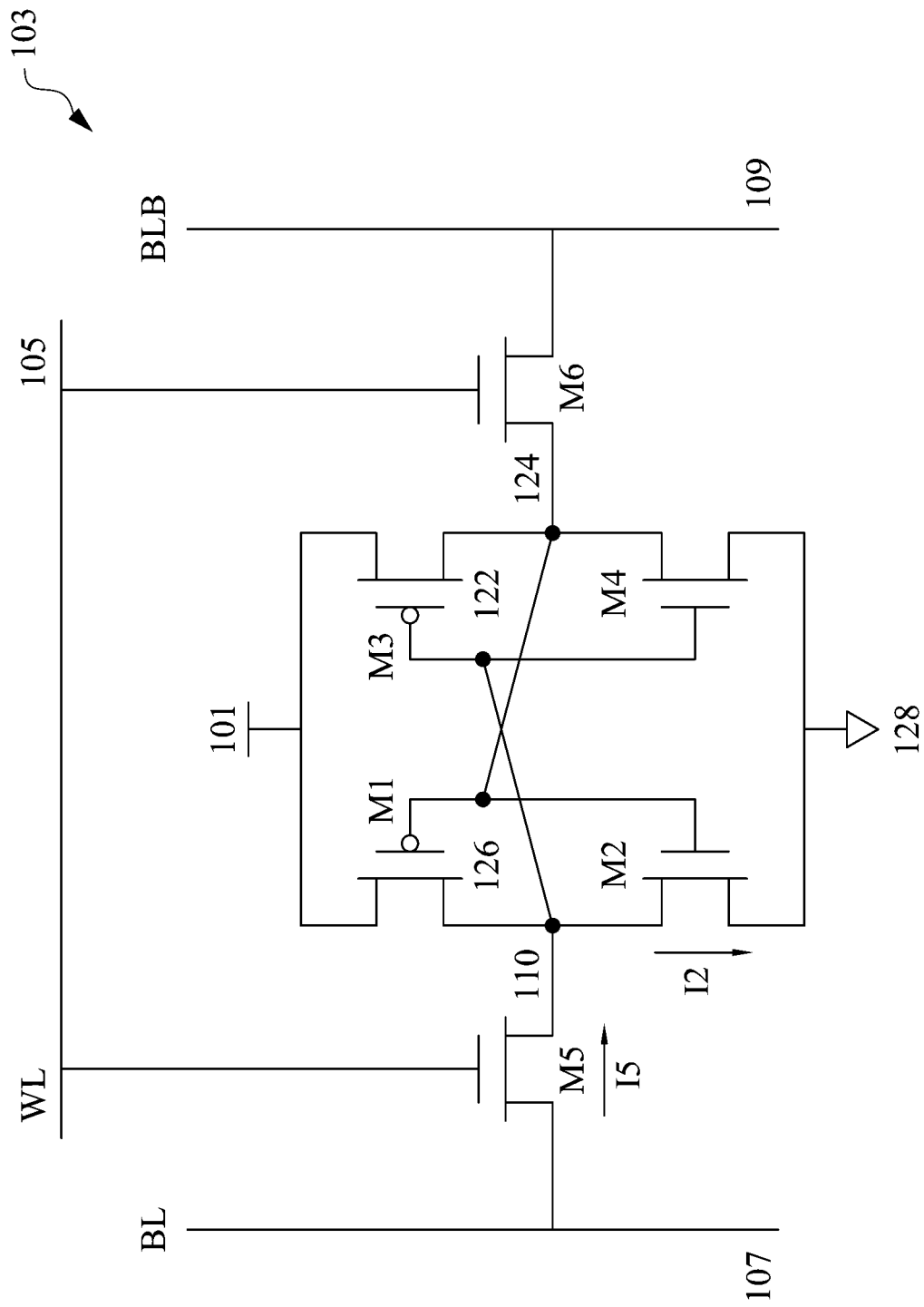
在啟動該電荷共享控制訊號線之前對該位元線預充電；  
以及

追蹤該位元線以輸出一追蹤訊號，其中基於一預充電控制訊號啟動該位元線的該預充電，且其中基於該追蹤訊號及該預充電控制訊號產生該電荷共享控制訊號。

【發明圖式】

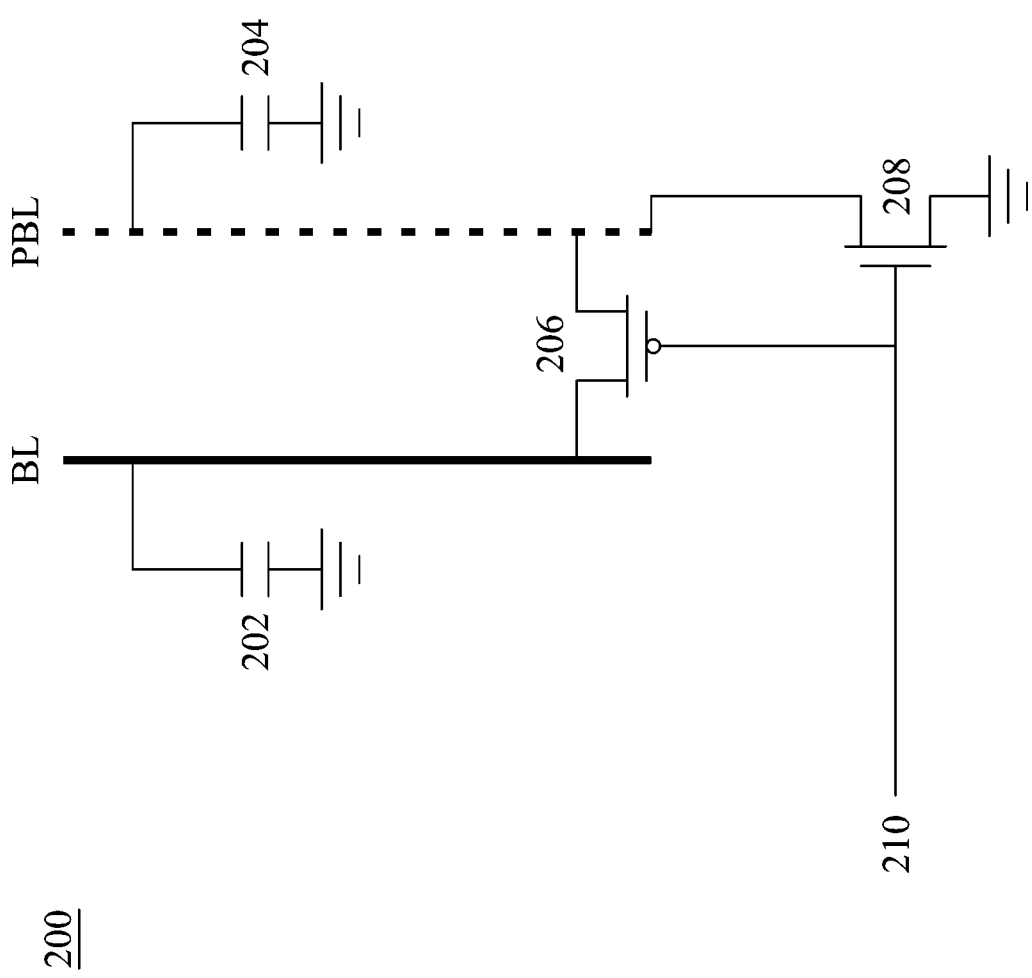


第 1A 圖



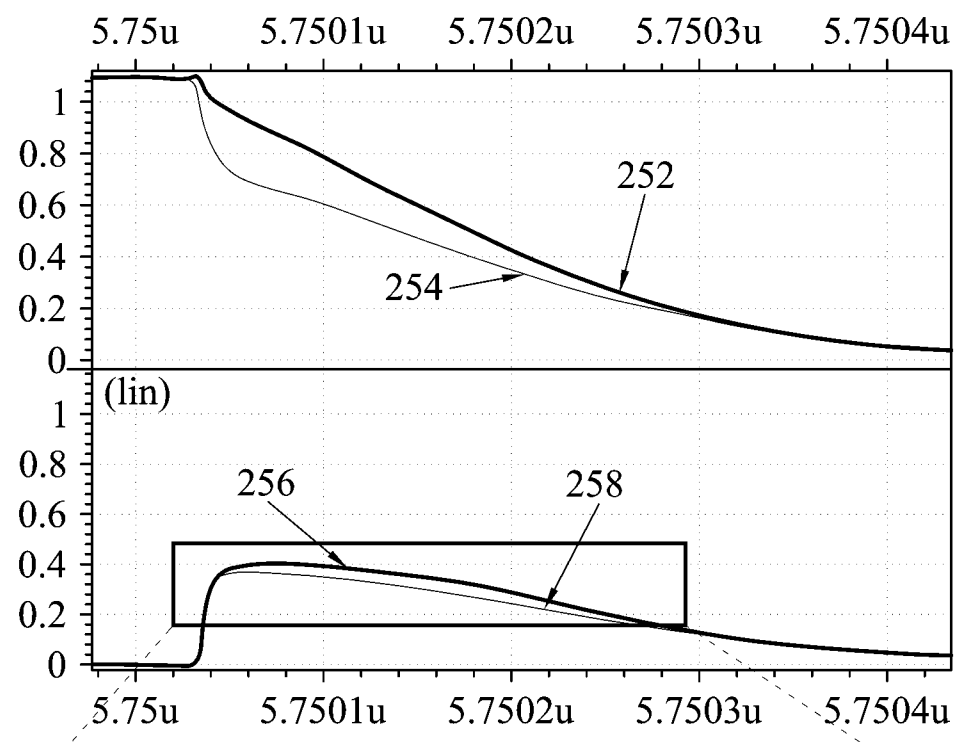
第 1B 圖



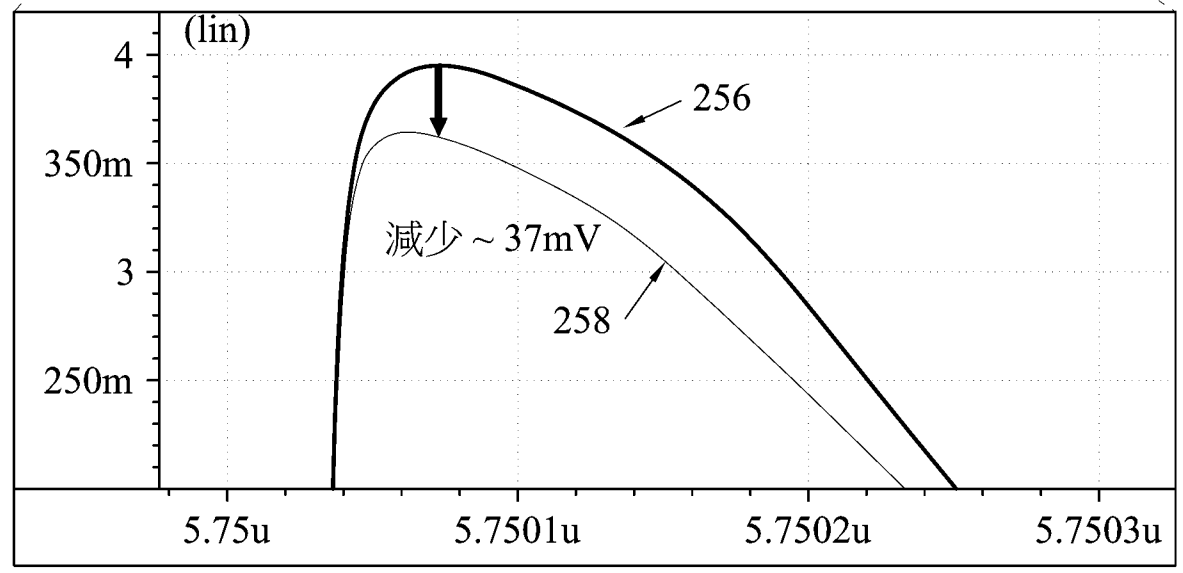


第 2A 圖

250

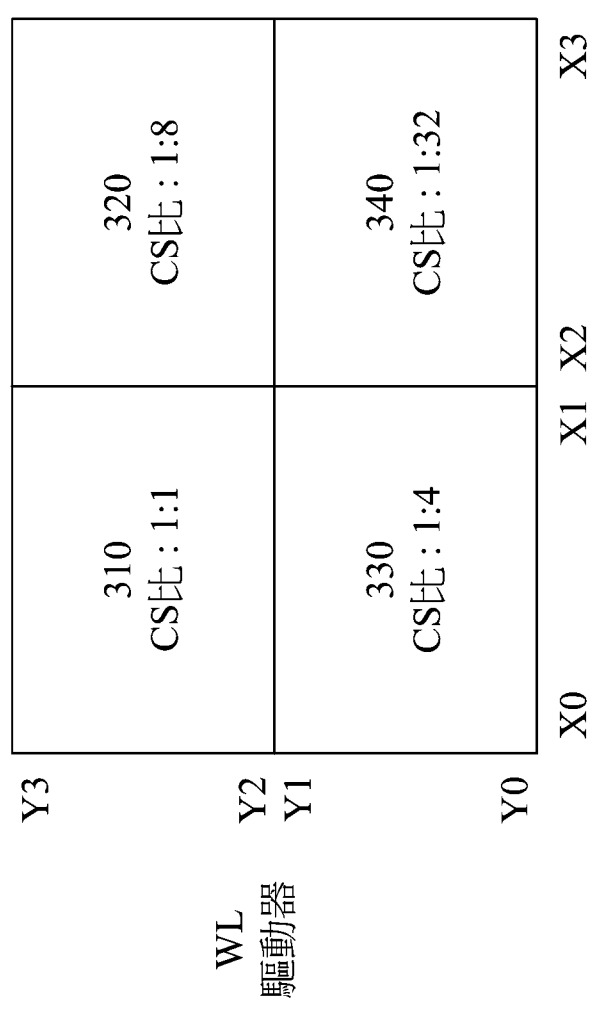


260

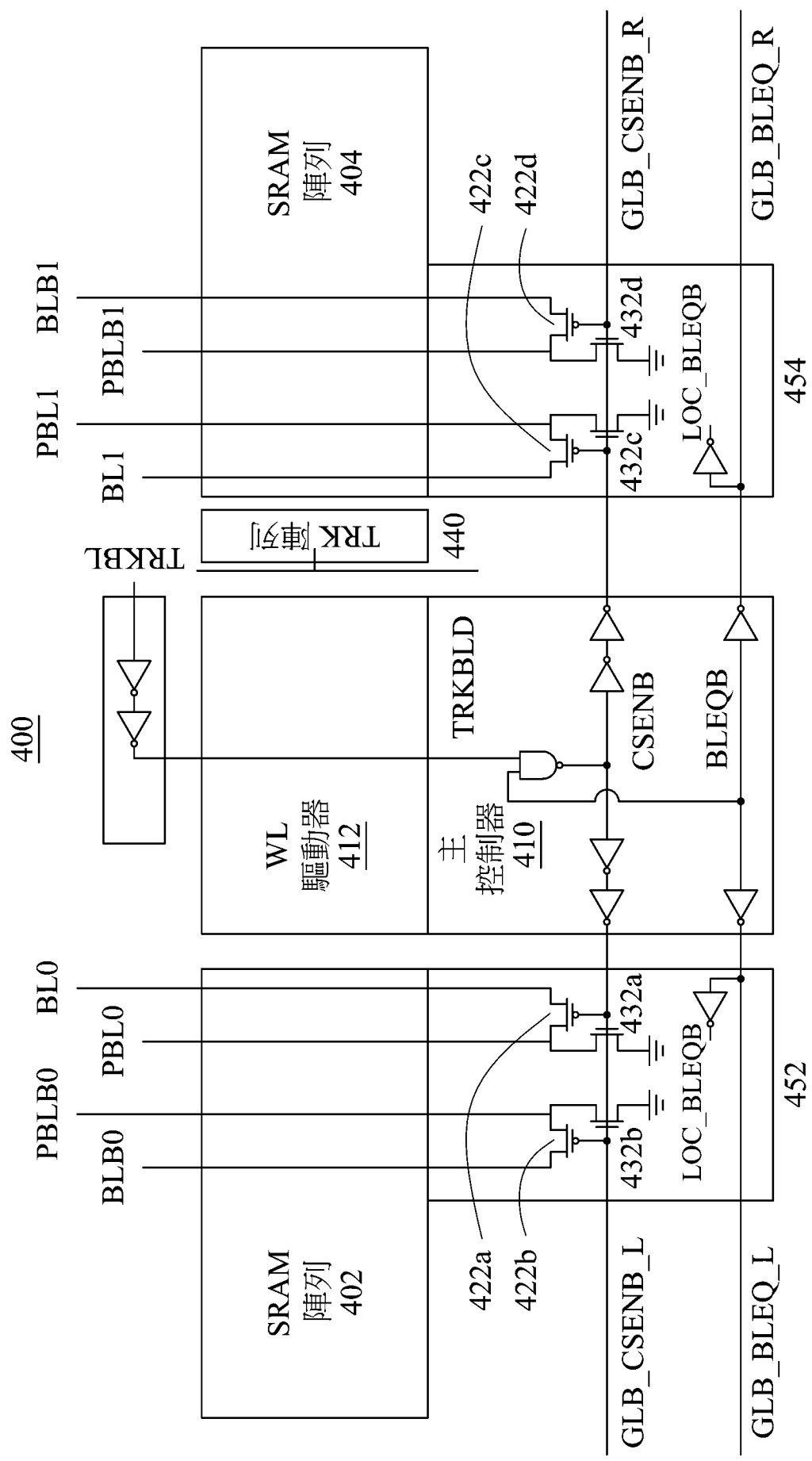


第 2B 圖

300

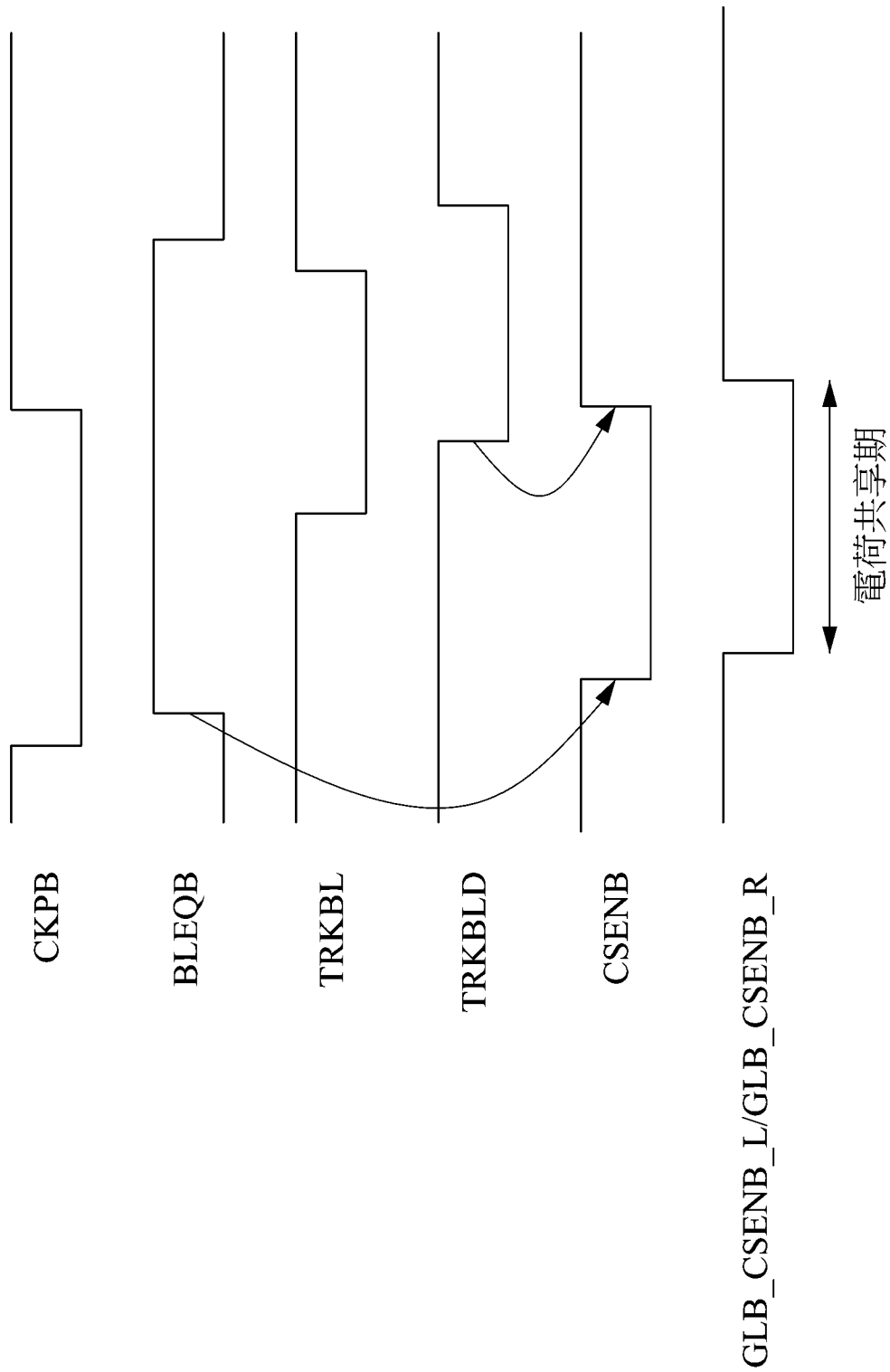


I/O 襯墊  
第 3 圖

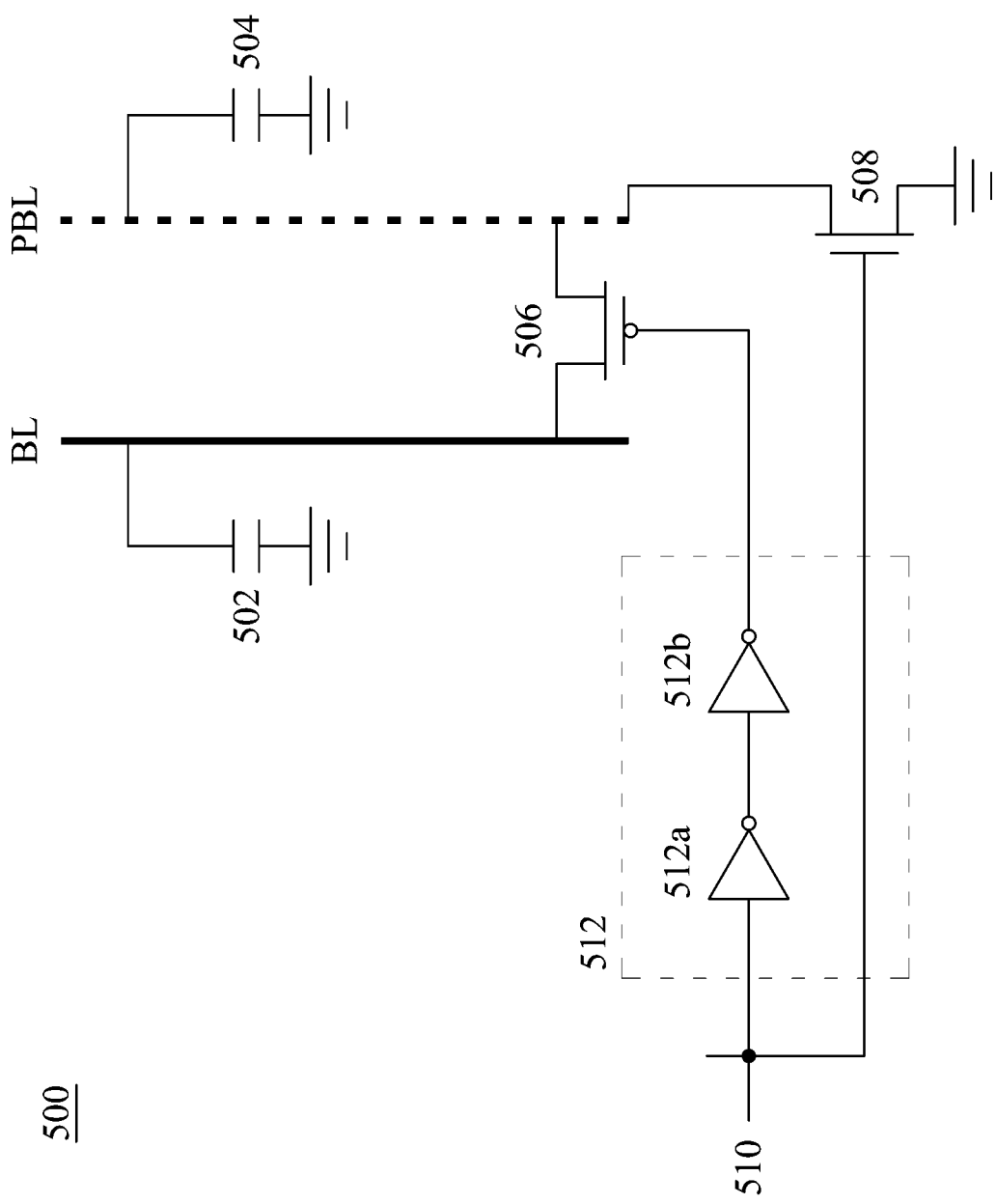


第 4A 圖

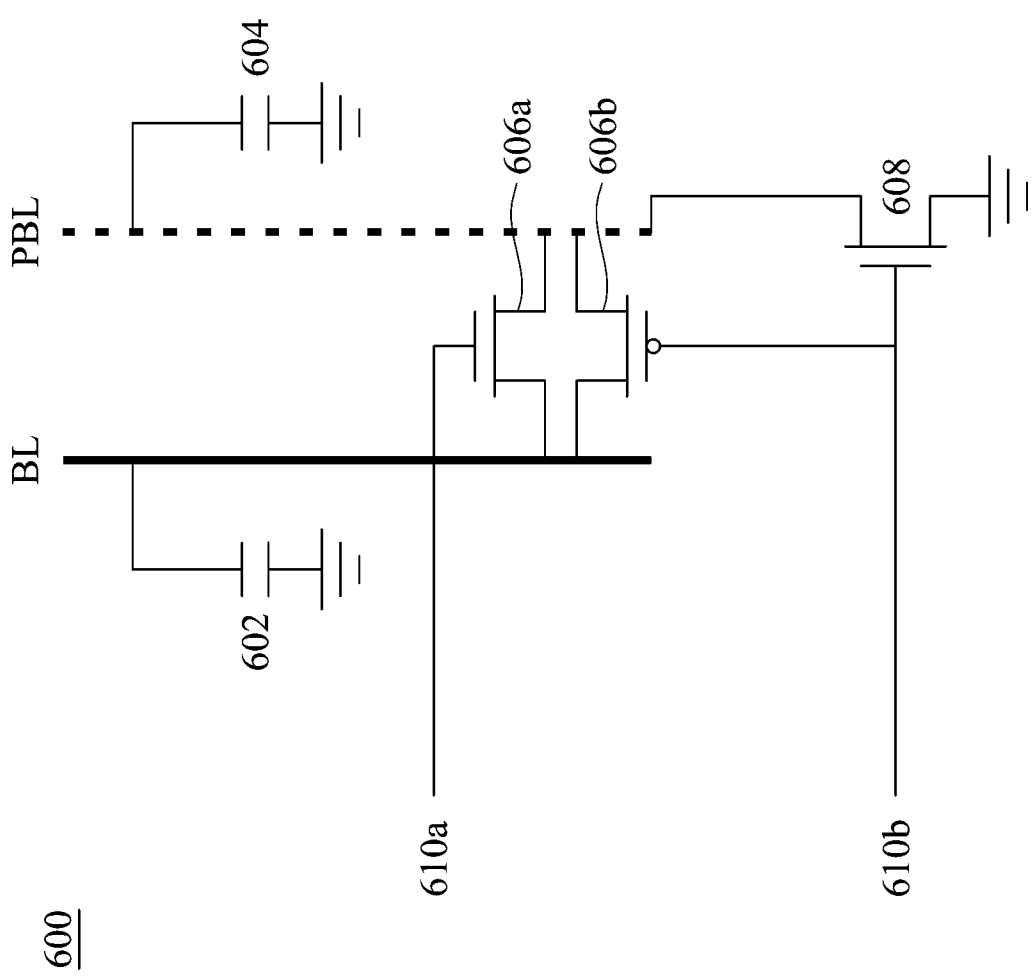
450



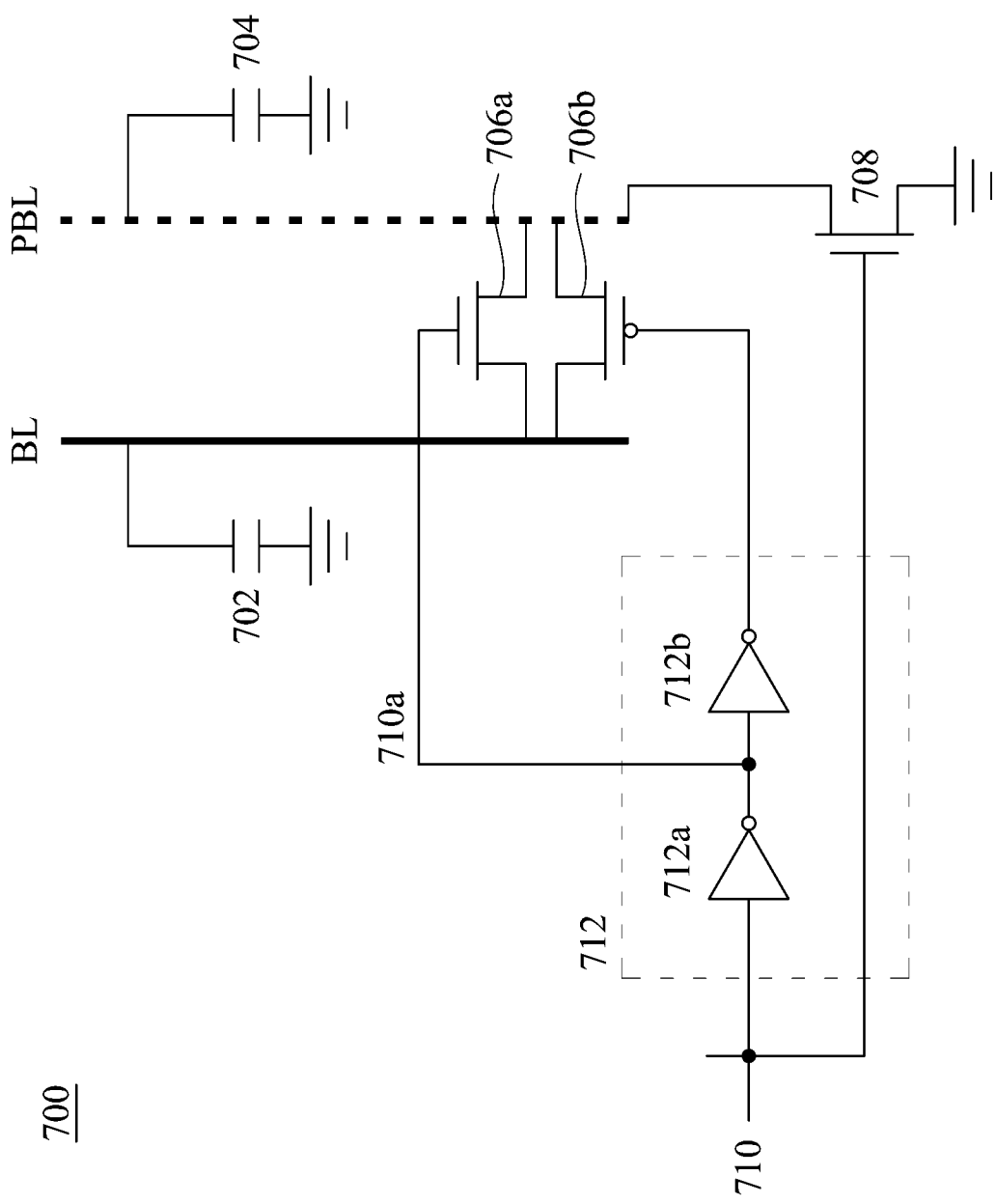
第 4B 圖



第 5 圖



第 6 圖

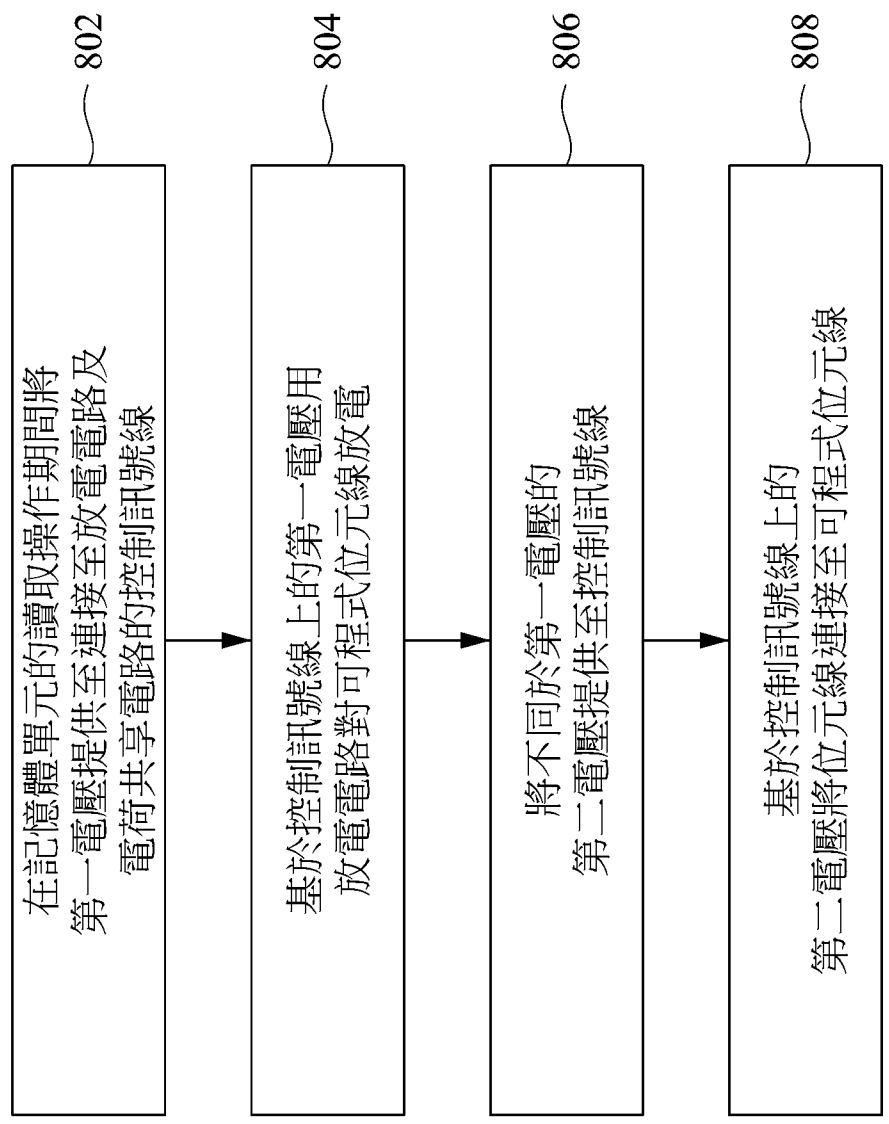


700

第 7 圖



800



第 8 圖