

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5937241号  
(P5937241)

(45) 発行日 平成28年6月22日 (2016. 6. 22)

(24) 登録日 平成28年5月20日 (2016. 5. 20)

(51) Int.Cl. F I  
 H O 3 K 3 / 3 5 6 ( 2 0 0 6 . 0 1 ) H O 3 K 3 / 3 5 6 D  
 H O 3 K 3 / 0 3 7 ( 2 0 0 6 . 0 1 ) H O 3 K 3 / 0 3 7 Z

請求項の数 21 (全 11 頁)

(21) 出願番号	特願2015-19228 (P2015-19228)	(73) 特許権者	507364838
(22) 出願日	平成27年2月3日 (2015. 2. 3)		クアルコム、インコーポレイテッド
(62) 分割の表示	特願2013-537898 (P2013-537898) の分割		アメリカ合衆国 カリフォルニア 921 21 サン ディエゴ モアハウス ドラ イブ 5775
原出願日	平成23年11月6日 (2011. 11. 6)	(74) 代理人	100108453
(65) 公開番号	特開2015-109700 (P2015-109700A)		弁理士 村山 靖彦
(43) 公開日	平成27年6月11日 (2015. 6. 11)	(74) 代理人	100163522
審査請求日	平成27年2月3日 (2015. 2. 3)		弁理士 黒田 晋平
(31) 優先権主張番号	12/940, 078	(72) 発明者	デイヴィット・ポール・ホフ
(32) 優先日	平成22年11月5日 (2010. 11. 5)		アメリカ合衆国・カリフォルニア・921 21・サン・ディエゴ・モアハウス・ドラ イブ・5775
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 同期したデータロードと自己タイミングの非同期のデータキャプチャとを伴うラッチ回路

(57) 【特許請求の範囲】

【請求項1】

集積回路デバイスであって、  
 データ信号および書込みイネーブル信号に応答するラッチと、  
 クロック信号の第1の縁と同期した前縁と、比較信号の縁と同期した自己タイミングの後縁とを有するパルスとして、前記書込みイネーブル信号を生成するように構成される、パルス生成器と、

前記データ信号の反転されたバージョンである相補的なデータ信号(DATAB)と前記ラッチ内のラッチノードにおける電圧を反映する信号(D1)との排他的OR比較信号である前記比較信号を生成するように構成される、比較器と

を含み、

前記パルス生成器が、

前記クロック信号の第2の縁に応答して中の第1のノードを第1の論理レベルへとプリチャージするように構成され、前記書込みイネーブル信号のアクティブ期間かつ前記比較信号の論理値が偽である期間の間、前記第1のノードを前記第1の論理レベルに保つように構成され、さらに、前記書込みイネーブル信号のアクティブ期間の間に前記比較信号の前記縁を検出したことに応答して、前記第1のノードを放電するように構成される、集積回路デバイス。

【請求項2】

前記ラッチが、逆並列に接続された第1のインバータおよび第2のインバータを含み、前

記第2のインバータが、前記第1のインバータの出力にตอบสนองする入力端子と、前記書込みイネーブル信号にตอบสนองする制御端子とを有する、請求項1に記載のデバイス。

【請求項3】

前記ラッチが、前記データ信号にตอบสนองする反転されたデータ信号を生成するように構成される入力インバータを含み、前記比較器が、前記データ信号、前記反転されたデータ信号、および前記第1のインバータの前記出力にそれぞれตอบสนองする、第1の入力端子、第2の入力端子、および第3の入力端子を有する、請求項2に記載のデバイス。

【請求項4】

前記パルス生成器が、  
反転された書込みイネーブル信号にตอบสนองする入力端子を有する出力インバータと、  
前記クロック信号にตอบสนองするゲート端子と、前記出力インバータの前記入力端子に接続されたドレイン端子とを有する、PMOSプルアップトランジスタと  
を含む、請求項1に記載のデバイス。

10

【請求項5】

前記パルス生成器が、前記クロック信号の第2の縁にตอบสนองして第1の論理レベルへと動かされる、第1のノードを有する一致検出回路を含む、請求項1に記載のデバイス。

【請求項6】

前記一致検出回路が、前記書込みイネーブル信号のアクティブ期間の間に前記比較信号の前記縁を検出したことにตอบสนองして、前記第1の論理レベルから第2の論理レベルへと前記第1のノードを切り替えるように構成される、請求項5に記載のデバイス。

20

【請求項7】

前記パルス生成器がさらに、前記一致検出回路の出力に接続されたドレイン端子と、前記クロック信号にตอบสนองするゲート端子とを有する、PMOSプルアップトランジスタを含む、請求項6に記載のデバイス。

【請求項8】

前記パルス生成器がさらに、前記一致検出回路の前記出力に電氣的に結合された入力を含む、請求項7に記載のデバイス。

【請求項9】

前記出力インバータが、前記書込みイネーブル信号を生成するように構成される、請求項8に記載のデバイス。

30

【請求項10】

前記パルス生成器がさらに、入力端子と、前記第1のノードに電氣的に接続された出力端子とを有する放電クランプを含む、請求項1に記載のデバイス。

【請求項11】

前記放電クランプが、前記第1のノードに接続された入力端子を有するフィードバックインバータを含む、請求項10に記載のデバイス。

【請求項12】

前記比較器が、前記ラッチの少なくとも2つのノードの論理レベルを比較したことにตอบสนองして、前記比較信号を生成するように構成される、請求項1に記載のデバイス。

【請求項13】

データ信号および書込みイネーブル信号にตอบสนองするラッチと、  
クロック信号の第1の縁と同期した前縁と、前記ラッチへの前記データ信号の正確なロードを反映する第1の信号に同期した自己タイミングの後縁とを有するパルスとして、前記書込みイネーブル信号を生成するように構成される、パルス生成器と、  
前記データ信号の反転されたバージョンである相補的なデータ信号(DATAB)と前記ラッチ内のラッチノードにおける電圧を反映する信号(D1)との排他的OR比較信号である比較信号を生成するように構成される、比較器と  
を含む、

40

前記パルス生成器が、

前記クロック信号の第2の縁にตอบสนองして中の第1のノードを第1の論理レベルへとプリチ

50

ャージするように構成され、前記書込みイネーブル信号のアクティブ期間かつ前記比較信号の論理値が偽である期間の間、前記第1のノードを前記第1の論理レベルに保つように構成され、さらに、前記書込みイネーブル信号のアクティブ期間の間に前記比較信号の縁を検出したことに応答して、前記第1のノードを放電するように構成される、集積回路デバイス。

【請求項14】

前記自己タイミングの後縁が、前記第1の信号のある縁と同期する、請求項13に記載のデバイス。

【請求項15】

前記比較器がさらに、前記第1の信号を生成するように構成され、かつ、前記データ信号を受け取るように構成される第1の入力端子を有する、請求項14に記載のデバイス。

10

【請求項16】

前記比較器が、前記ラッチの中のラッチノードにおいて信号を受け取るように構成される第2の入力端子を有する、請求項15に記載のデバイス。

【請求項17】

集積回路デバイスであって、  
データ信号および書込みイネーブル信号に応答するラッチと、  
クロック信号の第1の縁と同期した前縁と、前記集積回路デバイス中の少なくとも2つのノードの比較に同期した後縁とを有するパルスとして、前記書込みイネーブル信号を生成するように構成される、パルス生成器と、

20

前記データ信号の反転されたバージョンである相補的なデータ信号(DATAB)と前記ラッチ内のラッチノードにおける電圧を反映する信号(D1)との排他的OR比較信号である比較信号を生成するように構成される、比較器と

を含み、

前記パルス生成器が、

前記クロック信号の第2の縁に応答して中の第1のノードを第1の論理レベルへとプリチャージするように構成され、前記書込みイネーブル信号のアクティブ期間かつ前記比較信号の論理値が偽である期間の間、前記第1のノードを前記第1の論理レベルに保つように構成され、さらに、前記書込みイネーブル信号のアクティブ期間の間に前記比較信号の縁を検出したことに応答して、前記第1のノードを放電するように構成される、集積回路デバイス。

30

【請求項18】

前記パルスの前記後縁のタイミングが、前記クロック信号のタイミングに対して非同期である、請求項17に記載のデバイス。

【請求項19】

前記パルスの前記後縁が、前記データ信号と、前記データ信号との一致を反映する電圧を有する前記ラッチの内部ノードとの一致の検出と同期する、請求項18に記載のデバイス。

【請求項20】

同期したロードと自己タイミングの非同期のデータキャプチャのための方法であって、  
データ信号およびクロック信号を受け取るステップと、  
前記データ信号の論理レベルをラッチノードと関連付けられる信号と比較して、前記データ信号の反転されたバージョンである相補的なデータ信号(DATAB)とラッチ内の前記ラッチノードにおける電圧を反映する信号(D1)との排他的OR比較信号である比較信号を生成するステップと、

40

前記クロック信号の第1の縁と同期した前縁と、前記比較信号の縁と同期した自己タイミングの後縁とを有するパルスとして、書込みイネーブル信号を生成するステップと、

前記クロック信号の第2の縁に応答してパルス発生器の第1のノードを第1の論理レベルへとプリチャージするステップと、

前記書込みイネーブル信号のアクティブ期間かつ前記比較信号の論理値が偽である期間

50

の間、前記第1のノードを前記第1の論理レベルに保つステップと、

前記書込みイネーブル信号のアクティブ期間の間に前記比較信号の前記縁を検出したことに応答して、前記第1のノードを放電するステップと、

前記データ信号および前記書込みイネーブル信号に従って、データを前記ラッチへ書き込むステップと

を含む、方法。

【請求項 2 1】

データ信号およびクロック信号を受け取るための手段と、

前記データ信号の論理レベルをラッチノードと関連付けられる信号と比較して、前記データ信号の反転されたバージョンである相補的なデータ信号(DATAB)とラッチ内の前記ラッチノードにおける電圧を反映する信号(D1)との排他的OR比較信号である比較信号を生成するための手段と、

前記クロック信号の第1の縁と同期した前縁と、前記比較信号の縁と同期した自己タイミングの後縁とを有するパルスとして、書込みイネーブル信号を生成するための手段と、

前記クロック信号の第2の縁に応答してパルス発生器の第1のノードを第1の論理レベルへとプリチャージする手段と、

前記書込みイネーブル信号のアクティブ期間かつ前記比較信号の論理値が偽である期間の間、前記第1のノードを前記第1の論理レベルに保つ手段と、

前記書込みイネーブル信号のアクティブ期間の間に前記比較信号の前記縁を検出したことに応答して、前記第1のノードを放電する手段と、

前記データ信号および前記書込みイネーブル信号に従って、データを前記ラッチへ書き込むための手段と

を含む、集積回路デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路デバイスに関し、より具体的には、同期システムにおいて動作可能なラッチ集積回路に関する。

【背景技術】

【0002】

従来のラッチ集積回路は、逆並列に結合されたインバータを利用して、データラッチング動作を実現することが多い。同期式の集積回路で利用される場合、このラッチング動作は、クロック信号(CLK)のようなタイミング信号と同期され得る。従来のラッチ集積回路の一例にはパルスラッチがあり、パルスラッチは、十分な「一定の」幅の書込みイネーブルパルスを利用して、書込み動作を実行する。残念ながら、製造プロセス、電圧、および/または動作温度の変動(すなわちPVT変動)によって引き起こされるパルスラッチの性能の変動によって、新たなデータをパルスラッチへ正確にロードするのに十分な時間を提供できないので、一定の長さの書込み動作の信頼性がなくなることがある。従来のラッチ集積回路の例は、「Method and Device for Controlling Data Latch Time」という表題の、Liouに与えられた米国特許第6,760,263号、「Semiconductor Device Accepting Data Which Includes Serial Data Signals, in Synchronization with a Data Strobe Signal」という表題の、Kanda他に与えられた米国特許第6,115,322号、および、「Pulse Latch Circuit and Semiconductor Integrated Circuit」という表題の、Shimazaki他に与えられた米国特許第7,411,413号で開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許第6,760,263号

【特許文献 2】米国特許第6,115,322号

【特許文献 3】米国特許第7,411,413号

10

20

30

40

50

【特許文献4】特開2004-343570号公報

【発明の概要】

【課題を解決するための手段】

【0004】

本発明の実施形態は、同期したデータロードと自己タイミングの非同期のデータキャプチャという特徴を有する、ラッチ集積回路を含む。本発明のこれらの実施形態のいくつかによれば、集積回路は、ラッチと、パルス生成器と、比較器とを含み得る。ラッチは、データ信号と書込みイネーブル信号とに 응답できる。パルス生成器は、パルスとして書込みイネーブル信号を生成するように構成され得る。このパルスは、クロック信号の第1の縁と同期した前縁と、比較信号の縁と同期した自己タイミングの後縁とを有し得る。比較器は、ラッチ集積回路内の少なくとも2つのノードの論理レベルを比較したことに 응답して、比較信号を生成するように構成され得る。

10

【0005】

本発明のさらなる実施形態によれば、ラッチは、逆並列に接続される第1のインバータおよび第2のインバータを含み得る。第2のインバータは、第1のインバータの出力に 응답する入力端子と、書込みイネーブル信号に 응답する制御端子とを有し得る。ラッチはさらに、データ信号に 응답して反転されたデータ信号を生成するように構成される、入力インバータを含み得る。加えて、比較器の実施形態は、データ信号、反転されたデータ信号、および第1のインバータの出力にそれぞれ応答する、第1の入力端子、第2の入力端子、および第3の入力端子を含み得る。

20

【0006】

本発明のさらなる実施形態によれば、パルス生成器は、中に第1のノードを有する一致検出回路を含んでよく、一致検出回路は、クロック信号と同期して繰り返しプリチャージされ得る。具体的には、この第1のノードは、クロック信号の第2の縁に 응답して、第1の論理レベルへと動かされ得る。この第1の論理レベルは、プリチャージされた電圧レベル(たとえばVdd)であってよい。具体的には、一致検出回路は、書込みイネーブル信号のアクティブ期間の間に比較信号の縁を検出したことに 응답して、第1の論理レベルから第2の論理レベルへと第1のノードを切り替えるように構成され得る。比較信号のこの縁は、ラッチへの新たなデータの正確なロードを示し得る。パルス生成器はまた、一致検出回路の出力に接続されたドレイン端子とクロック信号に 응답するゲート端子とを有する、PMOSプルアップトランジスタと、一致検出回路の出力に電氣的に結合された入力を有する出力インバータとを含み得る。この出力インバータは、書込みイネーブル信号を生成するように構成され得る。

30

【0007】

本発明の代替的な実施形態によれば、パルス生成器は一致検出回路を含んでよく、一致検出回路は、クロック信号の第2の縁に 응답して中の第1のノードを第1の論理レベルへとプリチャージするように構成され、さらに、書込みイネーブル信号のアクティブ期間の間に比較信号の縁を検出したことに 응답して、第1のノードを放電するように構成される。パルス生成器はまた、両方が第1のノードに電氣的に接続される、入力端子および出力端子を有する放電クランプを含み得る。本発明のいくつかの実施形態によれば、放電クランプは、第1のノードに接続された入力端子を有する、フィードバックインバータを含み得る。

40

【0008】

本発明のさらなる別の実施形態によれば、集積ラッチ回路は、データおよび書込みイネーブル信号に 응답するラッチと、パルス生成器とを含み得る。このパルス生成器は、パルスとして書込みイネーブル信号を生成するように構成される。このパルスは、クロック信号の第1の縁と同期した前縁と、前記ラッチへのデータの正確なロードを反映する第1の信号と同期した自己タイミングの後縁とを有する。この自己タイミングの後縁は、第1の信号のある縁と同期し得る。ラッチ回路はまた、第1の信号を生成するように構成される、比較器を含み得る。この比較器は、データを受け取るように構成される第1の入力端子と

50

、ラッチ内のラッチノードにおいて生成された信号を受け取るように構成される第2の入力端子とを有し得る。

【図面の簡単な説明】

【0009】

【図1】本発明の実施形態によるラッチ集積回路のブロック図である。

【図2A】図1のラッチ集積回路で利用され得る、ラッチの電気配線図である。

【図2B】図1のラッチ集積回路で利用され得る、比較器の電気配線図である。

【図2C】図1のラッチ集積回路で利用され得る、パルス生成器の電気配線図である。

【図2D】図2Cのパルス生成器で利用され得る、2入力のNANDゲートの電気配線図である。

。

【発明を実施するための形態】

【0010】

ここで、本発明の好適な実施形態が示されている添付の図面を参照して、本発明がさらに完全に説明される。しかし、本発明は、多くの異なる形態で具現化されてよく、本明細書に記載の実施形態に限定されると解釈されるべきではなく、むしろこれらの実施形態は、本開示が周到で完全になるように、また本発明の範囲を当業者に完全に伝えるように提供されるものである。全体にわたって同様の符号は同様の要素を指す。

【0011】

ここで図1を参照すると、本発明のある実施形態によるラッチ集積回路100は、示されるように接続されている、ラッチ102、比較器104、およびパルス生成器106を含むものとして示されている。ラッチ102は、受け取られたデータ(DATA)に対してラッチング動作を実行し、出力信号OUTを生成するように構成され、出力信号OUTは、受け取られたデータ(DAT A)の相補的な(または真の)バージョンを表し得る。示される実施形態によれば、ラッチ102は、真の書込みイネーブル信号(WR\_EN)および相補的な書込みイネーブル信号(WR\_ENB)に応答し、これらの信号は、ラッチ102内のノードにおけるラッチング動作のタイミングを制御する。ラッチ102はまた、ラッチ102内の「ラッチ」ノードにおける電圧を反映する信号D1と、受け取られたデータ(DATA)の反転されたバージョンである相補的なデータ信号DAT ABとを生成する。比較器104は、組合せの論理関数を実行する。具体的には、比較器104は、受け取られたデータ(DATA)、相補的なデータ信号DAT AB、およびラッチノード信号D1の組合せに応答して、排他的OR比較信号(XOR)を生成する。パルス生成器106は、排他的OR比較信号(XOR)と、ラッチ集積回路100の動作を同期させるクロック信号(CLK)とに応答して、それぞれのパルスとして、書込みイネーブル信号(WR\_EN)およびその相補信号(WR\_ENB)を生成する。

【0012】

ここで図2A～図2Dを参照して以下でより完全に説明されるように、パルス生成器106は、クロック信号CLKの第1の縁(たとえば立上り縁)と同期した前縁と、排他的OR比較信号(XOR)の縁(たとえば立上り縁)と同期した自己タイミングの後縁とを有するパルスとして、書込みイネーブル信号WR\_ENを生成するように構成される。比較器104は、ラッチ内の少なくとも2つのノードの論理レベルを比較したことに応答して、この比較信号(XOR)を生成するように構成される。

【0013】

図2Aは、入力インバータINV1、伝達ゲートTG1、逆並列に接続されたインバータのペアINV2～INV3、PMOSプルアップ制御トランジスタP1、およびNMOSプルダウン制御トランジスタN1を含む、図1によって示されるラッチ102のある実施形態を示す。制御トランジスタP1およびN1のゲート端子は、それぞれ、書込みイネーブル信号WR\_ENと相補的な書込みイネーブル信号WR\_ENBとに応答する。この構成に基づいて、インバータのペアINV2～INV3は、PMOSプルアップ制御トランジスタP1およびNMOSプルダウン制御トランジスタN1が、論理値1の書込みイネーブル信号WR\_ENおよび論理値0の相補的な書込みイネーブル信号WR\_ENBに応答してアクティブになる時に、ラッチング動作を実行できるようにされる。インバータINV3、NMOS制御トランジスタN1、およびPMOS制御トランジスタP1は、本明細書ではまとめ

10

20

30

40

50

て、書込みイネーブル信号WR\_ENに応答する少なくとも1つの制御端子を有するインバータデバイスとして扱われ得る。

【0014】

書込みイネーブル信号WR\_ENのローからハイへの遷移はまた、伝達ゲートTG1をオンにするように作用するので、データDATAの値の変化は、インバータINV2/INV3の入力/出力端子における「ラッチ」ノードD0およびD1において反映され得る。対照的に、書込みイネーブル信号WR\_ENのハイからローへの遷移は、伝達ゲートTG1をオフにし、入力インバータINV1の出力における信号(すなわちDATAB)の変化が、ラッチ102内の「ラッチ」ノードD0およびD1の論理値に影響を与えるのを防ぐように作用する。

【0015】

図2Bは、表1の真理値表に従って排他的OR比較信号を生成する、比較器104のある実施形態を示す。比較器104は、排他的OR「比較」信号XORを全体として生成する、3個のNMOSトランジスタN2~N4および2個のPMOSトランジスタP2~P3を含む。この比較信号は、受け取られたデータ(DATA)の論理値がラッチ102内のラッチングノードにおける信号D1の論理値と一致した場合には常に、論理値1を有する。したがって、排他的OR比較信号XORは、ラッチ102内のラッチノードにおける信号D1が、ローからハイ(またはハイからロー)への遷移を経て、ラッチ集積回路100によって受け取られた新たなデータ(DATA)の値と一致する場合には常に、ローからハイへの遷移が起きる。

【0016】

【表1】

DI	DATA	DATAB	XOR
0	0	1	1
0	1	0	0
1	0	1	0
1	1	0	1

【0017】

図2Cは、図1のパルス生成器106のある実施形態を示す。このパルス生成器106は、示されるように接続されている、NMOSトランジスタN5~N7、PMOSトランジスタP4~P6、インバータINV4~INV5、およびNANDゲートND1を含むものとして示される。以下でより完全に説明されるように、パルス生成器106の示されたコンポーネントのいくつかは、一致検出回路および放電クランプとして動作し得る。

【0018】

パルス生成器106の動作は、クロック信号CLKと同期しており、CLKは、書込み動作を無効にする非アクティブ期間(CLK=0)と、新たなデータをラッチ102へと書き込む動作を可能にするアクティブ期間(CLK=1)とを有する。具体的には、クロック信号CLKのハイからローへの遷移によって、PMOSプルアップトランジスタP4がオンになり、プリチャージノードPCが論理値1へとプルアップする(または、論理値1のレベルに保持される)。また、クロック信号CLKのハイからローへの遷移によって、NANDゲートND1の出力がローからハイへと切り替わる(またはハイにとどまる)。言い換えると、クロック信号CLKのハイからローへの遷移によって、相補的な書込みイネーブル信号WR\_ENBがローからハイへと切り替わり(または論理値1のレベルであるハイにとどまり)、書込みイネーブル信号WR\_ENがハイからローへと切り替わる(または論理値0のレベルであるローにとどまる)。図2Dに示されるように

、図2CのNANDゲートND1のある実施形態は、示されるように接続されている、2個のPMOSプルアップトランジスタP8～P9と、2個のNMOSプルダウントランジスタN8～N9を含み得る。

【0019】

対照的に、クロック信号CLKのローからハイへの遷移は、書込みイネーブル信号WR\_ENをローからハイへと切り替えさせ、相補的な書込みイネーブル信号WR\_ENBをハイからローへと切り替えさせることによって、新たなデータをラッチ102へと書込み、それによって、伝達ゲートTG1をオンにして、インバータINV1の出力をラッチ102内のノードD0へ電氣的に接続する動作を可能にする。具体的には、クロック信号CLKのローからハイへの遷移は、NMOSプルダウントランジスタN5をオンにして、PMOSプルアップトランジスタP4をオフするように作用する。クロック信号CLKがローからハイへ遷移することと、プリチャージノードPCにおける論理値が1のレベルであることが相まって、NANDゲートND1の出力をハイからローへと切り替えさせる。NANDゲートND1の出力におけるハイからローへのこの遷移は、書込みイネーブル信号WR\_ENをインバータINV5の出力においてローからハイへと切り替えさせ、PMOSプルアップトランジスタP6をオンにさせることによって、書込み動作の開始を可能にする。排他的OR比較信号XORが論理値0のレベルにとどまっている間に書込み動作を開始することで、NMOSプルダウントランジスタN6がオフのままになり、PMOSプルアップトランジスタP5が(PMOSプルアップトランジスタP6とともに)オンのままになるので、それによって、プリチャージノードPCは論理値1のレベルに保たれ、書込みイネーブル信号WR\_ENは論理値1のレベルに維持される。

【0020】

書込みイネーブル信号WR\_ENが論理値1のレベルであるハイにとどまる期間において、新たなデータ(DATA)が、ラッチ102へと書き込まれて、それによって、ノードD0およびD1の論理レベルを切り替えることができる。図2Bおよび表1によって示されるように、ラッチ102への新たなデータの正確なロードによって、ノードD1の論理レベルが新たな「書込み」データ(DATA)と一致し、排他的OR比較信号XORが、データ比較に基づいて非同期で、ローからハイへと切り替わる。図2Cによって示されるように、排他的OR比較信号XORのローからハイへの遷移/縁によって、NMOSトランジスタN6がオンになりPMOSトランジスタP5がオフになる。それに応答して、プリチャージノードPCは、NMOSトランジスタN5～N6によって与えられる導電性のプルダウン経路によって、プリチャージされた論理値1のレベルから放電された論理値0のレベルへと引っ張られる。プリチャージノードPCがこのようにハイからローへ切り替わることは、NANDゲートND1の出力が論理値0のレベルから論理値1のレベルへと自己タイミングで切り替わり、したがって、書込みイネーブル信号WR\_ENのアクティブ期間(たとえば論理値1の期間)が終了し、ラッチ102内の伝達ゲートTG1をオフにすることによって書込み動作を完了するように作用する。プリチャージノードPCがハイからローへ切り替わることはまた、インバータINV4の入力端子を論理値0のレベルへと動かすことによって、NMOSプルダウントランジスタN7をオンにするように作用する。このようにして、比較信号XORのローからハイへの遷移に応答してプリチャージノードPCを放電するように全体で動作するパルス生成器106のコンポーネントは、一致検出回路として機能する。加えて、「フィードバック」インバータINV4およびNMOSプルダウントランジスタN7は、フィードバックをプリチャージノードPCへと与えることによって、放電クランプとして動作する。このフィードバックは、プリチャージノードPCが適切に放電されると、プリチャージノードPCにおける任意のノイズが、NANDゲートの出力に影響を与えるのを抑制する。

【0021】

図面および明細書において、本発明の典型的で好適な実施形態が開示されてきたが、具体的な用語が利用されていても、そうした用語は、限定のためではなく、包括的に、説明の意味でのみ用いられ、本発明の範囲は以下の特許請求の範囲において述べられている。

【符号の説明】

【0022】

100 ラッチ集積回路

10

20

30

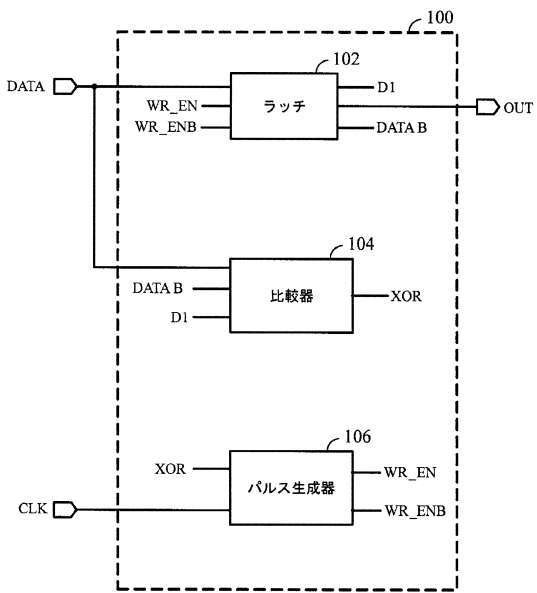
40

50



- 102 ラッチ
- 104 比較器
- 106 パルス生成器

【図1】



【図2A】

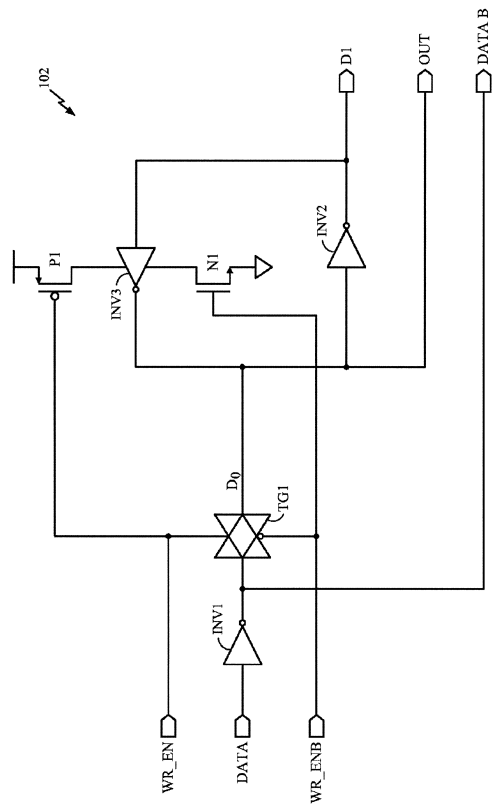


FIG. 2A



---

フロントページの続き

(72)発明者 ファディ・アデル・ハムダン  
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7  
5

審査官 柳下 勝幸

(56)参考文献 特開2004-343570(JP,A)  
特開2007-013349(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03K 3/356  
H03K 3/037