



(12) 发明专利

(10) 授权公告号 CN 113055028 B

(45) 授权公告日 2022.05.17

(21) 申请号 202110292946.X

CN 101854177 A, 2010.10.06

(22) 申请日 2021.03.18

CN 108365918 A, 2018.08.03

(65) 同一申请的已公布的文献号

US 2020177203 A1, 2020.06.04

申请公布号 CN 113055028 A

US 2014068381 A1, 2014.03.06

US 2014068381 A1, 2014.03.06

(43) 申请公布日 2021.06.29

US 2014053037 A1, 2014.02.20

(73) 专利权人 北京得瑞领新科技有限公司

Fernando Gutierrez 等.FPGA

地址 100191 北京市海淀区知春路7号致真大厦B座12层1203

implementation of the parity check node for min-sum LDPC decoders.《2012 VIII Southern Conference on Programmable Logic》.2012,1-3.

(72) 发明人 刘晓健 王嵩

Marco Ferrari 等.Thresholds of Absorbing Sets Under Scaled Min-Sum LDPC Decoding.《IEEE Transactions on Communications》.2019,第67卷(第10期),6643-6651.

(74) 专利代理机构 北京慧智兴达知识产权代理有限公司 11615

专利代理师 李丽颖

(51) Int.Cl.

H03M 13/11 (2006.01)

(56) 对比文件

CN 105991141 A, 2016.10.05

CN 107872231 A, 2018.04.03

CN 106547492 A, 2017.03.29

CN 110535475 A, 2019.12.03

CN 104518801 A, 2015.04.15

CN 101577555 A, 2009.11.11

CN 111384970 A, 2020.07.07

陈辉.LDPC码校验矩阵构造及其译码算法研究.《中国优秀博硕士学位论文全文数据库(硕士)》.2014,(第03(2014年)期),I136-106.

孙友明 等.基于节点子集和k阶信息截断的多元LDPC译码算法.《电子学报》.2017,第45卷(第8期),1925-1930.

审查员 杨苏倩

权利要求书2页 说明书8页 附图3页

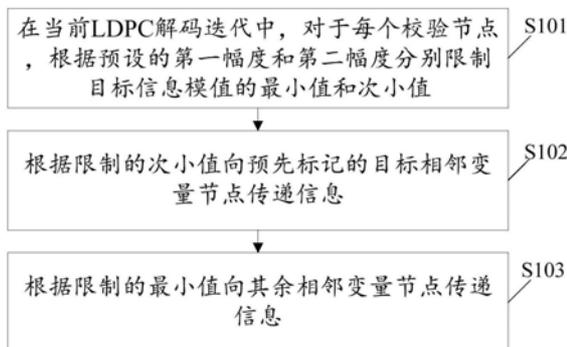
(54) 发明名称

LDPC解码方法、解码器、解码装置及存储介质

位宽。

(57) 摘要

本申请涉及一种LDPC解码方法、解码器、解码装置及存储介质,所述LDPC解码方法包括:在当前LDPC解码迭代中,对于每个校验节点,根据预设的第一幅度和第二幅度分别限制目标信息模值的最小值和次小值;所述目标信息模值为与该校验节点相邻变量节点传递给该校验节点的信息模值;根据限制的次小值向预先标记的目标相邻变量节点传递信息;根据限制的最小值向其余相邻变量节点传递信息。本申请在保持LDPC解码器纠错能力的基础上,可以有效减少解码器的



CN 113055028 B

1. 一种低密度奇偶校验码LDPC解码方法,其特征在于,所述LDPC解码方法包括:

在当前LDPC解码迭代中,对于每个校验节点,根据预设的第一幅度和第二幅度分别限制目标信息模值的最小值和次小值;所述目标信息模值为与该校验节点相邻变量节点传递给该校验节点的信息模值;所述次小值对应的信息模值经过所述第二幅度限制后的位宽不超过LDPC解码器的输入位宽;

根据限制的次小值向预先标记的目标相邻变量节点传递信息;

根据限制的最小值向其余相邻变量节点传递信息,所述目标相邻变量节点和所述其余相邻变量节点构成所述相邻变量节点集合。

2. 根据权利要求1所述的LDPC解码方法,其特征在于,所述根据限制的次小值向预先标记的目标相邻变量节点传递信息之前,包括:

在所述目标信息模值中确定出信息模值的最小值和次小值;

从所述相邻变量节点集合中的所述信息模值的最小值对应的变量节点中,根据预设的标记数量标记出目标相邻变量节点。

3. 根据权利要求2所述的LDPC解码方法,其特征在于,所述标记数量小于所述信息模值的最小值对应的变量节点的数量。

4. 根据权利要求2所述的LDPC解码方法,其特征在于,所述第二幅度大于所述第一幅度。

5. 根据权利要求2所述的LDPC解码方法,其特征在于,在根据预设的标记数量标记出目标相邻变量节点时,按照以下1种或多种方式进行标记:

随机选取;

根据所述LDPC中奇偶校验矩阵的列重;

根据输入对数似然比LLR的幅度;

根据所述LDPC中奇偶校验矩阵的列编号顺序。

6. 根据权利要求1-5中任意一项所述的LDPC解码方法,其特征在于,所述根据限制的次小值向预先标记的目标相邻变量节点传递信息;根据限制的最小值向其余相邻变量节点传递信息,包括:

根据当前LDPC解码迭代中该校验节点向目标相邻变量节点传递信息的符号和所述限制的次小值向所述目标相邻变量节点传递信息;

根据当前LDPC解码迭代中该校验节点向其余相邻变量节点传递信息的符号和所述限制的最小值向所述其余相邻变量节点传递信息。

7. 一种低密度奇偶校验码LDPC解码器,其特征在于,所述LDPC解码器包括:

限幅模块,用于在当前LDPC解码迭代中,对于每个校验节点,根据预设的第一幅度和第二幅度分别限制目标信息模值的最小值和次小值;所述目标信息模值为与该校验节点相邻变量节点传递给该校验节点的信息模值;所述次小值对应的信息模值经过所述第二幅度限制后的位宽不超过LDPC解码器的输入位宽;

校验节点传递信息模块,用于根据限制的次小值向预先标记的目标相邻变量节点传递信息;根据限制的最小值向其余相邻变量节点传递信息,所述目标相邻变量节点和所述其余相邻变量节点构成所述相邻变量节点集合。

8. 一种低密度奇偶校验码LDPC解码装置,其特征在于,所述LDPC解码装置包括存储器、

处理器及存储在所述存储器上并可在所述处理器上运行的计算机程序；

所述计算机程序被所述处理器执行时实现如权利要求1-6中任一项所述的低密度奇偶校验码LDPC解码方法的步骤。

9. 一种计算机可读存储介质,其特征在于,所述计算机可读存储介质上存储有低密度奇偶校验码LDPC解码程序,所述低密度奇偶校验码LDPC解码程序被处理器执行时实现如权利要求1-6中任一项所述的低密度奇偶校验码LDPC解码方法的步骤。

LDPC解码方法、解码器、解码装置及存储介质

技术领域

[0001] 本申请涉及数据通信领域,具体涉及一种LDPC解码方法、解码器、解码装置及存储介质。

背景技术

[0002] 低密度奇偶校验码(Low-Density Parity-Check Codes,LDPC)在纠错能力、译码吞吐率和算法复杂度等关键指标上具备良好的综合性能,在2000年以后被广泛应用于移动、固网标准,同时也是当前固态存储控制器的主流纠错码。

[0003] LDPC码可以用校验矩阵来定义。每一个奇偶校验矩阵H,存在一个对应的Tanner二分图(bipartite Tanner graph)。Tanner二分图中包含两种节点:变量节点(Variable Node,VN)和校验节点(Check Node,CN)。每个VN代表H中的一列,每个CN则表示H的一行;当H中某行某列的元素为1时,Tanner二分图中对应的VN和CN用一条“边”连接。图1给出了一个奇偶校验矩阵H到Tanner图的映射实例。

[0004] LDPC的译码算法的演变大致经历了从和积(sum product)算法,到对数域的belief propagation(log BP),再到最小和(min-sum)算法及其各种变形。在这个过程中,校验节点运算中复杂的乘法运算首先被简化为更为简单的对数和加法运算,使得LDPC在不损失纠错能力的同时,第一次具备了在芯片上实现的可能性;接着,对数和加法运算被更为简单的最小、次小排序算法替代,虽然损失了少许纠错性能,但也使得算法对信道参数的估计不再敏感。因此,目前大多数LDPC译码器使用的都是由min-sum衍生出的各种算法。

[0005] 位宽(包括输入信息的位宽和内部运算的位宽)和纠错能力是min-sum算法类解码器设计时必须重点考虑的两个因素。通常,位宽越小,解码器在复杂度、功耗、吞吐率方面的性能越优秀,但纠错能力也会出现相应的下降。尤其当位宽减少到一定值后,纠错能力会出现剧烈的恶化。如何既能有效减少min-sum类解码器位宽,又能尽量保持纠错能力,现有技术未给出有效的解决方案。

发明内容

[0006] 本发明实施例中提供一种LDPC解码方法、解码器、解码装置及存储介质,用以至少在保持LDPC解码器纠错能力的基础上,减少解码器的位宽。

[0007] 第一方面,本发明提供一种低密度奇偶校验码LDPC解码方法,所述LDPC解码方法包括:

[0008] 在当前LDPC解码迭代中,对于每个校验节点,根据预设的第一幅度和第二幅度分别限制目标信息模值的最小值和次小值;所述目标信息模值为与该校验节点相邻变量节点传递给该校验节点的信息模值;

[0009] 根据限制的次小值向预先标记的目标相邻变量节点传递信息;

[0010] 根据限制的最小值向其余相邻变量节点传递信息,所述目标相邻变量节点和所述其余相邻变量节点构成所述相邻变量节点集合。

- [0011] 可选的,所述根据限制的次小值向预先标记的目标相邻变量节点传递信息之前,包括:
- [0012] 在所述目标信息模值中确定出信息模值的最小值和次小值;
- [0013] 从所述相邻变量节点集中的所述信息模值的最小值对应的变量节点中,根据预设的标记数量标记出目标相邻变量节点。
- [0014] 可选的,所述标记数量小于所述信息模值的最小值对应的变量节点的数量。
- [0015] 可选的,所述第二幅度大于所述第一幅度。
- [0016] 可选的,在根据预设的标记数量标记出目标相邻变量节点时,按照以下1种或多种方式进行标记:
- [0017] 随机选取;
- [0018] 根据所述LDPC中奇偶校验矩阵的列重;
- [0019] 根据输入对数似然比LLR的幅度;
- [0020] 根据所述LDPC中奇偶校验矩阵的列编号顺序。
- [0021] 可选的,所述LDPC解码方法还包括:
- [0022] 所述次小值对应的信息模值经过所述第二幅度限制后的位宽不超过LDPC解码器的输入位宽。
- [0023] 可选的,所述根据限制的次小值向预先标记的目标相邻变量节点传递信息;根据限制的最小值向其余相邻变量节点传递信息,包括:
- [0024] 根据当前LDPC解码迭代中该校验节点向目标相邻变量节点传递信息的符号和所述限制的次小值向所述目标相邻变量节点传递信息;
- [0025] 根据当前LDPC解码迭代中该校验节点向其余相邻变量节点传递信息的符号和所述限制的最小值向所述其余相邻变量节点传递信息。
- [0026] 第二方面,本发明提供一种低密度奇偶校验码LDPC解码器,所述LDPC解码器包括:
- [0027] 限幅模块,用于在当前LDPC解码迭代中,对于每个校验节点,根据预设的第一幅度和第二幅度分别限制目标信息模值的最小值和次小值;所述目标信息模值为与该校验节点相邻变量节点传递给该校验节点的信息模值;
- [0028] 校验节点传递信息模块,用于根据限制的次小值向预先标记的目标相邻变量节点传递信息;根据限制的最小值向其余相邻变量节点传递信息,所述目标相邻变量节点和所述其余相邻变量节点构成所述相邻变量节点集合。
- [0029] 第三方面,本发明提供一种低密度奇偶校验码LDPC解码装置,所述LDPC解码装置包括存储器、处理器及存储在所述存储器上并可在所述处理器上运行的计算机程序;
- [0030] 所述计算机程序被所述处理器执行时实现如上任一项所述的低密度奇偶校验码LDPC解码方法的步骤。
- [0031] 第四方面,本发明提供一种计算机可读存储介质,所述计算机可读存储介质上存储有低密度奇偶校验码LDPC解码程序,所述低密度奇偶校验码LDPC解码程序被处理器执行时实现如上任一项所述的低密度奇偶校验码LDPC解码方法的步骤。
- [0032] 本本发明各实施例在保持LDPC解码器纠错能力的基础上,可以有效减少解码器的位宽。例如,可以使得min-sum类算法在相同的输入位宽条件下,内部位宽能降低至少1个比特,且不会对纠错能力造成负面影响;非常适合需要低功耗、大吞吐率的芯片算法实现。

附图说明

- [0033] 图1是奇偶校验矩阵H到Tanner图的映射实例示意图；
- [0034] 图2是根据本发明实施例的一种LDPC解码方法的流程图；
- [0035] 图3是normalized min-sum一次LDPC解码迭代的流程图；
- [0036] 图4是row-layered min-sum一次LDPC解码迭代的流程图；
- [0037] 图5是根据本发明实施例的硬判决译码性能对比图；
- [0038] 图6是根据本发明实施例的软判决译码性能对比图；
- [0039] 图7是根据本发明实施例的一种LDPC解码器的结构框图。

具体实施方式

[0040] 下面结合附图和具体实施例对本发明作进一步详细描述,应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0041] 在后续的描述中,使用用于表示元件的诸如“模块”、“部件”或“单元”的后缀仅为了有利于本发明的说明,其本身没有特定的意义。因此,“模块”、“部件”或“单元”可以混合地使用。

[0042] 实施例一

[0043] 本发明实施例提供一种低密度奇偶校验码LDPC解码方法,如图2所示,所述LDPC解码方法包括:

[0044] S101,在当前LDPC解码迭代中,对于每个校验节点,根据预设的第一幅度和第二幅度分别限制目标信息模值的最小值和次小值;所述目标信息模值为与该校验节点相邻变量节点传递给该校验节点的信息模值;

[0045] S102,根据限制的次小值向预先标记的目标相邻变量节点传递信息;

[0046] S103,根据限制的最小值向其余相邻变量节点传递信息,所述目标相邻变量节点和所述其余相邻变量节点构成所述相邻变量节点集合。

[0047] 本发明实施例提出了一种简单、通用有效的、适用于低位宽min-sum类低位宽解码器的解决方法;本发明实施例可以用于min-sum类算法的主要分支,例如normalize min-sum算法、column layered min-sum算法、row-layered min-sum算法等。本本发明实施例可以使得min-sum类算法在相同的输入位宽条件下,内部位宽能降低至少1个比特,且不会对纠错能力造成负面影响;非常适合需要低功耗、大吞吐率的芯片算法实现。

[0048] 以下通过normalized min-sum算法和row-layered min-sum算法为例,描述本发明实施例的发明点。本发明实施例主要集中在校验节点向变量节点传递信息更新(CN update,CNU)的改进,而其他算法如column layered min-sum算法和在CN节点的计算上与该算法基本相同。

[0049] 首先介绍normalized min-sum算法的原理。

[0050] 1.初始化:所有校验节点CN信息清零,变量节点VN信息置为输入LLR(log-likelihood ratio,对数似然比)。

[0051] 2.校验节点向变量节点传递信息(CNU)

[0052] a)符号计算

[0053] 第m个CN向第n'个VN传递信息的正负极性(符号)计算如下。假设参与该CN的其他

VN极性都正确的情况下,使得校验式成立时第 n' 个VN的极性为: $\prod_{\{n' \in H(m), n' \neq n\}} \text{sgn}(L_{q_{m,n'}})$,其中 $H(m)$ 表示与第 m 个CN相邻的VN集合, $L_{q_{m,n'}}$ 表示变量节点 n' 传递给第 m 校验节点的信息。

[0054] b) 幅值计算

[0055] 第 m 个CN向第 n' 个相邻VN传递信息的幅值为,去除了第 n' 个相邻VN以外的其他相邻VN信息模值中的最小值,并乘以修正因子 α ,即 $\min_{\{n' \in H(m), n' \neq n\}} |L_{q_{m,n'}}| * \alpha$ 。

[0056] 校验节点向变量节点传递信息 $L_{r_{m,n}}$ 完整的计算公式如下:

$$[0057] \quad L_{r_{m,n'}} = \prod_{\{n \in H(m), n' \neq n\}} \text{sgn}(L_{q_{m,n}}) * \min_{\{n \in H(m), n' \neq n\}} (|L_{q_{m,n}}|) * \alpha \quad (1)$$

[0058] 3. 变量节点向校验节点传递信息 (VNU)

[0059] a) VN收集所有来自相邻CN的信息,并与输入LLR相加

$$[0060] \quad \text{sum_lr}_n = L_{c_n} + \sum_{m \in H(n)} L_{r_{m,n}} \quad (2)$$

[0061] 其中 L_{c_n} 表示第 n 个VN的输入LLR, $H(n)$ 表示和它相邻的CN集合。

[0062] b) 计算传递给其相邻的CN的信息

$$[0063] \quad L_{q_{m,n}} = \text{sum_lr}_n - L_{r_{m,n}}, m \in H(n) \quad (3)$$

[0064] 意义:传递给第 m 个CN的信息取决于上次LDPC解码迭代与该VN相邻的其他CN的信息,及输入的LLR。

[0065] 该算法一次LDPC解码迭代的实施过程可以用图3表示,用公式(2)进行符号判决,获得本次迭代的译码输出,然后用奇偶校验矩阵 H 进行校验,如果校验通过则终止迭代,否则继续下一次迭代,直至达到最大迭代次数或校验通过。

[0066] row-layered min-sum算法在迭代顺序上对normalized min-sum进行了改进。每执行完一层VNU,就更新与这些VN相邻的CN节点的CNU。这里的“一层”既可以是奇偶校验矩阵 H 中的一行,也可以是互相正交的数行(用这些行组成的子矩阵的任意一列的列重不超过1)。这样,下一层的VNU就可以提前得到部分更新(传递)的信息,从而加快迭代收敛的速度。如图4所示,每层的LDPC解码迭代步骤如下。

[0067] 1. 第 t 次迭代、第 k 层的VNU

$$[0068] \quad L_{q_{m,n}}^{k,t} = \text{sum} L_{r_{m,n}}^{(k-1),t} - L_{r_{m,n}}^{(k-1),t-1} \quad (4)$$

[0069] 2. 第 t 次迭代、第 k 层的CNU

$$[0070] \quad L_{r_{m,n'}}^{k,t} = \prod_{\{n \in H(m), n \neq n'\}} \text{sgn}(L_{q_{m,n}}^{k,t}) * \min_{\{n \in H(m), n \neq n'\}} (|L_{q_{m,n}}^{k,t}|) * \alpha \quad (5)$$

[0071] 3. 更新相关的比特信息:

$$[0072] \quad \text{sum_lr}_n^{k,t} = L_{q_{m,n}}^{k,t} + L_{r_{m,n}}^{k,t}, n \in H(m) \quad (6)$$

[0073] 本发明实施例主要对公式(1) (5)进行改进,公式(5)可以改写为如下形式:

$$[0074] \quad L_{m,n'}^{k,t} = \begin{cases} \prod_{\{n \in H(m), n \neq n'\}} \text{sgn}(L_{q,m,n}^{k,t}) * \min_{\{n \in H(m)\}} (|L_{q,m,n}^{k,t}|) * \alpha, & \text{if } |L_{q,m,n'}^{k,t-1}| \neq \min_{\{n \in H(m)\}} (|L_{q,m,n}^{k,t}|) \\ \prod_{\{n \in H(m), n \neq n'\}} \text{sgn}(L_{q,m,n}^{k,t}) * \text{sub_min}_{\{n \in H(m)\}} (|L_{q,m,n}^{k,t}|) * \alpha, & \text{if } |L_{q,m,n'}^{k,t-1}| = \min_{\{n \in H(m)\}} (|L_{q,m,n}^{k,t}|) \end{cases} \quad (7)$$

[0075] 其中, sub_min() 表示次小值运算, min() 表示最小值运算。在实际方案中, 公式(7) 等效于在所有与该CNU相关的LDPC解码迭代信息模值 $|L_{q,m,n'}^{k,t}|$ 中, 找出最小值和次小值, 如果第 n' 个VN的信息模值 $|L_{q,m,n'}^{k,t}|$ 恰巧为最小值, 则当前LDPC解码迭代 $L_{m,n'}^{k,t}$ 的信息幅值取次小值, 否则, 取最小值。

[0076] 现有技术中, 当解码器宽位较小时, 上述最小值可能等于次小值, 从而使得该CN传递出去的信息幅值都一样; 另外, 随着迭代的增加, VNU输出的信息模值 $|L_{q,m,n'}^{k,t}|$ 会逐渐增加, 但由于解码器位宽的限制, 其模值会很快饱和, 导致最小值和次小值的差别难以分辨。以上两种现象都会导致纠错能力的下降。

[0077] 基于此, 本发明实施例对每个CN进行CNU时, 如果存在多个相邻VN节点的信息模值都是最小值, 则会标记其中的一个VN节点的位置, 并采用以下的公式计算 $L_{m,n'}^{k,t}$ 。

$$[0078] \quad L_{m,n'}^{k,t} = \begin{cases} \prod_{\{n \in H(m), n' \neq n\}} \text{sgn}(L_{q,m,n}^{k,t}) * \text{sub_min}_{\{n \in H(m)\}} (|L_{q,m,n}^{k,t}|) * \alpha, & \text{if } n' \text{ 是被标记的目标相邻变量节点} \\ \prod_{\{n \in H(m), n' \neq n\}} \text{sgn}(L_{q,m,n}^{k,t}) * \min_{\{n \in H(m)\}} (|L_{q,m,n}^{k,t}|) * \alpha, & \text{else } n' \text{ 是其余相邻变量节点} \end{cases}$$

[0079] 也就是说, 对于被标记的“最小值”位置的相邻VN节点, CN节点向其更新信息(传递信息)的幅值取次小值, 至于其余相邻VN节点, CN向其更新信息的幅值都取最小值。即, 所述根据限制的次小值向预先标记的目标相邻变量节点传递信息; 根据限制的最小值向其余相邻变量节点传递信息, 包括:

[0080] 根据当前LDPC解码迭代中该校验节点向目标相邻变量节点传递信息的符号和所述限制的次小值向所述目标相邻变量节点传递信息;

[0081] 根据当前LDPC解码迭代中该校验节点向其余相邻变量节点传递信息的符号和所述限制的最小值向所述其余相邻变量节点传递信息。

[0082] 可选的, 所述根据限制的次小值向预先标记的目标相邻变量节点传递信息之前, 包括:

[0083] 在所述目标信息模值中确定出信息模值的最小值和次小值;

[0084] 从所述相邻变量节点集合中的所述信息模值的最小值对应的变量节点中, 根据预设的标记数量标记出目标相邻变量节点。其中标记的规则可以是随机地从多个最小值中选择, 也可以按照其他方法确定。例如, 按照以下1种或多种方式进行标记:

[0085] 随机选取;

[0086] 根据所述LDPC中奇偶校验矩阵的列重；

[0087] 根据输入对数似然比LLR的幅度；

[0088] 根据所述LDPC中奇偶校验矩阵的列编号顺序。

[0089] 在一些实施方式中,所述标记数量小于所述信息模值的最小值对应的变量节点的数量。例如1个。对被标记位置的VN节点和其他VN节点,CN节点向其更新的信息采用不同的幅度限制,并且被标记位置的限幅幅度要大于其他节点的。例如,最小值和次小值采用不同的限幅,其中所述第二幅度MAX2大于所述第一幅度MAX1。具体的,

$$\begin{aligned}
 \text{sub_min}(|L_{r_{m,n'}}^{k,t}|) &= \begin{cases} \text{sub_min}(|L_{r_{m,n'}}^{k,t}|), & \text{if } \text{sub_min}(|L_{r_{m,n'}}^{k,t}|) < \text{MAX2} \\ \text{MAX2}, & \text{else} \end{cases} \\
 \text{min}(|L_{r_{m,n'}}^{k,t}|) &= \begin{cases} \text{min}(|L_{r_{m,n'}}^{k,t}|), & \text{if } \text{min}(|L_{r_{m,n'}}^{k,t}|) < \text{MAX1} \\ \text{MAX1}, & \text{else} \end{cases}
 \end{aligned}$$

[0090]

[0091] 其中, $0 < \text{MAX1} < \text{MAX2}$ 。

[0092] 在一些实施方式中,所述LDPC解码方法还包括:所述次小值对应的信息模值经过所述第二幅度限制后的位宽不超过LDPC解码器的输入位宽(含符号位)。

[0093] 上述特征的好处表现在两点:

[0094] 首先,通过限幅可以减少解码器内部计算和存储单元的位宽,降低芯片的设计难度和成本。

[0095] 其次,当解码器输入位宽不低于5比特时,纠错能力不会下降;而当解码器输入位宽低于5比特时,该方案可以明显提升纠错能力。原因在于限幅以后,随着迭代的增加,公式(2)或(6)的幅值增长速度放慢,减缓了其饱和失真的速度。并且,通过设置不同的限幅幅度MAX1和MAX2,强制CNU的输出在幅度上有差别,这在解码器输入位宽较低的情况下,进一步提高了输出信息的可靠度分辨率。

[0096] 下面用一个算例来加以说明:

[0097] 假设最小值和次小值的限幅分别是 $\text{MAX1} = 2$ 和 $\text{MAX2} = 7$,某个CNU过程中排序得到的最小值和次小值都是6,则限幅后的最小值和次小值分别变为2和6,并且模值为6的信息只会传给少数几个被标记的VN节点。

[0098] 本发明实施例适用于Min-sum类算法,每个CN节点执行CNU操作时,对CN节点传递的信息的两种幅值进行不同的限幅(即规定最大值的上限),且次小值的信息仅传递给1个或者少数几个相邻的VN节点。其中被标记的VN节点既可以是随机选取的,也可以是按照某些规则选择的,例如奇偶校验矩阵H的列重,或输入LLR的幅度等;进一步,被标记的VN节点数量可以随着迭代次数、各层的位置、H的行重等进行调整。最小值和次小值采用不同的最大值进行限幅。次小值对应的信息模值,经限幅后的位宽不用超过解码器的输入位宽(含符号位),但最小值的限幅必须小于次小值限幅的幅值。

[0099] 图5显示了本发明和原始算法的在硬判决译码时性能对比,采用LDPC码长度为4KB,码率为0.9,解码算法为row-layered min-sum算法。所谓的硬判决是指输入解码器的LLR只有正负极性,而没有幅度信息的情况。图中的横坐标表示RBER(raw bit error rate),即硬判决序列的错误率;纵坐标表示解码器的误帧率(frame error rate,简称FER);图例中的HD表示硬判决译码,两个数字分别表示解码器的输入位宽和内部最大位宽;

“our”表示采用本发明实施例的算法。

[0100] 由图可见,当输入位宽为5bit时,采用本发明实施例的算法与原算法性能相当;当输入位宽减少到4比特后,本发明实施例的算法开始优于原算法;当输入位宽减少到3比特后,本发明实施例的算法的性能远远优于原始算法。此外,本发明实施例的算法在测量区间内都没有出现误码平层(error floor)现象。

[0101] 图6显示了软判决译码时的性能对比。软判决意味着输入LLR除了正负号,还有幅度来表示输入信息的可靠度。与硬判决译码类似,本发明实施例的算法在相同的输入位宽条件下,能够取得不差于原算法的纠错能力。

[0102] 本发明实施例中Row-layered min-sum解码器的输入位宽为A bit时,通常解码器的内部位宽不能低于 $(2=A+2)$ bit才能保证纠错能力明显下降。本发明实施例可以在保持纠错能力不低于原算法的前提下,将内部位宽减少至 $(A+1)$ bit,即减少一个比特。其中,当输入位宽不大于4bit时,本发明实施例可以明显减缓原算法在纠错能力上的急剧恶化。

[0103] 实施例二

[0104] 本发明实施例提供一种低密度奇偶校验码LDPC解码器,如图7所示,所述LDPC解码器包括:

[0105] 限幅模块20,用于在当前LDPC解码迭代中,对于每个校验节点,根据预设的第一幅度和第二幅度分别限制目标信息模值的最小值和次小值;所述目标信息模值为与该校验节点相邻变量节点传递给该校验节点的信息模值;

[0106] 校验节点传递信息模块40,用于根据限制的次小值向预先标记的目标相邻变量节点传递信息;根据限制的最小值向其余相邻变量节点传递信息,所述目标相邻变量节点和所述其余相邻变量节点构成所述相邻变量节点集合;具体用于根据当前LDPC解码迭代中该校验节点向目标相邻变量节点传递信息的符号和所述限制的次小值向所述目标相邻变量节点传递信息;根据当前LDPC解码迭代中该校验节点向其余相邻变量节点传递信息的符号和所述限制的最小值向所述其余相邻变量节点传递信息。。

[0107] 本发明实施例提出了一种简单、通用有效的、适用于低位宽min-sum类低位宽解码器的解决方案;本发明实施例可以用于min-sum类算法的主要分支,例如normalize min-sum算法、column layered min-sum算法、row-layered min-sum算法等。本本发明实施例可以使得min-sum类算法在相同的输入位宽条件下,内部位宽能降低至少1个比特,且不会对纠错能力造成负面影响;非常适合需要低功耗、大吞吐率的芯片算法实现。

[0108] 在一些实施方式中,所述根据限制的次小值向预先标记的目标相邻变量节点传递信息之前,包括:

[0109] 在所述目标信息模值中确定出信息模值的最小值和次小值;

[0110] 从所述相邻变量节点集合中的所述信息模值的最小值对应的变量节点中,根据预设的标记数量标记出目标相邻变量节点。

[0111] 可选的,所述标记数量小于所述信息模值的最小值对应的变量节点的数量。所述第二幅度大于所述第一幅度。在根据预设的标记数量标记出目标相邻变量节点时,按照以下1种或多种方式进行标记:

[0112] 随机选取;

[0113] 根据所述LDPC中奇偶校验矩阵的列重;

[0114] 根据输入对数似然比LLR的幅度；

[0115] 根据所述LDPC中奇偶校验矩阵的列编号顺序。

[0116] 在一些实施方式中,其中,所述次小值对应的信息模值经过所述第二幅度限制后的位宽不超过LDPC解码器的输入位宽。

[0117] 本发明实施例适用于Min-sum类算法,每个CN节点执行CNU操作时,对CN节点传递的信息的两种幅值进行不同的限幅(即规定最大值的上限),且次小值的信息仅传递给1个或者少数几个相邻的VN节点。其中被标记的VN节点既可以是随机选取的,也可以是按照某些规则选择的,例如奇偶校验矩阵H的列重,或输入LLR的幅度等;进一步,被标记的VN节点数量可以随着迭代次数、各层的位置、H的行重等进行调整。最小值和次小值采用不同的最大值进行限幅。次小值对应的信息模值,经限幅后的位宽不用超过解码器的输入位宽(含符号位),但最小值的限幅必须小于比次小值限幅的幅值。

[0118] 实施例三

[0119] 本发明实施例提供一种低密度奇偶校验码LDPC解码装置,所述LDPC解码装置包括存储器、处理器及存储在所述存储器上并可在所述处理器上运行的计算机程序;

[0120] 所述计算机程序被所述处理器执行时实现如实施例一中任一项所述的低密度奇偶校验码LDPC解码方法的步骤。

[0121] 实施例四

[0122] 本发明实施例提供一种计算机可读存储介质,所述计算机可读存储介质上存储有低密度奇偶校验码LDPC解码程序,所述低密度奇偶校验码LDPC解码程序被处理器执行时实现如实施例一中任一项所述的低密度奇偶校验码LDPC解码方法的步骤。

[0123] 在具体实现过程中实施例二至实施例四可以参阅实施例一,具有相应的技术效果。

[0124] 上面结合附图对本发明的实施例进行了描述,但是本发明并不局限于上述的具体实施方式,上述的具体实施方式仅仅是示意性的,而不是限制性的,本领域的普通技术人员在本发明的启示下,在不脱离本发明宗旨和权利要求所保护的范围情况下,还可做出很多形式,这些均属于本发明的保护之内。

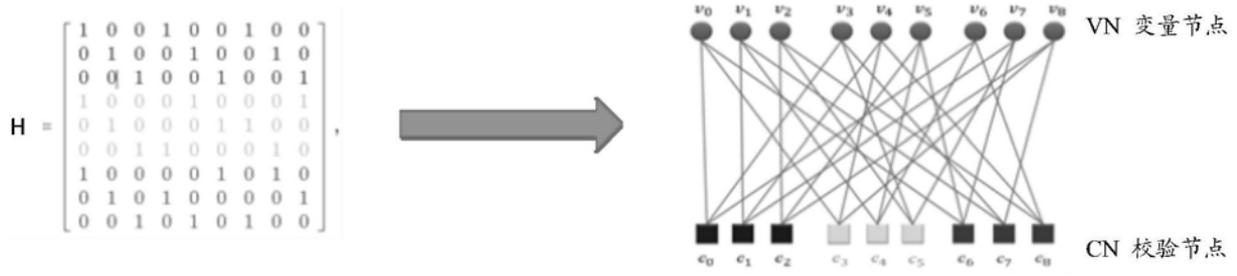


图1

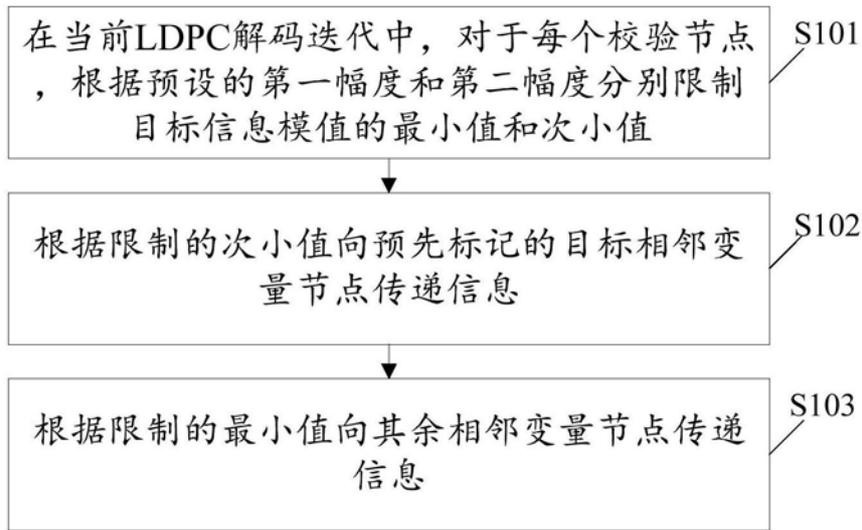


图2

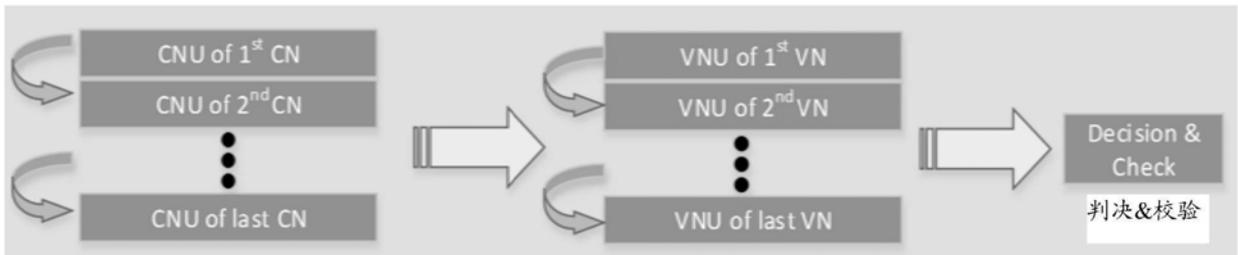


图3

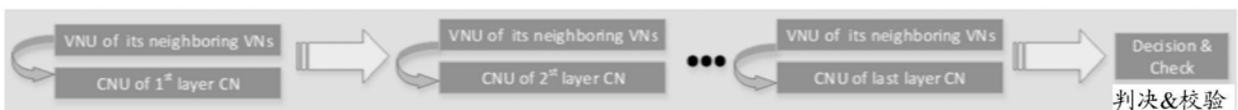


图4

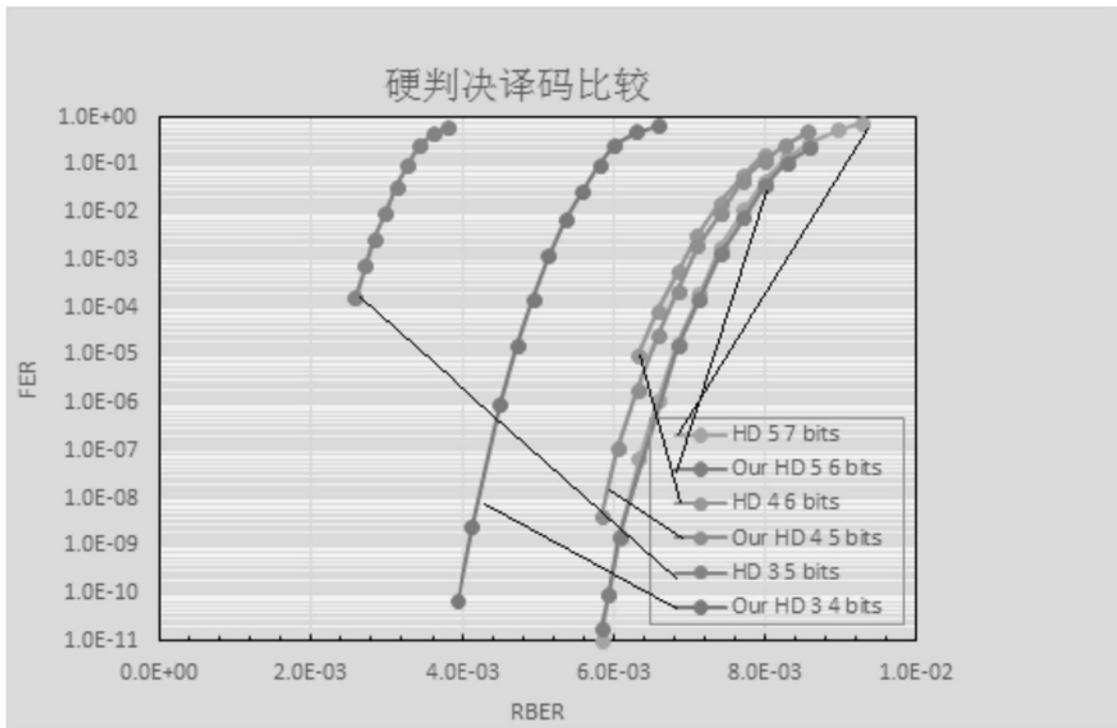


图5

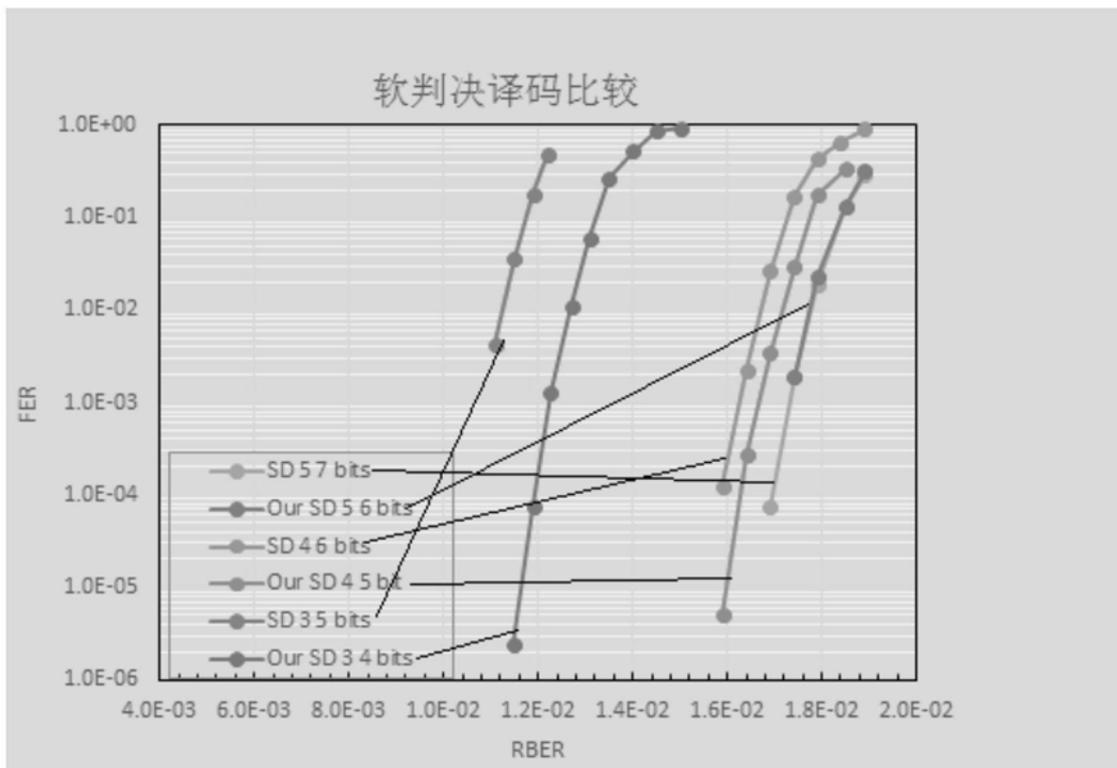


图6

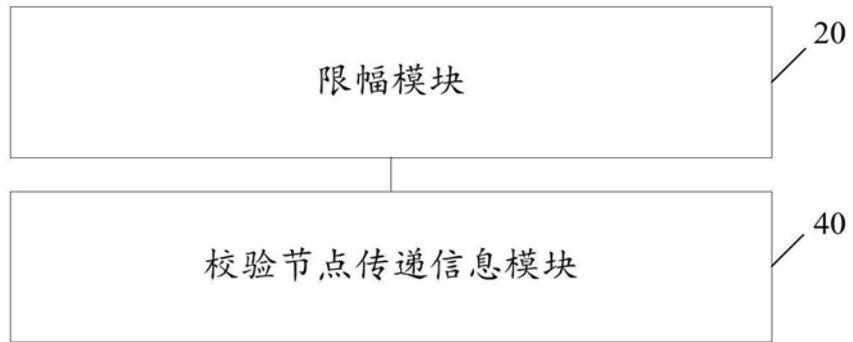


图7