

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6586952号
(P6586952)

(45) 発行日 令和1年10月9日(2019.10.9)

(24) 登録日 令和1年9月20日(2019.9.20)

(51) Int.Cl.		F I			
HO 1 L 21/60	(2006.01)	HO 1 L	21/60	3 1 1 S	
HO 1 L 25/065	(2006.01)	HO 1 L	25/08	E	
HO 1 L 25/07	(2006.01)	HO 1 L	25/10	Z	
HO 1 L 25/18	(2006.01)				
HO 1 L 25/10	(2006.01)				

請求項の数 22 (全 49 頁)

(21) 出願番号	特願2016-529242 (P2016-529242)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(86) (22) 出願日	平成27年6月5日(2015.6.5)	(74) 代理人	110001357 特許業務法人つばさ国際特許事務所
(86) 国際出願番号	PCT/JP2015/066348	(72) 発明者	村井 誠 東京都港区港南1丁目7番1号 ソニー株式会社内
(87) 国際公開番号	W02015/198837	(72) 発明者	佐藤 和樹 東京都港区港南1丁目7番1号 ソニー株式会社内
(87) 国際公開日	平成27年12月30日(2015.12.30)	(72) 発明者	山田 宏行 東京都港区港南1丁目7番1号 ソニー株式会社内
審査請求日	平成30年6月1日(2018.6.1)		
(31) 優先権主張番号	特願2014-132335 (P2014-132335)		
(32) 優先日	平成26年6月27日(2014.6.27)		
(33) 優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体チップと、前記半導体チップが配設されるパッケージ基板とを備え、
前記半導体チップは、チップ本体と、前記チップ本体の素子形成面に設けられたはんだを含む複数の電極とを有し、
前記パッケージ基板は、基板本体と、前記基板本体の表面に設けられた少なくとも一つの導電層およびソルダレジスト層とを有し、
前記ソルダレジスト層は、前記基板本体の表面および前記少なくとも一つの導電層の上に連続層として設けられると共に、前記少なくとも一つの導電層の各々の上に少なくとも一つの開口を有し、
前記はんだを含む複数の電極は、電源供給機能以外の同一機能を有する二つ以上の第1電極を含み、
前記少なくとも一つの導電層は、連続な第1導電層を含み、
前記二つ以上の第1電極は、前記連続な第1導電層に接続され、
前記少なくとも一つの開口は、前記二つ以上の第1電極の各々に対向すると共に前記二つ以上の第1電極の各々ごとに分割された二つ以上の開口を含む
半導体装置。

【請求項2】

前記連続な第1導電層は、前記二つ以上の開口の各々内に途切れ部を有する
請求項1記載の半導体装置。

【請求項 3】

前記二つ以上の開口は、斜め切欠き部を有し、
隣り合う前記開口は、前記斜め切欠き部どうしを向かい合わせて配置されている
請求項 1 記載の半導体装置。

【請求項 4】

前記二つ以上の第 1 電極は、前記連続な第 1 導電層に沿って、互いに隣接する位置に配置されている
請求項 1 記載の半導体装置。

【請求項 5】

前記はんだを含む複数の電極は、第 2 電極を含み、
前記少なくとも一つの導電層は、少なくとも二つの非連続な第 2 導電層を含み、
前記第 2 電極は、前記少なくとも二つの非連続な第 2 導電層に対して複数の接続関係を有し、前記半導体チップの前記パッケージ基板に対する相対位置の移動により前記複数の接続関係のいずれかを選択可能である
請求項 1 記載の半導体装置。

10

【請求項 6】

前記複数の接続関係は、
前記第 2 電極を前記少なくとも二つの非連続な第 2 導電層のうちの一つに接続する第 1 の接続関係と、
前記第 2 電極を前記少なくとも二つの非連続な第 2 導電層のうち他の一つに接続する第 2 の接続関係と
を含む請求項 5 記載の半導体装置。

20

【請求項 7】

前記はんだを含む複数の電極は、前記半導体チップの外周部に設けられ、
前記パッケージ基板は、前記基板本体の中央部にチップ配設領域を有し、
前記少なくとも一つの導電層は、複数の配線を含み、
前記複数の配線は、前記チップ配設領域の外周部から前記基板本体の外側または内側に向かって伸びていると共に前記チップ配設領域の各辺において互いに平行に配置されている
請求項 1 記載の半導体装置。

30

【請求項 8】

前記少なくとも一つの開口は、前記少なくとも一つの開口内の前記配線の上面および側面の高さ方向の一部または全部を露出させ、
前記はんだを含む複数の電極の各々は、前記少なくとも一つの開口内の前記配線の露出した部分を被覆している
請求項 7 記載の半導体装置。

【請求項 9】

前記少なくとも一つの開口は、前記少なくとも一つの開口内の前記配線の長手方向に長い平面形状を有し、前記少なくとも一つの開口の長さは、前記パッケージ基板の熱膨張係数に応じて調整されている
請求項 7 記載の半導体装置。

40

【請求項 10】

前記はんだを含む複数の電極の各々は、前記チップ本体の側から、柱状金属層と、はんだ層とを順に有し、
前記柱状金属層は、前記はんだ層を構成するはんだよりも高い融点をもつ金属により構成されている
請求項 1 記載の半導体装置。

【請求項 11】

前記柱状金属層の高さは、前記はんだ層の高さよりも大きい
請求項 10 記載の半導体装置。

50

【請求項 12】

前記はんだ層の体積は、前記少なくとも一つの開口の容積よりも大きい請求項 10 記載の半導体装置。

【請求項 13】

前記少なくとも一つの開口の長さは、以下の式 1 を満たす

$$L > (a - 3.5) * D * (T - 25) * 10^{-6} + d \quad \dots \text{式 1}$$

(式 1 において、L は、前記少なくとも一つの開口の長さ (mm)、a は、前記パッケージ基板の等価熱膨張係数 (ppm/)、D は、前記少なくとも一つの開口の中心の前記パッケージ基板の中心からの距離 (mm)、T は、前記はんだの融点 ()、d は、前記はんだを含む複数の電極の各々の径をそれぞれ表す。)

請求項 9 記載の半導体装置。

10

【請求項 14】

前記複数の配線の各々は、

主として銅 (Cu) により構成された金属配線層と、

前記金属配線層の表面のうち前記少なくとも一つの開口内に露出した領域を覆う表面被膜と

を有する請求項 7 記載の半導体装置。

【請求項 15】

前記表面被膜は、Ni - Au めっき層または Ni - Pd - Au めっき層により構成されている

請求項 14 記載の半導体装置。

20

【請求項 16】

前記柱状金属層は、銅 (Cu) または銅 (Cu) とニッケル (Ni) との積層膜により構成され、

前記はんだ層は、スズ (Sn) または Sn - Ag により構成されている

請求項 10 記載の半導体装置。

【請求項 17】

前記柱状金属層は、銅 (Cu) または銅 (Cu) とニッケル (Ni) との積層膜により構成され、

前記はんだ層は、インジウム (In) または In - Ag により構成されている

請求項 10 記載の半導体装置。

30

【請求項 18】

チップ本体の素子形成面にはんだを含む複数の電極を有する半導体チップを、基板本体の表面に少なくとも一つの導電層およびソルダレジスト層を有するパッケージ基板に対して位置決めすることと、

前記半導体チップを前記パッケージ基板に対して仮付けすることと、

リフロ加熱により前記はんだを含む複数の電極と前記少なくとも一つの導電層とを接続することと、

前記半導体チップと前記パッケージ基板との間にアンダーフィル樹脂を注入したのち前記アンダーフィル樹脂を硬化させることと

を含み、

前記ソルダレジスト層を、前記基板本体の表面および前記少なくとも一つの導電層の上に連続層として設けると共に、前記少なくとも一つの導電層の各々の上に少なくとも一つの開口を設け、

前記はんだを含む複数の電極を、電源供給機能以外の同一機能を有する二つ以上の第 1 電極を含んで形成し、

前記少なくとも一つの導電層を、連続な第 1 導電層を含んで形成し、

前記二つ以上の第 1 電極を、前記連続な第 1 導電層に接続し、

前記少なくとも一つの開口として、前記二つ以上の第 1 電極の各々に対向すると共に前記二つ以上の第 1 電極の各々ごとに分割された二つ以上の開口を設ける

40

50

半導体装置の製造方法。

【請求項 19】

チップ本体の素子形成面にはんだを含む複数の電極を有する半導体チップを、基板本体の表面に少なくとも一つの導電層およびソルダレジスト層を有するパッケージ基板に対して位置決めすることと、

前記半導体チップを前記パッケージ基板に対して前記はんだの融点以上に加熱および圧着することにより前記はんだを含む複数の電極と前記少なくとも一つの導電層とを接続することと、

前記半導体チップと前記パッケージ基板との間にアンダーフィル樹脂を注入したのち前記アンダーフィル樹脂を硬化させることと

を含み、

前記ソルダレジスト層を、前記基板本体の表面および前記少なくとも一つの導電層の上に連続層として設けると共に、前記少なくとも一つの導電層の各々の上に少なくとも一つの開口を設け、

前記はんだを含む複数の電極を、電源供給機能以外の同一機能を有する二つ以上の第1電極を含んで形成し、

前記少なくとも一つの導電層を、連続な第1導電層を含んで形成し、

前記二つ以上の第1電極を、前記連続な第1導電層に接続し、

前記少なくとも一つの開口として、前記二つ以上の第1電極の各々に対向すると共に前記二つ以上の第1電極の各々ごとに分割された二つ以上の開口を設ける

半導体装置の製造方法。

【請求項 20】

基板本体の表面に少なくとも一つの導電層およびソルダレジスト層を有するパッケージ基板の上に、アンダーフィル樹脂を供給することと、

チップ本体の素子形成面にはんだを含む複数の電極を有する半導体チップを、前記パッケージ基板に対して位置決めすることと、

前記半導体チップを前記パッケージ基板に対して前記はんだの融点以上に加熱および圧着することにより前記はんだを含む複数の電極と前記少なくとも一つの導電層とを接続すると共に、前記アンダーフィル樹脂を硬化させることと

を含み、

前記ソルダレジスト層を、前記基板本体の表面および前記少なくとも一つの導電層の上に連続層として設けると共に、前記少なくとも一つの導電層の各々の上に少なくとも一つの開口を設け、

前記はんだを含む複数の電極を、電源供給機能以外の同一機能を有する二つ以上の第1電極を含んで形成し、

前記少なくとも一つの導電層を、連続な第1導電層を含んで形成し、

前記二つ以上の第1電極を、前記連続な第1導電層に接続し、

前記少なくとも一つの開口として、前記二つ以上の第1電極の各々に対向すると共に前記二つ以上の第1電極の各々ごとに分割された二つ以上の開口を設ける

半導体装置の製造方法。

【請求項 21】

前記連続な第1導電層に、前記二つ以上の開口の各々内に途切れ部を設ける

請求項 18 ないし 20 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 22】

前記二つ以上の開口に、斜め切欠き部を設け、

隣り合う前記開口を、前記斜め切欠き部どうしを向かい合わせて配置する

請求項 18 ないし 20 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、フリップチップ技術を用いた半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、スマートフォン、タブレット、テレビやゲーム機等の映像出力を持つ機器は、表示解像度の向上が著しくなっており、それに合わせて、搭載された画像処理LSI (Large Scale Integrated Circuit) に求められるメモリ帯域は拡大しつつある。広メモリ帯域を実現する技術としては、特許文献1にて開示されている、Chip on Chip (C o C) 等の技術が知られている。しかし、特殊なインターフェースを持つDRAM (Dynamic Random Access Memory) や、マイクロバンプを用いた微細接続等の技術を用いるのでコストが高くなる傾向にある。そこで標準的なDDR (Double Data Rate) インターフェースのDRAMを複数使用して、画像処理LSIとDRAM間の接続チャンネル数を増やすことでメモリ帯域を確保することが一般的に行われている。64ビットのインターフェースがスマートフォン等でも実際に採用されており、今後も増えることが予想される。

10

【0003】

また、半導体デバイスの微細化によってチップ内に集積可能なトランジスタ数は増加し、より多くの機能を1チップ内に集積することが可能になった。例えば、現在スマートフォンやタブレットで使用されているアプリケーションプロセッサや、デジタルテレビに内蔵されているLSIは、CPU (Central Processing Unit)、GPU (Graphics Processing Unit) および各種インターフェースを1チップ化したものが主に用いられている。

20

【0004】

このようにメモリーインターフェースの多チャンネル化と、1チップへの機能集積化が進むことによって、LSIから外部へ接続する端子数はますます増加していく傾向にある。関連技術では、半導体チップとパッケージ基板間をワイヤボンディングで接続するパッケージ方法が一般的に採用されていたが、接続端子数の増加に対応するために、近年ではフリップチップと呼ばれるはんだバンプを用いて半導体チップとパッケージ基板とを接続する技術の採用が増えている。特に、フリップチップ技術の中で一般的に用いられている技術はC4 (Controlled Collapse Chip Connection) と呼ばれており、例えば特許文献2にて開示されている。

30

【0005】

C4技術では、接続に用いるはんだバンプとほぼ同じ大きさのソルダレジスト開口をあらかじめパッケージ基板側に設けておき、ここにペースト状のはんだ材料を印刷しておく。そしてこの印刷したはんだ材料上にフラックスを用いて、はんだバンプをあらかじめ形成したチップを搭載し、一括リフロによってはんだを溶融させて接続を行い、チップとパッケージ基板間にアンダーフィル材料を充填して封止を行う。この技術を用いた場合、以下の理由によって端子間ピッチの微細化が困難になる。第1に、アンダーフィル材料を充填するためのチップとパッケージ基板との間のギャップを確保するためには、チップ側に形成するはんだバンプの径を大きくすることが望ましい。第2に、はんだペーストの形成が印刷工法で行われるため微細なパターンの形成が難しい。よって接続端子間のピッチは150~180 μ m程度になり、今後の信号数の増加や、デバイスの微細化によるチップシュリンクへの対応が困難になることが予測される。

40

【0006】

以上のような現状を鑑みて、更なる信号端子密度の増加と基板コスト低減を目的として、配線上に直接フリップチップする技術が特許文献3に開示されている。これは既存のC4技術ではバンプ径よりも大きなランドをパッケージ基板上に形成していたのとは対照的に、バンプ径よりも細かい配線に食い込むようにバンプを押し付けて接合し、小径のバンプを用いた場合にも高い接合強度が得られるように工夫した技術である。また小径のバンプでもアンダーフィル注入に望ましい、チップとパッケージ基板との間のギャップが確保できるように、ピラーと呼ばれる金属柱上にはんだめっきを施したバンプ構造が一般的に用

50

いられる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2010-192886号公報

【特許文献2】米国特許第5900675号明細書

【特許文献3】特開2012-119648号公報

【発明の概要】

【0008】

バンプすなわちはんだを含む電極の微細化・高密度化により、はんだを含む電極の径が小さくなり、はんだを含む電極と配線との接合部の信頼性が低下するおそれがあった。

10

【0009】

従って、はんだを含む電極と配線との接合部の信頼性を高めることが可能な半導体装置およびその製造方法を提供することが望ましい。

【0010】

本開示の一実施の形態による半導体装置は、半導体チップと、半導体チップが配設されるパッケージ基板とを備え、半導体チップは、チップ本体と、チップ本体の素子形成面に設けられたはんだを含む複数の電極とを有し、パッケージ基板は、基板本体と、基板本体の表面に設けられた少なくとも一つの導電層およびソルダレジスト層とを有し、ソルダレジスト層は、基板本体の表面および少なくとも一つの導電層の上に連続層として設けられると共に、少なくとも一つの導電層の各々の上に少なくとも一つの開口を有し、はんだを含む複数の電極は、電源供給機能以外の同一機能を有する二つ以上の第1電極を含み、少なくとも一つの導電層は、連続な第1導電層を含み、二つ以上の第1電極は、連続な第1導電層に接続され、少なくとも一つの開口は、二つ以上の第1電極の各々に対向すると共に二つ以上の第1電極の各々ごとに分割された二つ以上の開口を含むものである。

20

【0011】

本開示の一実施の形態の半導体装置では、同一機能を有する二つ以上の第1電極が、連続な第1導電層に接続されているので、二つ以上の第1電極のどれかに不具合が生じても、半導体装置としての機能は維持される。また、ソルダレジスト層の開口は、二つ以上の第1電極の各々に対向すると共に二つ以上の第1電極の各々ごとに分割された二つ以上の開口を含むので、二つ以上の第1電極のどれかと第1導電層との接合部に機械的な応力が加わり剥離などが進んだ場合にも、他の第1電極と第1導電層との接合部への影響が抑えられる。

30

【0012】

本開示の一実施の形態による第1の半導体装置の製造方法は、チップ本体の素子形成面にはんだを含む複数の電極を有する半導体チップを、基板本体の表面に少なくとも一つの導電層およびソルダレジスト層を有するパッケージ基板に対して位置決めすることと、半導体チップをパッケージ基板に対して仮付けすることと、リフロ加熱によりはんだを含む複数の電極と少なくとも一つの導電層とを接続することと、半導体チップとパッケージ基板との間にアンダーフィル樹脂を注入したのちアンダーフィル樹脂を硬化させることとを含み、ソルダレジスト層を、基板本体の表面および少なくとも一つの導電層の上に連続層として設けると共に、少なくとも一つの導電層の各々の上に少なくとも一つの開口を設け、はんだを含む複数の電極を、電源供給機能以外の同一機能を有する二つ以上の第1電極を含んで形成し、少なくとも一つの導電層を、連続な第1導電層を含んで形成し、二つ以上の第1電極を、連続な第1導電層に接続し、少なくとも一つの開口として、二つ以上の第1電極の各々に対向すると共に二つ以上の第1電極の各々ごとに分割された二つ以上の開口を設けるようにしたものである。

40

【0013】

本開示の一実施の形態による第2の半導体装置の製造方法は、チップ本体の素子形成面にはんだを含む複数の電極を有する半導体チップを、基板本体の表面に少なくとも一つの

50

導電層およびソルダレジスト層を有するパッケージ基板に対して位置決めすることと、半導体チップをパッケージ基板に対してはんだの融点以上に加熱および圧着することによりはんだを含む複数の電極と少なくとも一つの導電層とを接続することと、半導体チップとパッケージ基板との間にアンダーフィル樹脂を注入したのちアンダーフィル樹脂を硬化させることを含み、ソルダレジスト層を、基板本体の表面および少なくとも一つの導電層の上に連続層として設けると共に、少なくとも一つの導電層の各々の上に少なくとも一つの開口を設け、はんだを含む複数の電極を、電源供給機能以外の同一機能を有する二つ以上の第1電極を含んで形成し、少なくとも一つの導電層を、連続な第1導電層を含んで形成し、二つ以上の第1電極を、連続な第1導電層に接続し、少なくとも一つの開口として、二つ以上の第1電極の各々に対向すると共に二つ以上の第1電極の各々ごとに分割された二つ以上の開口を設けるようにしたものである。

10

【0014】

本開示の一実施の形態による第3の半導体装置の製造方法は、基板本体の表面に少なくとも一つの導電層およびソルダレジスト層を有するパッケージ基板の上に、アンダーフィル樹脂を供給することと、チップ本体の素子形成面にはんだを含む複数の電極を有する半導体チップを、パッケージ基板に対して位置決めすることと、半導体チップをパッケージ基板に対してはんだの融点以上に加熱および圧着することによりはんだを含む複数の電極と少なくとも一つの導電層とを接続すると共に、アンダーフィル樹脂を硬化させることを含み、ソルダレジスト層を、基板本体の表面および少なくとも一つの導電層の上に連続層として設けると共に、少なくとも一つの導電層の各々の上に少なくとも一つの開口を設け、はんだを含む複数の電極を、電源供給機能以外の同一機能を有する二つ以上の第1電極を含んで形成し、少なくとも一つの導電層を、連続な第1導電層を含んで形成し、二つ以上の第1電極を、連続な第1導電層に接続し、少なくとも一つの開口として、二つ以上の第1電極の各々に対向すると共に二つ以上の第1電極の各々ごとに分割された二つ以上の開口を設けるようにしたものである。

20

【0015】

本開示の一実施の形態の半導体装置、または本開示の一実施の形態の第1ないし第3の半導体装置の製造方法によれば、電源供給機能以外の同一機能を有する二つ以上の第1電極を、連続な第1導電層に接続すると共に、ソルダレジスト層の開口として、二つ以上の第1電極の各々に対向すると共に二つ以上の第1電極の各々ごとに分割された二つ以上の開口を設けるようにしている。よって、はんだを含む電極と配線との接合部の信頼性を高めることが可能となる。

30

【0016】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

【図面の簡単な説明】

【0017】

【図1】本開示の第1の実施の形態に係る半導体装置の全体構成を概略的に表す上面図である。

【図2】図1に示した半導体装置の全体構成を概略的に表す断面図である。

40

【図3】図1に示した半導体装置の一部を拡大して表す上面図である。

【図4】二つの第1電極に対して共通の開口を設けた参考例を表す上面図である。

【図5】図3に示した二つの第1電極の配置例を表す上面図である。

【図6】図3に示した二つの第1電極の他の配置例を表す上面図である。

【図7】図3のV I I - V I I線における断面図である。

【図8】図3のV I I I - V I I I線における断面図である。

【図9】第2の実施の形態に係る半導体装置の一部を拡大して表す上面図である。

【図10】図9に示した二つの第1電極の配置例を表す上面図である。

【図11】図9に示した二つの第1電極の他の配置例を表す上面図である。

【図12】図9のX I I - X I I線における断面図である。

50

【図13】図3に示した配線を二本並べて配置した場合の、二本の配線の占有面積を説明するための平面図である。

【図14】図9に示した二本の配線の占有面積を説明するための平面図である。

【図15】図9のX V - X V線における断面図である。

【図16】開口とはんだを含む電極との位置ずれの一例を表す断面図である。

【図17】変形例2 - 1に係る半導体装置の一部を拡大して表す上面図である。

【図18】開口の平面形状を長方形とした場合を表す上面図である。

【図19】変形例2 - 2に係る半導体装置の一部を拡大して表す上面図である。

【図20】変形例2 - 3に係る半導体装置の一部を拡大して表す上面図である。

【図21】図20のX X I - X X I線における断面図である。

10

【図22】変形例2 - 4に係る半導体装置の一部を拡大して表す上面図である。

【図23】変形例2 - 5に係る半導体装置の一部を拡大して表す上面図である。

【図24】本開示の第3の実施の形態に係る半導体装置の一部を拡大して表す断面図である。

【図25】本開示の第4の実施の形態に係る半導体装置の全体構成を概略的に表す上面図である。

【図26】図25に示した半導体装置の全体構成を概略的に表す断面図である。

【図27】本開示の第5の実施の形態に係る半導体装置の全体構成を概略的に表す断面図である。

【図28】変形例5 - 1に係る半導体装置の全体構成を概略的に表す断面図である。

20

【図29】変形例5 - 2に係る半導体装置の全体構成を概略的に表す断面図である。

【図30】本開示の第6の実施の形態に係る半導体装置の製造方法を工程順に表す断面図であり、はんだを含む電極の製造方法を工程順に表す断面図である。

【図31】図30に続く工程を表す断面図である。

【図32】図31に続く工程を表す断面図である。

【図33】図32に続く工程を表す断面図である。

【図34】図33に続く工程を表す断面図である。

【図35】図34に続く工程を表す断面図である。

【図36】図35に続く工程を表す断面図である。

【図37】図36に続く工程を表す断面図である。

30

【図38】本開示の第6の実施の形態に係る半導体装置の製造方法を工程順に表す断面図であり、パッケージ基板と半導体チップとの接続方法を工程順に表す断面図である。

【図39】図38に続く工程を表す断面図である。

【図40】図39に続く工程を表す断面図である。

【図41】図40に続く工程を表す断面図である。

【図42】本開示の第10の実施の形態に係る半導体装置の製造方法を工程順に表す断面図である。

【図43】図42に続く工程を表す断面図である。

【図44】図43に続く工程を表す断面図である。

【図45】本開示の第11の実施の形態に係る半導体装置の一部を拡大して表す上面図である。

40

【図46】第2の接続関係を表す上面図である。

【発明を実施するための形態】

【0018】

以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態(半導体装置; ソルダレジスト層の開口の平面形状を円形とした例。同一機能を有する二つの第1電極を、連続な第1導電層に接続すると共に、ソルダレジスト層の開口を、二つの第1電極の各々に対向して設ける例)

2. 第2の実施の形態(半導体装置; ソルダレジスト層の開口の平面形状を略長方形とし

50

、開口の長さを、パッケージ基板の熱膨張係数に応じて調整する例)

3．変形例2-1(開口の平面形状を楕円形とする例)

4．変形例2-2(開口内において、配線に拡幅部を設ける例)

5．変形例2-3(開口内において、配線に途切れ部を設ける例)

6．変形例2-4(二つの開口の角部に斜め切欠き部を設け、その二つの開口を、斜め切欠き部どうしを向かい合わせて隣接配置する例)

7．変形例2-5(二つの開口の辺に斜め切欠き部を設け、その二つの開口を、斜め切欠き部どうしを向かい合わせて隣接配置する例)

8．第3の実施の形態(半導体装置; 開口内におけるソルダレジスト層の厚みを、基板本体の表面のうち開口以外の領域におけるソルダレジスト層の厚みよりも小さくする例)

10

9．第4の実施の形態(半導体装置; MCM(Multi Chip Module)の例)

10．第5の実施の形態(半導体装置; モールド樹脂で封止する例)

11．第6の実施の形態(半導体装置の製造方法; フラックスを用いて仮付けしたのち一括リフローを行う例)

12．第7の実施の形態(半導体装置の製造方法; ローカルリフローの例)

13．第8の実施の形態(半導体装置の製造方法; 熱圧着により仮付けを行う例)

14．第9の実施の形態(半導体装置の製造方法; ツール側の温度を固定して熱圧着を行う例)

15．第10の実施の形態(半導体装置の製造方法; 予めパッケージ基板の上にアンダーフィル樹脂を供給する例)

20

16．第11の実施の形態(半導体装置; ワイヤボンディングオプションのような接続切り替え機能をフリップチップ型の半導体装置で可能とする例)

【0019】

(第1の実施の形態)

図1は、本開示の第1の実施の形態に係る半導体装置の全体構成を概略的に表したものであり、図2は、この半導体装置のII-II線における断面構成を概略的に表したものである。半導体装置1は、例えば、半導体チップ10とパッケージ基板20とを、はんだを含む複数の電極30により接続したフリップチップ型半導体装置である。半導体チップ10とパッケージ基板20の間には、アンダーフィル樹脂40が設けられている。

【0020】

30

半導体チップ10は、図2に示したように、例えばシリコン(Si)よりなるチップ本体11を有し、このチップ本体11の一方の面(素子形成面)に素子(図示せず)が設けられている。半導体チップ10は、チップ本体11の素子形成面11Aをパッケージ基板20側に向けたフェイスダウンの姿勢で、パッケージ基板20の中央部のチップ配設領域20Aに配設されている。なお、図1の上面図では半導体チップ10のチップ外形線10Aを点線で表し、半導体チップ10およびアンダーフィル樹脂40を省略して表している。

【0021】

チップ本体11の素子形成面11Aには、図2に示したように、はんだを含む複数の電極30が設けられている。はんだを含む複数の電極30は、例えば、半導体チップ10のチップ本体11の素子形成面11Aの外周部に、所定の間隔および配置で設けられている。

40

【0022】

パッケージ基板20は、図1および図2に示したように、例えば、基板本体21を有している。基板本体21の表面(半導体チップ搭載面)21Aには、図1に示したように、チップ配設領域20Aおよび複数の配線50が設けられている。複数の配線50の各々の一端部(第1端部)にはビア22が設けられている。基板本体21の裏面21Bには、図2に示したように、はんだボール23が設けられている。なお、図2の断面図では、複数の配線50は省略している。

【0023】

50

ここで、複数の配線50は、本開示における「少なくとも一つの導電層」の一具体例に対応する。

【0024】

基板本体21は、例えば、樹脂基板（図示せず）、銅（Cu）などの配線層（図示せず）、ソルダレジスト層（図示せず）などを含む積層構造を有しているが、その構成は特に限定されない。

【0025】

複数の配線50は、例えば、チップ配設領域20Aの外周部から基板本体21の外側に向かって伸びている。複数の配線50は、例えば、チップ配設領域20Aの各辺においては互いに平行に配置され、基板本体21の外側の領域では放射状に広がっている。なお、
10 複数の配線50は、チップ配設領域20Aの外周部から基板本体21の内側に向かって伸びていてもよい。

【0026】

ビア22は、複数の配線50の各々の一端部（第1端部）とはんだボール23との間に、パッケージ基板20の基板本体21を貫通して設けられている。ビア22は、半導体チップ10からはんだを含む複数の電極30および複数の配線50を用いて引き出された各端子を、パッケージ基板20の表面（半導体チップ搭載面）21Aから裏面21B（はんだボール23側）へ伝達するものである。本実施の形態では、はんだを含む複数の電極30のサイズと比較して、パッケージ基板20上に形成するビア22のサイズは大きい。そのため、図1に示したように、半導体チップ10からはんだを含む複数の電極30を用いて引き出した各端子を、パッケージ基板20上で複数の配線50を用いて基板本体21の外周部に引き出して、複数の配線50の配線間ピッチを緩め、更にビア22を用いてパッケージ基板20のはんだボール23側に引き出している。
20

【0027】

はんだボール23は、半導体チップ10への信号の入出力および電源供給を行うものである。

【0028】

アンダーフィル樹脂40は、はんだを有する複数の電極30と複数の配線50との接合部を保護するものであり、半導体チップ10とパッケージ基板20との間に充填されている。アンダーフィル樹脂40には、熱膨張係数を調整する目的でフィラーが分散されていることが好ましい。フィラーとしては、例えば、球状の酸化シリコンが用いられる。アンダーフィル樹脂40の熱膨張係数は、例えば、10～50ppm/程度に調整されていることが望ましい。
30

【0029】

図3は、図1に示した半導体装置1の一部を拡大して表したものであり、具体的には、複数の配線50のうちの本の連続な配線50Aの、チップ配設領域20Aの外周部近傍における平面構成を表している。なお、図3の上面図では、わかりやすくするために半導体チップ10およびアンダーフィル樹脂40を省略しているが、半導体チップ10は、点線で表した半導体チップ10のチップ外形線10Aよりも左側の領域に配置されている。
40

【0030】

パッケージ基板20は、基板本体21の表面21Aに、複数の配線50と共に、ソルダレジスト層24を有している。ソルダレジスト層24は、例えば、ネガ型感光性の永久レジスト材により構成されている。

【0031】

ソルダレジスト層24は、基板本体21の表面21Aおよび複数の配線50の上に連続層として設けられると共に、複数の配線50の各々の上に開口60を有している。具体的には、複数の配線50の各々は、例えば、他端部（第2端部）に円形のランド57を有している。開口60は、例えば、ランド57の上に、円形に設けられている。各開口60内では、はんだを含む複数の電極30と複数の配線50とがそれぞれ接合されており、これにより半導体チップ10とパッケージ基板20とが接続されている。なお、図3では、ソ
50

ルダレジスト層 24 が設けられている領域に薄い網掛けを付して表している。

【0032】

このように連続層として設けられたソルダレジスト層 24 に部分的に開口 60 を設けることによって、隣接する複数の配線 50 を確実に絶縁することが可能になる。よって、40 μm 程度の狭いピッチで二本の配線 50 を配置した場合にも、一方の配線 50 に接続されるはんだを含む電極 30 と隣接する配線 50 とが接触するおそれを小さくし、ショート

【0033】

また、部分的にソルダレジスト層 24 の開口 60 を設けることによって、パッケージ基板 20 上でソルダレジスト層 24 は連続しており分断されていない。従って、複数の配線 50 の剥離を抑えると共に、ソルダレジスト層 24 自体の剥離も抑えることが可能となる。

【0034】

開口 60 の幅(径) W は、例えば 80 μm である。はんだを含む電極 30 のピッチ P_3 は、例えば 180 μm である。ランド 57 の径 ϕ_{57} は、例えば 110 μm である。

【0035】

はんだを含む複数の電極 30 は、電源供給機能以外の同一機能を有する二つの第 1 電極 30 A1, 30 A2 を含んでいる。二つの第 1 電極 30 A1, 30 A2 は、連続な配線 50 A に接続されている。開口 60 (60 A1, 60 A2) は、二つの第 1 電極 30 A1, 30 A2 の各々に対向して設けられている。これにより、この半導体装置 1 では、はんだ

【0036】

ここで、配線 50 A は、本開示における「連続な第 1 導電層」の一具体例に対応する。

【0037】

以下、このことについて詳しく説明する。はんだを含む電極 30 を微細化し、配置密度を高めたフリップチップ型の半導体装置 1 では、隣接する配線 50 間でショートが生じることの他に、はんだを含む電極 30 の径が小さくなることにより、はんだを含む電極 30 と配線 50 との接合部の信頼性が問題となりうる。はんだを含む電極 30 に加えて、接続対象となるソルダレジスト層 24 の開口 60 もサイズが小さくなると、接合に不具合を与える欠陥サイズも同様に小さくなるため、外観検査では検出が困難になってくる。また、フリップチップ接続の場合には、接合後に接合部の外観を検査することが難しい。そのため、電気的なテストで良品であっても、動作中にオープンになってしまうような、接合部のクラック、形状不良や異物噛み込み等が発生した信頼性上の問題を抱えた製品を、良品として出荷してしまう懸念があった。なお、出荷前にスクリーニング試験を行い、温度等の外部ストレスによって適切な加速を与えることが行われているが、試験のコストが問題となり、全ての製品で実施することは難しかった。

【0038】

また、はんだを含む電極 30 と配線 50 との接合部が小さくなると、接合部の機械的強度が低下するために、半導体装置 1 が外部環境や自身の動作によって受ける熱ストレス等によって、信頼性が低下するおそれもあった。

【0039】

そこで、本実施の形態では、電源供給機能以外の同一機能を有する二つの第 1 電極 30 A1, 30 A2 を、連続な配線 50 A に接続すると共に、開口 60 (60 A1, 60 A2) を、二つの第 1 電極 30 A1, 30 A2 の各々に対向して設けるようにしている。

【0040】

このような構成をとることによって、フリップチップ型の半導体装置 1 において、パッケージ基板 20 と半導体チップ 10 を接続するはんだを含む電極 30 の冗長配置が可能になる。つまり、二つの第 1 電極 30 A1, 30 A2 は、電源供給機能(例えば、電源端子またはグランド端子)以外の同じ機能(例えば、信号端子)を持ち、これらが同一の配線 50 A に接続される。これにより、第 1 電極 30 A1 と配線 50 A との接合部および第 1

10

20

30

40

50

電極 30A2 と配線 50A との接合部のいずれかが何らかの不具合によって破断し電氣的にオープンに至っても、半導体装置 1 としての機能は失われるおそれが小さくなり、信頼性が向上する。

【0041】

また、ソルダレジスト層 24 の開口 60A1, 60A2 を第 1 電極 30A1, 30A2 ごとに分割して設けることによって、図 4 に示したように一括して開口 60 を設けた場合と比較すると、より冗長性が高く信頼性に優れた構造を提供することが可能である。なぜなら図 4 のように第 1 電極 30A1, 30A2 の開口 60 をつなげた場合には、第 1 電極 30A1, 30A2 と配線 50 との接合部も共通化されてしまい、機械的な応力が接合部に加わり破壊が進むと、二つの第 1 電極 30A1, 30A2 の両方が一度に剥離を起こす可能性があるのである。また、電氣的な冗長機能以外にも、半導体チップ 10 とパッケージ基板 20 を接続するはんだを含む電極 30 の個数が増えることによって、接合部の合計断面積が増加し、機械的な強度を高めることも可能である。

10

【0042】

図 5 は、図 3 に示した二つの第 1 電極 30A1, 30A2 の配置例を表したものであり、具体的には、複数の配線 50 のうちの二本の連続な配線 50A, 50B と、配線 50A に接続されている二つの第 1 電極 30A1, 30A2 と、配線 50B に接続されている二つの第 1 電極 30B1, 30B2 とを表している。

【0043】

二つの第 1 電極 30A1, 30A2 は、図 5 に示したように、連続な配線 50A に沿って、互いに隣接する位置に配置されていることが好ましい。このように、同一の配線 50A に接続される第 1 電極 30A1, 30A2 を隣接させた状態で配置することにより、冗長性を高めることが可能となる。また、配線 50A に接続された第 1 電極 30A1, 30A2 と、配線 50A とは異なる電位（信号）をもつ配線 50B に接続された第 1 電極 30B1, 30B2 とが隣接する箇所を減少させて、ショートをより発生しにくくすることができ、より冗長端子としての機能を高めることが可能である。

20

【0044】

なお、図 6 に示したように、配線 50A 上の第 1 電極 30A1, 30A2 を、配線 50B 上の第 1 電極 30B1, 30B2 を挟んで、離れた位置に配置することも可能である。このような構成でも、上述した電氣的な冗長機能および接合部の機械的強度の向上という本実施の形態の効果を得ることが可能である。

30

【0045】

図 7 は、図 3 の V I I - V I I 線における断面構成を表したものである。図 8 は、図 3 の V I I I - V I I I 線における断面構成を表したものである。

【0046】

はんだを含む複数の電極 30 は、例えば、Sn - Ag 等のはんだ材料により構成されている。

【0047】

半導体チップ 10 のチップ本体 11 の素子形成面 11A には、アルミニウム (Al) よりなるパッド 13 が設けられている。はんだを含む複数の電極 30 は、例えば、ニッケル (Ni) 膜 17 を介してパッド 13 と電氣的に接続されている。半導体チップ 10 のチップ本体 11 の素子形成面 11A のうちパッド 13 が設けられている領域以外の領域は、パッシベーション膜 14 で被覆されている。なお、半導体チップ 10 には、パッド 13 およびパッシベーション膜 14 以外にも配線層や拡散層などが形成されているが、図 7 および図 8 では省略されている。

40

【0048】

複数の配線 50 は、パッケージ基板 20 の最表層の配線である。なお、図 7 および図 8 には、パッケージ基板 20 の基板本体 21 として、複数の配線 50 の直下に設けられた絶縁層 21C の単層構造を表しているが、基板本体 21 は絶縁層 21C 以外の層を含む積層構造であってもよい。

50

【 0 0 4 9 】

複数の配線 5 0 の各々は、主として銅 (C u) により構成された金属配線層 5 1 と、金属配線層 5 1 の表面のうち開口 6 0 内に露出した領域を覆う表面被膜 5 2 とを有していることが好ましい。表面被膜 5 2 を設けることにより、はんだ濡れ性を上げ、金属配線層 5 1 の表面にはんだが濡れ広がることを促進できる。その結果、第 2 の実施の形態において後述するように開口 6 0 を開口 6 0 内の配線 5 0 の長手方向 D L に長い平面形状とした場合に、はんだが開口 6 0 内の配線 5 0 の露出した部分の全体に濡れ広がりやすくなり、接合強度を高める効果をより確実に発揮することが可能となる。

【 0 0 5 0 】

表面被膜 5 2 は、例えば、 N i - A u めっき層または N i - P d - A u めっき層により構成されていることが好ましい。表面被膜 5 2 のニッケルとはんだ層 3 2 とが合金層を形成するので、配線 5 0 とはんだとが過度に合金層を形成して配線 5 0 がはんだに食われて消失し断線することや、はんだが配線 5 0 とパッケージ基板 2 0 の絶縁層 2 1 C との間に侵入して配線 5 0 の密着強度が低下し、配線 5 0 が剥離し断線することが抑えられる。また、はんだ層 3 2 が表面被膜 5 2 の金と反応することで濡れ性が改善し、配線 5 0 との未接合を防止することが可能となる。また、露出した配線 5 0 に沿ってはんだが濡れ広がることによってはんだを含む電極 3 0 と配線 5 0 との接合部の面積を安定して増やすことが可能となる。特に無電解めっきとすることによって、表面被膜 5 2 の厚みばらつきを抑えることが可能になり、より接合部の信頼性が高い構造を実現することが可能となる。

【 0 0 5 1 】

この半導体装置 1 の製造方法については、第 6 ないし第 1 0 の実施の形態で説明する。

【 0 0 5 2 】

この半導体装置 1 では、同一機能を有する二つの第 1 電極 3 0 A 1 , 3 0 A 2 が、連続な配線 5 0 A に接続されているので、例えば第 1 電極 3 0 A 1 に不具合が生じて、他の第 1 電極 3 0 A 2 により機能が維持される。また、ソルダレジスト層 2 4 の開口 6 0 (6 0 A 1 , 6 0 A 2) は、二つの第 1 電極 3 0 A 1 , 3 0 A 2 の各々に対向して設けられているので、例えば第 1 電極 3 0 A 1 と配線 5 0 A との接合部に機械的な応力が加わり剥離などが進んだ場合にも、他の第 1 電極 3 0 A 2 と配線 5 0 A との接合部への影響が抑えられる。

【 0 0 5 3 】

このように本実施の形態では、電源供給機能以外の同一機能を有する二つの第 1 電極 3 0 A 1 , 3 0 A 2 を、連続な配線 5 0 A に接続すると共に、ソルダレジスト層 2 4 の開口 6 0 (6 0 A 1 , 6 0 A 2) を、二つの第 1 電極 3 0 A 1 , 3 0 A 2 の各々に対向して設けるようにしている。よって、はんだを含む電極 3 0 と配線 5 0 との接合部の信頼性を高めることが可能となる。特に、フリップチップ型の半導体装置 1 においてはんだを含む電極 3 0 のピッチを微細化し、高密度配置した場合に好適である。

【 0 0 5 4 】

なお、上記実施の形態では、二つの第 1 電極 3 0 A 1 , 3 0 A 2 を、連続な配線 5 0 A に接続する場合について説明した。しかしながら、第 1 電極 3 0 A 1 , 3 0 A 2 は、二つ以上設けることも可能である。

【 0 0 5 5 】

(第 2 の実施の形態)

図 9 は、本開示の第 2 の実施の形態に係る半導体装置 2 の一部を拡大して表したものであり、具体的には、隣接する二本の配線 5 0 (5 0 A , 5 0 B) の、チップ配設領域 2 0 A の外周部近傍における平面構成を表している。なお、図 9 の上面図では、わかりやすくするために半導体チップ 1 0 およびアンダーフィル樹脂 4 0 を省略しているが、半導体チップ 1 0 は、点線で表した半導体チップ 1 0 のチップ外形線 1 0 A よりも左側の領域に配置されている。

【 0 0 5 6 】

本実施の形態は、開口 6 0 を、開口 6 0 内の配線 5 0 の長手方向 D L に長い長方形また

10

20

30

40

50

は略長方形の平面形状とし、開口60の長さLを、パッケージ基板20の熱膨張係数に応じて調整するようにしたものである。これにより、この半導体装置2では、開口60とはんだを含む電極30との位置ずれの影響を緩和し、隣接する配線50間のショートを抑えることが可能となっている。このことを除いては、本実施の形態の半導体装置2は、上記第1の実施の形態と同様の構成、作用および効果を有している。よって、対応する構成要素には同一の符号を付して説明する。

【0057】

ソルダレジスト層24は、基板本体21の表面21Aおよび複数の配線50の上に連続層として設けられると共に、複数の配線50の各々の上に開口60を有している。具体的には、複数の配線50の各々は、例えば、一定の幅W50で設けられている。開口60は、例えば、複数の配線50の各々の上に、長方形または略長方形に設けられている。開口60内では、はんだを含む複数の電極30と複数の配線50とがそれぞれ接合されており、これにより、半導体チップ10とパッケージ基板20とが接続されている。なお、図9では、ソルダレジスト層24が設けられている領域に網掛けを付して表している。

10

【0058】

はんだを含む複数の電極30は、第1の実施の形態と同様に、電源供給機能以外の同一機能を有する四つの第1電極30A1, 30A2, 30B1, 30B2を含んでいる。二つの第1電極30A1, 30A2は、連続な配線50Aに接続されている。二つの第1電極30B1, 30B2は、連続な配線50Bに接続されている。開口60(60A1, 60A2, 60B1, 60B2)は、四つの第1電極30A1, 30A2, 30B1, 30B2の各々に対向して設けられている。これにより、この半導体装置2では、第1の実施の形態と同様に、はんだを含む電極30と配線50との接合部の信頼性を高めることが可能となっている。

20

【0059】

配線50A上の開口60A1, 60A2と、配線50B上の開口60B1, 60B2とは、図9に示したように、複数の配線50の配線間ピッチP50を狭くするために、複数の配線50の長手方向DLにおいて互いに位置をずらして配置されている(いわゆる千鳥配置)ことが好ましい。

【0060】

二つの第1電極30A1, 30A2は、図10に示したように、連続な配線50Aに沿って、互いに隣接する位置に配置されていることが好ましい。このように、同一の配線50Aに接続される第1電極30A1, 30A2を隣接させた状態で配置することにより、冗長性を高めることが可能となる。また、配線50Aに接続された第1電極30A1, 30A2と、配線50Aとは異なる電位(信号)をもつ配線50Bに接続された第1電極30B1, 30B2とが隣接する箇所を減少させて、ショートをより発生しにくくすることができ、より冗長端子としての機能を高めることが可能である。

30

【0061】

あるいは、図11に示したように、配線50A上の第1電極30A1, 30A2を、配線50B上の第1電極30B1を挟んで、離れた位置に配置することも可能である。このような構成でも、上述した電気的な冗長機能および接合部の機械的強度の向上という本実施の形態の効果を得ることが可能である。

40

【0062】

なお、図10および図11では、隣接する四本の配線50(50A, 50B, 50C, 50D)のチップ配設領域20Aの外周部近傍における平面構成を表している。図10および図11では、わかりやすくするために半導体チップ10、はんだを含む複数の電極30およびアンダーフィル樹脂40を省略しているが、半導体チップ10は、点線で表した半導体チップ10のチップ外形線10Aよりも左側の領域に配置されている。また、はんだを含む複数の電極30の実装位置を点線で表している。

【0063】

図12は、図9のXII-XII線における開口60A2の断面構成を表したものであ

50

る。なお、他の開口60A1, 60B1, 60B2も同じ構成を有している。開口60は、例えば、開口60内の配線50の上面53および側面54の高さ方向の全部を露出させている。はんだを含む複数の電極30の各々は、開口60内の配線50の露出した部分(配線50の上面53および側面54のうち開口60内に露出した部分)を被覆している。換言すれば、開口60は、開口60内の配線50の上面53および側面54が露出するように設けられている。開口60の開口端61は、開口60内の配線50の側面54よりも外側に位置している。はんだを含む電極30の径dは、配線50の幅W50よりも大きく、はんだを含む電極30は、配線50を包み込み、あるいは取り囲むように接続されている。

【0064】

このようにすることにより、はんだを含む電極30と配線50との接続面積を拡大し、はんだを含む電極30と配線50との接合部を平面ではなく三次元形状とすることが可能となる。その結果、半導体チップ10の実装時の加熱、セットライン実装時のリフロやデバイス動作時の発熱によって、半導体チップ10とパッケージ基板20との熱膨張係数差に起因する熱応力が接合部に加わった場合にも、接合部に発生した金属間化合物が破壊することを抑え、信頼性を高めることが可能となる。

【0065】

はんだを含む複数の電極30の各々は、例えば、チップ本体11の側から、柱状金属層31と、はんだ層32とを順に有していることが好ましい。柱状金属層31は、はんだ層32を構成するはんだよりも高い融点をもつ金属により構成されていることが好ましい。このようにすることによって、第1の実施の形態のようなはんだバンプ接続と比較して、はんだ材料の使用がはんだを含む電極30の先端部分に限定される。そのため、はんだが溶融して表面張力のために球形になった場合でも、はんだを含む電極30の径dはほぼ柱状金属層31の径に限定される。従って、はんだを含む複数の電極30の電極間ピッチを狭くすることが可能である。

【0066】

また、本実施の形態において、はんだを含む電極30として柱状金属層31とはんだ層32とを設けることの効果は、以下のように考えられる。上記第1の実施の形態のように、はんだを含む電極30の大部分がはんだで形成されている場合には、溶融した際に表面張力を最小化しようとする力が働き、はんだが球形を保とうとする。そのため、半導体チップ10とパッケージ基板20の間にはアンダーフィル樹脂40を注入するギャップGを設けるために、はんだを含む電極30の径を大きくすることが望ましく、はんだを含む電極30の電極間ピッチを狭くすることは比較的困難である。

【0067】

本実施の形態では、上述したように、はんだを含む電極30の一部を、はんだの融点では溶融しない柱状金属層31で形成するようにしている。これにより、半導体チップ10とパッケージ基板20との間の十分なギャップGを得ながら、はんだを含む電極30の電極間ピッチを狭くすることが可能になる。よって、第1の実施の形態で説明したような第1電極30A1, 30A2, 30B1, 30B2の冗長配置による占有面積の増加を抑えることが可能になる。

【0068】

以下、一例として、二本の配線50A, 50Bと、その上の四つの第1電極30A1, 30A2, 30B1, 30B2および四つの開口60A1, 60A2, 60B1, 60B2の占有面積を、上記第1の実施の形態と本実施の形態とで比較する。

【0069】

上記第1の実施の形態において、図13に示したように、はんだを含む電極30の電極間ピッチP30を180 μm 、ランド57の径57を110 μm とする。すると、占有領域OAは一辺が290 μm の正方形、占有面積は84100 μm^2 となる。

【0070】

一方、本実施の形態において、図14に示したように、複数の配線50の配線間ピッチ

10

20

30

40

50

P50を40 μm 、第1電極30A1, 30A2, 30B1, 30B2の径dを40 μm 、電極間ピッチP30を80 μm 、ソルダレジスト24の開口60の長さLを後述するように60 μm とする。すると、占有領域OAは、長辺300 μm 、短辺80 μm の長方形、占有面積は24000 μm^2 となり、第1の実施の形態に比べて大幅に削減される。

【0071】

また、図13および図14に示したように、占有領域OAの短辺は、第1の実施の形態の290 μm から、本実施の形態の80 μm まで短縮される。よって、配線50が半導体チップ10の外形線10Aを占有する距離を減らし、パッケージ基板20の設計を簡略化して層数を低減することが可能となる。

【0072】

このように、はんだを含む電極30を柱状金属層31とはんだ層32とを含む構成とすることにより、はんだを含む電極30のサイズを小さくし、はんだを含む電極30の電極間ピッチを狭くしても接合強度を保つことが可能になる。また、占有面積を増やすことなく、第1の実施の形態で説明した冗長性を持たせた配置を実現することが可能となる。よって、第1電極30A1, 30A2, 30B1, 30B2の個数を増やし、冗長性を高めたフリップチップ型の半導体装置2を提供することが可能となる。

【0073】

柱状金属層31は、例えば、銅(Cu)または銅(Cu)とニッケル(Ni)との積層膜により構成され、はんだ層32は、例えば、スズ(Sn)またはSn-Agにより構成されていることが好ましい。

【0074】

柱状金属層31を銅により構成することによって、銅は熱伝導性に優れるため、半導体装置2の放熱性をより向上させることが可能となる。また、銅ははんだ材料と強度に優れた合金を形成するため、より接続強度に優れた電極構造を実現することが可能となる。

【0075】

はんだ層32をスズまたはSn-Agにより構成することによって、柱状金属層31を銅とした場合にははんだ層32中に銅が拡散し、はんだ層32がスズの場合にはSn-Cu合金、はんだ層32がSn-Agの場合にはSn-Ag-Cu合金を形成する。これらははんだ材料として安定して機械的特性に優れることが知られており、より強度と信頼性に優れた接続構造を実現することが可能となる。

【0076】

あるいは、柱状金属層31は、例えば、銅(Cu)または銅(Cu)とニッケル(Ni)との積層膜により構成され、はんだ層32は、例えば、インジウム(In)またはIn-Agにより構成されていることが好ましい。この場合、柱状金属層31については上記と同様である。また、はんだ層32をインジウムまたはIn-Agにより構成することにより、低融点化が可能となり、組立プロセス中に発生する熱応力を低減し、より歩留や信頼性に優れた構造を実現することが可能となる。

【0077】

柱状金属層31の高さH31は、はんだ層32の高さH32よりも大きいことが好ましい。柱状金属層31の高さH31の分だけ、はんだの量が少ないにもかかわらず、半導体チップ10とパッケージ基板20との間のギャップGを稼ぐことができる。よって、はんだを含む複数の電極30をより狭ピッチで形成すると共に、アンダーフィル樹脂40の注入を容易とすることが可能となる。

【0078】

開口60は、はんだ層32で充填されていることが好ましい。仮に開口60内にはんだで充填されない微小な開口部が残ってしまった場合には、後の工程でその微小な開口部にアンダーフィル樹脂40を充填することは困難であり、ポイドとなってしまう可能性がある。その場合には、ボールアタッチや二次実装のリフロ工程でポイド中の空気が膨張して接合不良を引き起こし、あるいはポイドに沿って溶融したはんだが流出して隣接する配線50間のショートを発生させるおそれがある。開口60をはんだ層32で充填することに

10

20

30

40

50

より、ボイドの発生またはボイドに起因する接合不良あるいはショートを抑え、歩留や信頼性の低下を抑えることが可能となる。

【0079】

はんだ層32の体積は、開口60の容積よりも大きいことが好ましい。これにより、開口60をはんだ層32で確実に充填することが可能になる。また、はんだ層32の体積を、開口60の容積よりも大きくすることにより、十分なはんだ量を得ることができ、はんだを含む電極30と配線50との接合部を良好な形状にすることが可能となる。よって、はんだを含む電極30と配線50との接合部の形状がいびつになり、一部がくびれた形状となることが抑えられる。従って、はんだ層32への応力集中を回避して、接合部の機械的強度を高めることが可能となる。

10

【0080】

半導体チップ10のチップ本体11の素子形成面11Aには、アルミニウム(Al)よりなるパッド13が設けられている。柱状金属層31は、パッド13と、柱状金属層31の側から順に導電薄膜およびバリア膜を介して電気的に接続されているが、図12では省略されている。導電薄膜としては例えば銅(Cu)が、バリア膜としては例えばTiWが、スパッタによって形成されている。半導体チップ10のチップ本体11の素子形成面11Aのうちパッド13が設けられている領域以外の領域は、パッシベーション膜14で被覆されている。なお、半導体チップ10には、パッド13およびパッシベーション膜14以外にも配線層や拡散層などが形成されているが、図12では省略されている。

【0081】

複数の配線50の各々は、第1の実施の形態と同様に、主として銅(Cu)により構成された金属配線層51と、金属配線層51の表面のうち開口60内に露出した領域を覆う表面被膜52とを有していることが好ましい。表面被膜52の構成材料は、第1の実施の形態と同様であることが好ましい。

20

【0082】

図15は、図9のXV-XV線における開口60A2の断面構成を表したものである。なお、他の開口60A1、60B1、60B2も同じ構成を有している。開口60は、図9および図15に示したように、開口60内の配線50の長手方向DLに長い平面形状を有し、開口60の長さLは、パッケージ基板20の熱膨張係数に応じて調整されている。これにより、この半導体装置2では、開口60とはんだを含む電極30との位置ずれの影響を緩和し、隣接する配線50間のショートを抑えることが可能となっている。

30

【0083】

このように開口60を開口60内の配線50の長手方向DLに沿って細長く設けることによって、得られる効果は以下のように考えられる。はんだを含む電極30と配線50とを接続させるためには、加熱してはんだを溶融させる。その際に半導体チップ10の熱膨張係数と、配線50および絶縁層21Cを含むパッケージ基板20の熱膨張係数が異なるために、ソルダレジスト層24の開口60と、半導体チップ10上のはんだを含む電極30とは、設計値すなわち室温での相対位置からはずれが生じてしまう。一般的にパッケージ基板20の熱膨張係数は、半導体チップ10の熱膨張係数よりも大きいために、はんだが溶融するような温度では図16に示したような位置ずれが発生する。

40

【0084】

本実施の形態では、開口60は、開口60内の配線50の長手方向DLに長い平面形状を有しており、開口60の長さLは、パッケージ基板20の熱膨張係数に応じて調整されている。これにより、図16に示したようにソルダレジスト層24上にはんだ層32が乗り上げて隣接するはんだを含む電極30B1、30B2との間でショートが発生することを抑えることが可能となる。また、複数の配線50は、配線間ピッチをビア22のピッチまで緩和するために、図1に示したように、チップ配設領域20Aの外周部から基板本体21の外側に向かって伸びていくように配置されている。このような複数の配線50の配置と、開口60を開口60内の配線50の長手方向DLに沿って細長くすることとが相俟って、上述したショート抑制の効果が発揮される。

50

【 0 0 8 5 】

更に、開口 6 0 を特定の方向に沿って選択的に、すなわち開口 6 0 内の配線 5 0 の長手方向 D L に沿って選択的に大きくすることによって、複数の配線 5 0 の間隔を広げずにシヨート防止の効果は維持したまま、加熱時の位置ずれに対応した構造を実現できる。

【 0 0 8 6 】

加えて、はんだ層 3 2 と配線 5 0 が合金層を形成する面積を広げることが可能となり、より接合強度を高め、歩留や信頼性を向上させることが可能となる。

【 0 0 8 7 】

なお、図 1 2 および図 1 5 において、配線 5 0 A , 5 0 B の幅 W 5 0 はそれぞれ例えば 1 5 μ m である。配線 5 0 A、5 0 B の配線間ピッチ P 5 0 は、例えば 4 0 μ m である。配線 5 0 A , 5 0 B の高さ H 5 0 は、例えば 1 5 μ m である。開口 6 0 の幅 W は、例えば 4 0 μ m であり、開口 6 0 の長さ L は、例えば 6 0 μ m である。柱状金属層 3 1 の高さ H 3 1 は、例えば 4 0 μ m である。柱状金属層 3 1 は、例えば円柱状であり、直径 d は例えば 4 0 μ m である。はんだ層 3 2 の高さ H 3 2 は、例えば 1 8 μ m である。半導体チップ 1 0 とパッケージ基板 2 0 との間のギャップ G (半導体チップ 1 0 のパッシベーション膜 1 4 からパッケージ基板 2 0 のソルダレジスト層 2 4 までの距離)は、例えば、少なくとも 4 0 μ m またはそれ以上である。第 1 電極 3 0 A 1 , 3 0 A 2 , 3 0 B 1 , 3 0 B 2 の電極間ピッチ P 3 0 は、例えば 8 0 μ m である。

【 0 0 8 8 】

開口 6 0 の長さ L は、例えば、以下の式 1 を満たすことが好ましい。

【 0 0 8 9 】

$$L > (a - 3 . 5) * D * (T - 2 5) * 1 0 ^{-6} + d \quad \dots \text{式 1}$$

(式 1 において、L は、開口 6 0 の長さ (mm)、a は、パッケージ基板 2 0 の等価熱膨張係数 (ppm /)、D は、開口 6 0 の中心のパッケージ基板 2 0 の中心からの距離 (mm)、T は、はんだの融点 ()、d は、はんだを含む電極 3 0 の径をそれぞれ表す。)

【 0 0 9 0 】

以下、この式 1 についてより詳細に説明する。

【 0 0 9 1 】

パッケージ基板 2 0 の熱膨張係数は、次の式 2 で定義される等価熱膨張係数 a でおおよそ代替できることが知られている (参考文献:「熱物性ハンドブック」、日本熱物性学会、1990年、pp. 285 - 289)。

【 0 0 9 2 】

$$a = (\text{厚み} * \text{弾性率} * \text{CTE}) / (\text{厚み} * \text{弾性率}) \quad \dots \text{式 2}$$

【 0 0 9 3 】

ここで“ ”は、パッケージ基板 2 0 を構成する全ての材料について合計することを示し、CTE とは各材料の熱膨張係数である。はんだ層 3 2 を構成しているはんだが Sn - Ag の場合、融点は 2 2 1 度であり、如何なる接合プロセスを使用した場合にも、少なくともパッケージ基板 2 0 ははんだの融点近辺までは加熱される。よって、常温状態からのパッケージ基板 2 0 とはんだ層 3 2 との位置ずれ量 L は、室温を 2 5 度と考えると次の式 3 で定義することができる。

【 0 0 9 4 】

$$L = (a - 3 . 5) * (2 2 1 - 2 5) * 1 0 ^{-6} * D \quad \dots \text{式 3}$$

【 0 0 9 5 】

ここで、“ D ” はパッケージ基板 2 0 の中心から接続部 (開口 6 0 の中心) までの距離を示す。3 . 5 は、半導体チップ 1 0 の主な構成材料であるシリコン (Si) の熱膨張係数である。よって、開口 6 0 の長さ L としては少なくとも次の式 4 で示される以上の大きさとすることによって、はんだ接続時に加熱した場合にも、はんだの大部分を開口 6 0 内に収めることが可能となる。

【 0 0 9 6 】

10

20

30

40

50

$$L > (a - 3.5) * (221 - 25) * D * 10^{-6} + d \quad \dots \text{式 4}$$

【0097】

ここで“d”は、はんだを含む複数の電極30の各々の径、すなわち柱状金属層31の径である。開口60の長さLの最大値は、前述したように開口60がはんだ層32で充填されるように、はんだ層32のめっき体積、開口60の幅W、配線50の幅W50を考慮した上で調整されることが望ましい。

【0098】

例として、表1に示したような構成でパッケージ基板20を作製する場合を想定し、開口60の長さLを計算する。

【0099】

【表1】

10

	使用材料	厚み (μm)	弾性率 (GPa)	CTE (ppm)
ソルダレジスト	AUS703	20	9	23
L1:配線層	Cu	15	120	16
絶縁層	GX92	35	5	39
L2:Cu 配線層	Cu	25	120	16
コア絶縁層	E700GR	800	33	8
L3:Cu 配線層	Cu	25	120	16
絶縁層	GX92	35	5	39
L4:Cu 配線層	Cu	15	120	16
ソルダレジスト	AUS703	20	9	23

20

30

【0100】

パッケージ基板はビルドアップ4層基板であり、コア材としてガラスクロス入りエポキシ材料（日立化成：700GR）、ビルドアップ材はABFフィルム材料（味の素ファインテクノ：GX92）、ソルダレジスト（太陽インキ：AUS703）、配線層は銅で形成されている。コア材の厚みを800 μm 、ビルドアップ層の厚みを35 μm 、ソルダレジスト厚を20 μm とし、表層の配線層厚を15 μm 、コア層の配線層厚を25 μm とする。各材料の弾性率と熱膨張係数（CTE）は表1に示したとおりである。柱状金属層31が配置される位置は、例えば半導体チップ10のI/Oパッドであるパッド13が10mmのエリアに並んだ場合を想定し、最も熱膨張が大きくなる角部（コーナー部）を考えると、 $D = \text{約} 7.06 \text{ mm}$ となる。

40

【0101】

これらのパラメータを用いて式2から等価熱膨張係数aを求めると約10.5ppm/となる。半導体チップ10をはんだ層32を用いて複数の配線50と接続する工程において加わる温度をSn-Ag系はんだの融点の221度とすると、その結果、式3から求まる位置ずれ量Lの最大値は9.75 μm となる。今、柱状金属層31の径dは40 μm のため、式4から開口60の長さLは、少なくとも49.75 μm またはそれ以上であることが望ましい。そこで、開口60の長さLを例えば55 μm と設計する。

【0102】

開口60の容積は、配線50が占める体積を除いて計算すると、31625 μm^3 であ

50

る。そこではんだ層32の体積がこれを超えるようにはんだを含む電極30の設計を行うと、はんだ層32のめっき厚としては $25.2\ \mu\text{m}$ 以上となる。実際にはめっき厚にはばらつきが発生するため、これを考慮してはんだを含む電極30の設計を行う。

【0103】

なお、第3の実施の形態において後述するように、ソルダレジスト層24をパッケージ基板20の絶縁層21Cが露出するまで開口せずに現像を途中で止めることによって、はんだ層32のめっき厚を薄くすることも可能である。

【0104】

この半導体装置2の製造方法については、第6ないし第10の実施の形態で説明する。

【0105】

この半導体装置2では、ソルダレジスト層24の開口60は、開口60内の配線50の長手方向DLに長い平面形状を有しており、開口60の長さLは、パッケージ基板20の熱膨張係数に応じて調整されている。よって、組立プロセス中にはんだ接合のために加熱された際に、半導体チップ10とパッケージ基板20との熱膨張係数差に起因して、開口60とはんだを含む電極30との位置ずれが生じた場合にも、ソルダレジスト層24上にはんだ層32が乗り上げてしまうおそれが小さくなる。よって、開口60とはんだを含む電極30との位置ずれの影響が緩和され、隣接する配線50間のショートが抑えられる。

【0106】

このように本実施の形態では、ソルダレジスト層24の開口60を、開口60内の配線50の長手方向DLに長い平面形状とし、開口60の長さLを、パッケージ基板20の熱膨張係数に応じて調整するようにしたので、開口60とはんだを含む電極30との位置ずれの影響を緩和し、隣接する配線50間のショートを抑えることが可能となる。特に、一つの半導体チップ10内に複数の機能が統合されチップサイズが大型化した場合や、はんだを含む電極30の径dを縮小し、かつ微細なピッチで配線50に接続する工法を採用する場合に好適である。

【0107】

また、開口60を、開口60内の配線50の長手方向DLに長い平面形状としたので、隣接する配線50の表面を露出させずに、接続対象の配線50のみソルダレジスト層24からの露出面積を増やすことが可能となる。その結果、はんだを含む電極30と配線50との接合面積を拡大し、接合部の機械的強度を増加させることが可能となる。つまり、接合時の加熱によって発生する熱応力に対して破壊を抑え、半導体チップ10が動作する際の温度サイクルに対しても機械的強度に優れた、歩留や信頼性の高いフリップチップ型の半導体装置2を提供することが可能となる。

【0108】

更に、ソルダレジスト層24を、基板本体21の表面および複数の配線50の上に連続層として設け、複数の配線50の各々の上に部分的に開口60を設けるようにしたので、ソルダレジスト層24が複数の配線50から剥離してショート抑制や配線保護の機能を失うことを未然に防止することが可能となる。

【0109】

加えて、ソルダレジスト層24を連続層として設けることによって、はんだを含む電極30と配線50との接合部と隣接する配線50の間にはソルダレジスト層24が介在することとなり、配線間ピッチP50を狭めてもショートの発生が抑えられる。よって、配線間ピッチP50を狭くしてより高密度な半導体チップ10とパッケージ基板20との接続構造を実現することが可能となる。その結果、半導体チップ10の高機能化やインターフェースの広帯域化に対応した、フリップチップ構造を低コストに実現可能となる。

【0110】

更にまた、ソルダレジスト層24を連続層として設けることにより、はんだが過度に配線50に沿って濡れ広がり、はんだの体積が不足して、はんだを含む電極30と配線50との接合部の形状がいびつになって、機械的強度が低下することを未然に防止することが可能となる。

10

20

30

40

50

【 0 1 1 1 】

加えてまた、本実施の形態では、第 1 の実施の形態と同様に、複数の配線 5 0 を、チップ配設領域 2 0 A の外周部から基板本体 2 1 の外側に向かって伸ばすと共にチップ配設領域 2 0 A の各辺においては互いに平行に配置するようにしている。よって、はんだを含む電極 3 0 と複数の配線 5 0 との接合部から複数の配線 5 0 をパッケージ基板 2 0 の外側に直接引き出すことが可能であり、プリソルダ形成も不要となる。既存の C 4 技術のように配線 5 0 を微細化してランドの間を通したり、ランドからビアを介して下層に配線したりすることも不要である。従って、大幅に基板コストを低減することが可能となる。

【 0 1 1 2 】

更にまた、開口 6 0 を、開口 6 0 内の配線 5 0 の上面 5 3 および側面 5 4 の高さ方向の一部または全部を露出させるように設けるようにしたので、はんだ層 3 2 と配線 5 0 とが合金層を形成する面積を広くすることが可能となる。それだけでなく、生成された合金層は、既存のランド - はんだ間接続のような二次元方向に加えて、配線 5 0 の厚み方向である三次元方向にも広がることによって、より接合強度に優れた構造を提供することが可能になる。

10

【 0 1 1 3 】

加えてまた、開口 6 0 の長さ L を、式 1 に基づいて設定するようにしたので、はんだを含む電極 3 0 と配線 5 0 を接合する際にはんだの融点程度まで加熱された際にも、はんだ層 3 2 がソルダレジスト層 2 4 上に乗り上げて隣接する配線 5 0 間でショートが発生することを抑えることが可能となる。

20

【 0 1 1 4 】

これは、半導体チップ 1 0 とパッケージ基板 2 0 のフリップチップ接合中だけでなく、後の BGA ボールアタッチのリフロ工程や、セットラインでのマザーボードへ実装する際に加熱が行われた際にも同様の効果が得られる。つまり、半導体装置 2 がはんだの融点以上まで加熱されると半導体チップ 1 0 とパッケージ基板 2 0 はそれぞれ熱膨張し、更にアンダーフィル樹脂 4 0 はガラス転移温度を超えて柔らかくなり、はんだ層 3 2 も溶融する。そのため、はんだ層 3 2 が溶融した状態で柱状金属層 3 1 が開口 6 0 を超えてソルダレジスト層 2 4 上に位置する可能性がある。柱状金属層 3 1 とともに移動したはんだ層 3 2 の一部はソルダレジスト層 2 4 上に乗り上げるため、隣接する配線 5 0 とショートを引き起こす可能性があり、ショートに至らない場合にも冷却過程では、はんだを含む電極 3 0 と配線 5 0 との接合部の形状がいびつになっているために、熱応力で破壊を起こす可能性がある。

30

【 0 1 1 5 】

よって、開口 6 0 の長さ L を、式 1 に基づいて設定することにより、このような熱膨張係数に起因するはんだを含む電極 3 0 の位置ずれに起因する上記のような問題を未然に回避し、歩留と信頼性に優れた構造を実現することが可能となる。

【 0 1 1 6 】

(変形例 2 - 1)

(開口の平面形状を楕円形とする例)

40

図 1 7 は、変形例 2 - 1 に係る半導体装置の一部を拡大して表したものであり、具体的には、隣接する二本の配線 5 0 (5 0 A , 5 0 B) のチップ配設領域 2 0 A の外周部近傍における平面構成を表している。なお、図 1 7 の上面図では、わかりやすくするために半導体チップ 1 0 およびアンダーフィル樹脂 4 0 を省略しているが、半導体チップ 1 0 は、点線で表した半導体チップ 1 0 のチップ外形線 1 0 A よりも左側の領域に配置されている。

【 0 1 1 7 】

本変形例は、開口 6 0 (6 0 A 1 , 6 0 B 2) を、開口 6 0 内の配線 5 0 の長手方向 D L に長い楕円形の平面形状とすることにより、配線 5 0 の露出部分の面積を大きくとり、はんだを含む電極 3 0 と開口 6 0 との位置ずれに対する許容度を更に高めるようにしたも

50

のである。このことを除いては、本変形例の半導体装置 2 A は、上記第 2 の実施の形態の半導体装置 2 と同様の構成、作用および効果を有している。よって、対応する構成要素には同一の符号を付して説明する。

【 0 1 1 8 】

ソルダレジスト層 2 4 の開口 6 0 の位置は、ソルダレジストがネガ型感光材料であるために、隣接する開口 6 0 からの距離 $d 6 0$ を一定以上とすることが好ましい。よって、より大型の半導体チップ 1 0 やコアレス基板のような線膨張係数の大きいパッケージ基板 2 0 を使用するために、ソルダレジスト層 2 4 の開口 6 0 の長さ L を大きくとる場合には、上記第 2 の実施の形態で説明した長方形に類似した形状の開口 6 0 では、はんだを含む複数の電極 3 0 のピッチを広くとることが望ましい。

10

【 0 1 1 9 】

本変形例では、開口 6 0 (6 0 A 1 , 6 0 B 2) を、開口 6 0 内の配線 5 0 の長手方向 $D L$ に長い楕円形とすることによって、隣接する開口 6 0 との距離 $d 6 0$ を一定に保ったままで、開口 6 0 内の配線 5 0 の露出部分の面積を大きくとることが可能となる。その結果、半導体チップ 1 0 とパッケージ基板 2 0 との熱膨張係数差に起因したはんだを含む電極 3 0 と開口 6 0 との位置ずれに対して、はんだを含む複数の電極 3 0 のピッチを維持したままで、許容度を高めることが可能になる。すなわち、より大型の半導体チップ 1 0 や熱膨張係数の大きいパッケージ基板 2 0 を使用する場合、またはプロセス温度を高くした場合にも、ソルダレジスト層 2 4 上にはんだ層 3 2 が乗り上げて、隣接する配線 5 0 間でショートを引き起こすことや、はんだ層 3 2 と配線 5 0 との接合が不完全になることを抑制することが可能となる。また、はんだ層 3 2 と配線 5 0 とが合金層を形成する領域の面積を広げることが可能となり、より接合強度を高め、歩留や信頼性の向上させることも可能である。更には、図 1 8 に示したように開口 6 0 を長方形とした場合と比較して、配線 5 0 の体積を除いた開口 6 0 の容積の増加は抑えられるため、前述のような効果を発揮しながら、はんだ層 3 2 の体積を増加させずに開口 6 0 をはんだ層 3 2 で充填することが可能になる。

20

【 0 1 2 0 】

このように本変形例では、開口 6 0 の平面形状を楕円形とするようにしたので、開口 6 0 間の距離 $d 6 0$ を狭くすることなく、つまりソルダレジストの解像度を上げることなく、配線 5 0 の露出部分の面積を増やして、はんだを含む電極 3 0 と開口 6 0 との位置ずれに対する許容度を高めつつ、接合強度を向上させることが可能となる。

30

【 0 1 2 1 】

なお、開口 6 0 A 2 , 6 0 B 1 については、開口 6 0 A 1 , 6 0 B 2 と同様に楕円形としてもよいし、占有領域 $O A$ の削減のために第 2 の実施の形態で説明した長方形または略長方形としてもよい。

【 0 1 2 2 】

(変形例 2 - 2)

(開口内において、配線に拡幅部を設ける例)

図 1 9 は、変形例 2 - 2 に係る半導体装置の一部を拡大して表したものであり、具体的には、隣接する二本の配線 5 0 (5 0 A , 5 0 B) のチップ配設領域 2 0 A の外周部近傍における平面構成を表している。なお、図 1 9 の上面図では、わかりやすくするために半導体チップ 1 0 、はんだを含む複数の電極 3 0 およびアンダーフィル樹脂 4 0 を省略しているが、半導体チップ 1 0 は、点線で表した半導体チップ 1 0 のチップ外形線 1 0 A よりも左側の領域に配置されている。また、図 1 9 では、はんだを含む複数の電極 3 0 の実装位置を点線で表している。

40

【 0 1 2 3 】

本変形例は、開口 6 0 内において、複数の配線 5 0 の各々に拡幅部 5 5 を設けることにより、はんだを含む電極 3 0 と配線 5 0 とが合金層を形成する領域の面積を拡大し、更に接合部の強度を上げるようにしたものである。このことを除いては、本変形例の半導体装置 2 B は、上記第 2 の実施の形態の半導体装置 2 と同様の構成、作用および効果を有して

50

いる。よって、対応する構成要素には同一の符号を付して説明する。

【0124】

複数の配線50は、両方の側面54が露出するように開口60内に配置されていると共に、部分的に幅W50が広がった拡幅部55を有している。これにより、はんだ層32と配線50とが合金層を形成する領域の面積が大きくなり、熱応力によって発生するせん断応力やその他の原因によって発生するはんだ接合部への応力に対して、接合強度を高めることが可能になり、歩留や信頼性の向上が可能になる。

【0125】

(変形例2-3)

(開口内において、配線に途切れ部を設ける例)

図20は、変形例2-3に係る半導体装置の一部を拡大して表したものであり、具体的には、隣接する二本の配線50(50A, 50B)のチップ配設領域20Aの外周部近傍における平面構成を表している。なお、図20の上面図では、わかりやすくするために半導体チップ10、はんだを含む複数の電極30およびアンダーフィル樹脂40を省略しているが、半導体チップ10は、点線で表した半導体チップ10のチップ外形線10Aよりも左側の領域に配置されている。また、図20では、はんだを含む複数の電極30の実装位置を点線で表している。

10

【0126】

本変形例は、開口60内において、複数の配線50の各々に途切れ部56を設けることにより、はんだを含む電極30と配線50とが合金層を形成する領域の面積を拡大し、更に接合部の強度を上げるようにしたものである。このことを除いては、本変形例の半導体装置2Cは、上記第2の実施の形態の半導体装置2と同様の構成、作用および効果を有している。よって、対応する構成要素には同一の符号を付して説明する。

20

【0127】

図21は、図20のXXI-XXI線における断面構成を表したものである。各配線50は、開口60内で分断され、途切れ部56が設けられている。途切れ部56の間隔d56は、例えば10 μ m程度であり、配線50の高さH50は、例えば15 μ mである。このような構成とすることによって、はんだを含む電極30と配線50との接触面積が増えて接合強度を高めることが可能となる。また、配線50の表面被膜52とはんだ層32とが形成した合金層で剥離が発生した場合にも、配線50が連続していないため、剥離の進行を途中で食い止めることが可能になる。

30

【0128】

(変形例2-4)

(二つの開口の角部に斜め切欠き部を設け、その二つの開口を、斜め切欠き部どうしを向かい合わせて隣接配置する例)

図22は、変形例2-4に係る半導体装置の一部を拡大して表す上面図であり、具体的には、隣接する二本の配線50(50A, 50B)のチップ配設領域20Aの外周部近傍における平面構成を表している。なお、図22の上面図では、わかりやすくするために半導体チップ10およびアンダーフィル樹脂40を省略しているが、半導体チップ10は、点線で表した半導体チップ10のチップ外形線10Aよりも左側の領域に配置されている。

40

【0129】

本変形例は、二つの開口60A1, 60B2の角部(コーナー部)に斜め切欠き部62を設け、その二つの開口60A1, 60B2を、斜め切欠き部62どうしを向かい合わせて隣接配置するようにしたものである。これにより、本変形例では、はんだを含む電極30間の距離d30をより狭くすることが可能となる。このことを除いては、本変形例の半導体装置2Dは、上記第2の実施の形態の半導体装置2と同様の構成、作用および効果を有している。よって、対応する構成要素には同一の符号を付して説明する。

【0130】

なお、図22では、開口60A2, 60B1にも斜め切欠き部62が設けられている場

50

合を表しているが、斜め切欠き部 6 2 は、開口 6 0 A 2 , 6 0 B 1 には必ずしも設けられていなくてもよい。

【 0 1 3 1 】

一般的に、ソルダレジストはネガ型感光性材料のため、開口 6 0 間の距離 $d 6 0$ を一定以上にすることが好ましい。本変形例では、隣接する開口 6 0 の角部において、ソルダレジスト層 2 4 を削除せずに残し、斜め切欠き部 6 2 を設けるようにしている。このようにすることによって、開口 6 0 を長方形とした場合と比較して、開口 6 0 間の距離 $d 6 0$ を一定に保ったままで、はんだを含む電極 3 0 間の距離 $d 3 0$ を狭くすることが可能となる。また、半導体チップ 1 0 とパッケージ基板 2 0 との熱膨張係数差に起因したはんだを含む電極 3 0 と開口 6 0 との位置ずれに対する許容度も、開口 6 0 を長方形に類似した形状とする場合からの変化は小さい。

10

【 0 1 3 2 】

斜め切欠き部 6 2 は、配線 5 0 にかからないように、配線 5 0 を回避して設けられていることが好ましい。これにより、斜め切欠き部 6 2 を設けることによる、開口 6 0 内の配線 5 0 の露出部分の面積への影響は抑えられる。よって、はんだを含む電極 3 0 と配線 5 0 とが合金層を形成する部分の面積は十分に得られ、はんだを含む電極 3 0 間の距離 $d 3 0$ を狭くしても、接合強度を維持することが可能となる。

【 0 1 3 3 】

(変形例 2 - 5)

(二つの開口の辺に斜め切欠き部を設け、その二つの開口を、斜め切欠き部どうしを向かい合わせて隣接配置する例)

20

【 0 1 3 4 】

図 2 3 は、変形例 2 - 5 に係る半導体装置の一部を拡大して表す上面図であり、具体的には、隣接する二本の配線 5 0 (5 0 A , 5 0 B) のチップ配設領域 2 0 A の外周部近傍における平面構成を表している。なお、図 2 3 の上面図では、わかりやすくするために半導体チップ 1 0 、はんだを含む複数の電極 3 0 およびアンダーフィル樹脂 4 0 を省略しているが、半導体チップ 1 0 は、点線で表した半導体チップ 1 0 のチップ外形線 1 0 A よりも左側の領域に配置されている。

【 0 1 3 5 】

本変形例は、二つの開口 6 0 A 1 , 6 0 B 2 の各々の一辺の全体に斜め切欠き部 6 2 を設け、その二つの開口 6 0 A 1 , 6 0 B 2 を、斜め切欠き部 6 2 どうしを向かい合わせて隣接配置するようにしたものである。これにより、本変形例では、はんだを含む電極 3 0 間の距離 $d 3 0$ をより狭くすると共に、接合強度を更に高めることが可能となる。このことを除いては、本変形例の半導体装置 2 E は、上記第 2 の実施の形態の半導体装置 2 と同様の構成、作用および効果を有している。よって、対応する構成要素には同一の符号を付して説明する。

30

【 0 1 3 6 】

本変形例では、二つの開口 6 0 A 1 , 6 0 B 2 の辺に斜め切欠き部 6 2 を設けて一辺が斜辺の台形の平面形状としている。このように隣接する開口 6 0 A 1 , 6 0 B 2 の一辺を開口 6 0 内の配線 5 0 の長手方向 DL に対して斜めにすることによって、開口 6 0 を長方形とした場合と比較して、隣接する開口 6 0 間の距離 $d 6 0$ を一定に保ったままではんだを含む電極 3 0 間の距離 $d 3 0$ を狭くすることが可能となる。更に、はんだを含む電極 3 0 と配線 5 0 との接合面積を増やすことも可能となるので、はんだを含む電極 3 0 間の距離 $d 3 0$ を狭くしても接合強度を維持することが可能となる。

40

【 0 1 3 7 】

なお、開口 6 0 A 2 , 6 0 B 1 については、占有領域 OA の削減のために第 2 の実施の形態で説明した長方形または略長方形とすることが好ましい。

【 0 1 3 8 】

本変形例では、二つの開口 6 0 A 1 , 6 0 B 2 の一辺に斜め切欠き部 6 2 を設けて台形状にしたので、ソルダレジストの解像度を上げることなく、はんだを含む電極 3 0 間の距

50

離 d 3 0 を狭くし、はんだを含む複数の電極 3 0 のより高密度な配置を実現することが可能となる。

【 0 1 3 9 】

(第 3 の実施の形態)

(半導体装置 ; 開口内におけるソルダレジスト層の厚みを、基板本体の表面のうち開口以外の領域におけるソルダレジスト層の厚みよりも小さくする例)

図 2 4 は、本開示の第 3 の実施の形態に係る半導体装置の一部を拡大して表したものであり、具体的には、隣接する二本の配線 5 0 (5 0 A , 5 0 B) のチップ配設領域 2 0 A の外周部近傍における断面構成を表している。

【 0 1 4 0 】

この半導体装置 3 は、開口 6 0 内におけるソルダレジスト層 2 4 の厚み t 1 を、基板本体 2 1 の表面のうち開口 6 0 以外の領域におけるソルダレジスト層 2 4 の厚み t 2 よりも小さくするようにしたものである。これにより本実施の形態では、開口 6 0 の形状の制御性をより高めると共に、パッケージ基板 2 0 と配線 5 0 との密着強度を高めることが可能となっている。このことを除いては、本実施の形態の半導体装置 3 は、上記第 2 の実施の形態の半導体装置 2 と同様の構成、作用および効果を有している。よって、対応する構成要素には同一の符号を付して説明する。

【 0 1 4 1 】

本実施の形態では、開口 6 0 内のソルダレジスト層 2 4 は、パッケージ基板 2 0 の基板本体 2 1 の絶縁層 2 1 C を露出させることなく、配線 5 0 の側面 5 4 の高さ方向一部を露出させる状態で設けられている。配線 5 0 の表面被膜 5 2 は、配線 5 0 の表面のうちソルダレジスト層 2 4 から露出した部分に設けられている。具体的には、配線 5 0 の厚み H 5 0 は例えば 1 5 μm 、ソルダレジスト層 2 4 の厚み t 2 は例えば 2 0 μm 、配線 5 0 の側面 5 4 の露出量は例えば 1 0 μm 程度、開口 6 0 内のソルダレジスト層 2 4 の厚み t 1 は例えば 5 μm 程度である。このような構造は、ソルダレジスト層 2 4 はネガ型レジストであることが一般的のため、現像を最後まで行わず、途中で止めることによって容易に作り出すことが可能である。パッケージ基板 2 0 の基板本体 2 1 の絶縁層 2 1 C が露出するまで現像する場合と比較して現像時間を短くすることができるので、開口 6 0 のサイズを微細化することが可能になる。

【 0 1 4 2 】

また、本実施の形態では、配線 5 0 の側面 5 4 の高さ方向全部が露出するのではなく、配線 5 0 が部分的にソルダレジスト層 2 4 に埋め込まれた形状となる。そのため、パッケージ基板 2 0 の基板本体 2 1 の絶縁層 2 1 C から配線 5 0 が剥離することを抑えることが可能となる。

【 0 1 4 3 】

加えて、開口 6 0 の深さ方向のアスペクト比が低くなり、開口 6 0 に充填されるはんだ量も減少する。よって、開口 6 0 内をはんだ層 3 2 で充填することが容易になる。その結果、開口 6 0 内に微小な空隙が発生し、その後のボールアタッチでのリフロ工程や二次実装時のリフロ工程で膨れを生じて、歩留や信頼性が低下することを未然に防止することが可能となる。

【 0 1 4 4 】

加えて、第 2 の実施の形態で説明したように、開口 6 0 を開口 6 0 内の配線 5 0 の長手方向 DL に長くし、配線 5 0 の長手方向 DL における露出面積を増やすことにより、配線 5 0 の深さ方向の露出の減少による接合面積の減少分を補償することが可能となる。

【 0 1 4 5 】

このように本実施の形態では、ソルダレジスト層 2 4 は、開口 6 0 内の配線 5 0 の上面 5 3 および側面 5 4 の高さ方向一部を露出させ、開口 6 0 内の配線 5 0 の側面 5 4 の高さ方向残部を被覆している。また、ソルダレジスト層 2 4 は、基板本体 2 1 の表面のうち開口 6 0 以外の領域では、複数の配線 5 0 の各々の上面 5 3 および側面 5 4 の高さ方向全部を被覆している。このような構成とすることによって、開口 6 0 内のソルダレジスト層 2

10

20

30

40

50

4の現像をソルダレジスト層24の厚み方向の全部に対して行わなくてもよくなる。よって、ソルダレジストの解像度を上げ、微細な開口60を形成し、複数の配線50の密度を更に向上させることが可能となる。

【0146】

また、配線50の側面54の高さ方向の全部が露出していない構造のため、配線50とパッケージ基板20の基板本体21の絶縁層21Cの密着強度が向上すると共に、はんだ材料が配線50とパッケージ基板20の基板本体21の絶縁層21Cとの界面に回り込んで、密着強度が低下することを未然に防止することが可能となる。更に、開口60に充填されるはんだ体積を減らすことが可能となる。

【0147】

(第4の実施の形態)

(半導体装置; MCM (Multi Chip Module) の例)

図25は、本開示の第4の実施の形態に係る半導体装置の全体構成を概略的に表したものである。図26は、この半導体装置のX X V I - X X V I線における断面構成を概略的に表したものである。上記第2の実施の形態では半導体装置2が半導体チップ10単体のLSIパッケージである場合について説明したのに対し、本実施の形態の半導体装置4は、例えば、MCM (Multi Chip Module) への適用例である。このことを除いては、本実施の形態の半導体装置4は、上記第2の実施の形態の半導体装置2と同様の構成、作用および効果を有している。よって、対応する構成要素には同一の符号を付して説明する。

【0148】

半導体装置4は、例えば、半導体チップ10、パッケージ基板20、ビア22、はんだボール23、はんだを含む複数の電極30、アンダーフィル樹脂40、複数の配線50を有している。これらは、第2の実施の形態と同様に構成されている。

【0149】

また、パッケージ基板20には、第2の実施の形態と同様に、ソルダレジスト層24および開口60が設けられている。

【0150】

開口60は、第2の実施の形態と同様に、開口60内の配線50の長手方向DLに長い平面形状を有し、開口60の長さLは、パッケージ基板20の熱膨張係数に応じて調整されている。これにより、この半導体装置4では、第2の実施の形態と同様に、開口60とはんだを含む電極30との位置ずれの影響を緩和し、隣接する配線50間のショートを抑えることが可能となっている。

【0151】

パッケージ基板20の基板本体21の表面21Aには、半導体チップ10の他に、更に、例えば二つの半導体パッケージ70が搭載されている。パッケージ基板20と各半導体パッケージ70との間には、アンダーフィル樹脂40が設けられている。

【0152】

半導体パッケージ70は、例えば、半導体チップ71をパッケージ基板72にワイヤ73によりワイヤボンディングし、モールド樹脂74で封止した構成を有している。半導体パッケージ70は、外部電極であるはんだボール75を介して、パッケージ基板20上の複数の配線50に接続されている。

【0153】

半導体パッケージ70に例えばDRAMを用いる場合、広帯域を実現するためには半導体チップ10と半導体パッケージ70を接続する配線50の本数を増やすことが望ましい。そのため、本実施の形態の半導体装置4において、上記第2の実施の形態を適用し、開口60の長さLをパッケージ基板20の熱膨張係数に応じて調整することにより、隣接する配線50間のショートを低減し、狭ピッチの配線50を用いてフリップチップ接続する上記第2の実施の形態の利点を生かすことが可能となる。

【0154】

なお、半導体パッケージ70は必ずしもパッケージ化された半導体部品でなくてもよく

10

20

30

40

50

、例えばベアチップであってもよい。例えばワイドI/O (Wide I/O) と呼ばれるような広帯域メモリをベアチップで実装し、微細な配線50を用いてパッケージ基板20上で接続することによって、更なる広帯域を実現することも可能である。

【0155】

(第5の実施の形態)

(半導体装置；モールド樹脂で封止する例)

図27は、本開示の第5の実施の形態に係る半導体装置の全体構成を概略的に表したものである。この半導体装置5は、上記第2の実施の形態で説明した半導体装置2を、モールド樹脂80で封止した構成を有している。半導体装置2をモールド樹脂80で封止することによって、半導体チップ10の裏面およびパッケージ基板20の基板本体21の表面21Aが保護される。従って、ハンドリングが容易になり、外部からの衝撃に強いフリップチップ型半導体装置5を実現することが可能となる。

10

【0156】

一方で、モールド樹脂80はエポキシ変性型材料を用いるため硬化収縮を伴う。また、モールド樹脂80は半導体チップ10やパッケージ基板20とは異なる熱膨張係数を持つために、はんだを含む複数の電極30と複数の配線50との接合部に加わる応力は大きくなりやすい。

【0157】

本実施の形態の半導体装置5では、第2の実施の形態で説明したように、半導体装置2において、ソルダレジスト層24の開口60を、開口60内の配線50の長手方向DLに長い平面形状とし、開口60の長さLを、パッケージ基板20の熱膨張係数に応じて調整するようにしている。よって、開口60とはんだを含む電極30との位置ずれの影響を緩和し、隣接する配線50間のショートを低減すると共に、はんだを含む電極30と配線50との接合部の面積を増やし、モールド樹脂80を設けることによる応力の増大の影響を緩和することが可能となる。よって、より接続信頼性に優れたフリップチップ型の半導体装置5を提供することが可能となる。

20

【0158】

(変形例5-1)

また、図28に示したように、モールド樹脂80の内部に、半導体チップ10とは異なる半導体チップ90が積層されている半導体装置5Aにおいても、上記の効果を発揮することが可能である。半導体チップ90は、例えばチップ本体91を有している。チップ本体91は、ワイヤ92によりパッケージ基板20に接続されている。

30

【0159】

(変形例5-2)

更に、図29に示したように、第2の実施の形態で説明した半導体装置2の半導体チップ10の上に、更に他の半導体パッケージ100が積層されているPOP (Package on Package) 型の半導体装置5Bでも、上記と同様の効果を得ることが可能である。

【0160】

半導体パッケージ100は、例えば、半導体チップ101A, 101Bをパッケージ基板102にワイヤ103A, 103Bによりワイヤボンディングし、モールド樹脂104で封止した構成を有している。半導体パッケージ100は、外部電極であるはんだボール105を介して、パッケージ基板20上の複数の配線50に接続されている。

40

【0161】

(第6の実施の形態)

(半導体装置の製造方法；一括リフローの例)

図30ないし図37、および図38ないし図41は、本開示の第6の実施の形態に係る半導体装置の製造方法を工程順に表したものである。

【0162】

なお、以下の説明では、本実施の形態の製造方法により、主として上記第2の実施の形態で説明した半導体装置2を製造する場合について説明する。しかしながら、本実施の形

50

態の製造方法は、第2の実施の形態の半導体装置2を製造する場合に限られず、第1の実施の形態をはじめとして他の実施の形態または変形例にも適用可能である。

【0163】

まず、図30ないし図37を参照して、はんだを含む複数の電極30の製造方法について説明する。図30は、はんだを含む複数の電極30を形成する前のウェーハ状態の半導体チップ10を表している。シリコン(Si)よりなるチップ本体11の素子形成面11Aにはパッシベーション膜14が形成されている。チップ本体11の最表層には窒化シリコン膜またはポリイミド等の絶縁膜(図示せず)が形成されている。パッシベーション膜14には開口部が形成されており、例えばアルミニウムよりなるパッド13が露出している。

10

【0164】

ウェーハ表面を洗浄後に、アルゴン逆スパッタによってパッド13の表面酸化膜を除去する。次いで、図31に示したように、TiW/Cu積層膜15をスパッタにて順次積層する。TiWの膜厚は例えば100nm、銅(Cu)の膜厚は例えば200nmとする。TiWはこの後形成する柱状金属層31を構成する金属が、パッド13と合金層を形成して抵抗が上昇することを抑える目的で形成されている。

【0165】

続いて、図32に示したように、ウェーハ状態の半導体チップ10の表面にスピンコート法によってレジスト膜16を形成する。レジスト膜16の厚みとしては例えば70μm程度とする。

20

【0166】

そののち、図33に示したように、ステップまたはアライナ等の露光機を用いたフォトリソグラフィ法によって、はんだを含む電極30を形成する箇所に、レジスト開口16Aを形成する。ネガ型レジストを使用する場合には、レジスト開口16A以外を露光するようなマスクを使用して露光した後に、現像を行ってレジスト開口16Aを形成する。

【0167】

続いて、ディスクカム等によってレジスト開口16Aの底部に残ったレジスト残渣をクリーニングし、図34に示したように、電解めっきで柱状金属層31を形成する。ウェーハ状態の半導体チップ10の外周部ではレジスト膜16があらかじめ3mm程度エッジカットされており、この部分から給電を行うことによって電解めっきを行う。電解めっき膜としては例えば銅(Cu)層を径40μm、高さ40μmで形成する。この後めっき形成するはんだと柱状金属層31との合金層が過度に成長するのを抑えるためには、電解めっきで銅(Cu)層を形成した後に、続いて電解ニッケル(Ni)めっきを行い、積層構造としてもよい。この場合、銅(Cu)めっき膜厚は例えば35μm、ニッケル(Ni)めっき膜厚は例えば5μmとする。

30

【0168】

そののち、図35に示したように、柱状金属層31の上にはんだ層32を積層めっきする。例えばめっき厚としては、26μmであり、はんだの組成としては例えばSn-Agである。その他にもめっきで形成可能なはんだ材料であれば同様の製造方法で形成可能である。インジウム(In)等の融点が低いはんだ材料をめっきすることによって、組立プロセス中の加熱温度を下げるのが可能になり、組立中の熱応力を低減することが可能になる。

40

【0169】

続いて、図36に示したように、レジスト膜16を除去し、ウェットエッチングによってTiW/Cu積層膜15を、柱状金属層31をマスクにして除去する。TiWのエッチングにはアンモニア過水を用い、Cuのエッチングにはクエン酸と過酸化水素水の混合液を用いる。

【0170】

そののち、図37に示したように、リフロを行ってはんだ層32表面の酸化膜を除去し溶解させる。例えばフラックスをウェーハ表面に塗布したのちにリフロ炉で加熱を行う方

50

法や、ギ酸の雰囲気下のリフロ炉で加熱を行う手法などがある。例えば、ギ酸雰囲気下でウェーハを250程度に加熱して、はんだ層32の表面酸化膜を除去し溶解する手法が用いられる。続いて水洗処理を行って表面に付着した残渣や異物を除去する。その後、ウェーハ状態の半導体チップ10の素子形成面11Aに保護テープを張り付けた後に、所定の厚みにバックラインディングを行い、チップ本体11を適切な厚みに整える。続いて、チップ本体11をダイシングフレームにダイシングテープで固定し、保護テープを剥離してからダイシングを行う。以上により、はんだを含む複数の電極30を備えた半導体チップ10が完成する。

【0171】

このとき、柱状金属層31を、はんだ層32を構成するはんだよりも融点が高い金属により構成する利点は以下のように考えられる。既存のC4パンプのように電極の大部分がはんだで形成されていた場合には、溶解した際に表面張力を最小化しようとする力が働き、はんだ電極が球形を保とうとする。半導体チップ10とパッケージ基板20との間にアンダーフィル樹脂40を注入するギャップを設けるためには、電極の大部分がはんだで形成されている場合には、径の大きなはんだ電極を用意することが好ましい。そのため、電極間のピッチを狭くすることは困難であった。本実施の形態では、はんだを含む複数の電極30を、はんだの融点では溶解しない柱状金属層31とはんだ層32との積層構成とすることによって、半導体チップ10とパッケージ基板20との間の十分なギャップGを得ながら、はんだを含む複数の電極30の電極間ピッチを狭くすることが可能になる。

【0172】

なお、以上のはんだを含む複数の電極30の製造方法は、後述する第7ないし第10の実施の形態でも同様である。第1の実施の形態の場合には、パッド13上に、ニッケル膜17を間にして、Sn-Ag等のはんだ材料よりなるはんだを含む電極30を形成する。

【0173】

続いて、図38ないし図41を参照して、パッケージ基板20と半導体チップ10との、一括リフロによる接続方法について説明する。

【0174】

まず、図38に示したように、はんだを含む電極30の第1電極30A1のはんだ層32の先端にあらかじめディッピングによってフラックス(図示せず)を塗布した状態で、接続対象の配線50A上の開口60A1と位置合わせを行う。

【0175】

次いで、図39に示したように、適切な荷重と温度を加えて、はんだ層32を配線50Aに圧着する。この段階でははんだ層32と配線50Aの表面被膜52とは完全に合金化していなくてもよく、フラックス材の粘着性で固定された状態であればよい。

【0176】

続いて、リフロ炉で加熱することによって、図40に示したように、はんだ層32と配線50Aの表面被膜52とを合金化する。その際、フラックス材ははんだ層32の表面酸化膜を除去する機能を有する。

【0177】

また、このとき、半導体チップ10とパッケージ基板20とは熱膨張係数が異なるために、はんだを含む電極30A1と開口60A1との位置ずれが発生する。一般的にパッケージ基板20の方が熱膨張係数が大きいために、図1に示したようなパッケージ基板20の平面構成では、図40において紙面の奥行方向または手前の方向、つまり開口60内の配線50の長手方向DLに向かって位置ずれが発生する。

【0178】

ここでは、第2の実施の形態で説明したように、ソルダレジスト層24の開口60を、開口60内の配線50の長手方向DLに長い平面形状とし、開口60の長さLを、パッケージ基板20の熱膨張係数に応じて調整するようにしている。よって、図16に示したように、ソルダレジスト層24上にはんだ層32が乗り上げて隣接する配線50Bとショートすることが抑えられる。

10

20

30

40

50

【 0 1 7 9 】

なお、合金化を促進するために、リフロ工程を複数回行ってよい。

【 0 1 8 0 】

続いて、洗浄を行ってフラックス材を除去し、図 4 1 に示したように、アンダーフィル樹脂 4 0 を半導体チップ 1 0 とパッケージ基板 2 0 との間のギャップに注入する。そのうち、キュアを行って、アンダーフィル樹脂 4 0 を変性、硬化させる。アンダーフィル樹脂 4 0 を注入する際にはパッケージ基板 2 0 を例えば 8 0 程度まで加熱しておき、注入後には例えば 1 5 0 で合計 1 . 5 時間程度のポストキュアを行う。

【 0 1 8 1 】

そのうち、パッケージ基板 2 0 の基板本体 2 1 の裏面 2 1 B 側のはんだボール 2 3 搭載箇所 10 にフラックスを転写し、はんだボール 2 3 を搭載し、ボールアタッチのためのリフロ処理を行う。その結果、はんだ層 3 2 が再び溶融する。その際、配線 5 0 の表面被膜 5 2 により、はんだ層 3 2 と配線 5 0 とが過度に合金化し接合強度を低下させることが抑えられる。更に、リフロ後の冷却ステップで発生する熱応力に対しては、配線 5 0 上の開口 6 0 の長さ L を大きくして接合部の面積を拡大していることにより、機械的強度を高めることが可能となる。

【 0 1 8 2 】

本実施の形態では、半導体チップ 1 0 とパッケージ基板 2 0 とをフラックスを用いて仮付けしたのちに、リフロ加熱を行うようにしたので、半導体チップ 1 0 とパッケージ基板 2 0 とが同じ高温まで加熱され、半導体チップ 1 0 とパッケージ基板 2 0 との熱膨張係数差に起因した位置ずれ量は大きくなる傾向にある。しかしながら、第 2 の実施の形態で説明したように、ソルダレジスト層 2 4 の開口 6 0 を、開口 6 0 内の配線 5 0 の長手方向 D L に長い平面形状とし、開口 6 0 の長さ L を、パッケージ基板 2 0 の熱膨張係数に応じて調整しているため、開口 6 0 とはんだを含む電極 3 0 との位置ずれの影響を緩和し、隣接する配線 5 0 間のショートを抑えることが可能となる。

【 0 1 8 3 】

また、本実施の形態では、半導体チップ 1 0 が固定されていない状態ではんだ溶融温度以上まで加熱されるので、はんだのセルフアライン効果によって、位置ずれや半導体チップ 1 0 の傾きが補正される。よって、はんだを含む複数の電極 3 0 および複数の配線 5 0 が狭いピッチで配置されている場合にも、高い位置合わせ精度が得られる。従って、よりばらつきが少なく、はんだを含む電極 3 0 と配線 5 0 との接合部の形状が安定した生産が可能となり、歩留や信頼性を向上させることが可能となる。

【 0 1 8 4 】

更に、一括リフロ工法を用いるので、リフロ炉での逐次処理が可能になり、生産性に優れ、低コスト化も可能となる。

【 0 1 8 5 】

(第 7 の実施の形態)

(半導体装置の製造方法 ; ローカルリフロの例)

次に、同じく図 3 8、図 4 0 および図 4 1 を参照して、パッケージ基板 2 0 と半導体チップ 1 0 との、サーマルコンプレッション (Thermal Compression) と呼ばれるローカルリフロ工法を用いた接続方法について説明する。

【 0 1 8 6 】

まず、図 3 8 に示したように、はんだを含む電極 3 0 の第 1 電極 3 0 A 1 のはんだ層 3 2 と、接続対象の配線 5 0 A 上の開口 6 0 A 1 との位置合わせを行う。

【 0 1 8 7 】

次いで、図 4 0 に示したように、適切な荷重と温度を加えて、熱圧着を行う。例えばあらかじめ半導体チップ 1 0 とパッケージ基板 2 0 とをはんだの溶融温度以下である約 1 0 0 程度に加熱しておいて、半導体チップ 1 0 を装置側のロードセルで荷重を検出するまで、パッケージ基板 2 0 に押し付けていく。その際、配線 5 0 が突起状で硬い材料のため、はんだ層 3 2 の表面酸化膜を破壊する機能をもたせることが可能となる。

10

20

30

40

50

【 0 1 8 8 】

荷重を検出した後に半導体チップ 10 を固定しているツールの昇温を開始し、はんだ部分の実効温度がはんだの融点を超えるように調整する。その際、ツール側の熱膨張をキャンセルするために、装置には半導体チップ 10 を引き上げつつ、接合部を破壊しないような動作を指示する。半導体チップ 10 とパッケージ基板 20 との間のギャップ G が適切になるように調整を行った後に、ツールを冷却してはんだ層 32 を凝固させて、接合を完了する。この時も同様にツール側が冷却に伴って収縮するため、これをキャンセルするために装置には半導体チップ 10 を押し込むような動作を指示する。荷重検出以降のステップではできる限り半導体チップ 10 とパッケージ基板 20 との間のギャップ G が一定となるように調整することが望ましい。

10

【 0 1 8 9 】

また、接合を良好に行うためには、はんだ層 32 の融点以上に加熱した際に、超音波や機械的振動もしくは、ギ酸等の還元性ガス雰囲気を用いることによって、はんだ層 32 の表面酸化膜を除去する工夫を加えてもよい。

【 0 1 9 0 】

そののち、図 41 に示したように、アンダーフィル樹脂 40 を半導体チップ 10 とパッケージ基板 20 との間に注入する。そののち、キュアを行ってアンダーフィル樹脂 40 を変性、硬化させる。この後の工程は第 6 の実施の形態と同じである。

【 0 1 9 1 】

このようなローカルリフロウ工法を用いる利点としては、第 6 の実施の形態で説明した一括リフロウ工法と異なり、必ずしも半導体チップ 10 とパッケージ基板 20 との温度を等しくしなくてもよいことにある。本実施の形態では、より熱膨張係数の大きいパッケージ基板 20 の温度は半導体チップ 10 側よりも小さくすることが可能なため、はんだ凝固時の冷却過程で発生する熱応力を低減することが可能である。よって、第 2 の実施の形態で説明した開口 60 と組み合わせることによって、フリップチップ実装時の熱応力に対してより強度の高い接合構造を提供することが可能となる。

20

【 0 1 9 2 】

本実施の形態の効果は以下の通りである。はんだを含む複数の電極 30 や複数の配線 50 のシュリンクを行って接続密度を高めたい場合には、一括リフロウ工法による熱処理では発生する熱応力が大きく、接合部が破断してしまうことも想定される。そこで、本実施の形態のように、位置合わせ後に半導体チップ 10 を保持したツールを加熱して熱圧着を行うことが好ましい。熱膨張係数が大きいパッケージ基板 20 側を直接はんだの融点以上まで加熱することなく接合するために、一括リフロウ工法に比べて、パッケージ基板 20 の伸び量が比較的小さく、組立時に発生する熱応力を抑えることが可能になる。この場合、ボールアタッチのリフロウや二次実装のリフロウでは、半導体チップ 10 とパッケージ基板 20 が同じ温度まで加熱される。しかし、それらはアンダーフィル樹脂 40 を注入した後のため、発生する熱応力の一部はアンダーフィル樹脂 40 が分担し、接合部に加わる応力を低減することが可能となる。

30

【 0 1 9 3 】

(第 8 の実施の形態)

なお、上記第 6 の実施の形態では、フラックスによる仮付け後にリフロウ炉で加熱する方法を説明したが、第 7 の実施の形態で説明したような熱圧着工法によって仮付けを行った後に、リフロウ炉で加熱を行い、より合金層の成長を進めて確実に接合する手法を用いてもよい。

40

【 0 1 9 4 】

(第 9 の実施の形態)

また、上記第 7 の実施の形態では、接合プロセス中に半導体チップ 10 を保持するツール側の温度を昇温 / 冷却させるプロセスを説明した。しかしながら、ツール側の温度をはんだ融点以上に固定した状態で熱圧着する工法を用いてもよい。この場合には、はんだ層 32 と配線 50 との接触によって荷重を検出することが難しいので、柱状金属層 31 がソ

50

レジスト層 24 と接触する際の荷重を検出する、または柱状金属層 31 が配線 50 と接触するときの荷重を検出し、その後所望のギャップ G を形成するように、半導体チップ 10 を保持するツールを引き上げる。ただし、はんだ層 32 が溶融した状態のまま保持されるため、表面の酸化膜が成長する。よって窒素雰囲気下で接合を行う等の対策を行うことによって、より良い接合状態を得ることが可能となる。

【0195】

このような工法を用いることによって、第 7 の実施の形態で説明した熱応力を低減できるといったローカルリフローの特徴を生かしながら、ツール側の複雑な昇温・冷却や、ツールの熱膨張に起因した細かいギャップ調整を行わなくてよくなる。従って、装置コストや生産コストをより低減することが可能になる。

10

【0196】

(第 10 の実施の形態)

(半導体装置の製造方法；予めパッケージ基板の上にアンダーフィル樹脂を供給する例)

図 42 ないし図 44 は、本開示の第 10 の実施の形態に係る半導体装置の製造方法を工程順に表したものである。本実施の形態の製造方法は、先にアンダーフィル樹脂 40 をパッケージ基板 20 上に供給するようにしたことにおいて上記第 6 の実施の形態に係る半導体装置の製造方法と異なるものである。

【0197】

なお、以下の説明では、本実施の形態の製造方法により、主として上記第 2 の実施の形態で説明した半導体装置 2 を製造する場合について説明する。しかしながら、本実施の形態の製造方法は、第 2 の実施の形態の半導体装置 2 を製造する場合に限られず、第 1 の実施の形態をはじめとして他の実施の形態または変形例にも適用可能である。

20

【0198】

まず、図 42 に示したように、パッケージ基板 20 の基板本体 21 の表面 21A に、液状の先塗布型アンダーフィル材 (NCP) よりなるアンダーフィル樹脂 40 をディスペンスによって塗布する。NCP としては例えば NCP 5208 (Henkel) を用いることができる。

【0199】

次いで、図 43 に示したように、はんだを含む電極 30 の第 1 電極 30A1 と、接続対象の配線 50A 上の開口 60A1 との位置合わせを行う。

30

【0200】

続いて、図 44 に示したように、第 7 の実施の形態と同様にして適切な温度とツール位置を保持しながら、はんだ層 32 と配線 50 との接合を行う。その際の加熱によってアンダーフィル樹脂 40 は硬化する。

【0201】

例えば、パッケージ基板 20 の温度は 70℃ 一定で加熱しておき、ツール側で 50N の荷重を検出するまで半導体チップ 10 をパッケージ基板 20 に押し付け、240℃ まで昇温し、その後 2.8 秒間保持することにより仮硬化を行う。その後 150℃ で 1.5 時間程度のポストキュアを行い、硬化を完了する。

【0202】

本実施の形態の製造方法の利点は以下のように考えることができる。はんだを含む複数の電極 30 (柱状金属層 31) を狭いピッチで並べた構造では、第 1 の実施の形態のようにはんだを含む複数の電極 30 の大部分をはんだにより構成する場合と比較して、半導体チップ 10 とパッケージ基板 20 との間のギャップ G を広くとることが難しい。理由は、柱状金属層 31 をめっき形成する際に、レジスト開口 16A のアスペクト比が大きくなり、めっき埋め込みが困難になるためである。そこで本実施の形態のように先塗布型のアンダーフィル樹脂 40 を使用すると、柱状金属層 31 の高さが低い場合にも、半導体チップ 10 とパッケージ基板 20 との間のギャップ G にアンダーフィル樹脂 40 を充填することが可能になる。また、接合プロセスの冷却段階で、アンダーフィル樹脂 40 の硬化が開始するので、熱応力を、はんだ層 32 と配線 50 との接合部のみでなく、アンダーフィル樹

40

50

脂 4 0 も分担して受ける。これにより、はんだを含む電極 3 0 と配線 5 0 との接合部が受ける応力を低減し、半導体装置 2 の歩留および信頼性をより向上させることが可能となる。

【 0 2 0 3 】

このように本実施の形態では、パッケージ基板 2 0 上にアンダーフィル樹脂 4 0 を供給したのちに接合を行うようにしたので、第 6 または第 7 の実施の形態で説明した熱圧着プロセスよりも接合部に加わる応力を低減することが可能となる。

【 0 2 0 4 】

すなわち、パッケージ基板 2 0 に液状のアンダーフィル樹脂 4 0 を塗布したのち、半導体チップ 1 0 を加熱圧着し、アンダーフィル樹脂 4 0 がおおよそ硬化した後にツールから半導体チップ 1 0 をリリースする。このような製造方法をとることによって、熱応力が発生する冷却プロセス中にはアンダーフィル樹脂 4 0 が硬化を始めているため、発生する熱応力を、はんだを含む電極 3 0 と配線 5 0 との接合部とアンダーフィル樹脂 4 0 とで分担して受けることになり、接合部に加わる応力を低減することができる。よって、はんだを含む複数の電極 3 0 および複数の配線 5 0 の更なる微細化を実現することが可能になり、より高密度なフリップチップ型の半導体装置 2 を高い歩留と信頼性で提供することが可能となる。

【 0 2 0 5 】

(その他の効果)

以上、各実施の形態およびその効果について説明した。以上の効果は、第 1 ないし第 3 の実施の形態のように単体の半導体チップ 1 0 を実装したフリップチップ型半導体装置に限られない。例えば、第 4 の実施の形態のように複数のメモリパッケージと半導体チップ 1 0 とが一枚のパッケージ基板 2 0 に実装された、M C M (Multi Chip Module) 構造でも同じ効果を発揮することが可能である。

【 0 2 0 6 】

更に、第 5 の実施の形態のようにパッケージ基板 2 0 にフリップチップ接続された半導体チップ 1 0 がモールド樹脂 8 0 で封止された構造では、モールド樹脂 8 0 の硬化収縮によってはんだを含む電極 3 0 と配線 5 0 との接合部に発生する応力は大きくなる傾向がある。変形例 5 - 1 のように半導体チップ 1 0 の裏面にベアチップの半導体チップ 9 0 が搭載され、ワイヤボンディングでパッケージ基板 2 0 と接続されると共にモールド樹脂 8 0 で封止された構造でも同様である。このような構造では、上記各実施の形態のような強度に優れた接合構造をとることで、より高い効果を得ることが可能となる。

【 0 2 0 7 】

また、変形例 5 - 2 のように半導体装置 2 の半導体チップ 1 0 の上に更に他の半導体パッケージ 1 0 0 が搭載された P o P (Package on Package) 構造でも、発揮される効果について変わりはない。

【 0 2 0 8 】

(第 1 1 の実施の形態)

図 4 5 は、本開示の第 1 1 の実施の形態に係る半導体装置の一部を拡大して表したものであり、具体的には、隣接する四本の配線 5 0 (5 0 A, 5 0 B, 5 0 C, 5 0 D) の、チップ配設領域 2 0 A の外周部近傍における平面構成を表している。なお、図 4 5 の上面図では、わかりやすくするために半導体チップ 1 0 およびアンダーフィル樹脂 4 0 を省略しているが、半導体チップ 1 0 は、点線で表した半導体チップ 1 0 のチップ外形線 1 0 A よりも左側の領域に配置されている。

【 0 2 0 9 】

本実施の形態では、はんだを含む複数の電極 3 0 は、第 2 電極 3 0 B を有している。配線 5 0 C は、二つの非連続な配線 5 0 B 1, 5 0 B 2 を有している。第 2 電極 3 0 B は、二つの非連続な配線 5 0 B 1, 5 0 B 2 に対して複数の接続関係を有し、半導体チップ 1 0 のパッケージ基板 2 0 に対する相対位置の移動により複数の接続関係のいずれかを選択可能である。これにより、この半導体装置 1 1 0 では、ワイヤボンディングオプションの

ような接続切り替え機能をフリップチップ型の半導体装置 1 1 0 で実現可能となっている。

【 0 2 1 0 】

ワイヤボンディングオプションとは、ワイヤボンディングによる半導体パッケージにおいて一部のワイヤをボンディングしないことによって、半導体チップに搭載された機能の一部をオン/オフすることをいう。ワイヤボンディングオプションは、同一のパッケージ基板、パッケージプロセスを使用しながら機能の異なる半導体製品をフレキシブルに製造可能にする技術であり、同じ部材を用いながら様々なラインナップの製品を提供できることから広く使用されている。しかしながら、フリップチップ型パッケージ製品の場合には、ウェーハ上の電極はめっきプロセスで作成するために、任意の1バンプのみを作製しないといったことは困難で、ワイヤボンディングオプションのようにフレキシブルに機能を切り替えることは難しかった。そこで、本実施の形態の半導体装置 1 1 0 は、このワイヤボンディングオプションのような接続切り替え機能をフリップチップ型の半導体装置 1 1 0 で実現可能としたものである。

10

【 0 2 1 1 】

ここで、二つの非連続な配線 5 0 B 1 , 5 0 B 2 は、本開示における「少なくとも二つの非連続な第2導電層」の一具体例に対応する。

【 0 2 1 2 】

以上のことを除いては、本実施の形態の半導体装置 1 1 0 は、上記第1または第2の実施の形態と同様の構成、作用および効果を有している。よって、対応する構成要素には同一の符号を付して説明する。

20

【 0 2 1 3 】

配線 5 0 は、例えば、連続な配線 5 0 A , 5 0 C , 5 0 D と、二つの非連続な配線 5 0 B 1 , 5 0 B 2 とを有している。連続な配線 5 0 A , 5 0 C , 5 0 D および二つの非連続な配線 5 0 B 1 , 5 0 B 2 は、例えば第1の実施の形態と同様に、金属配線層 5 1 と表面被膜 5 2 との積層構造を有している。

【 0 2 1 4 】

ソルダレジスト層 2 4 は、配線 5 0 A の上に、開口 6 0 A 1 , 6 0 A 2 を有している。配線 5 0 B 1 の上に、開口 6 0 B 1 を有し、配線 5 0 B 2 の上に、開口 6 0 B 2 を有している。配線 5 0 C の上に、開口 6 0 C 1 , 6 0 C 2 を有している。配線 5 0 D の上に、開口 6 0 D 1 , 6 0 D 2 を有している。開口 6 0 A 1 , 6 0 A 2 , 6 0 B 1 , 6 0 B 2 , 6 0 C 1 , 6 0 C 2 , 6 0 D 1 , 6 0 D 2 は、例えば、第2の実施の形態と同様に構成されている。

30

【 0 2 1 5 】

はんだを含む複数の電極 3 0 は、例えば、第2電極 3 0 B のほか、第3電極 3 0 A , 3 0 C , 3 0 D を有している。第3電極 3 0 A , 3 0 C , 3 0 D は、例えば、第2の実施の形態と同様に、柱状金属層 3 1 とはんだ層 3 2 とを有している。第2電極 3 0 B および第3電極 3 0 A , 3 0 C , 3 0 D は、第1の実施の形態と異なり、冗長配置されていない。すなわち、第2電極 3 0 B は、二つの非連続な配線 5 0 B 1 , 5 0 B 2 に対して一つ設けられている。第3電極 3 0 A , 3 0 C , 3 0 D は、連続な配線 5 0 A , 5 0 C , 5 0 D の各々に対して一つ設けられている。

40

【 0 2 1 6 】

第2電極 3 0 B は、二つの非連続な配線 5 0 B 1 , 5 0 B 2 に対して複数の接続関係を有している。この複数の接続関係は、例えば、第1の接続関係と、第2の接続関係とを含む。第1の接続関係では、図 4 5 に示したように、第2電極 3 0 B が配線 5 0 B 1 に接続される。第2の接続関係では、図 4 6 に示したように、第2電極 3 0 B が配線 5 0 B 2 に接続される。なお、図 4 5 および図 4 6 では、第2電極 3 0 B および第3電極 3 0 A , 3 0 C , 3 0 D の実装位置を点線で表している。

【 0 2 1 7 】

このように、半導体チップ 1 0 をパッケージ基板 2 0 に対して X 方向に、はんだを含む

50

電極 30 の X 方向の電極間ピッチ (例えば 80 μm) だけずらして実装を行うと、第 2 電極 30 B が二つの非連続な配線 50 B 1, 50 B 2 のいずれかに接続される。例えば、配線 50 B 1 がパッケージ基板 20 内でどこにも接続されずに終端処理されている場合には、ワイヤボンディングオプションではワイヤを接続しなかった場合と同様の効果が得られる。

【0218】

なお、第 3 電極 30 A は、第 2 電極 30 B の接続関係の切り替えにかかわらず、開口 60 A 1, 60 A 2 のいずれかにおいて同一の連続した配線 50 A に接続可能である。開口 60 A 1, 60 A 2 は、第 3 電極 30 A の配線 50 A に対する接続位置の変更に応じた個数および間隔で設けられている。他の第 3 電極 30 C, 30 D についても同様である。

10

【0219】

このように本実施の形態では、パッケージ基板 20 の構成をわずかに変更することにより、ワイヤボンディングオプションのような接続切り替え機能をフレキシブルに実現可能となる。また、実装位置の変更は例えば 80 μm で足りるので、パッケージ基板 20 の全体のサイズから見るとわずかな変更であり、外観上の変更もほぼ発生しない。

【0220】

なお、上記第 11 の実施の形態では、第 2 電極 30 B および第 3 電極 30 A, 30 C, 30 D が冗長配置されていない場合について説明した。しかしながら、例えば第 3 電極 30 A に代えて、第 1 の実施の形態と同様に、二つの第 1 電極 30 A 1, 30 A 2 を設けることも可能である。その場合には、配線 50 A 上に三つの開口 60 を設けておくことにより、第 2 電極 30 B の接続関係の切り替えにかかわらず、第 1 電極 30 A 1, 30 A 2 を同一の連続した配線 50 A に接続可能となる。他の第 3 電極 30 C, 30 D についても同様である。

20

【0221】

以上、実施の形態を挙げて本開示を説明したが、本開示は上記実施の形態に限定されるものではなく、種々の変形が可能である。

【0222】

例えば、上記実施の形態において説明した各層の形状、材料および厚み、または成膜方法等は限定されるものではなく、他の形状、材料および厚みとしてもよく、または他の成膜方法としてもよい。

30

【0223】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

【0224】

本技術は以下のような構成もとることができる。

(1)

半導体チップと、前記半導体チップが配設されるパッケージ基板とを備え、

前記半導体チップは、チップ本体と、前記チップ本体の素子形成面に設けられたはんだを含む複数の電極とを有し、

前記パッケージ基板は、基板本体と、前記基板本体の表面に設けられた少なくとも一つの導電層およびソルダレジスト層とを有し、

40

前記ソルダレジスト層は、前記基板本体の表面および前記少なくとも一つの導電層の上に連続層として設けられると共に、前記少なくとも一つの導電層の各々の上に少なくとも一つの開口を有し、

前記はんだを含む複数の電極は、電源供給機能以外の同一機能を有する二つ以上の第 1 電極を含み、

前記少なくとも一つの導電層は、連続な第 1 導電層を含み、

前記二つ以上の第 1 電極は、前記連続な第 1 導電層に接続され、

前記少なくとも一つの開口は、前記二つ以上の第 1 電極の各々に対向して設けられている

50

半導体装置。

(2)

前記二つ以上の第 1 電極は、前記連続な第 1 導電層に沿って、互いに隣接する位置に配置されている

前記 (1) 記載の半導体装置。

(3)

前記はんだを含む複数の電極は、第 2 電極を含み、

前記少なくとも一つの導電層は、少なくとも二つの非連続な第 2 導電層を含み、

前記第 2 電極は、前記少なくとも二つの非連続な第 2 導電層に対して複数の接続関係を有し、前記半導体チップの前記パッケージ基板に対する相対位置の移動により前記複数の接続関係のいずれかを選択可能である

10

前記 (1) または (2) 記載の半導体装置。

(4)

前記複数の接続関係は、

前記第 2 電極を前記少なくとも二つの非連続な第 2 導電層のうちの一つに接続する第 1 の接続関係と、

前記第 2 電極を前記少なくとも二つの非連続な第 2 導電層のうち他の一つに接続する第 2 の接続関係と

を含む前記 (3) 記載の半導体装置。

(5)

20

前記はんだを含む複数の電極は、前記半導体チップの外周部に設けられ、

前記パッケージ基板は、前記基板本体の中央部にチップ配設領域を有し、

前記少なくとも一つの導電層は、複数の配線を含み、

前記複数の配線は、前記チップ配設領域の外周部から前記基板本体の外側または内側に向かって伸びていると共に前記チップ配設領域の各辺において互いに平行に配置されている

前記 (1) ないし (4) のいずれかに記載の半導体装置。

(6)

前記少なくとも一つの開口は、前記少なくとも一つの開口内の前記配線の上面および側面の高さ方向の一部または全部を露出させ、

30

前記はんだを含む複数の電極の各々は、前記少なくとも一つの開口内の前記配線の露出した部分を被覆している

前記 (5) 記載の半導体装置。

(7)

前記少なくとも一つの開口は、前記少なくとも一つの開口内の前記配線の長手方向に長い平面形状を有し、前記少なくとも一つの開口の長さは、前記パッケージ基板の熱膨張係数に応じて調整されている

前記 (5) または (6) 記載の半導体装置。

(8)

前記はんだを含む複数の電極の各々は、前記チップ本体の側から、柱状金属層と、はんだ層とを順に有し、

40

前記柱状金属層は、前記はんだ層を構成するはんだよりも高い融点をもつ金属により構成されている

前記 (1) ないし (7) のいずれかに記載の半導体装置。

(9)

前記柱状金属層の高さは、前記はんだ層の高さよりも大きい

前記 (8) 記載の半導体装置。

(10)

前記はんだ層の体積は、前記少なくとも一つの開口の容積よりも大きい

前記 (8) または (9) 記載の半導体装置。

50

(1 1)

前記少なくとも一つの開口の長さは、以下の式 1 を満たす

$$L > (a - 3.5) * D * (T - 25) * 10^{-6} + d \quad \dots \text{式 1}$$

(式 1 において、L は、前記少なくとも一つの開口の長さ (mm)、a は、前記パッケージ基板の等価熱膨張係数 (ppm/)、D は、前記少なくとも一つの開口の中心の前記パッケージ基板の中心からの距離 (mm)、T は、前記はんたの融点 ()、d は、前記はんたを含む複数の電極の各々の径をそれぞれ表す。)

前記 (7) ないし (1 0) のいずれかに記載の半導体装置。

(1 2)

前記複数の配線の各々は、

主として銅 (Cu) により構成された金属配線層と、

前記金属配線層の表面のうち前記少なくとも一つの開口内に露出した領域を覆う表面被膜と

を有する前記 (4) ないし (1 1) のいずれかに記載の半導体装置。

(1 3)

前記表面被膜は、Ni - Auめっき層またはNi - Pd - Auめっき層により構成されている

前記 (1 2) 記載の半導体装置。

(1 4)

前記柱状金属層は、銅 (Cu) または銅 (Cu) とニッケル (Ni) との積層膜により構成され、

前記はんた層は、スズ (Sn) またはSn - Agにより構成されている

前記 (8) ないし (1 0) のいずれかに記載の半導体装置。

(1 5)

前記柱状金属層は、銅 (Cu) または銅 (Cu) とニッケル (Ni) との積層膜により構成され、

前記はんた層は、インジウム (In) またはIn - Agにより構成されている

前記 (8) ないし (1 0) のいずれかに記載の半導体装置。

(1 6)

チップ本体の素子形成面にはんだを含む複数の電極を有する半導体チップを、基板本体の表面に少なくとも一つの導電層およびソルダレジスト層を有するパッケージ基板に対して位置決めすることと、

前記半導体チップを前記パッケージ基板に対して仮付けすることと、

リフロ加熱により前記はんたを含む複数の電極と前記少なくとも一つの導電層とを接続することと、

前記半導体チップと前記パッケージ基板との間にアンダーフィル樹脂を注入したのち前記アンダーフィル樹脂を硬化させることと

を含み、

前記ソルダレジスト層を、前記基板本体の表面および前記少なくとも一つの導電層の上に連続層として設けると共に、前記少なくとも一つの導電層の各々の上に少なくとも一つの開口を設け、

前記はんたを含む複数の電極を、電源供給機能以外の同一機能を有する二つ以上の第 1 電極を含んで形成し、

前記少なくとも一つの導電層を、連続な第 1 導電層を含んで形成し、

前記二つ以上の第 1 電極を、前記連続な第 1 導電層に接続し、

前記少なくとも一つの開口を、前記二つ以上の第 1 電極の各々に対向して設ける

半導体装置の製造方法。

(1 7)

チップ本体の素子形成面にはんだを含む複数の電極を有する半導体チップを、基板本体の表面に少なくとも一つの導電層およびソルダレジスト層を有するパッケージ基板に対し

10

20

30

40

50

て位置決めすることと、

前記半導体チップを前記パッケージ基板に対して前記はんだの融点以上に加熱および圧着することにより前記はんだを含む複数の電極と前記少なくとも一つの導電層とを接続することと、

前記半導体チップと前記パッケージ基板との間にアンダーフィル樹脂を注入したのち前記アンダーフィル樹脂を硬化させることと

を含み、

前記ソルダレジスト層を、前記基板本体の表面および前記少なくとも一つの導電層の上に連続層として設けると共に、前記少なくとも一つの導電層の各々の上に少なくとも一つの開口を設け、

前記はんだを含む複数の電極を、電源供給機能以外の同一機能を有する二つ以上の第1電極を含んで形成し、

前記少なくとも一つの導電層を、連続な第1導電層を含んで形成し、

前記二つ以上の第1電極を、前記連続な第1導電層に接続し、

前記少なくとも一つの開口を、前記二つ以上の第1電極の各々に対向して設ける半導体装置の製造方法。

(18)

基板本体の表面に少なくとも一つの導電層およびソルダレジスト層を有するパッケージ基板の上に、アンダーフィル樹脂を供給することと、

チップ本体の素子形成面にはんだを含む複数の電極を有する半導体チップを、前記パッケージ基板に対して位置決めすることと、

前記半導体チップを前記パッケージ基板に対して前記はんだの融点以上に加熱および圧着することにより前記はんだを含む複数の電極と前記少なくとも一つの導電層とを接続すると共に、前記アンダーフィル樹脂を硬化させることと

を含み、

前記ソルダレジスト層を、前記基板本体の表面および前記少なくとも一つの導電層の上に連続層として設けると共に、前記少なくとも一つの導電層の各々の上に少なくとも一つの開口を設け、

前記はんだを含む複数の電極を、電源供給機能以外の同一機能を有する二つ以上の第1電極を含んで形成し、

前記少なくとも一つの導電層を、連続な第1導電層を含んで形成し、

前記二つ以上の第1電極を、前記連続な第1導電層に接続し、

前記少なくとも一つの開口を、前記二つ以上の第1電極の各々に対向して設ける半導体装置の製造方法。

【0225】

本出願は、日本国特許庁において2014年6月27日に出願された日本特許出願番号2014-132335号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

【0226】

当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

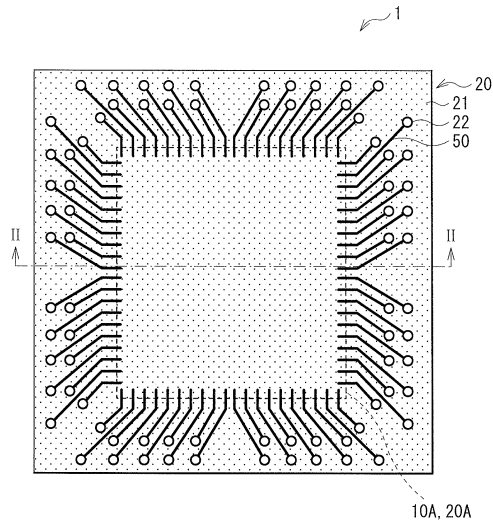
10

20

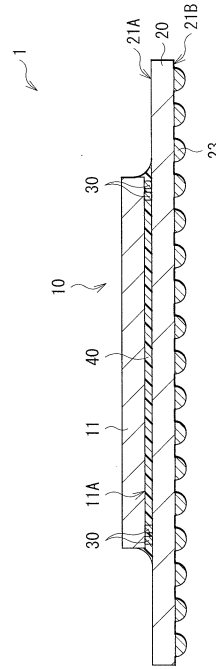
30

40

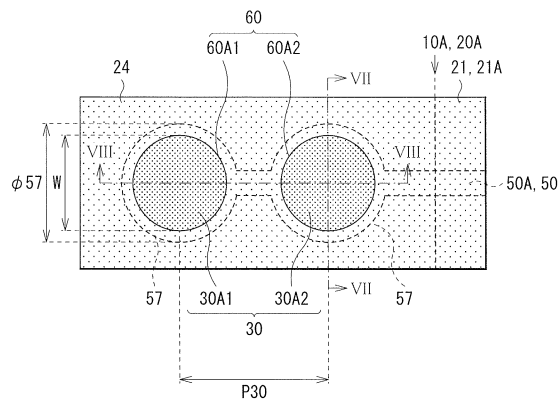
【図1】



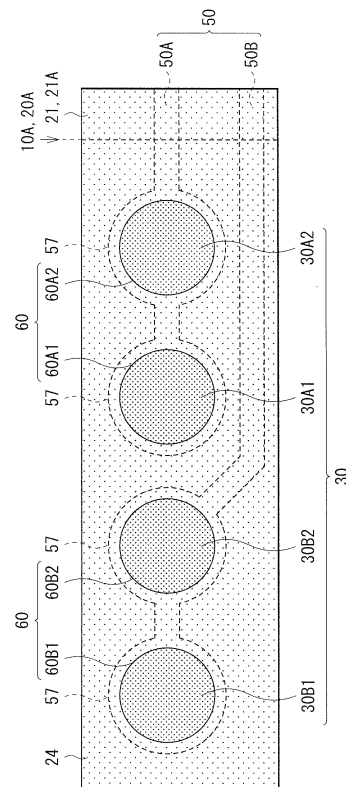
【図2】



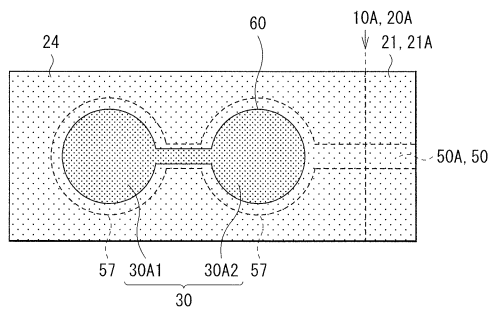
【図3】



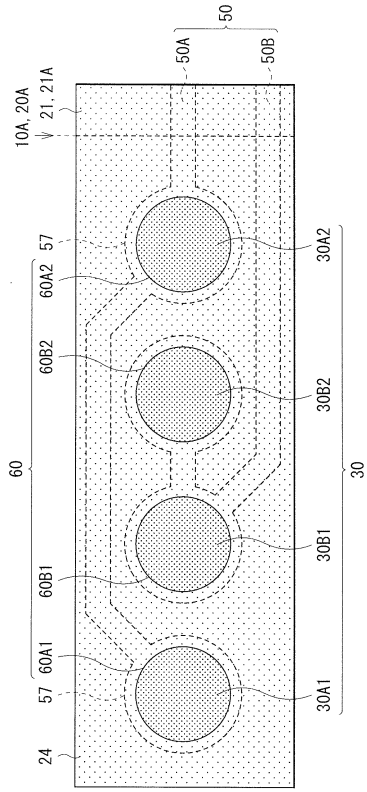
【図5】



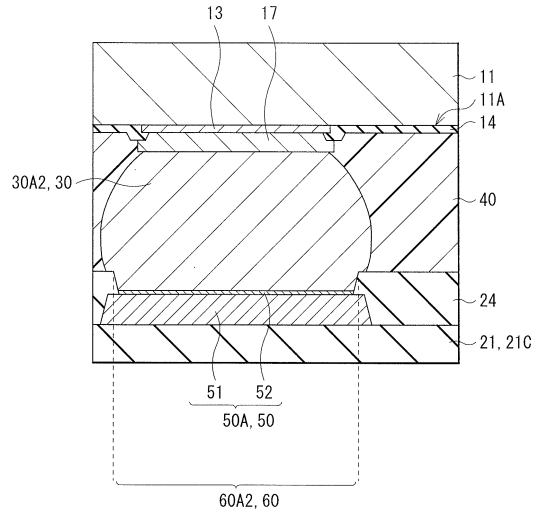
【図4】



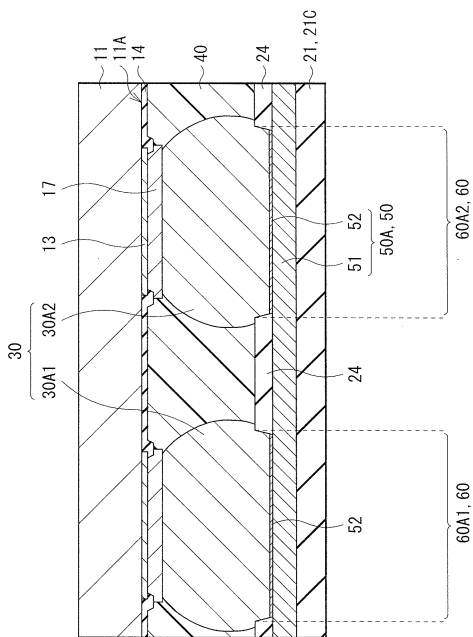
【図6】



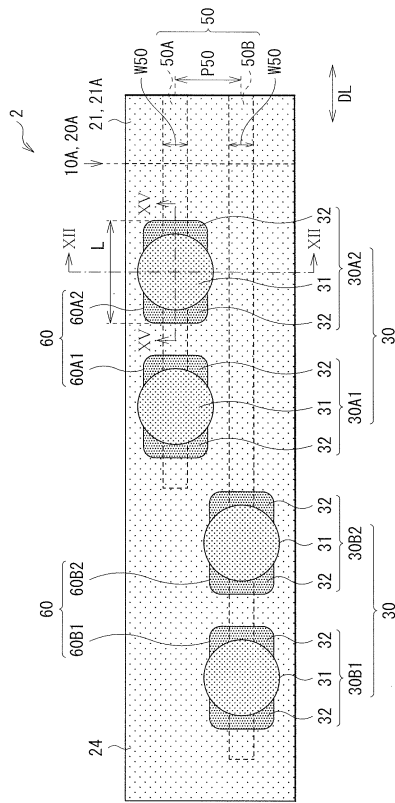
【図7】



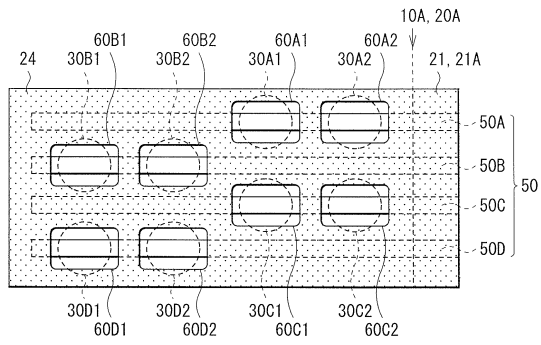
【図8】



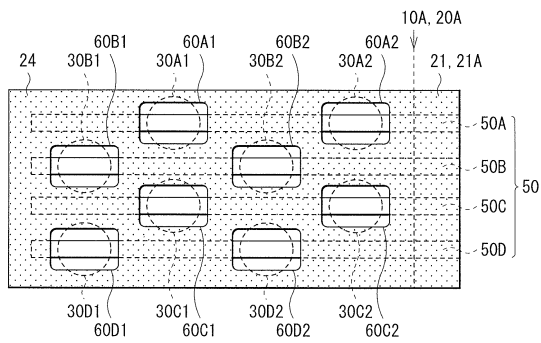
【図9】



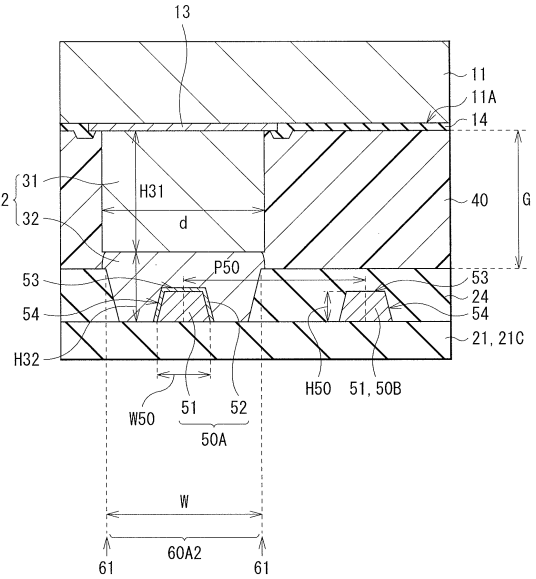
【図10】



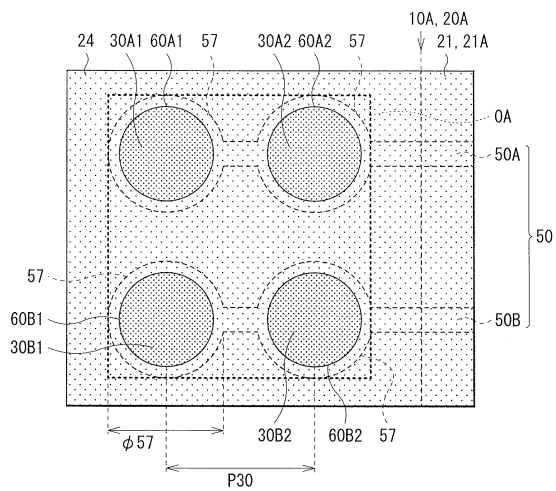
【図11】



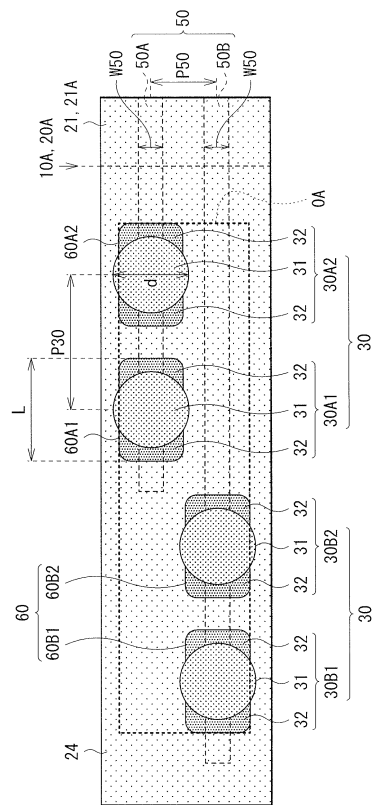
【図12】



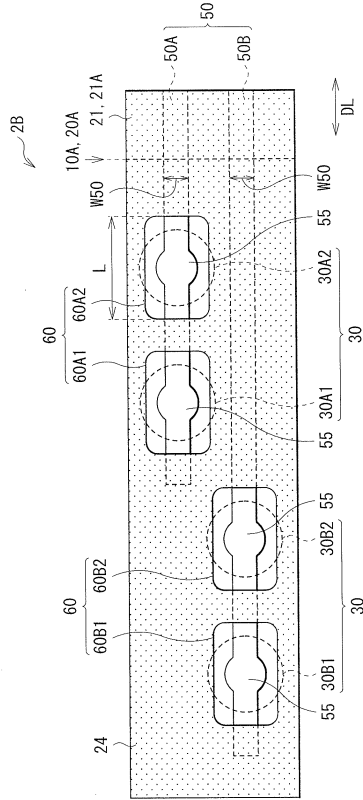
【図13】



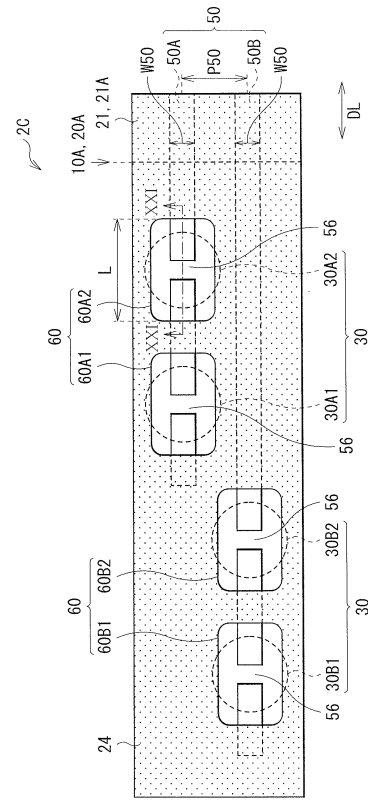
【図14】



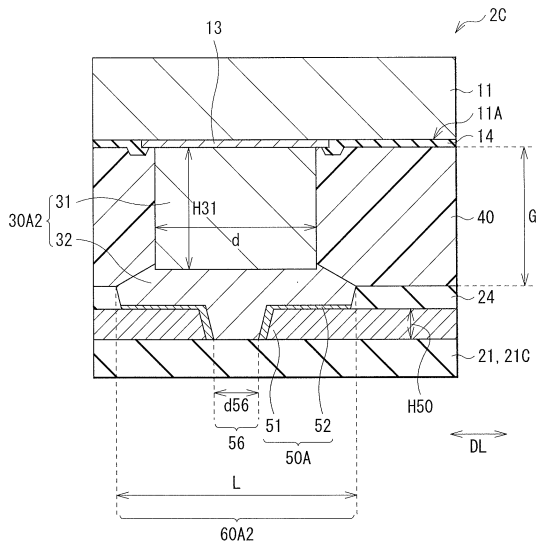
【図 19】



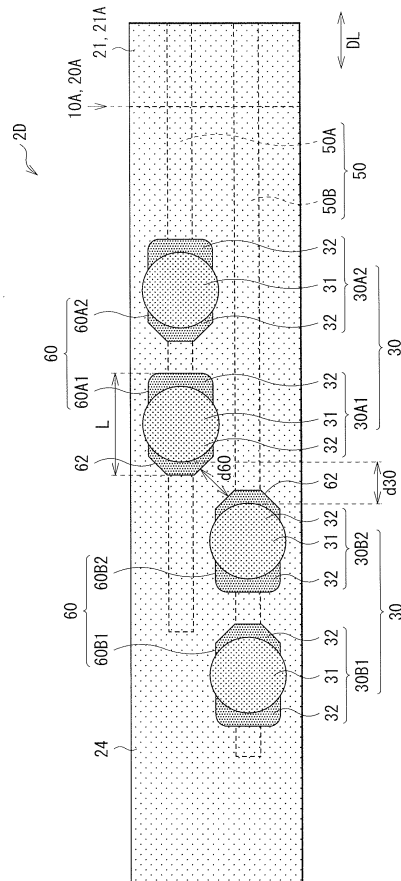
【図 20】



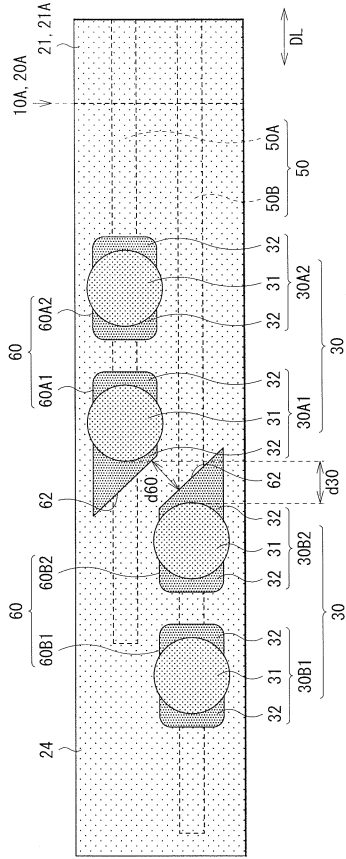
【図 21】



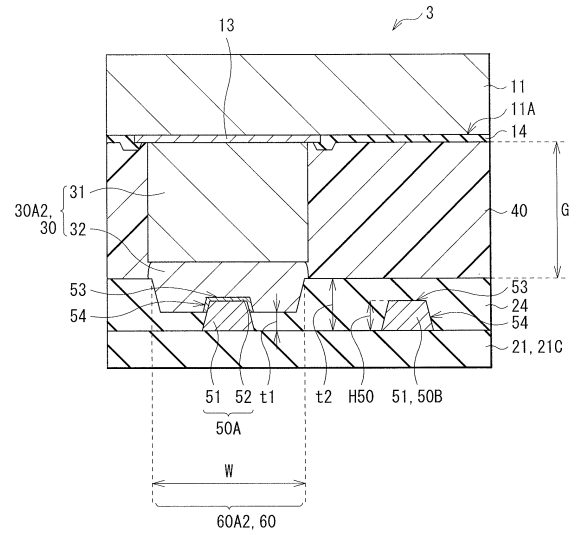
【図 22】



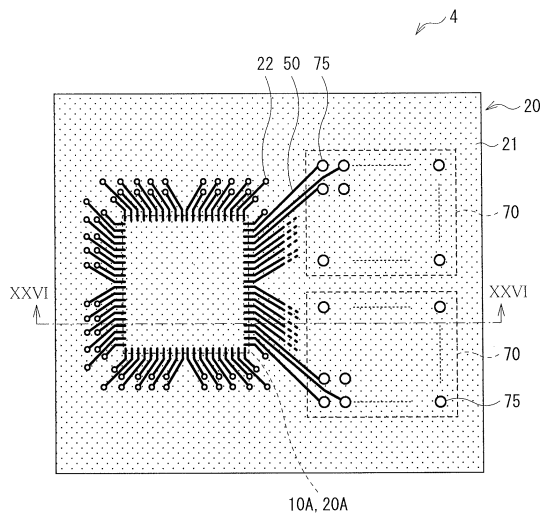
【図 2 3】



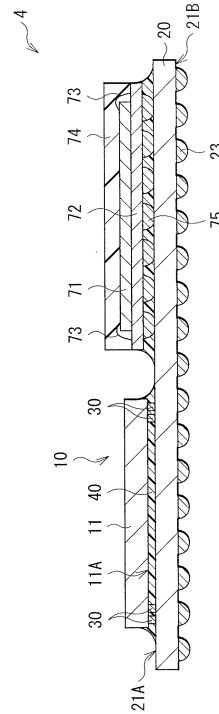
【図 2 4】



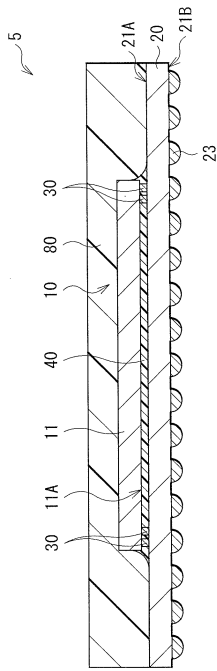
【図 2 5】



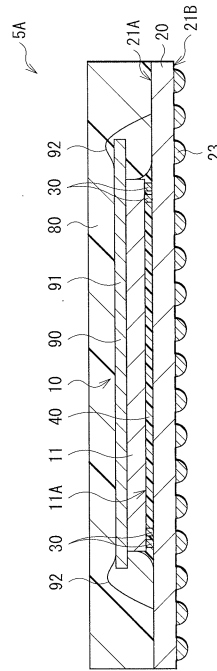
【図 2 6】



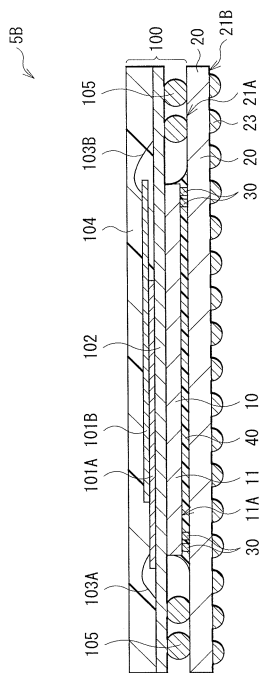
【図 27】



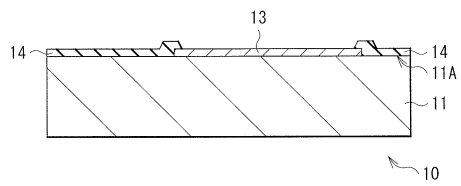
【図 28】



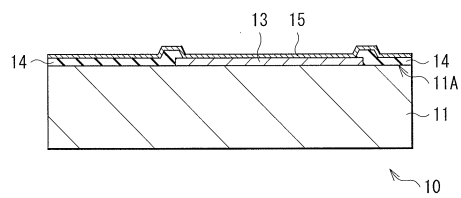
【図 29】



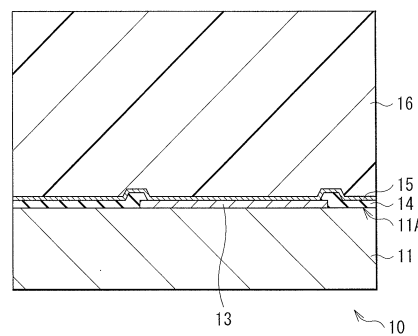
【図 30】



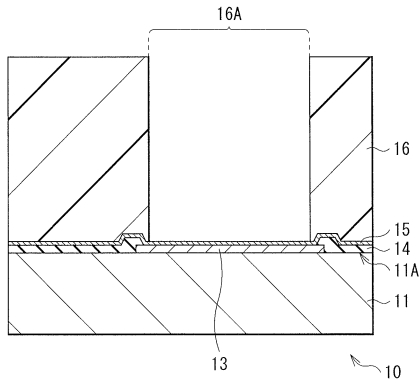
【図 31】



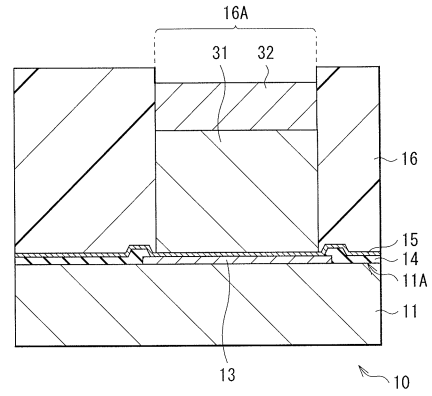
【図 32】



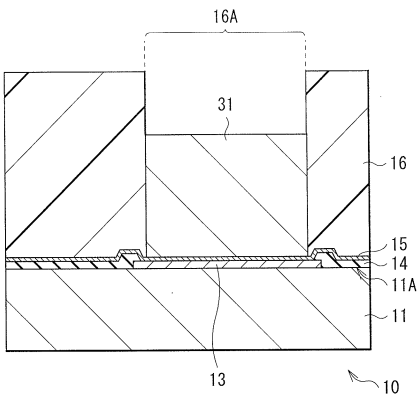
【図33】



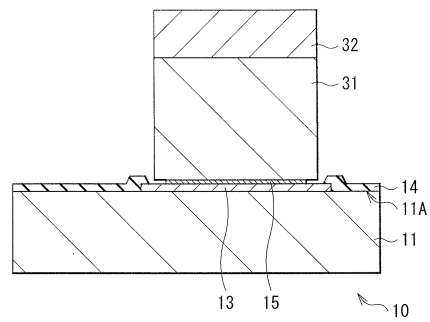
【図35】



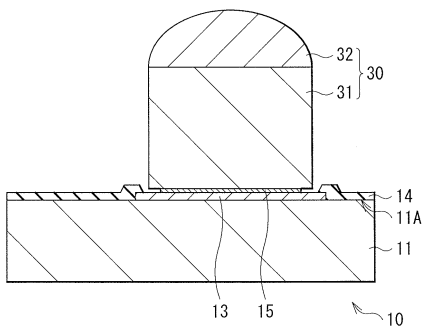
【図34】



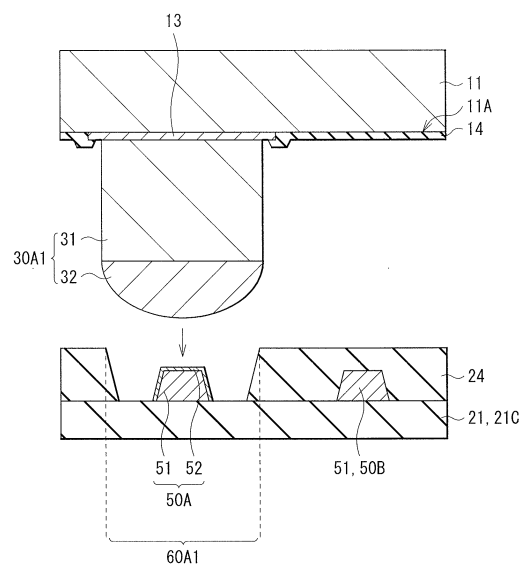
【図36】



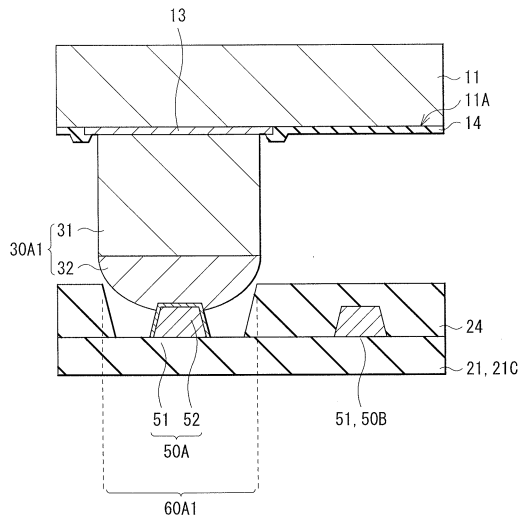
【図37】



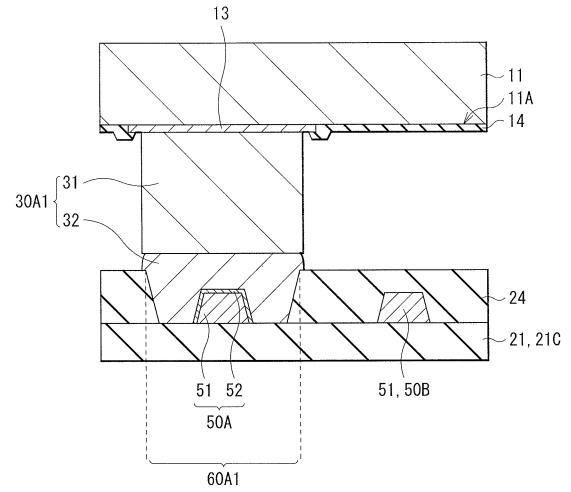
【図38】



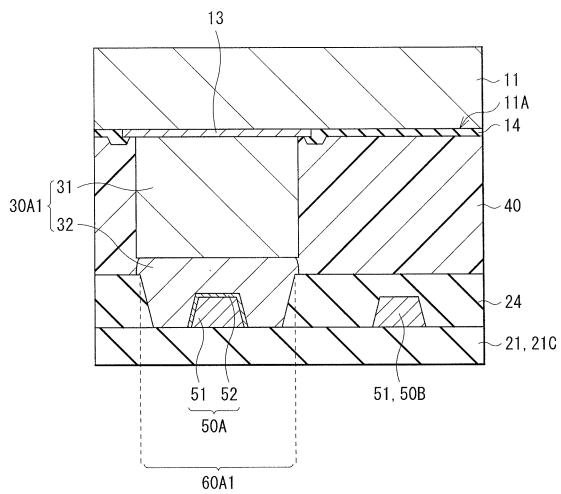
【図 39】



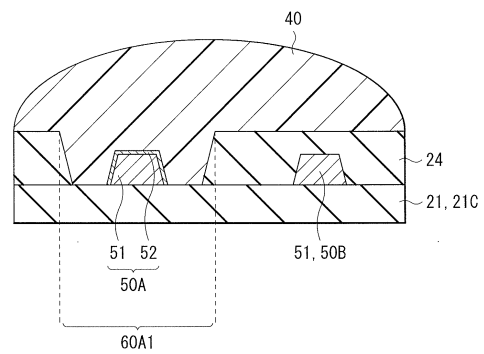
【図 40】



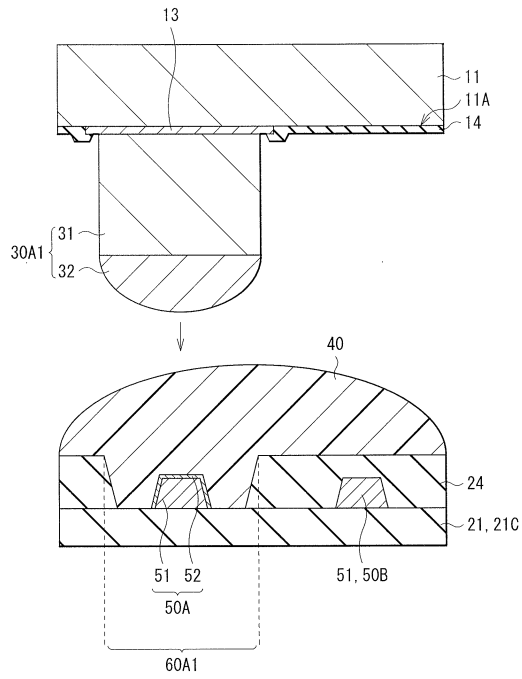
【図 41】



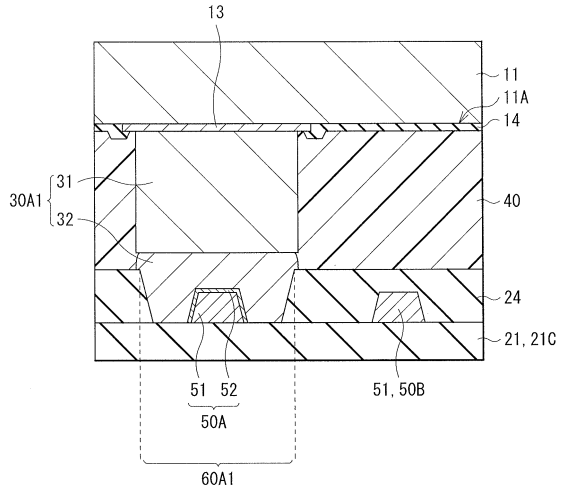
【図 42】



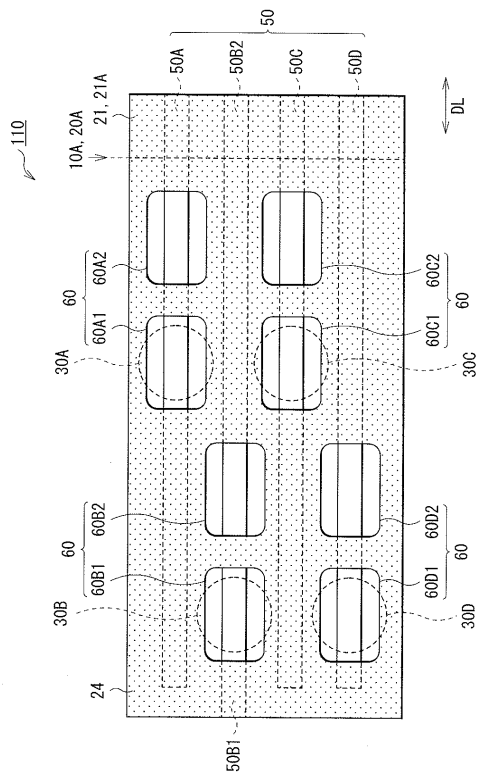
【 図 4 3 】



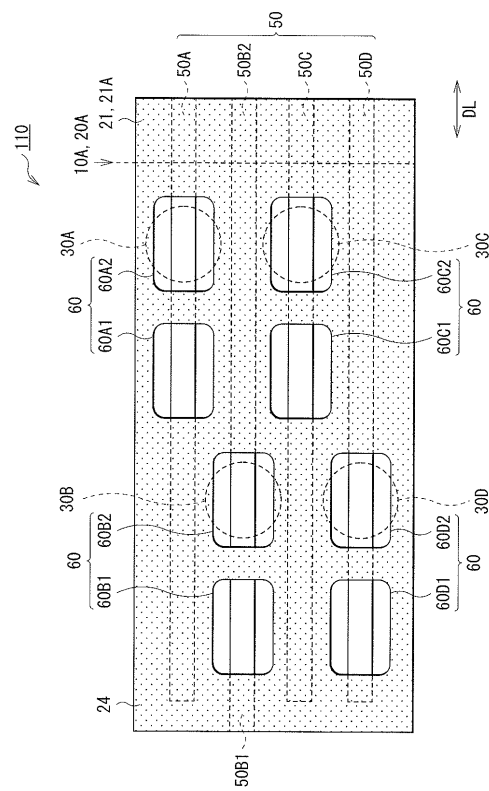
【 図 4 4 】



【 図 4 5 】



【 図 4 6 】



フロントページの続き

- (72)発明者 高岡 裕二
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 今井 誠
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 天野 茂樹
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 平野 崇

- (56)参考文献 特開2008-227050(JP,A)
特開2007-194598(JP,A)
特開2013-065673(JP,A)
特開平09-027661(JP,A)
特開2005-051240(JP,A)
特開平11-238833(JP,A)
特許第2695893(JP,B2)
特開2008-244180(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60
H01L 25/065
H01L 25/07
H01L 25/10
H01L 25/18