



[12] 发明专利申请公开说明书

[21] 申请号 01802450.5

[43] 公开日 2003 年 4 月 16 日

[11] 公开号 CN 1411607A

[22] 申请日 2001.8.9 [21] 申请号 01802450.5

[30] 优先权

[32] 2000. 8. 18 [33] US [31] 09/642,074

[86] 国际申请 PCT/EP01/09280 2001. 8. 9

[87] 国际公布 WO02/17356 英 2002. 2. 28

[85] 进入国家阶段日期 2002. 4. 17

[71] 申请人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 R·V·安纳普拉加达

[74] 专利代理机构 中国专利代理(香港)有限公司

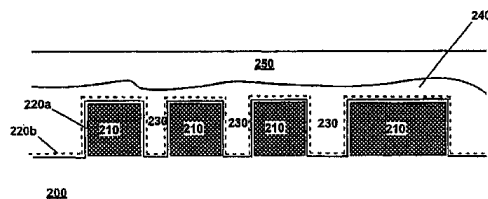
代理人 吴立明 梁 永

权利要求书 2 页 说明书 4 页 附图 2 页

[54] 发明名称 把 MSQ 粘附到衬里氧化物的方法和结构

[57] 摘要

在半导体基板上沉积衬里电介质的方法保证了用亚微米工艺在金属层之中低介电常数旋压材料的足够的粘附。在实施例中,该方法保证把 MSQ 粘附在衬里氧化物在半导体基板上的铝合金层上。首先,将基板放入 PECVD 环境中。把三甲基硅烷和 N₂O 的气体混合物导入 PECVD 环境中,三甲基硅烷与 N₂O 的比例大约为 1:20-1:30。气体混合物起反应,沉积一预定厚度的氧化物衬里。把三甲基硅烷与 N₂O 气体混合物的比例调到大约 1:3-1:7,经过 5-20 秒钟,持续反应,由此沉积甲基掺杂氧化物。



1. 一种半导体器件，该器件包括形成图案的金属层、第一衬里电介质层、第二衬里电介质层和旋压电介质层，第二衬里电介质层比第一衬里电介质层具有对金属更小的化学亲和力和对旋压电介质层更强的化学亲和力。
2. 依据权利要求1的半导体器件，其特征在于第一衬里电介质从一组二氧化硅、富硅氧化物和 Si_xO_y 中选取，其中 $x=1$ ， $0.48 < y < 2$ ，且第二衬里电介质是甲基掺杂氧化物。
3. 依据权利要求1或2的半导体器件，其特征在于在第一和第二衬里电介质层之间存在过渡层，该过渡层成份从第一衬里电介质到第二衬里电介质进行变化，成份变化方向为从金属层到旋压电介质层。
4. 依据权利要求1—3的半导体器件，其中第一和第二衬里电介质层的每一个厚度范围在5—100 nm。
5. 依据权利要求3或4的半导体器件，其中过渡层厚度范围在10—200nm。
6. 依据权利要求1或2的半导体器件，其特征在于旋压电介质包括至少下列之一：甲基硅倍半氧烷，氢硅倍半氧烷。
7. 一种制造半导体器件的方法，其中将旋压电介质粘附于金属层的方法，该方法的特征在于包括如下步骤：
在金属层上沉积第一衬里电介质层；
在第一衬里电介质层上形成过渡层；
在过渡层上沉积第二衬里电介质层；
提供旋压电介质，第二衬里电介质比第一衬里电介质具有对金属较弱的化学亲和力和对旋压电介质较强的化学亲和力。
8. 如权利要求7所要求的方法，其特征在于第一和第二衬里电介质层是使用前体气体，由增强型等离子体化学汽相沉积（PECVD）或化学汽相沉积（CVD）来沉积，前体气体与氧化氮（ N_2O ）按预先确定的比例混合而成。
9. 如权利要求8所要求的方法，其特征在于将产生第一衬里电介质的预定比例逐渐变化到产生第二衬里电介质，由此形成过渡层。
10. 根据权利要求9的方法，其中为了形成第一衬里电介质，前

体气体与 N_2O 的预定比例范围在 1:20—1:30，为了形成第二衬里电介质，其预定比例范围在 1:3—1:7。

把 MSQ 粘附到衬里氧化物的方法和结构

发明领域

- 5 一般而言，本发明针对半导体器件的制造。具体而言涉及提供把甲基硅倍半氧烷（MSQ）膜粘附到衬里氧化物的改进的工艺。

发明背景

- 当器件尺寸降到亚微米水平时，电气特性变得非常显著，如在尺寸为数微米器件中可忽略的电容。例如，在亚 $0.2 \mu\text{m}$ 工艺里，低介电常数（例如“low K”）材料已有了更新的意义。

加工亚微型器件的目的是在栅-源和栅-漏电容最小化的同时保持栅电容的水平。当氧化物被做得很薄时。电容就增加，如下面关系式：

$$C_{ox} = \frac{\epsilon_o \epsilon_{SiO_2}}{t_{ox}} \cdot A,$$

- 15 其中：A=栅极面积

ϵ_{SiO_2} = 介电常数（或 SiO_2 相对介电常数取 3.9）

t_{ox} = 氧化物厚度

- 由于米勒效应，在切换过程中，栅-漏电容被放大，栅-漏电容对晶体管性能尤其关键。例如在一系列的逻辑阶段中，对前逻辑阶段的等效电容负载为栅-源电容乘以 1 加上晶体管增益。如果晶体管具有增益为 100，观察到的输入电容为 101 乘以栅-漏电容。当然，最好是不改变增加电容的参数。因此，使用具有更低的介电常数的电介质降低了电容。在整个集成电路设计中使用更低 K 材料是有利的，该设计可能使寄生电容最小化。

- 25 对亚 0.25 微米和更小的器件的低 K 材料的需求已经更新了旋压电介质如甲基硅倍半氧烷（MSQ）和氢硅倍半氧烷（HSQ）的意义。MSQ 的介电常数为 ~ 2.9 。MSQ 的经验公式是 $CH_3SiO_{1.5}$ 。在碱性的 O-Si-O 主架上附加有机侧基，其结果改善了该膜的抗裂性。该结构比 SiO_2 具有较低的密度，因此有较低的介电常数。

- 30 在一个工艺例子中，要使 MSQ 一体化变成一种低 K 的电介质是困

难的。由于表面甲基基团的存在，MSQ 和 PECVD（增强的等离子体化学汽相沉积）氧化物不能很好地相互粘附。该材料中有效的甲基含量高达约 25%。甲基基团的存在使该膜具有疏水性，因为通过破坏 Si—CH₃ 键而形成 SiOH 键是困难的。

5 图 1 描绘了有 110 条金属丝的基板 100。MSQ130 从衬里氧化物 120 的剥离可能降低器件的性能。

这就需要保证 MSQ 与 PECVD 氧化物的粘附，能用这种低 K 材料防止剥离，以改进器件合格率和产品性能。

发明概述

10 本发明要用很多实施例来说明，下面简述其中之一。当把 MSQ 用作间隙填充材料时要获得 MSQ 与铝合金的足够粘附是困难的。用衬里电介质可以改善粘附，该电介质一方面呈现与铝有良好的粘附，还与 MSQ 也有良好的粘附。无论如何，如果衬里电介质与 MSQ 之间有突变的界面，MSQ 层可能会剥离。在二氧化硅与甲基掺杂氧化物之间的衬里电
15 介质上制成过渡层，每个膜分别与铝合金和 MSQ 提供足够的粘附。

在半导体基板上沉积衬里电介质的方法保证了低 K 旋压材料的足够粘附。在实施例中，在半导体基板上有一种往金属层上粘附旋压电介质的方法。第一预定厚度的衬里电介质被沉积在金属层上。衬里电介质与金属层有化学亲和力。第二预定厚度的过渡层形成于衬里电
20 介质上；过渡层与金属层有较小的化学亲和力，随着过渡层厚度的增加，它与旋压电介质的化学亲合力也增加。第三预定厚度的衬里电介质被沉积在过渡层上；衬里电介质与旋压电介质有化学亲和力。

在另一个实施例中，粘附硅倍半环氧乙烷化合物的方法提供了在半导体基板上铝合金金属层上的衬里电介质，该方法包括把半导体基
25 板放在 CVD 环境中。含有前体气体和 N₂O 的气体混合物导入 CVD 环境中。预先确定前体气体和 N₂O 的比例。气体混合物发生反应，以沉积预定厚度的衬里电介质。该实施方案的另一个特点是：在气体混合物反应期间，前体气体与 N₂O 的比例可以调节，以便把二氧化硅沉积在第一预定厚度的铝合金金属层上。通过再调节前体气体与 N₂O 的比例，第二
30 预定厚度的甲基掺杂氧化物沉积在第一预定厚度的二氧化硅上。因此，该实施方案另一个特点就是：再调节前体气体与 N₂O 的比例，在从二氧化硅区到甲基掺杂氧化物区的衬里电介质里产生一个过渡层。

本发明以上概述并不打算叙述本发明的每个公开的实施方案或各方面。本发明的其它方面和实施例由下面的附图和详细描述给出。

附图简要描述

5 通过对本发明相关附图的不同实施方案的详细描述，可以更完整地了解本发明。其中：

图 1 是描述 MSQ 从衬里氧化物剥离的器件结构的剖面图；

图 2A 是在衬里氧化物沉积处器件结构的剖面图；

图 2B 是根据本发明的实施方案在衬里氧化物上形成甲基掺杂氧化物过渡层之后的图 2A；

10 图 2C 描述 MSQ 沉积之后的图 2B；以及

图 2D 描述覆盖氧化物之后的图 2C。

然而，本发明对各种变更和可变的的形式很敏感，所以通过附图中的例子，已经显示了具体的实施方案，并在这里进行详细说明。

详细说明

15 本发明已经找到在衬里氧化物和 MSQ 旋压材料之间提供更可靠的粘附方面有关的有用的、便利的方法。在下面讨论中，用 MOS 结构来描述本发明的实施例。然而，本发明并不局限于此。

在依据本发明的实例工艺中，在半导体基板上沉积衬里氧化物之后，在其上形成过渡层。过渡层为 MSQ 和衬里氧化物之间提供了桥梁。
20 在过渡层与衬里氧化物接触的一面，其物理性质和化学性质与衬里氧化物类似。在过渡层与 MSQ 接触的另一面，过渡层的化学性质和物理性质与 MSQ 类似。因为过渡层里的这些性质与 MSQ/过渡层和衬里氧化物/过渡层界面处的性质相匹配，所以在随后的处理界面之间性质失配时不存在界面突变问题。图 2A—2D 描述了一系列改进 MSQ 与衬里氧化物
25 粘附的步骤。

参见图 2A，半导体基板 200 处于制作金属沉积阶段，在组件下面，如晶体管、电阻（未示出）用金属丝 210 相互连接。每个设计规则都要求给定的工艺，各金属丝 210 相互间至少要隔开最小的距离。金属丝之间的间隔 230 一般用电介质填充。当器件尺寸减小时，需要把电
30 容减到最小，且使用低 K 电介质如 MSQ 或 HSQ。

根据本发明的一个实施例，在使用旋压电介质之前，把半导体基板放在增强型等离子体化学汽相沉积（PECVD）室里。过渡衬里氧化物

可使用三甲基硅烷或四甲基硅烷作为形成甲基掺杂氧化膜的前体而制成。基板上无论是沉积氧化物还是甲基掺杂氧化物，均由三甲基硅烷与 N_2O 的比例决定。在高的 N_2O 流量下，形成二氧化硅层 220a，并以约 250\AA 的厚度镀到铝金属上。二氧化硅对铝金属丝粘附良好。

5 依靠沉积工艺化学，硅—氧比例可以改变。例如，本工艺可以形成“富硅”氧化物， SiO 。为了计入化学计量学的变化，把公式描述成 Si_xO_y 是合适的。

参见图 2B，在沉积的后期， N_2O 逐渐减少，在衬里形成 250\AA 的甲基掺杂氧化物 220b。二氧化硅 220a 和甲基掺杂氧化物 220b 之间的过渡是渐进的。沉积后，基板从室内移出。

在另一个工艺例子里，二氧化硅层 220a 在分离室里形成，甲基掺杂氧化物 220b 可在另一个分离室内形成。

15 完成氧化物 220a 和甲基掺杂氧化物 220b 的过渡衬里氧化物沉积，可使用旋压 MSQ 或 HSQ。参考图 2C。MSQ 层 240 填充金属丝 210 之间的间隙 230。参考图 2D。在 MSQ 层 240 上，用氧化层 250 覆盖。遵照具体工艺要求，氧化物罩层 240 被平整，以使器件可被进一步处理。若在器件的设计中使用另一个金属层，可重复前面提到的工艺，以使低 K 电介质在金属丝之间应用。

20 根据本发明的一个工艺例子，PECVD 室可以是许多生产厂商诸如 Applied Materials 或 Novellus 的产品。在温度约为 150°C — 400°C ，压力约 2—10 托，RF 功率范围约在 50—250 瓦的情况下， SiO_2 被沉积在金属上。 SiO_2 是由一种前体气体，三甲基硅烷 $SiH(CH_3)_3$ 或四甲基硅烷 $SiH(CH_3)_4$ 与 N_2O 以约 1:20—1:30 的比例结合而制备成的。前体气体流量率约为 10—60 sccm，和约 200—1800 sccm。在衬里氧化物沉积了约 100 — 1000\AA 后，气体混合物过渡需经过 3—25 秒钟。

完成过渡后，沉积甲基掺杂氧化物。前体气体三甲基硅烷， $SiH(CH_3)_3$ 或四甲基硅烷， $SiH(CH_3)_4$ 与 N_2O 的比例约为大约 1:3 至大约 1:7。前体气体流量率范围约为 10—60 sccm， N_2O 流量率范围约为 30—360 sccm。

30 虽然用几个具体实施例对本发明进行了描述，本领域的技术人员将认识到在不违背本发明的精神和范围的情况下会做出很多变化，在权利要求条款中作出规定。

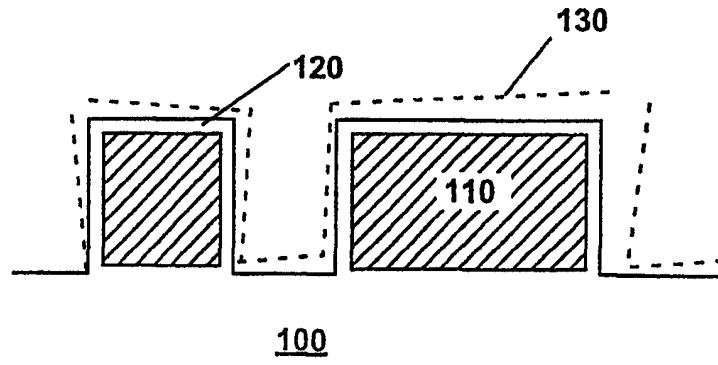


图 1

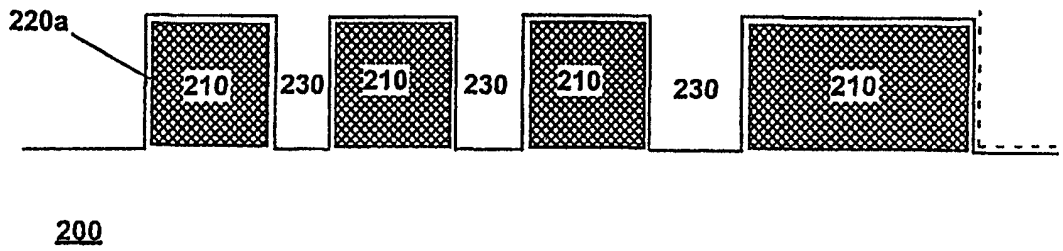


图 2A

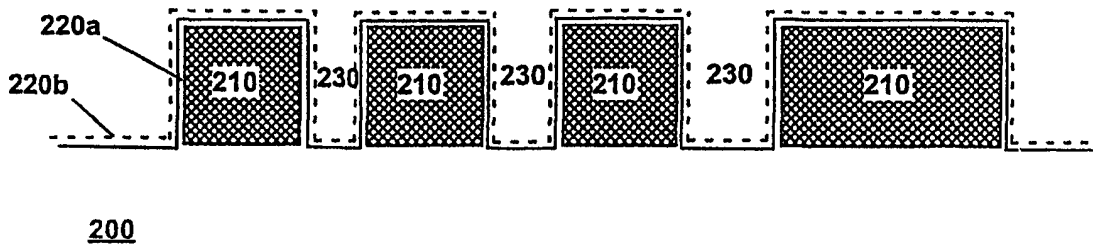


图 2B

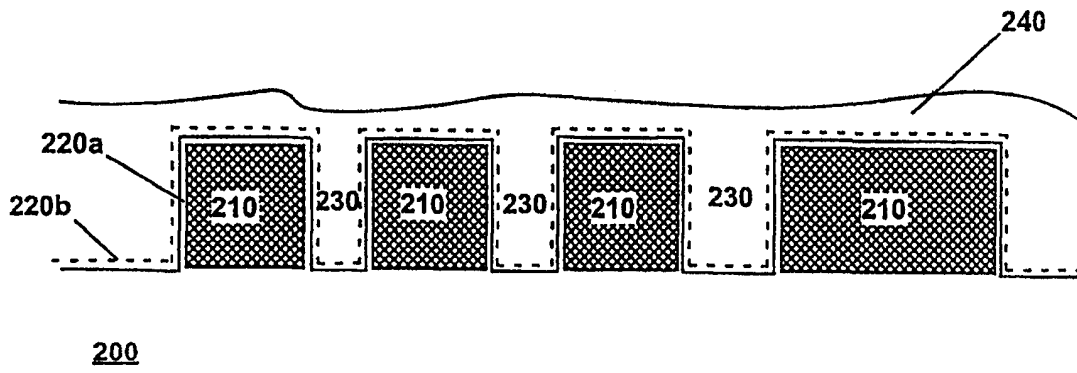


图 2C

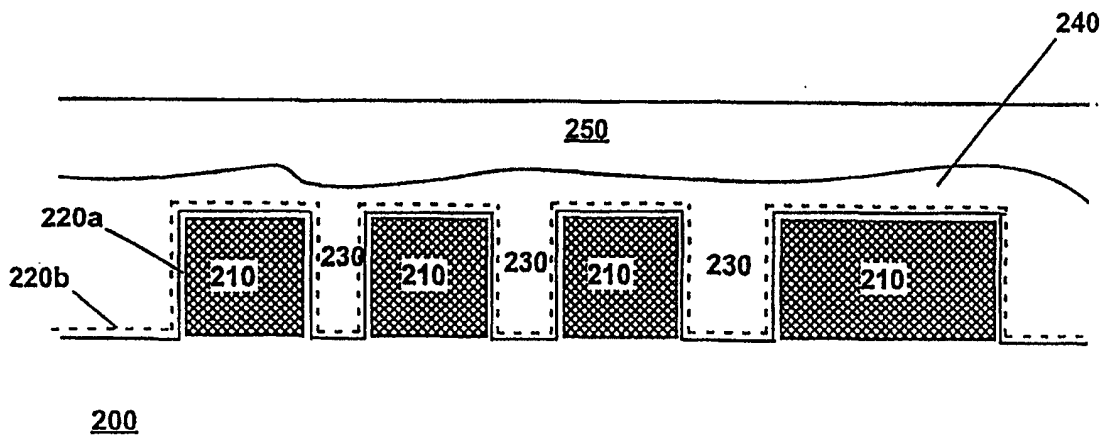


图 2D