

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

H01L 29/739 (2006.01)

H01L 29/78 (2006.01)

H01L 29/10 (2006.01)

专利号 ZL 200480036076.4

[45] 授权公告日 2009年6月24日

[11] 授权公告号 CN 100505302C

[22] 申请日 2004.12.3

[21] 申请号 200480036076.4

[30] 优先权

[32] 2003.12.24 [33] JP [31] 427768/2003

[32] 2004.3.26 [33] JP [31] 092975/2004

[86] 国际申请 PCT/JP2004/018432 2004.12.3

[87] 国际公布 WO2005/062385 英 2005.7.7

[85] 进入国家阶段日期 2006.6.5

[73] 专利权人 丰田自动车株式会社

地址 日本爱知县

[72] 发明人 堀田幸司 河路佐智子 杉山隆英

白井正则

[56] 参考文献

JP10-270693A 1998.10.9

US2002/0179968A1 2002.12.5

US5463241A 1995.10.31

US6518629B1 2003.2.11

JP10-294461A 1998.11.4

CN1348220A 2002.5.8

JP8-316479A 1996.11.29

审查员 许媛媛

[74] 专利代理机构 北京市中咨律师事务所

代理人 杨晓光 李 峰

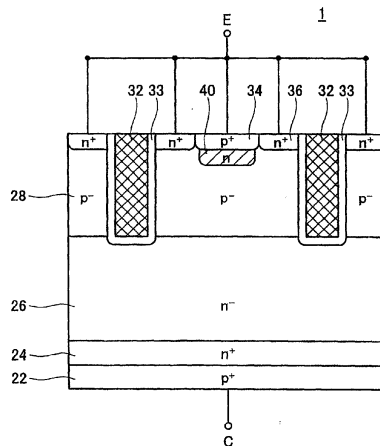
权利要求书 3 页 说明书 21 页 附图 17 页

[54] 发明名称

沟槽栅极场效应器件

[57] 摘要

本发明涉及一种通过增大深区(26)和中间区(28)中的少数载流子浓度来降低半导体器件的接通电压的技术。根据本发明的半导体器件包括电极、连接到所述电极的第二导电类型的顶区(36)、所述第二导电类型的深区,以及连接到所述电极的第一导电类型的中间区。部分所述中间区使所述顶区和所述深区隔离。所述半导体器件还包括通过绝缘层与所述中间区的所述部分面对的栅极电极(32)。面对所述栅极电极的所述部分使所述顶区和所述深区隔离。根据本发明的半导体器件还包括形成在所述中间区和/或所述顶区内的势垒区(40)。



1. 一种 IGBT 的半导体器件, 包括:

发射极电极;

第二导电类型的顶区, 连接到所述发射极电极;

所述第二导电类型的深区;

第一导电类型的中间区, 使所述顶区和所述深区隔离;

所述第一导电类型的集电极区, 连接到所述深区, 所述集电极区通过所述深区与所述中间区隔离;

集电极电极, 连接到所述集电极区;

栅极电极, 通过绝缘层面对部分所述中间区, 所述中间区的所述部分使所述顶区和所述深区隔离; 以及

势垒区, 包括所述第二导电类型的半导体区, 形成在所述中间区内,

其中所述中间区包括直接连接到所述发射极电极的密集部分, 以及通过所述密集部分连接到所述发射极电极的主部分,

其中所述势垒区与所述密集部分接触, 并通过所述主部分与所述深区分隔。

2. 根据权利要求 1 的半导体器件,

其中所述势垒区还包括绝缘体。

3. 一种 IGBT 的半导体器件, 包括:

发射极电极;

第二导电类型的顶区, 连接到所述发射极电极;

所述第二导电类型的深区;

第一导电类型的中间区, 连接到所述发射极电极, 所述中间区使所述顶区和所述深区隔离;

所述第一导电类型的集电极区, 连接到所述深区, 所述集电极区通过所述深区与所述中间区隔离;

集电极电极, 连接到所述集电极区;

栅极电极，通过绝缘层面对部分所述中间区，所述中间区的所述部分使所述顶区和所述深区隔离；以及

势垒区，包括所述第一导电类型的半导体区，形成在所述中间区内，其中所述势垒区具有高于所述中间区的杂质浓度，以及所述势垒区沿所述顶区与所述中间区之间的边界形成，并电连接到所述发射极电极。

4. 一种 IGBT 的半导体器件，包括：

发射极电极；

第二导电类型的顶区，连接到所述发射极电极；

所述第二导电类型的深区；

第一导电类型的中间区，连接到所述发射极电极，所述中间区使所述顶区和所述深区隔离；

所述第一导电类型的集电极区，连接到所述深区，所述集电极区通过所述深区与所述中间区隔离；

集电极电极，连接到所述集电极区；

栅极电极，通过绝缘层面对部分所述中间区，所述中间区的所述部分使所述顶区和所述深区隔离；以及

多个势垒区，形成在所述中间区内；

其中所述势垒区沿所述顶区与所述深区之间延伸的方向分布在所述中间区内。

5. 根据权利要求 4 的半导体器件，

其中所述中间区包括直接连接到所述发射极电极的密集部分，以及通过所述密集部分连接到所述发射极电极的主部分，

其中所述势垒区中的至少一个在所述密集部分与所述主部分之间的边界附近形成，

其中所述势垒区中的至少另一个是第二导电类型，形成在所述主部分与所述深区之间的边界附近，并未与所述发射极电极和所述深区电连接。

6. 根据权利要求 5 的半导体器件，

其中至少部分所述势垒区位于载流子流经的路径上。

7. 根据权利要求6的半导体器件，
其中势垒区和中间区的多个对层叠。

8. 根据权利要求4的半导体器件，
其中所述中间区包括直接连接到所述发射极电极的密集部分，以及通过所述密集部分连接到所述发射极电极的主部分，

其中所述势垒区中的至少一个在所述密集部分与所述主部分之间的边界附近形成，

其中所述势垒区中的至少另一个是第二导电类型，形成在所述主部分与所述深区之间的边界处，并具有高于所述深区的杂质浓度。

9. 根据权利要求8的半导体器件，
其中至少部分所述势垒区位于载流子流经的路径上。

10. 根据权利要求9的半导体器件，
其中势垒区和中间区的多个对层叠。

11. 根据以上权利要求中任何一项的半导体器件，
其中所述顶区的厚度小于所述势垒区的厚度。

沟槽栅极场效应器件

相关申请的交叉引用

本申请要求 2003 年 12 月 24 日提交的日本专利申请 2003-427768 和 2004 年 3 月 26 日提交的日本专利申请 2004-092975 的优先权,在此引入其内容作为参考。

技术领域

本发明涉及一种半导体器件,其中通过栅极电极接通和关断电极对之间的电流。更具体地说,本发明涉及一种用于在对栅极电极施加用于接通半导体器件的电压时,降低电极对之间的电压和电阻的技术。在该条件下,电极对之间的电压称为接通电压。本发明的半导体器件可以是 IGBT、pnpn 二极管、MOS 或 MOSFET。

背景技术

已知 IGBT (绝缘栅双极晶体管)为其中在双极晶体管的表面部分中提供 MOS 结构。这种类型的半导体器件具有一对电极以及在该电极对之间用来接通和关断电流流动的栅极电极。当对栅极电极施加接通电压时,电子载流子从其中一个电极注入半导体区,以及空穴载流子从另外一个电极注入半导体区。通过这种方式,半导体区发生电导调制,从而实现低接通电压。

日本专利申请公开 H8 (1996) - 316479 (详见图 3)提出了一种用于降低接通电压(当对沟槽栅极施加用于接通半导体器件的电压时,电极之间的电压)的技术。

图 17 示意性示出了在日本专利申请公开 H8 (1996) - 316479 中提出

的半导体器件（在以下的说明书中，该结构将称为常规结构）。图 17 所示的半导体器件 15 具有用来接通和关断电极对（这种情况下为发射极电极 E 和集电极电极 C）之间的电流流动的沟槽栅极 332。

半导体器件 15 具有：与发射极电极 E 连接的 n^+ 型发射极区 336，与同一发射极电极 E 连接的 p^+ 型体接触区 334，包围体接触区 334 和发射极区 336 的 p^- 型体区 328，位于体区 328 下方的 n^- 型漂移区 326，与漂移区 326 连接的 n^+ 型缓冲区 324，以及与缓冲区 324 连接的 p^+ 型集电极区 322。集电极区 322 与集电极电极 C 连接。

延伸到漂移区 326 的沟槽经过发射极区 336 和体区 328。在该沟槽内形成沟槽栅极 332。该沟槽栅极 332 由栅极绝缘层 333 包围，并通过该栅极绝缘层 333 面对使发射极区 336 和漂移区 326 隔离的体区 328。

在体区 328 与漂移区 326 之间形成 n^+ 型势垒区 340。势垒区 340 中的杂质浓度高于漂移区 326 中的杂质浓度。

图 17 所示的半导体器件包括电极 E、顶区 336、深区 326、密集(dense)部分 334 以及主部分 328。密集部分 334 和主部分 328 具有相同的导电类型和共同的电压，因此可以合称为中间区。部分中间区 328 使得顶区 336 和深区 326 隔离。半导体器件 15 还包括通过绝缘层 333 面对部分中间区 328 的沟槽栅极 332。

将对接通状态下半导体器件 15 的操作进行说明。当发射极电极 E 接地时，对集电极电极 C 和沟槽栅极 332 施加正电压，从而使面对沟槽栅极 332 的部分体区 328 反转为 n 型，形成沟道。因此，电子载流子通过反转为 n 型的该沟道从发射极区 336 向势垒区 340 和漂移区 326 注入，并聚集在缓冲区 324 中。当电子载流子在缓冲区 324 中聚集时，缓冲区 324 与集电极区 322 之间的接触电势差降低，空穴载流子从集电极区 322 注入到缓冲区 324、漂移区 326，以及势垒区 340。通过这种方式，缓冲区 324、漂移区 326 和势垒区 340 发生电导调制，从而实现低接通电压。

从集电极区 322 注入的空穴载流子与电子载流子复合并消失，或通过体区 328 和体接触区 334 释放到发射极电极 E。

在半导体器件 15 中,其杂质浓度高于漂移区 326 的势垒区 340 形成在该漂移区 326 的上方。因此,在势垒区 340 与漂移区 326 之间的边界面上形成的势垒起到了抑制空穴载流子逸出到发射极电极 E 的作用。势垒区 340 使得漂移区 326 中的空穴载流子密度增大(见图 17)。结果,发射极电极与集电极电极之间的空穴载流子浓度增大,半导体器件 15 的接通电压降低。势垒区 340 阻止空穴载流子从漂移区 326 向发射极电极 E 的流动。

发明内容

在日本专利申请公开 H8 (1996)-316479 提出的半导体器件 15 中,通过体接触区 334,经过势垒区 340 并流入体区 328 的少数载流子很快被释放到发射极电极 E。体区 328 中少数载流子的浓度保持较低。

为了进一步降低半导体器件的接通电压,不仅需要增大漂移区 326(概括地说为深区)中少数载流子的浓度,也需要增大体区 328(概括地说为中间区,具体地说为中间区的主部分)中少数载流子的浓度。

本发明提出了一种通过增大深区和中间区中少数载流子的浓度来进一步降低半导体器件接通电压的技术。

根据本发明的半导体器件包括:电极;第二导电类型的顶区,连接到所述电极;所述第二导电类型的深区;以及第一导电类型的中间区,连接到所述电极。部分所述中间区使所述顶区和所述深区隔离。所述半导体器件还包括栅极电极,其通过绝缘层面对部分所述中间区。面对所述栅极电极的所述部分使所述顶区和所述深区隔离。所述中间区可包括直接连接到所述电极的密集部分以及通过所述密集部分连接到所述电极的主部分。

典型地,所述电极可以是发射极电极,所述顶区可以是发射极,所述密集部分可以是体接触区,所述主部分可以是体区,所述深区可以是漂移区,以及所述半导体器件可以是 IGBT。所述半导体器件也可以是 MOS、MOSFET、或 pnpn 二极管。在所述半导体器件是 MOS 时,所述电极可以是源极电极,所述顶区可以是源极,所述密集部分可以是体接触区,所述主部分可以是体区,以及所述深区可以是漂移区。

根据本分明的半导体器件还包括形成在所述中间区和/或所述顶区内的势垒区。所述势垒区可以由未与所述电极和所述深区电连接的所述第二导电类型的半导体区形成。所述势垒区还可以由绝缘体形成。在所述中间区和所述顶区内可以设置多个势垒区。一些所述势垒区可以由所述第二导电类型的半导体区形成，其它势垒区可以由绝缘材料形成。可以在所述中间区和所述顶区内的适当位置形成所述势垒区。例如，所述势垒区可以被包围在所述中间区的所述主部分内，以及可以与所述顶区和所述深区隔离。所述势垒区还可以沿所述密集部分与所述主部分之间的边界形成，或沿所述顶区与所述主部分之间的边界形成。可选地，所述势垒区可以被包围在所述密集部分或所述顶区内。

常规结构存在着在中间区中少数载流子浓度低的问题。在上述半导体器件中，在中间区与深区之间的结边界面的中间区侧形成势垒区。该势垒区引起少数载流子在中间区聚集。因此，中间区中少数载流子浓度增大，从而电极对之间的少数载流子浓度增大。结果，可降低半导体器件的接通电压。

可优选所述势垒区连接到用于包围所述栅极电极的所述绝缘层。也可优选所述势垒区具有开口，通过所述开口，载流子可在所述密集部分与所述深区之间流动。

当势垒区引起少数载流子在中间区聚集时，势垒区的电势增大。当势垒区的电势增大时，多数载流子从势垒区供给到中间区和深区。如果势垒区形成为与栅极绝缘层接触，那么通过沿栅极绝缘层形成的区域（即沟道）流动，从势垒区供给多数载流子。结果，获得与接通的晶闸管等效的现象。通过这种方式，进一步降低半导体器件的接通电压。

在本发明中，势垒区具有开口，通过该开口，载流子可在密集部分与深区之间流动。通过该开口，由势垒区引起的在中间区聚集的少数载流子可靠地被释放到密集部分。因此，半导体器件可以稳定的方式关断。

可优选所述势垒区由所述第一导电类型的半导体区沿所述顶区与所述主部分之间的边界形成。所述势垒区可电连接到所述密集部分，以及可具

有高于所述主部分的杂质浓度。所述势垒区可以在所述顶区内形成。

沿顶区与主部分之间的边界形成的势垒区抑制了少数载流子通过顶区被释放到电极。也就是说，防止了闭锁现象的发生（其中，即使没有对栅极电极附加电势，半导体器件也不关断）。

如果势垒区形成在主部分内，那么闭锁现象很容易发生。为了解决这个问题，最好使所述势垒区沿所述顶区与所述主部分之间的边界形成，并使所述势垒区在所述主部分内形成。

当在所述密集部分与所述主部分之间的边界附近形成所述势垒区时，可以在所述主部分与所述深区之间的边界附近提供所述第二导电类型的附加势垒区。所述附加势垒区未与所述电极和所述深区电连接。可选地，所述附加势垒区可具有高于所述深区的杂质浓度。具有较高杂质浓度的所述附加势垒区可连接到所述深区或与所述深区分隔。

上述半导体器件允许在主部分与深区之间的 pn 结界面处以及主部分内增大少数载流子浓度。通过这种方式，在主部分中在很宽的范围内增大少数载流子浓度，从而增大电极对之间的少数载流子浓度。结果，可降低半导体器件的接通电压。

优选至少部分所述势垒区和部分所述附加势垒区位于载流子流经的路径上。

也优选多个势垒区形成在所述中间区内。所述势垒区可以分布在所述中间区内。对于所述势垒区的形状或位置没有特别的限制。例如，它们可以以局域的方式位于与电极对之间的方向垂直的面内。它们也可以以空间分散的方式位于中间区内。

优选所述势垒区与所述密集部分接触。典型地，所述势垒区可以沿所述密集部分和所述主部分的结面形成。可选地，其可以在所述密集部分内形成。

在这种情况下，势垒区更有效地聚集少数载流子。中间区内的少数载流子浓度增大，从而半导体器件的接通电压降低。

优选所述顶区的膜厚度小于所述势垒区的膜厚度。

形成势垒区允许半导体器件的接通电压降低。这一点本身应该是受欢迎的。然而，当降低接通电压时，半导体器件的饱和电流同时增大，从而出现半导体器件易于被损坏的问题。

在研究这个问题的起因的过程中，本发明人确定饱和电流的增大导致半导体器件的串联电阻，并极大地影响顶区的特性。也就是说，如果顶区具有较大的供给多数载流子的能力，那么少数载流子在中间区中聚集后，大量多数载流子从顶区注入。从而，饱和电流增大，半导体器件被损坏。结果，本发明人发现，适当抑制顶区供给多数载流子的能力可防止对半导体器件的损坏。典型地，通过使顶区具有小的体积，可以抑制顶区供给多数载流子的能力。这是通过使顶区中具有低浓度的杂质，或通过使其具有小的膜厚度或宽度来实现的。

此外，优选将所述顶区供给多数载流子的能力设定为与所述势垒区聚集少数载流子的能力相关联。这是因为，如上所述，如果增加中间区内少数载流子的聚集量，那么接通电压降低，另一方面，半导体器件容易被损坏。如果顶区的膜厚度小于所述势垒区的膜厚度，那么可防止半导体器件的饱和电流增大，从而防止对半导体器件的损坏。此外，通过调整顶区中的杂质浓度、或其体积等，可获得同样的操作效果。

本发明的半导体器件允许在中间区内聚集少数载流子。当中间区中的少数载流子浓度增大时，半导体器件的接通电压降低。

附图说明

- 图 1 示出了第一实施例的半导体器件 1 的主要部分的截面图；
- 图 2 示出了第二实施例的半导体器件 2 的主要部分的截面图；
- 图 3 示出了第三实施例的半导体器件 3 的主要部分的截面图；
- 图 4 示出了第三实施例的变形的半导体器件 4 的主要部分的截面图；
- 图 5 示出了第四实施例的半导体器件 5 的主要部分的截面图；
- 图 6 示出了第五实施例的半导体器件 6 的主要部分的截面图；
- 图 7 示出了第六实施例的半导体器件 7 的主要部分的截面图；

图 8 示出了第七实施例的半导体器件 8 的主要部分的截面图；
图 9 示出了第七实施例的半导体器件 8 的主要部分的斜视图；
图 10 示出了发射极电极与集电极电极之间的空穴载流子浓度的分布；
图 11 示出了第八实施例的半导体器件 9 的主要部分的截面图；
图 12 示出了第九实施例的半导体器件 10 的主要部分的截面图；
图 13 示出了第十实施例的半导体器件 11 的主要部分的截面图；
图 14 示出了第十一实施例的半导体器件 12 的主要部分的截面图；
图 15 示出了第十二实施例的半导体器件 13 的主要部分的截面图；
图 16 示出了第十三实施例的半导体器件 14 的主要部分的截面图；以及
图 17 示出了具有常规结构的半导体器件 15 的主要部分的截面图。

具体实施方式

将列出实施例的重要特征。

(第一特征)

第一特征的半导体器件是一种 IGBT, 包括:

发射极电极;

第二导电类型的顶区(发射极), 连接到发射极电极;

第二导电类型的深区(漂移区);

第一导电类型的中间区(体区和体接触区), 连接到发射极电极, 其中部分中间区使顶区(发射极)和深区(漂移区)隔离;

第一导电类型的集电极区, 连接到深区(漂移区)和集电极电极;

栅极电极, 通过绝缘层面对所述部分中间区, 其中所述部分中间区使顶区(发射极)和深区(漂移区)隔离; 以及

势垒区, 形成在中间区(体区和体接触区)和/或顶区(发射极)内。

第一导电类型可以是 P 导电类型, 以及第二导电类型可以是 N 导电类型。可选地, 第一导电类型可以是 N 导电类型, 以及第二导电类型可以是 P 导电类型。

(第二特征)

第二特征的半导体器件是一种 MOSFET，包括：

源极电极；

第二导电类型的顶区（源极），连接到源极电极；

第二导电类型的深区（漂移区）；

第一导电类型的中间区（体区和体接触区），连接到源极电极，其中部分中间区使顶区（源极）和深区（漂移区）隔离；

第二导电类型的漏极区，连接到深区（漂移区）和漏极电极；

栅极电极，通过绝缘层面对所述部分中间区，其中所述部分中间区使顶区（源极）和深区（漂移区）隔离；以及

势垒区，形成在中间区（体区和体接触区）和/或顶区（源极）内。

同样地，第一导电类型可以是 P 导电类型，以及第二导电类型可以是 N 导电类型。可选地，第一导电类型可以是 N 导电类型，以及第二导电类型可以是 P 导电类型。

(第三特征)

在 IGBT 或 MOSFET 中，中间区包括直接连接到电极的密集部分以及通过密集部分连接到电极的主部分。第一势垒区在密集部分与主部分之间的边界附近形成。附加势垒区在主部分与深区之间的边界附近形成。

(第四特征)

在 IGBT 或 MOSFET 中，由具有第二导电类型的半导体材料形成第一势垒区。

(第五特征)

在 IGBT 或 MOSFET 中，第一势垒区未与电极和深区连接。

(第六特征)

在 IGBT 或 MOSFET 中，附加势垒区具有高于深区的杂质浓度。

(第七特征)

在 IGBT 或 MOS 中，附加势垒区具有第二导电类型，且与深区隔离。下面将参考附图详细说明实施例。

(第一实施例)

图 1 示出了第一实施例的半导体器件 1 的主要部分的截面图。半导体器件 1 具有用于接通和关断在发射极电极 E 与集电极电极 C 之间流动的电流的沟槽栅极 32。

半导体器件 1 具有发射极区 36 和体接触区 34，其中发射极区 36 包括 n^+ 型杂质并与发射极电极 E 接触，体接触区 34 包括 p^+ 型杂质并与同一发射极电极 E 接触。半导体器件 1 具有体区 28，该体区 28 包括 p^- 型杂质，并包围体接触区 34 和发射极区 36 的。包括 n^- 型杂质的漂移区 26 形成在体区 28 下方，并与体区 28 接触。通过体区 28，漂移区 26 与体接触区 34 和发射极区 36 隔离。包括 n^+ 型杂质的缓冲区 24 形成在漂移区 26 下方，并与漂移区 26 接触。包括 p^+ 型杂质的集电极区 22 形成在缓冲区 24 下方。集电极区 22 与由铝等构成的集电极电极 C 连接。

沟槽形成为经过发射极区 36 和体区 28，并延伸到漂移区 26。在沟槽中提供多晶硅，从而形成沟槽栅极电极 32。沟槽栅极电极 32 通过栅极绝缘层 33 面对体区 28。

在体区 28 内形成包括 n 型杂质的浮置 (floating) 半导体区 40。该浮置半导体区 40 与体接触区 34 接触。浮置半导体区与发射极电极 E 隔离，也与漂移区 26 隔离。浮置半导体区 40 的电势不固定在特定值，而是根据邻近部分的电势变化。这称为浮置。

优选各半导体区的杂质浓度如下：集电极区 22 在 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 范围内，缓冲区 24 在 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 范围内，漂移区 26 在 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-3}$ 范围内，体区 28 在 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 范围内，体接触区 34 在 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 范围内，发射极区 36 在 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 范围内。对于浮置半导体区 40 的杂质浓度没有特别的限制，但优选在 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 范围内。如果其在该范围内，那么少数载流子容易聚集。

图 1 中所示的半导体器件 1 包括电极 E、顶区 36 (发射极区)、深区 26 (漂移区)、密集部分 34 (体接触区) 以及主部分 28 (体区)。密集部分 34 和主部分 28 具有相同的导电类型和共同的电压，可以合称为中间区。

部分中间区 28 使顶区 36 (发射极区) 和深区 26 (漂移区) 隔离。半导体器件 1 还包括沟槽栅极 32, 该沟槽栅极 32 通过绝缘层 33 面对部分中间区 28。半导体器件 1 还包括势垒区 (浮置半导体区 40)。

接下来, 将对接通状态下半导体器件 1 的操作进行说明。

当发射极电极 E 接地时, 对集电极电极 C 和沟槽栅极 32 施加正电压, 在体区 28 中并面对沟槽栅极 32 的部分反转为 n 型, 形成沟道。电子载流子通过反转为 n 型的该沟道从发射极区 36 注入到漂移区 26。已注入到漂移区 26 中的电子载流子在该漂移区 26 中向集电极电极 C 流动, 并聚集在缓冲区 24 中。当电子载流子在缓冲区 24 中聚集时, 缓冲区 24 与集电极区 22 之间的接触电势差降低, 空穴载流子从集电极区 22 注入到缓冲区 24 和漂移区 26。通过这种方式, 缓冲区 24 和漂移区 26 发生电导调制, 从而实现低接通电压。

从集电极区 22 注入到漂移区的空穴载流子与电子载流子复合并消失, 或通过体区 28 和体接触区 34 释放到发射极电极 E。在本实施例中, 浮置半导体区 40 位于空穴载流子释放路径的上方。

在浮置半导体区 40 与体区 28 之间的结边界面处形成势垒。势垒阻止空穴载流子通过浮置半导体区 40 向体接触区 34 的流动。浮置半导体区 40 形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动, 浮置半导体区 40 有助于在体区 28 中空穴载流子的聚集。

本实施例的浮置半导体区 40 如此形成, 以便它与体接触区 34 接触, 且高效地阻止空穴载流子 (少数载流子) 的流动。结果, 空穴载流子在体区 28 中聚集, 从而降低半导体器件 1 的接通电压。

(第二实施例)

图 2 示出了第二实施例的半导体器件 2 的主要部分的截面图。此外, 与第一实施例的半导体器件 1 相同的结构具有对其指定的相同的参考标号, 省略对其的解释。

该图示出了包括 n 型杂质的浮置半导体区 42。浮置半导体区 42 与发射极电极 E 隔离, 还与漂移区 26 隔离。浮置半导体区 42 的电势不固定在

特定值，而是根据邻近部分的电势变化。

浮置半导体区 42 位于空穴载流子释放路径的上方，该释放路径连接漂移区 26 和体接触区 34。

在浮置半导体区 42 与体区 28 之间的结边界面处形成势垒。势垒阻止空穴载流子向体接触区 34 的流动。浮置半导体区 42 形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动，浮置半导体区 42 有助于在体区 28 中空穴载流子的聚集。

本实施例的特征在于，发射极区 36 的膜厚度 ($L1$) 小于浮置半导体区 42 的膜厚度 ($L2$)。在由于浮置半导体区 42 使得空穴载流子在体区 28 中聚集的同时，电子载流子从发射极区 36 被供给到体区 28，从而半导体器件 2 的接通电压降低。然而，如果电子载流子从发射极区 36 的供给能力过大，饱和电流可增大，从而易于发生对半导体器件的损坏。从发射极区 36 供给电子载流子的能力与该区所包括的杂质量有关。因此，可以通过实施例如使发射极区 36 中的杂质浓度低、使该区具有小体积、使发射极区 36 分散等措施来降低电子载流子的供给能力。通过使发射极区 36 的电子载流子具有较低的供给能力，可防止对半导体器件的损坏。此外，优选根据其空穴载流子的聚集能力之间的关系设定发射极区 36 的电子载流子的供给能力，其中空穴载流子的聚集能力是由浮置半导体区 42 引起的。例如，最好通过降低与浮置半导体区 42 的空穴载流子的聚集能力的增大相关的发射极区 36 的电子载流子的供给能力，防止对半导体器件 2 的损坏。

在本实施例中，通过将发射极区 36 的膜厚度 ($L1$) 设定为小于浮置半导体区 42 的膜厚度 ($L2$)，调整空穴载流子的聚集能力和电子载流子的供给能力。通过形成以上关系中的这些要素，接通电压降低，并可防止对半导体器件 2 的损坏。

如上所述，可以调整空穴载流子的聚集效果和电子载流子的供给能力。例如，通过改变发射极区 36 的体积或改变其中的杂质浓度，可调整调整空穴载流子的聚集效果和电子载流子的供给能力。

(第三实施例)

图3示出了第三实施例的半导体器件3的主要部分的截面图。

图中45是浮置半导体区。浮置半导体区45位于空穴载流子的释放路径上方，该释放路径连接漂移区26和体接触区34。

图中47也是浮置半导体区。浮置半导体区47的特征在于形成为与栅极绝缘层33接触。

浮置半导体区45和47与发射极电极E隔离，还与漂移区26隔离。浮置半导体区45和47的电势不固定在特定值，而是根据邻近部分的电势变化。

在浮置半导体区45和47与体区28之间的结边界面处形成势垒。势垒阻止空穴载流子向体接触区34的流动。浮置半导体区45和47形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动，浮置半导体区45和47有助于在体区28中空穴载流子的聚集。

而且，浮置半导体区47也实现了晶闸管操作。当半导体器件3接通时，空穴载流子在紧靠着浮置半导体区47的下方的体区28中聚集，从而浮置半导体区47的电势升高。因此，通过沿栅极绝缘层33形成的沟道从发射极区36供给的电子载流子利用浮置半导体区47以平面的方式扩展，并向体区28和漂移区26注入。从而，浮置半导体区47引起空穴载流子的聚集，并实现晶闸管的操作。因此，接通电压大大降低。

此外，在体区中形成集中浮置区以实现晶闸管操作是现有技术中已知的技术。然而，半导体器件的这种浮置半导体区的目的仅仅是实现晶闸管操作。因此，杂质浓度调整为极高。结果，发生过量载流子聚集的情况，半导体器件不能关断。比较而言，本实施例的浮置半导体区47引起空穴载流子的聚集，并利用伴随该聚集的电势增大以实现晶闸管操作。因此，浮置半导体区47需要低于现有技术中的杂质浓度。而且，为了便于晶闸管操作，优选浮置半导体区47与漂移区26之间的距离(L3)短。

此外，浮置半导体区47的另一特征在于，它并不延伸到连接体接触区34和漂移区26的整个路径。换句话说，在浮置半导体区47中形成开口47a。开口47a确保空穴载流子具有释放路径。因此，当半导体器件关断时，聚

集在体区 28 中的空穴载流子可以通过开口 47a 可靠地释放到体接触区 34。从而避免关断半导体器件过程中的不稳定性。

图 4 示出了第三实施例的变形的半导体器件 4 的主要部分的截面图。在该变形中，栅极电极 432 是平面型。

该图示出了浮置半导体区 447，其聚集空穴载流子并实现晶闸管操作。在这种情况下，浮置半导体区 447 与栅极绝缘层 433 接触，并通过开口 447a 确保空穴载流子的释放路径。因此，实现了接通电压的降低和稳定的操作。

(第四实施例)

图 5 示出了第四实施例的半导体器件 5 的主要部分的截面图。

本实施例的特征在于，在发射极区 36 与体区 28 之间形成 p 型防闭锁区 52。该防闭锁区 52 具有高于体区 28 的杂质浓度。部分防闭锁区 52 与体接触区 34 接触。

形成的防闭锁区 52 抑制了空穴载流子从体区 28 向发射极区 36 的流动。防闭锁区 52 形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动，防闭锁区 52 有助于在体区 28 中空穴载流子的聚集。此外，防闭锁区 52 抑制了在体区 28 中聚集的空穴载流子向发射极区 36 的释放。

沿防闭锁区 52 与体接触区 34 的接触面，空穴载流子被释放到体接触区 34。提供的防闭锁区 52 允许半导体器件的接通电压降低。为了比较，可以考虑未提供防闭锁区 52 的情况。如果通过降低体区 28 中的杂质浓度来增大在体区 28 中聚集的少数载流子的浓度，那么由于聚集的少数载流子向发射极区 36 的流动，发生闭锁现象，从而损坏半导体器件。当接通电压降低时，该闭锁现象易于发生。

通过形成本实施例的防闭锁区 52，可降低接通电压，同时可防止闭锁现象。因为防止了闭锁现象，体区 28 中的杂质浓度可充分降低，因此可在体区 28 中聚集较高浓度的空穴载流子。半导体器件的接通电压可降低。

(第五实施例)

图 6 示出了第五实施例的半导体器件 6 的主要部分的截面图。

54 是 p 型防闭锁区。该防闭锁区 54 包围发射极区 36。此外，防闭锁

区 54 与发射极电极 E 直接连接。因此，空穴载流子通过防闭锁区 54 被释放到发射极电极 E。

n 型半导体区 48 形成为包围防闭锁区 54。空穴载流子在该 n 型半导体区 48 中聚集。因此，半导体器件 6 的接通电压降低。

在本实施例中，p⁻型体区 28 位于 n 型半导体区 48 与 n⁻型漂移区 26 之间。结果，当半导体器件 6 已关断时，被抑制层 (depressed layer) 快速地从这两层延伸。因此，可实现快速的关断速度。

(第六实施例)

图 7 示出了第六实施例的半导体器件 7 的主要部分的截面图。在本实施例中，为了聚集空穴载流子，同时利用绝缘层 62 和浮置半导体区 49。绝缘层 62 和浮置半导体区 49 形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动，绝缘层 62 和浮置半导体区 49 有助于在体区 28 中空穴载流子的聚集。

绝缘层 62 位于体接触区 34 的正下方，以便横断空穴载流子从漂移区 26 向体接触区 34 的释放路径。结果，在聚集空穴载流子时极其有效。

在绝缘层 62 的沟槽栅极电极 32 侧形成浮置半导体区 49。浮置半导体区 49 中的杂质浓度相对较小，所以对空穴载流子的聚集并不是特别有效。然而，它位于沿栅极绝缘层 33 的位置，因此，可以降低对沿该沟道流动的电子载流子的阻碍。此外，当半导体器件 7 关断时，聚集在体区 28 中的空穴载流子可通过该浮置半导体区 49 被释放。从而可稳定地进行关断操作。

本实施例的特征在于，通过同时利用绝缘层 62 和浮置半导体区 49，可实现这样的半导体器件，其中聚集空穴载流子，降低对电子载流子的阻碍，以及当半导体器件关断时，空穴载流子以均衡的方式被释放。可容易地实现具有这些希望的特征的半导体器件。

(第七实施例)

图 8 示出了第七实施例的半导体器件 8 的主要部分的截面图。在本实施例中，聚集空穴载流子的半导体区形成为多层，从而进一步增大体区 28 中空穴载流子的浓度。

在体接触区 34 与体区 28 之间的 pn 结界面附近形成 n^+ 型第一浮置半导体区 40b。此外，在漂移区 26 与体区 28 之间的界面处形成 n^+ 型集中 (concentrated) 半导体区 40a。其具有高于漂移区 26 的杂质浓度。

优选在集中半导体区 40a 中半导体区的杂质浓度在 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 范围内，在第一浮置半导体区 40b 中半导体区的杂质浓度在 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 范围内。

该第一浮置半导体区 40b 和 n^+ 型集中半导体区 40a 形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动，第一浮置半导体区 40b 和 n^+ 型集中半导体区 40a 有助于在体区 28 和漂移区 26 中空穴载流子的聚集。

图 9 示出了半导体器件 8 的主要部分的斜视图。

集中半导体区 40a 和第一浮置半导体区 40b 没有形成为在整个体区 28 内延伸，而是以局域的方式形成在发射极区 34 的下方。在第一浮置半导体区 40b 下方的体区 28 与相对于纸面而言位于内部的体接触区 36 接触，并且体区 28 和体接触区 36 保持在相同的电势。在这种情况下，当半导体器件 8 已关断时，聚集在体区 28 中的空穴载流子可快速地向外部释放，从而提高开关速度。

取代该结构，第一浮置半导体区 40b 下方的体区 28 可以在整个芯片中均处于浮置状态。也就是说，它可与体接触区 36 分隔。在这种情况下，聚集在芯片内的空穴载流子从处于浮置状态的体区 28，经过第一浮置半导体区 40b，流入体接触区 36 中。也就是说，被抑制层从第一浮置半导体区 40b 和集中半导体区 40a 延伸到体区 28，因此体区 28 被快速抑制，从而提高了开关速度。

而且，优选如在半导体器件 8 中，集中半导体区 40a 和第一浮置半导体区 40b 位于发射极区 34 附近的体接触区 36 的下方。释放到发射极电极 E 的空穴载流子被吸引到从发射极区 34 注入的电子载流子。因此，它们趋向于易于从发射极区 34 附近的体接触区 36 向发射极电极 E 释放。在发射极区 34 附近的体接触区 36 下方形成集中半导体区 40a 和第一浮置半导体区 40b 意味着势垒区 40a 和 40b 位于空穴载流子的路径上方。在这些位置

中形成集中半导体区 40a 和第一浮置半导体区 40b 意味着空穴载流子可在体区 28 和漂移区 26 中有效地聚集。

而且,可以在体区 28 内形成集中半导体区 40a。如果在体区 28 内形成集中半导体区 40a,那么它将具有浮置电势。集中半导体区 40a 趋向于未落在电场内,从而可实现高击穿电压。

接下来,将对接通状态下半导体器件 8 的操作进行说明。

当发射极电极 E 接地时,对集电极电极 C 和沟槽栅极 32 施加正电压。面对沟槽栅极 32 的部分体区 28 反转为 n 型,形成沟道。从而,电子载流子通过反转的该沟道从发射极区 34 注入到漂移区 26。注入到漂移区 26 的电子载流子向漂移区 26 的集电极电极 C 侧流动,并聚集在缓冲区 24 中。当电子载流子在缓冲区 24 中聚集时,缓冲区 24 与集电极区 22 之间的接触电势差降低,空穴载流子从集电极区 22 注入到缓冲区 24 和漂移区 26。通过这种方式,缓冲区 24 和漂移区 26 发生电导调制,从而降低半导体器件的接通电压。

从集电极区 22 注入的空穴载流子与电子载流子复合并消失,或通过体区 28 和体接触区 34 释放到发射极电极 E。图 8 示意性示出了被释放到发射极电极 E 的空穴载流子。

在集中半导体区 40a 与漂移区 26 之间的结边界面中形成的势垒有助于在漂移区 26 中空穴载流子的聚集。在第一浮置半导体区 40b 与体区 28 之间的结边界面处形成势垒。经过在集中半导体区 40a 与漂移区 26 之间的结边界面势垒并流入体区 28 中的空穴载流子在该体区 28 中聚集,其中该体区 28 在第一浮置半导体区 40b 与体区 28 之间的结边界面附近。经过该结边界面势垒的空穴载流子被释放到发射极电极 E。

图 10 示出了发射极电极与集电极电极之间的空穴载流子的浓度分布,这对应于图 8 中的 X-X 线,从体接触区 34,经过第一浮置半导体区 40b、体区 28、集中半导体区 40a、漂移区 26、缓冲区 24,直到集电极区 22。

图形的上边为发射极电极 E,图形的下边为集电极电极 C,以及对应于各区域的标号在图形的左边上。水平轴表示空穴载流子的浓度,其中空

穴载流子浓度向右侧增大。

此外，图 10 中曲线 12 是第七实施例的半导体器件 8 的发射极电极与集电极电极之间的空穴载流子浓度，曲线 11 是常规结构（对应于其中仅仅形成集中半导体区 40a 的情况）的空穴载流子浓度，以及曲线 10 是其中没有形成第一浮置半导体区 40b 和集中半导体区 40a 情况下的空穴载流子浓度。

首先，观察曲线 10 所示的情况，其中没有形成第一浮置半导体区 40b 和集中半导体区 40a，在体区 28 与漂移区 26 的 pn 结界面处空穴载流子的浓度极度降低。此外，很明显，在整个体区 28 中空穴载流子的浓度保持较低。并且，很明显，从集电极区 22 侧到发射极区 36 侧，漂移区 26 内的空穴载流子浓度降低。

在示出了常规结构的曲线 11 的情况下，在体区 28 与漂移区 26 的结界面处形成了集中半导体区（对应于 40a）。因此，在该结界面处空穴载流子的浓度高于曲线 10 中的空穴载流子浓度。然而，很明显，在整个体区 28 中空穴载流子的浓度保持较低。因此，在常规结构中，经过由在体区 28 与漂移区 26 之间的结界面处形成的半导体区（对应于 40a）形成的势垒并流入体区 28 中的空穴载流子立即被释放到发射极电极。此外，在常规结构中，从集电极区 22 侧到发射极区 36 侧，漂移区 26 内的空穴载流子的浓度降低。

当观察第七实施例的半导体器件 8 的曲线 12 所示的情况时，通过比较很明显，在整个体区 28 中空穴载流子浓度保持较高。此外，与常规结构相比，在漂移区 26 中，从集电极区 22 侧到发射极区 36 侧浓度降低的空穴载流子的降低更缓慢。因此，沿发射极电极与集电极电极之间的整个距离，具有较高的空穴载流子的浓度。由于这一点，半导体器件 8 的接通电压低于常规结构的接通电压。

当第七实施例的半导体器件 8 关断时，被抑制层从集中半导体区 40a 和第一浮置半导体区 40b 扩展到体区 28。因此，与仅仅具有集中半导体区 40a（等效于常规结构）的半导体器件的情况相比，可抑制体区 28 中更宽

的区域。因此，可实现高于常规结构的击穿电压。此外，在常规结构中，如果要更有效地聚集空穴载流子，有必要进一步增大与集中半导体区 40a 相对应的区域中的杂质浓度。如果这样做的话，存在电场不能保持在集中半导体区与体区之间的 pn 结界面处的问题，从而击穿电压恶化。在第七实施例的半导体器件 8 中，不需要增大杂质浓度。因此，电场不会集中。

并且，当半导体器件关断时，被抑制层的扩展伴随着空穴载流子在短时间内被释放到发射极电极。关断时间短于常规结构，因此提高了开关速度。

(第八实施例)

图 11 所示的第八实施例的半导体器件 9 是与第七实施例的半导体器件 8 相对应的情况，其中向体区 28 增加了第二浮置半导体区 40c。第二浮置半导体区 40c 形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动，第二浮置半导体区 40c 有助于在体区 28 中空穴载流子的聚集。

增加第二浮置半导体区 40c 意味着可使得体区 28 中的空穴载流子浓度高于第七实施例的半导体器件 8 中的空穴载流子浓度。半导体器件 9 的接通电压可进一步降低。并且，在关断半导体器件 9 时，第二浮置半导体区 40c 还具有抑制体区 28 的作用，从而增大了击穿电压，降低了关断时间。

(第九实施例)

图 12 所示的第九实施例的半导体器件 10 是其中集中半导体区 41a 和浮置半导体区 (41b, 41c) 没有与沟槽栅极电极 32 的栅极绝缘层 33 接触的情况。

在集中半导体区 41a 与漂移区 26 的结界面处形成势垒。在浮置半导体区 (41b, 41c) 与体区 28 的结界面处也形成势垒。这些势垒阻止空穴载流子向体接触区 34 的流动。集中半导体区 41a 和浮置半导体区 (41b, 41c) 形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动，集中半导体区 41a 和浮置半导体区 (41b, 41c) 有助于在漂移区 26 和体区 28 中空穴载流子的聚集。

即使集中半导体区 41a 和浮置半导体区 (41b, 41c) 没有与沟槽栅极

电极 32 的栅极绝缘层 33 接触,但在体接触区 34 与体区 28 的结边界面附近形成了半导体区 41b,在体区 28 与漂移区 26 的结边界面附近形成了半导体区 41a。因此,半导体器件 10 的接通电压可降低。第二浮置半导体区 41c 也可以空间分散在体区 28 内。

(第十实施例)

图 13 所示的第十实施例的半导体器件 11 是其中在漂移区 26 中形成所谓的超结 (super-junction) 结构的情况。该超结结构包括包含 n 型杂质的 n 型柱体 25 和包含 p 型杂质的 p 型柱体。它在发射极电极与集电极电极之间的方向上延伸,并且 n 型柱体 25 和 p 型柱体的结合在与发射极电极和集电极电极之间的方向垂直的面内交替重复。半导体器件 11 中的 n 型柱体 25 和 p 型柱体 23 为薄板 (sheet) 状,因此当从截面观察与发射极电极和集电极电极之间的方向垂直的平面时,它们形成为条状。

在该半导体器件 11 中提供的第一浮置半导体区 40b 和 n⁺型集中半导体区 40a 形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动,第一浮置半导体区 40b 和 n⁺型集中半导体区 40a 有助于在体区 28 和漂移区 26 中空穴载流子的聚集。因此,体区 28 中空穴载流子的浓度增大,从而半导体器件的接通电压降低。此外,通过超结结构可降低漂移区 26 的接通电压,并增大其击穿电压。

超结结构可以这样形成,以便 n 型柱体 25 和 p 型柱体 23 在发射极电极和集电极电极之间的方向上延伸,并且 n 型柱体 25 和 p 型柱体的结合在与发射极电极和集电极电极之间的方向垂直的面内交替重复。例如,如果 n 型柱体 25 和 p 型柱体为薄板状,那么 n 型部分区域和 p 型部分区域在一个方向上延伸。如果 n 型柱体 25 和 p 型柱体 23 具有矩形柱体状截面,那么在交错 (zigzag) 格子形状中定位各柱体允许获得这样的超结结构,其中各柱体在两个方向上重复。如果 n 型柱体 25 和 p 型柱体 23 具有正六角形截面,那么在其间无间隔地定位这些柱体允许获得这样的超结结构,其中各柱体在三个方向上重复。可选地,可以通过以下方法获得这样的超结结构,其中 n 型柱体 25 和 p 型柱体 23 在与两电极之间的方向垂直的面

内交替重复: 具有矩形柱体形状截面的 p 型柱体 23 在两个方向上重复, 这些 p 型柱体 23 之间有间隔地位于在平面延伸的 n 型柱体 25 中; 或者具有正六角形截面的 p 型柱体 23 在三个方向上重复, 这些 p 型柱体 23 之间有间隔地位于平面延伸的 n 型柱体 25 中。

(第十一实施例)

图 14 所示的第十一实施例的半导体器件 12 是具有超结结构的第十实施例的变形。在该变形中, p⁻型浮置区 27 在漂移区 26 内空间分散。

在漂移区 26 的超结结构中, 与第十实施例相同, n 型柱体 25 和 p 型柱体 26 在与发射极电极和集电极电极之间的方向垂直的面内交替重复。另外, p 型浮置区 27 可以如在该第十一实施例中空间分散。通过超结结构, 漂移区 26 的接通电压降低, 其击穿电压增大。

(第十二实施例)

图 15 所示的第十二实施例的半导体器件 13 不具有漂移区。几乎整个半导体区与体区 128 对应。多个浮置半导体区 143 形成在体区 128 内, 以便形成在发射极电极与集电极电极之间。从发射极电极 E 侧到集电极电极 C 侧形成沟槽栅极电极 132。

在多个浮置半导体区 143 中的每一个与体区 128 的结边界面处形成势垒。这些势垒阻止了空穴载流子向体接触区 134 的流动。浮置半导体区 143 形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动, 浮置半导体区 143 有助于在体区 128 中空穴载流子的聚集。

当半导体器件 13 处于接通状态时, 电子载流子通过沿沟槽栅极电极 132 形成的反转层从发射极区 136 注入到缓冲区 124。从集电极区 122 注入的空穴载流子通过体区 128 向发射极电极前进。然而, 在聚集空穴载流子过程中浮置半导体区 143 的作用意味着在体区 128 中空穴载流子浓度增大。因此, 半导体器件 13 的接通电压降低。

并且, 当半导体器件 13 处于关断状态时, 被抑制层从浮置半导体区 143 与体区 128 之间的 pn 结边界面延伸。结果, 体区 128 的更宽区域受到抑制。半导体器件 13 实现了高击穿电压。此外, 该抑制意味着已聚集在体

区 128 中的空穴载流子被快速分散到发射极电极。因此，半导体器件 13 的特征在于具有短关断时间。

(第十三实施例)

图 16 所示的第十三实施例的半导体器件 14 中，栅极电极 232 是平面型。在这种情况下，半导体区 (244b, 244a) 形成在体接触区 234 与体区 228 的结界面附近，以及体区 228 与漂移区 226 的结界面附近。在半导体区 244a 和 244b 与体区 228 的结界面处形成势垒。这些势垒阻止空穴载流子向体接触区 234 的流动。半导体区 244a 和 244b 形成对于空穴载流子流动的势垒区。通过阻止空穴载流子的流动，半导体区 244a 和 244b 有助于在体区 228 中空穴载流子的聚集。因此，可增大体区 228 中空穴载流子的浓度，从而半导体器件 14 的接通电压降低。

上述实施例仅仅示出了本发明的一些可能，并不限制其权利要求。在权利要求中提出的技术包括对上述实施例的各种变形和修改。

例如，沟槽栅极电极可以是延伸到漂移区下方的深沟槽类型。

此外，参照 IGBT 半导体器件说明了以上实施例。然而，采用不同的器件（晶闸管、双极晶体管、功率 MOSFET 等）也可获得类似的结果。

此外，在本说明书或附图中公开的技术元素可以单独或以所有类型的结合使用，并不限于在提交本申请时在权利要求书中提出的结合。此外，在本说明书或附图中公开的技术可以用来同时实现多个目的或实现这些目的之一。

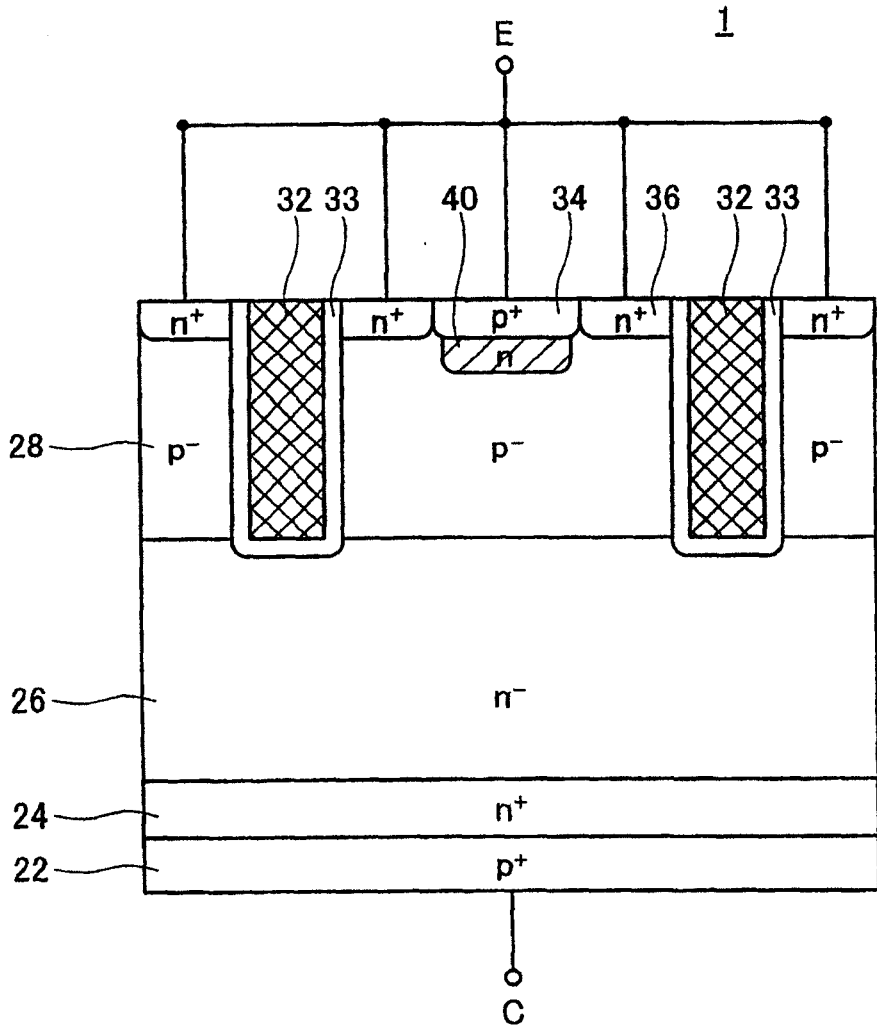


图 1

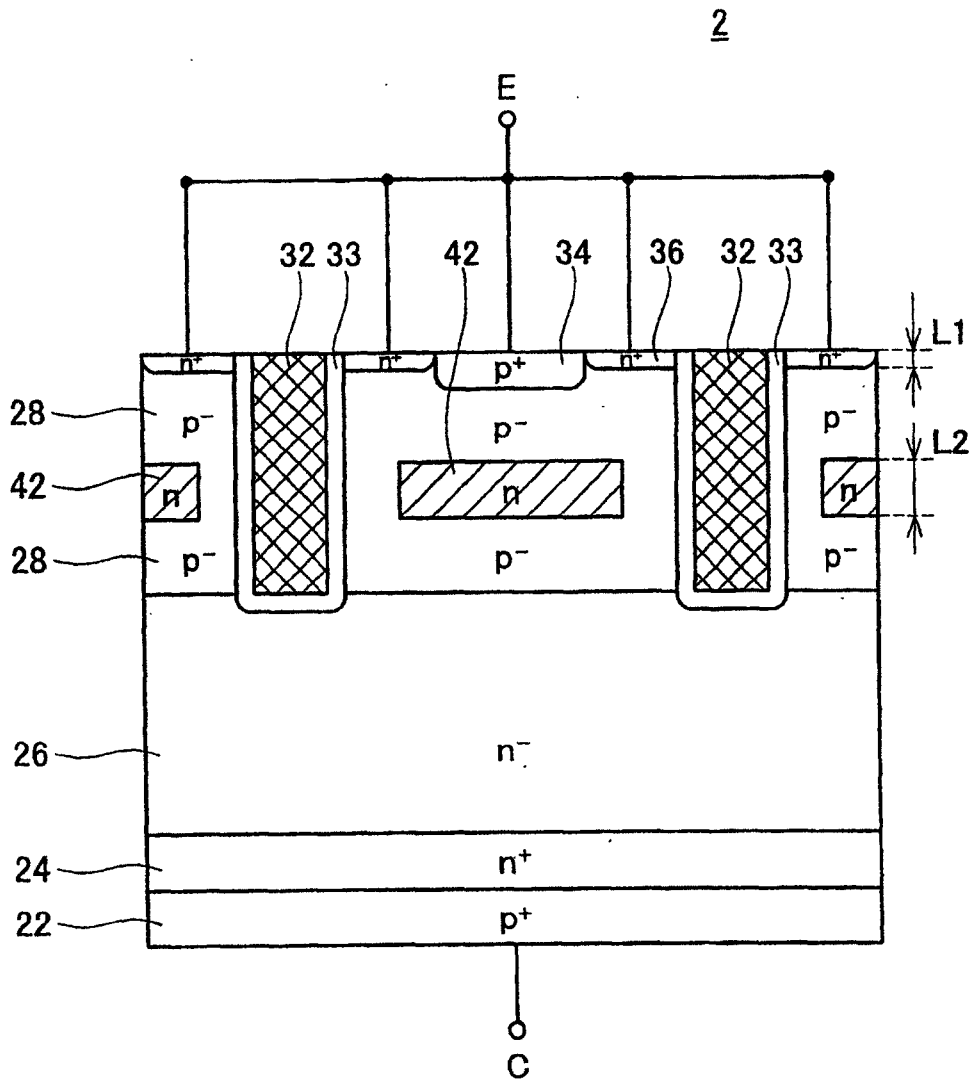


图 2

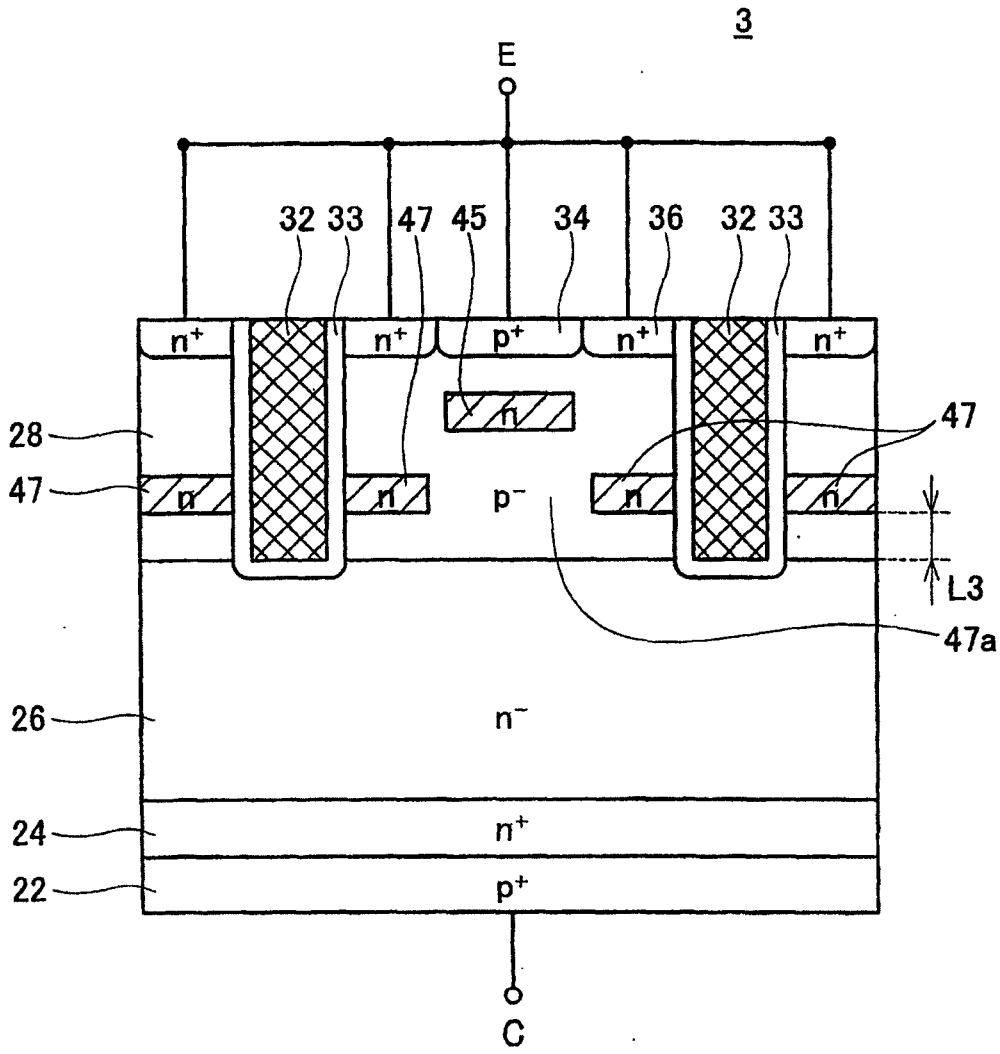


图 3

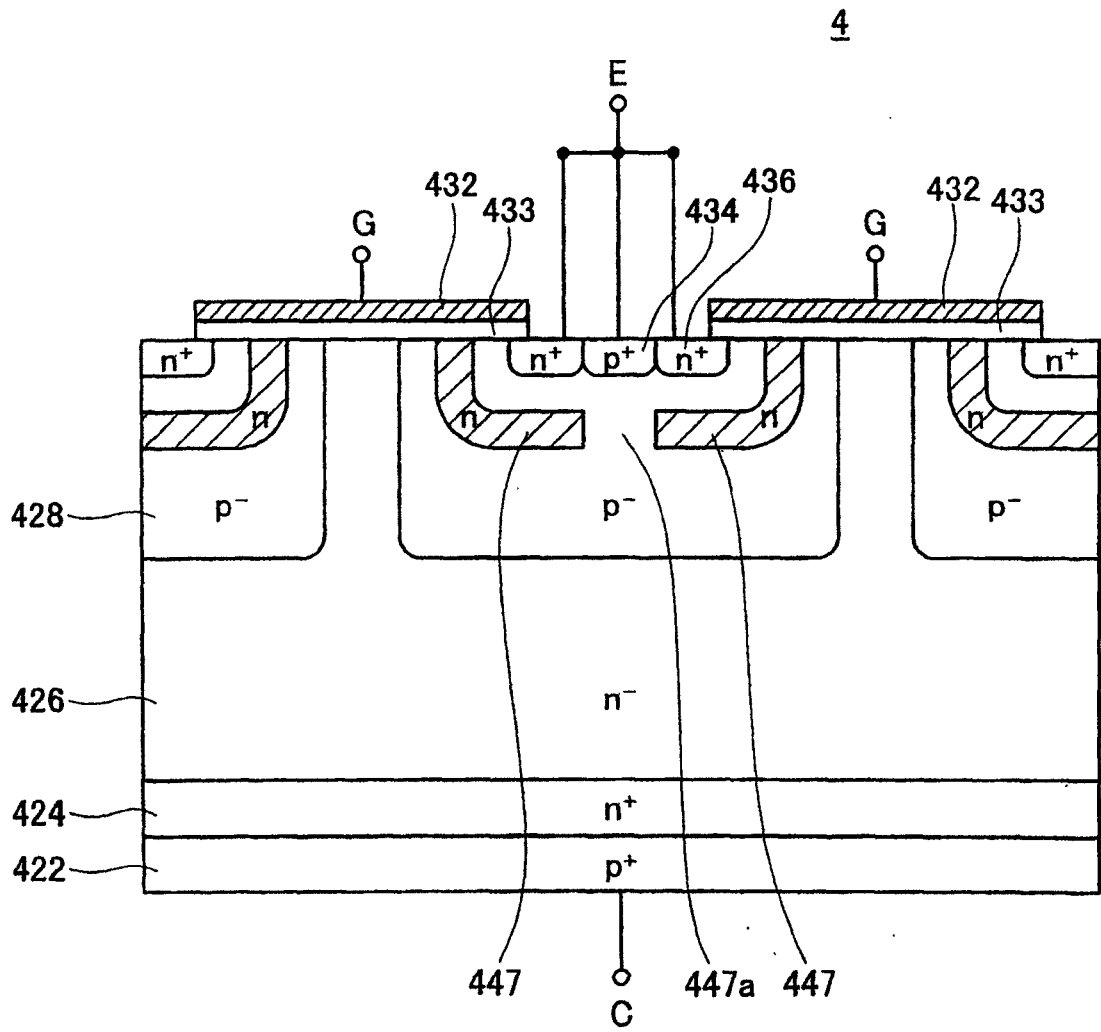


图 4

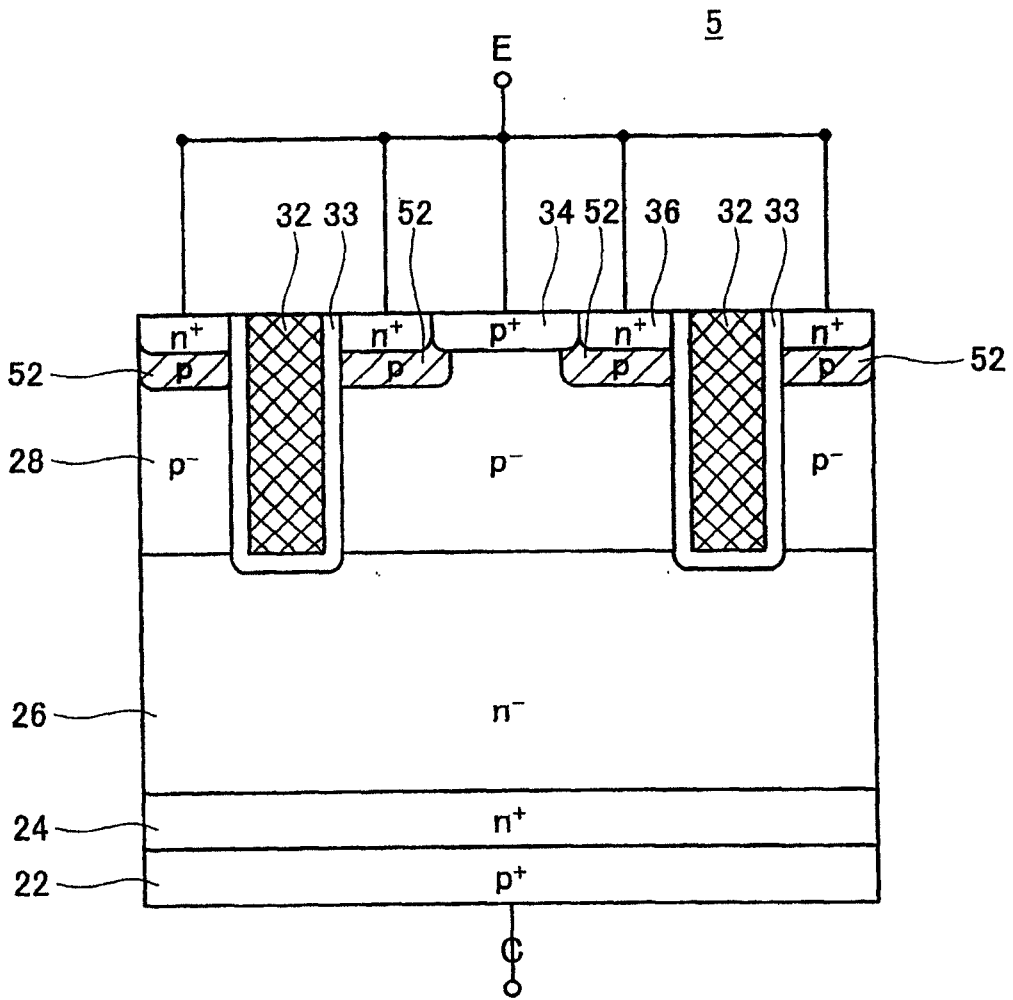


图 5

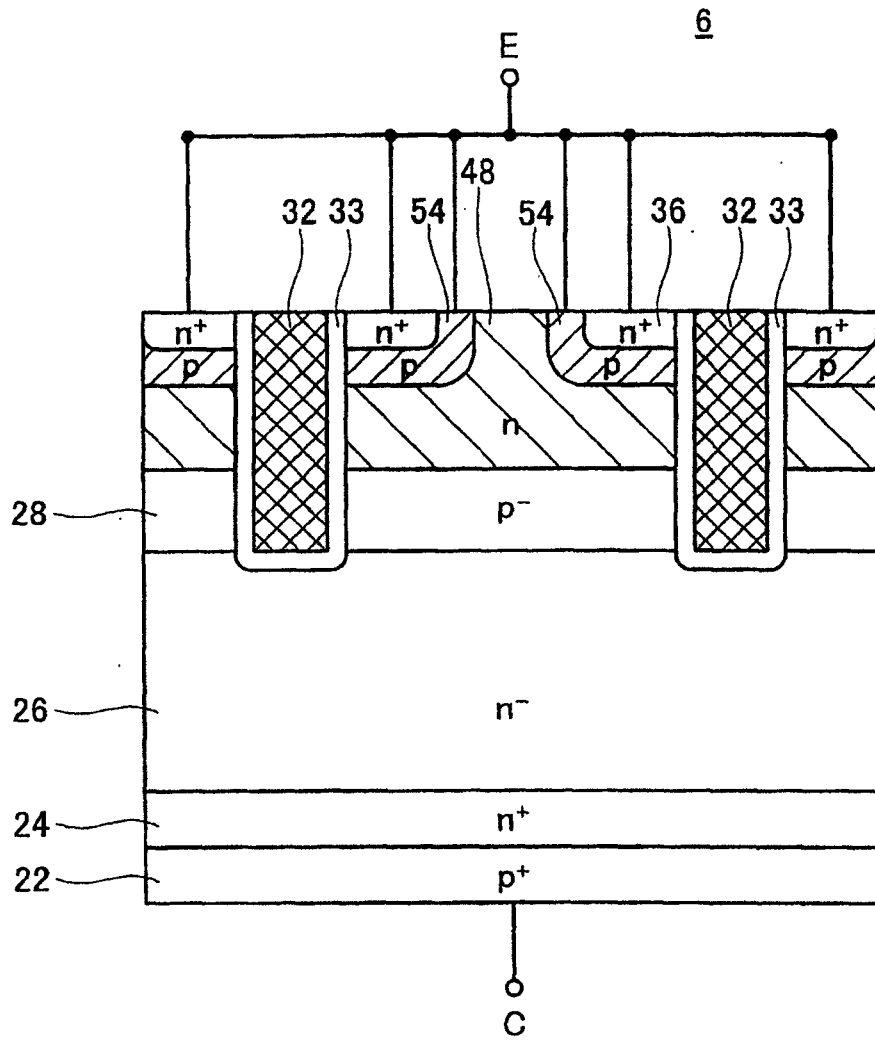


图 6

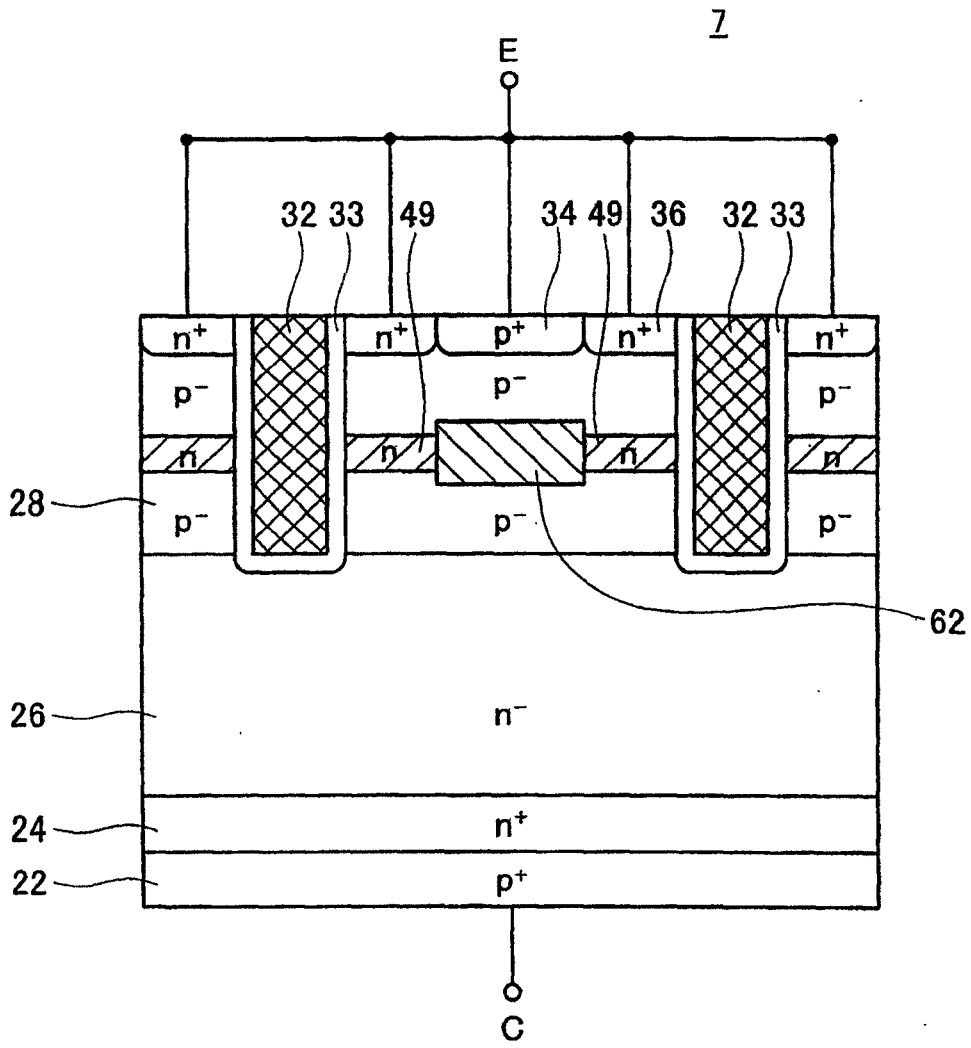


图 7

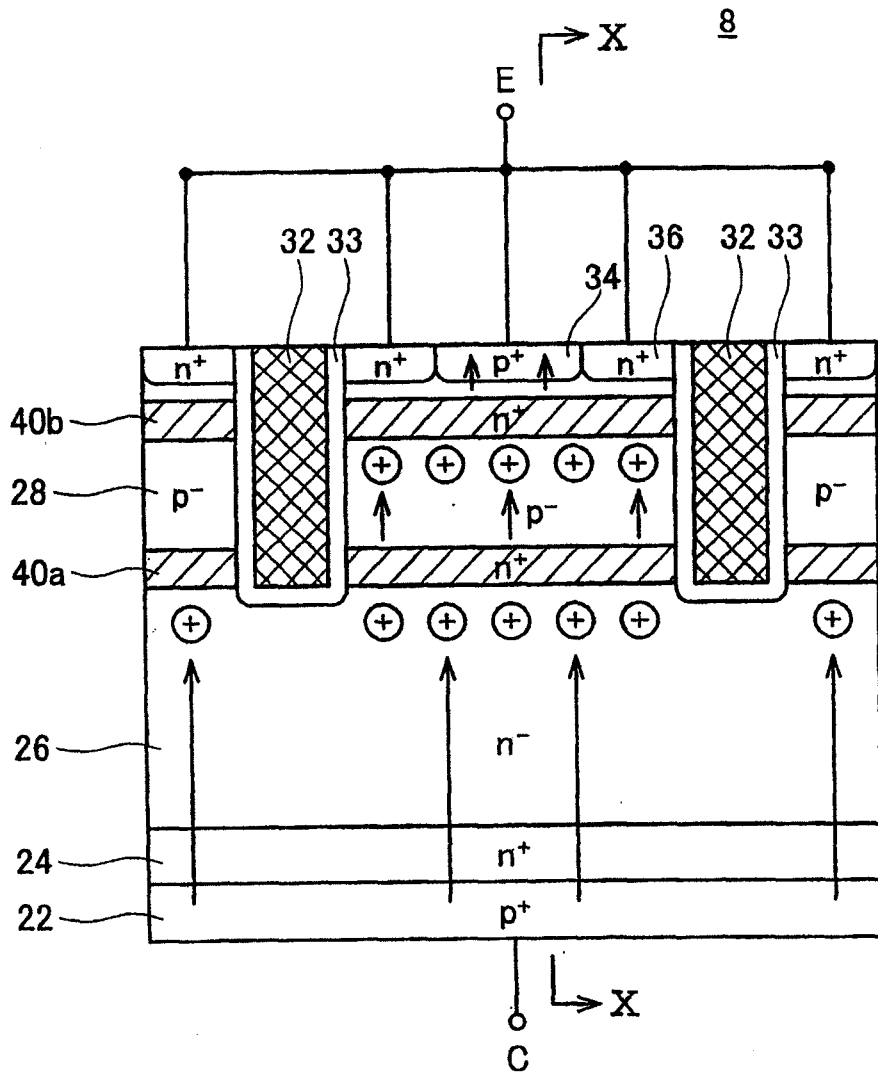


图 8

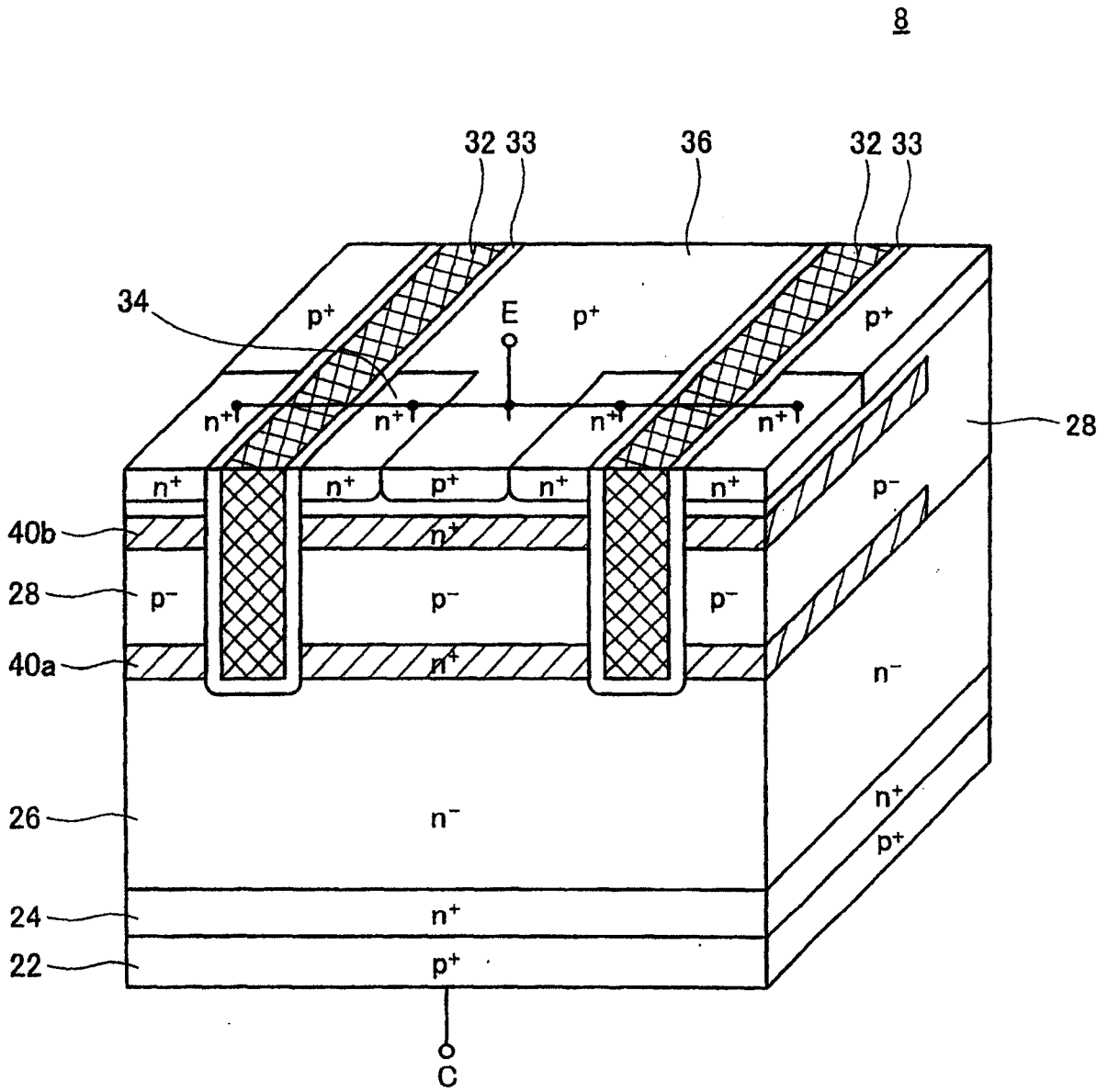
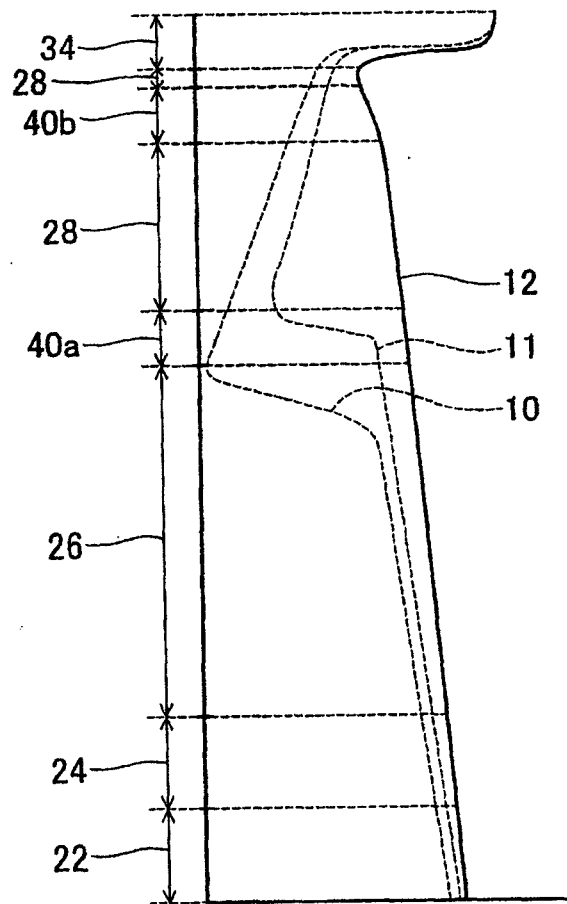


图 9



空穴载流子浓度

图 10

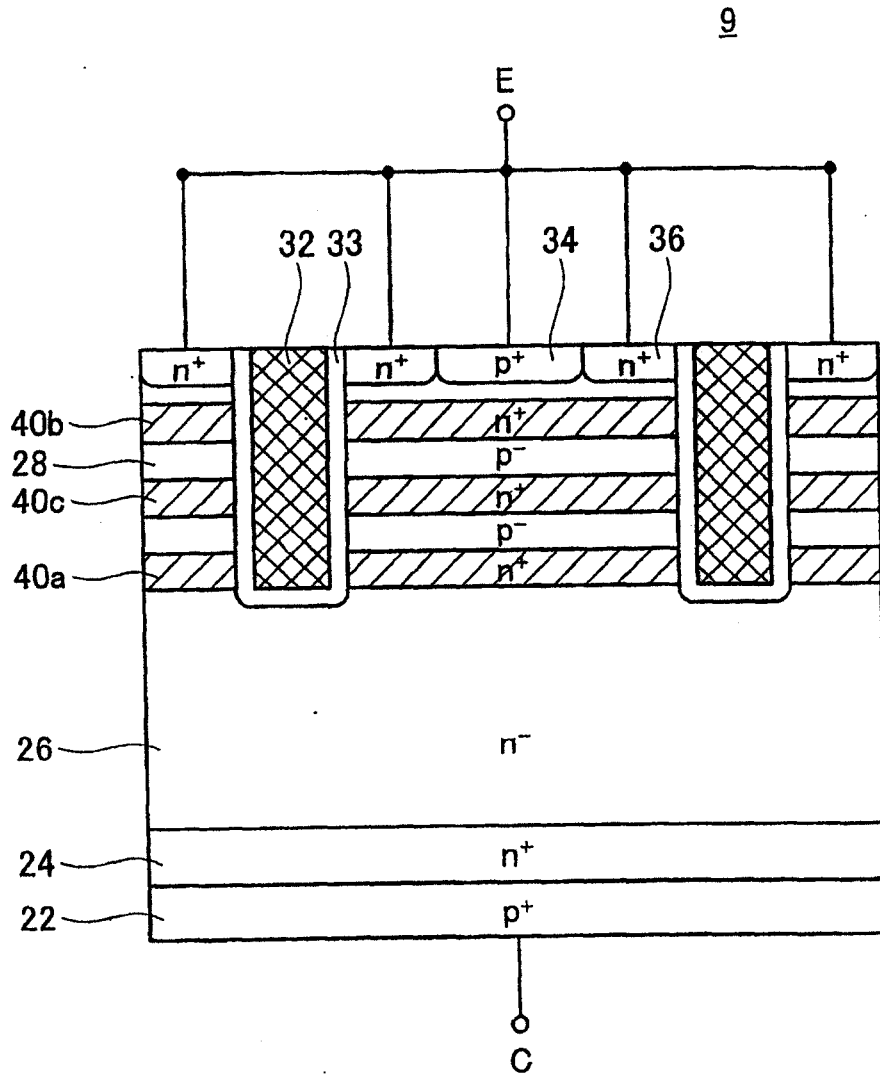


图 11

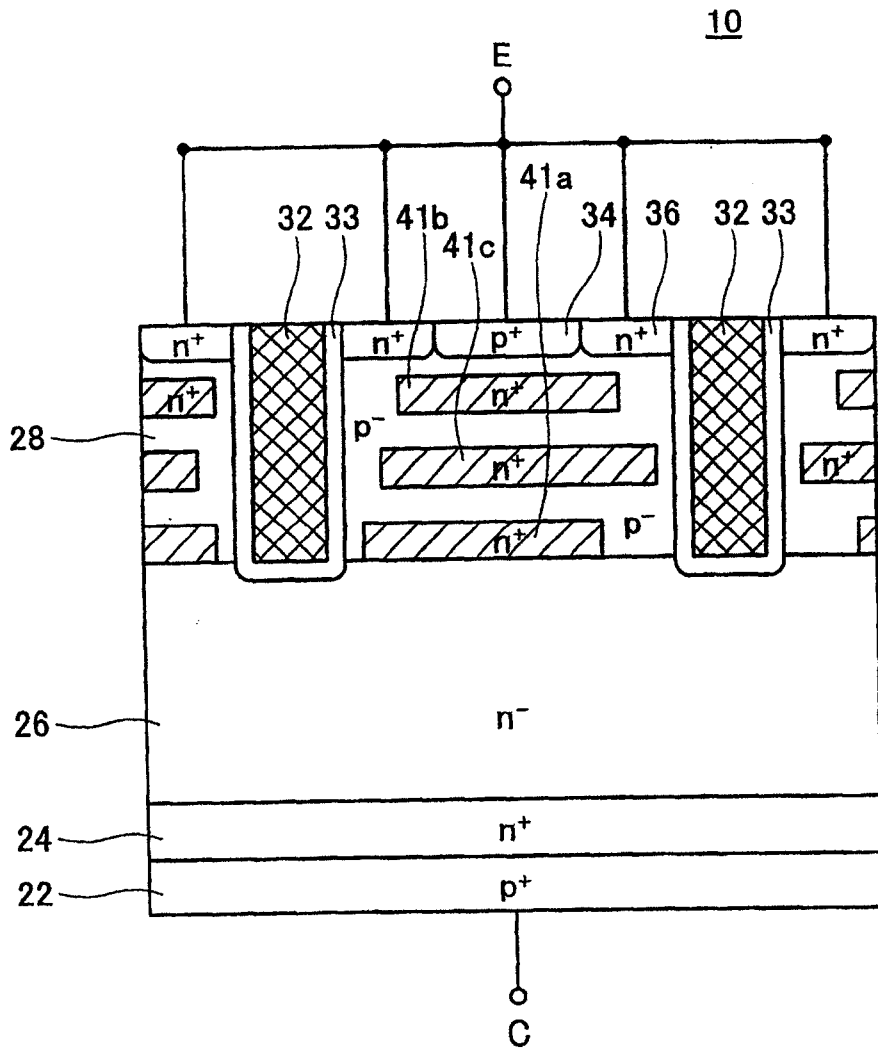


图 12

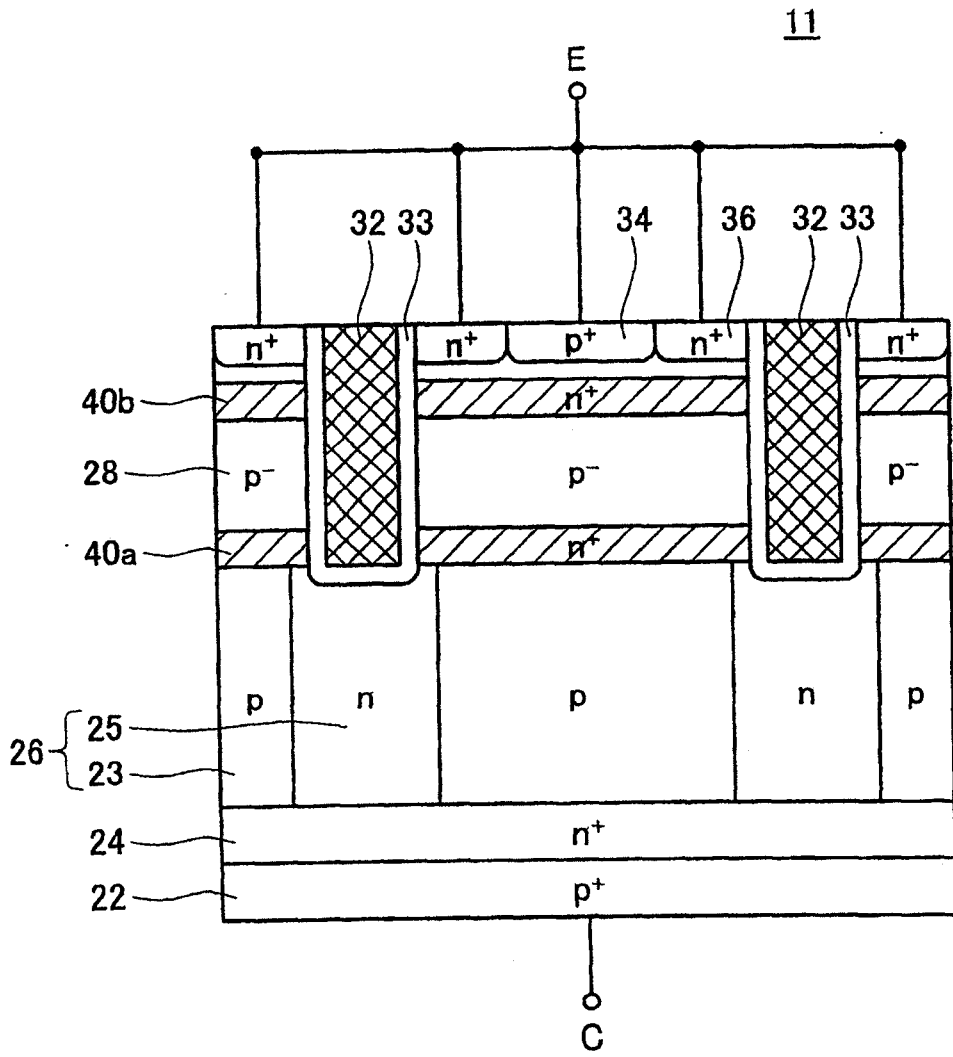


图 13

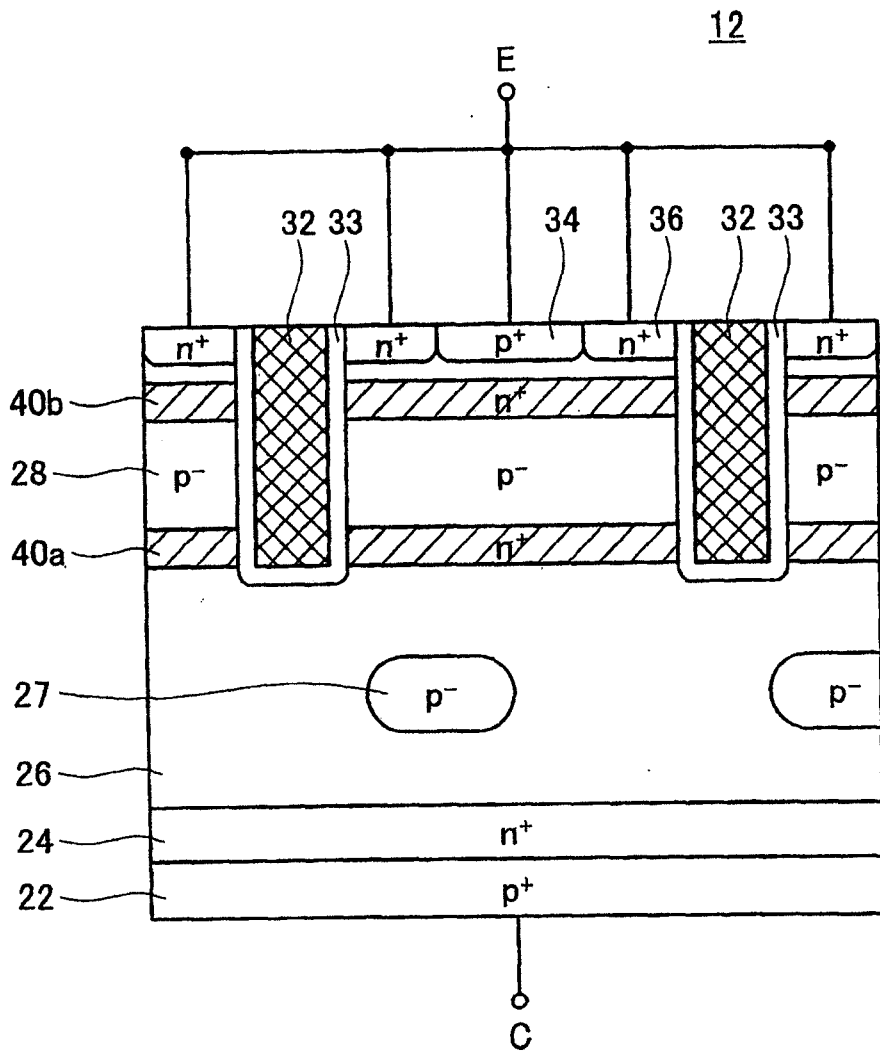


图 14

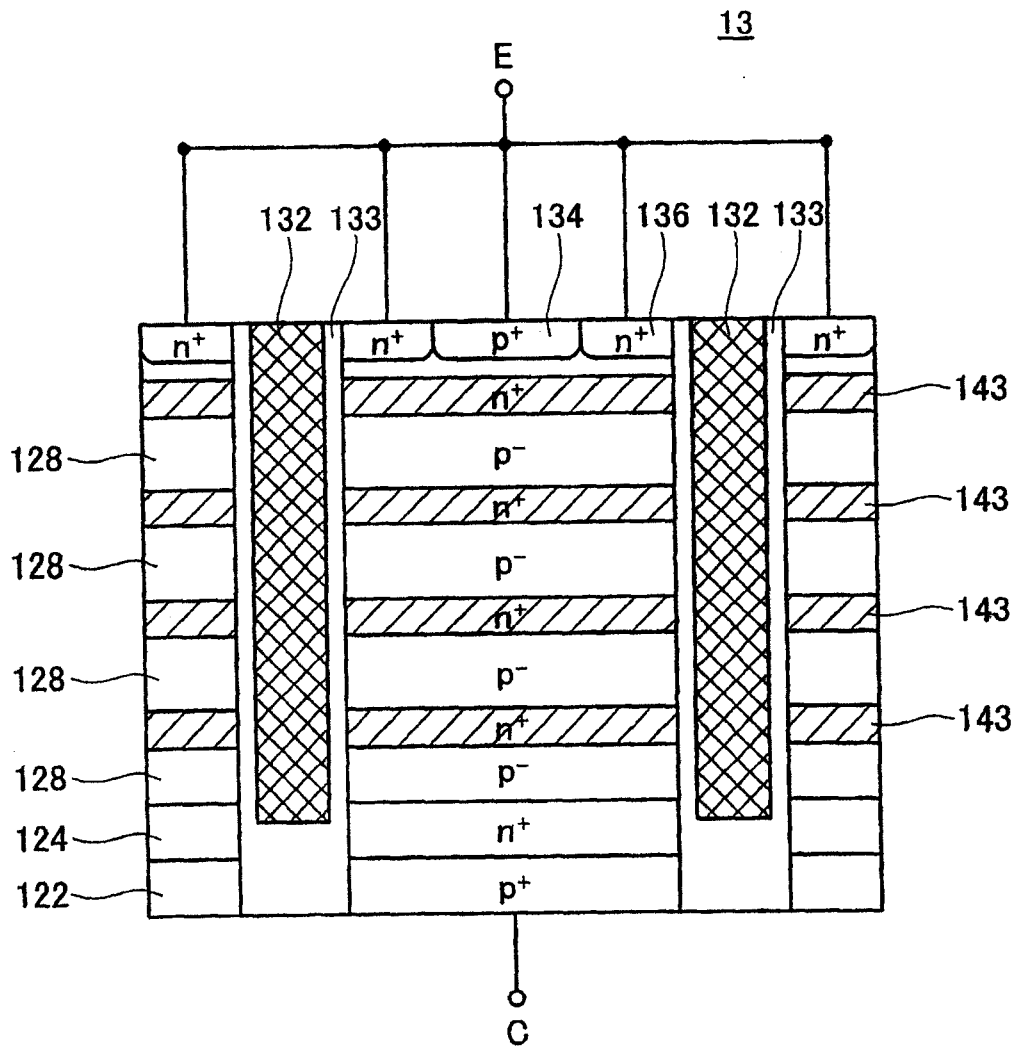


图 15

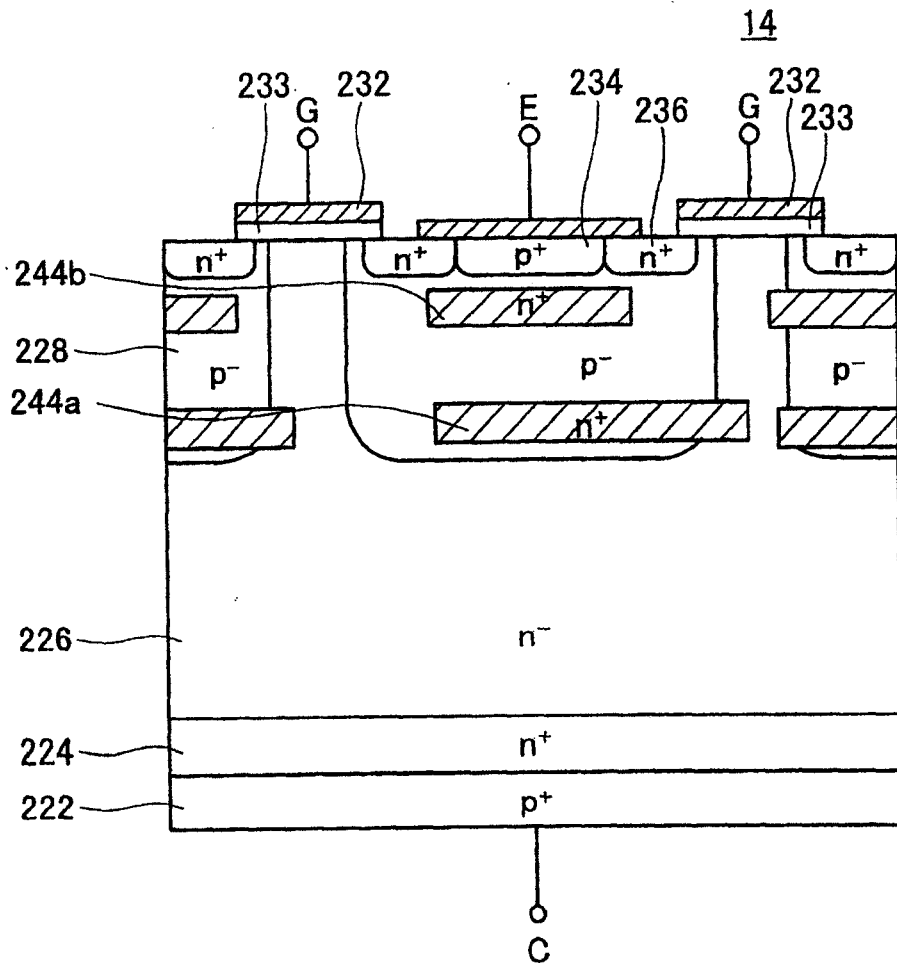


图 16

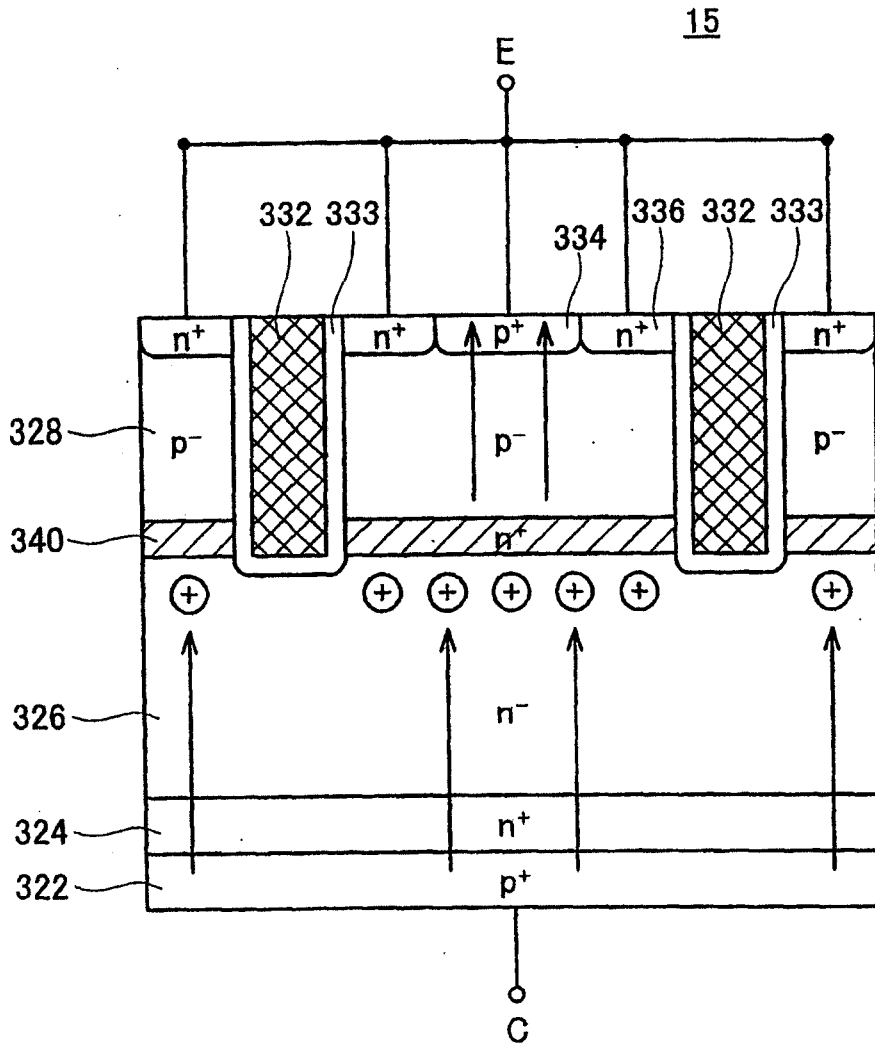


图 17