

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-107494  
(P2018-107494A)

(43) 公開日 平成30年7月5日(2018.7.5)

(51) Int.Cl.	F I	テーマコード (参考)
<b>HO3K 17/567 (2006.01)</b>	HO3K 17/567	5H740
<b>HO2M 1/08 (2006.01)</b>	HO2M 1/08 A	5H770
<b>HO2M 7/48 (2007.01)</b>	HO2M 1/08 341B	5J055
	HO2M 7/48 E	

審査請求 未請求 請求項の数 11 O L (全 17 頁)

(21) 出願番号 特願2016-249055 (P2016-249055)  
(22) 出願日 平成28年12月22日 (2016.12.22)

(71) 出願人 302062931  
ルネサスエレクトロニクス株式会社  
東京都江東区豊洲三丁目2番24号  
(74) 代理人 100103894  
弁理士 冢入 健  
(72) 発明者 近藤 大介  
東京都江東区豊洲三丁目2番24号 ルネ  
サスエレクトロニクス株式会社内  
Fターム(参考) 5H740 BA11 BB02 BB05 BB09 BC01  
BC02 JA01 JB01 KK01 NN17  
5H770 BA01 BA11 CA01 CA02 CA04  
DA03 DA41 GA01 JA19X QA04  
QA05 QA06 QA08

最終頁に続く

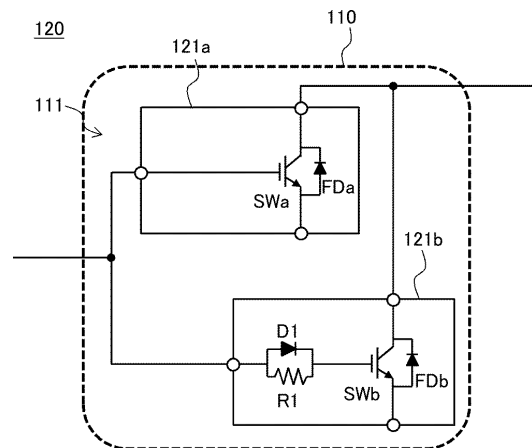
(54) 【発明の名称】 半導体装置及びインバータシステム

(57) 【要約】

【課題】 IGBTなどのパワーランジスタを備えた半導体装置の性能向上を図る。

【解決手段】 半導体装置は、IGBTモジュール110は、並列接続されたIGBT素子SWa及びSWbと、IGBT素子SWaのゲート端子に接続された抵抗R1aと、抵抗R1aと並列接続され、IGBT素子SWaのゲート端子へ向かう方向を順方向とするダイオードD1aとを備える。これにより、ゲート発振の発生を抑えつつ、スイッチング特性を向上することができる。

【選択図】 図13



## 【特許請求の範囲】

## 【請求項 1】

並列接続された第 1 及び第 2 のパワートランジスタと、  
前記第 1 のパワートランジスタの制御端子に接続された第 1 の抵抗と、  
前記第 1 の抵抗と並列接続され、前記第 1 のパワートランジスタの制御端子へ向かう方向を順方向とする第 1 のダイオードと、  
を備える、半導体装置。

## 【請求項 2】

前記第 1 及び第 2 のパワートランジスタの第 1 の端子または第 2 の端子が共通接続され、前記第 1 及び第 2 のパワートランジスタの制御端子が前記第 1 の抵抗及び前記第 1 のダイオードを介して共通接続されている、  
請求項 1 に記載の半導体装置。

10

## 【請求項 3】

前記第 2 のパワートランジスタの制御端子に接続された第 2 の抵抗と、  
前記第 2 の抵抗と並列接続され、前記第 2 のパワートランジスタの制御端子へ向かう方向を順方向とする第 2 のダイオードと、を備える、  
請求項 1 に記載の半導体装置。

## 【請求項 4】

前記第 1 及び第 2 のパワートランジスタは、I G B T 素子である、  
請求項 1 に記載の半導体装置。

20

## 【請求項 5】

前記 I G B T 素子は、チャネル領域の両側を挟んで第 1 及び第 2 のトレンチゲートが配置されたゲート ゲート構造である、  
請求項 4 に記載の半導体装置。

## 【請求項 6】

前記 I G B T 素子は、チャネル領域及びトレンチゲートの両側を挟んで第 1 及び第 2 のトレンチエミッタが配置されたエミッタ ゲート エミッタ構造である、  
請求項 4 に記載の半導体装置。

## 【請求項 7】

前記第 1 のパワートランジスタが形成された半導体チップを実装する第 1 の実装領域と、  
前記第 1 のパワートランジスタと接続される前記第 1 の抵抗及び前記第 1 のダイオードを実装し、前記制御端子のための制御信号が供給される第 2 の実装領域と、を備える、  
請求項 1 に記載の半導体装置。

30

## 【請求項 8】

前記第 1 の抵抗は、面実装型のチップ抵抗である、  
請求項 7 に記載の半導体装置。

## 【請求項 9】

前記第 1 のパワートランジスタ、前記第 1 の抵抗及び前記第 1 のダイオードが形成された半導体チップを実装する第 1 の実装領域と、  
前記第 1 の抵抗及び前記第 1 のダイオードと接続され、前記制御端子のための制御信号が供給される第 2 の実装領域と、を備える、  
請求項 1 に記載の半導体装置。

40

## 【請求項 10】

前記第 1 のパワートランジスタ及び前記第 1 の抵抗が形成された半導体チップを実装する第 1 の実装領域と、  
前記第 1 の抵抗と接続され、前記制御端子のための制御信号が供給される第 2 の実装領域と、  
前記第 1 のパワートランジスタ及び前記第 1 の抵抗と接続され、前記第 1 のダイオードを実装する第 3 の実装領域と、を備える、

50

請求項 1 に記載の半導体装置。

【請求項 1 1】

直列接続された第 1 及び第 2 のパワートランジスタ回路を備えるインバータ回路と、  
前記第 1 及び第 2 のパワートランジスタ回路を駆動する駆動回路と、を備え、  
前記第 1 及び第 2 のパワートランジスタ回路は、  
並列接続された複数のパワートランジスタと、  
前記複数のパワートランジスタのそれぞれの制御端子に接続された複数の抵抗と、  
前記複数の抵抗のそれぞれと並列接続され、前記複数のパワートランジスタのそれぞ  
れの制御端子へ向かう方向を順方向とする複数のダイオードと、  
を備える、インバータシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びインバータシステムに関し、例えば、パワートランジスタを  
備える半導体装置及びインバータシステムに関する。

【背景技術】

【0002】

大電力でモータを駆動したり、エネルギー変換等を行うシステムでは、I G B T (Insu  
lated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ) やパワー M O S  
F E T (Metal Oxide Semiconductor Field Effect Transistor) などのパワートランジ  
スタ (3 端子増幅素子) が広く利用されている。近年、このようなシステムの用途が広が  
っているため、より大電力で負荷を駆動する必要性が増している。

20

【0003】

そこで、大電力でのスイッチングを可能とするため、複数のパワートランジスタを並列  
に接続する方法が知られている (例えば、非特許文献 1 及び 2 参照)。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】富士電機株式会社、“Prime P A C K (登録商標) モジュール  
並列接続”、[online]、<URL : [https://www.fujielectric.co.jp/products/semiconductor/model/igbt/application/box/doc/pdf/RH984b/Parallel%20connection\\_PP\\_J.pdf](https://www.fujielectric.co.jp/products/semiconductor/model/igbt/application/box/doc/pdf/RH984b/Parallel%20connection_PP_J.pdf)>

30

【非特許文献 2】国際ナショナル・レクティブファイアー、“アプリケーション・ノー  
ト: A N - 9 4 1 パワー M O S F E T の並列接続”、[online]、<URL ; <http://www.infineon.com/dgdl/AN-941J.pdf?fileId=5546d46256fb43b301574c6033177c39>>

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記のように、出力の大電力化に伴い、パワートランジスタの並列接続数が増加傾向に  
ある。しかしながら、関連する技術では、パワートランジスタを並列接続した場合に、性  
能が劣化する恐れがあることを、本発明者らは見出した。そこで、一実施の形態では、半  
導体装置の性能向上を図ることを一つの課題とする。

40

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろ  
う。

【課題を解決するための手段】

【0007】

一実施の形態によれば、半導体装置は、第 1 及び第 2 のパワートランジスタ、第 1 の抵  
抗、第 1 のダイオードを備える。第 1 及び第 2 のパワートランジスタは、並列接続されて  
おり、第 1 の抵抗は、第 1 のパワートランジスタの制御端子に接続されている。第 1 のダ  
イオードは、第 1 の抵抗と並列接続され、第 1 のパワートランジスタの制御端子へ向かう

50

方向を順方向とするものである。

【発明の効果】

【0008】

前記一実施の形態によれば、半導体装置の性能向上を図ることができる。

【図面の簡単な説明】

【0009】

【図1】実施の形態1に係る風力発電システムの構成例を示す構成図である。

【図2】実施の形態1に係るIGBT素子の一例を示す概略断面図である。

【図3】実施の形態1に係るIGBT素子の等価回路の一例を示す回路図である。

【図4】実施の形態1に係るIGBT素子の他の例を示す概略断面図である。

10

【図5】実施の形態1に係るIGBT素子の等価回路の他の例を示す回路図である。

【図6】検討例のIGBTモジュールを含むドライブシステムの構成例を示す構成図である。

【図7】検討例のIGBTモジュールにおける負荷短絡時の信号を示す波形図である。

【図8】検討例のIGBTモジュールにおける共振ループの等価回路を含む構成図である。

。

【図9】検討例のIGBTモジュールにおける共振ループの等価回路の構成を示す回路図である。

【図10】実施の形態1に係るIGBTモジュールを含むドライブシステムの構成例を示す構成図である。

20

【図11】実施の形態1に係るIGBTモジュールにおける共振ループの等価回路を含む構成図である。

【図12】実施の形態1に係るIGBTモジュールにおける共振ループの等価回路の構成を示す回路図である。

【図13】実施の形態1に係るIGBTモジュールの他の構成例を示す構成図である。

【図14】参考例のIGBTモジュールの実装例に対応する構成図である。

【図15】参考例のIGBTモジュールの実装例を示す概略平面図である。

【図16】実施の形態2に係るIGBTモジュールの実装例1に対応する構成図である。

【図17】実施の形態2に係るIGBTモジュールの実装例1を示す概略平面図である。

【図18】実施の形態2に係るIGBTモジュールの他の実装例を示す概略平面図である。

30

。

【図19】実施の形態2に係るIGBTモジュールの実装例2に対応する構成図である。

【図20】実施の形態2に係るIGBTモジュールの実装例2を示す概略平面図である。

【図21】実施の形態2に係るIGBTモジュールの実装例3に対応する構成図である。

【図22】実施の形態2に係るIGBTモジュールの実装例3を示す概略平面図である。

【発明を実施するための形態】

【0010】

説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、様々な処理を行う機能ブロックとして図面に記載される各要素は、ハードウェア的には、CPU、メモリ、その他の回路で構成することができ、ソフトウェア的には、メモリにロードされたプログラムなどによって実現される。したがって、これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、またはそれらの組合せによっていろいろな形で実現できることは当業者には理解されるところであり、いずれかに限定されるものではない。なお、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

40

【0011】

(実施の形態1)

以下、図面を参照して実施の形態1について説明する。

【0012】

<実施の形態1のシステムの構成>

50

実施の形態 1 に係るシステムとして、ここでは風力発電システムについて説明する。なお、風力発電システムは、IGBT等のパワーデバイスを用いたシステム（インバータシステム）の一例であり、産業用モータ駆動システムや、他のエネルギー電力変換システム等でもよい。

#### 【0013】

図 1 は、本実施の形態に係る風力発電システムの構成例を示している。図 1 に示すように、本実施の形態に係る風力発電システム 1 は、風車 101、AC 入力部（AC 生成部：AC Generator）102、整流部 103、昇圧部 104、インバータ 100、AC 出力部 105 を備えている。さらに、インバータ 100 を構成する IGBT 回路 111a 及び 111b を駆動するドライバモジュール 112、インバータ制御部（インバータ制御マイクロコンピュータ）113 を備えている。

10

#### 【0014】

AC 入力部 102 は、風車 101 の回転にしたがって AC 電力を生成する発電機である。例えば、AC 入力部 102 は、3 相の AC 電力を生成し整流部 103 へ供給する。整流部（整流回路）103 は、AC 電力を整流して DC 電力に変換する AC / DC 変換部である。整流部 103 は、AC 入力部 102 が生成した 3 相の AC 電力を DC 電力に変換する。整流部 103 は、直列接続されたダイオード（例えば FRD : Fast Recovery Diode）D101 及び D102 を備えており、ダイオード D101 及び D102 のペアが複数並列に接続されている。この例では、3 相の AC 電力に対し 3 相全波整流を行うため、ダイオード D101 及び D102 のペアが 3 つ並列接続され、各ダイオード D101 及び D102 の中間ノードに AC 電力が入力される。

20

#### 【0015】

昇圧部（昇圧チョッパ回路）104 は、整流部 103 が生成した DC 電力を昇圧する。昇圧部 104 は、インダクタ L101、ダイオード D103、コンデンサ C101、IGBT 回路 106 を備えている。整流部 103（ダイオード D101 のカソード側）とインバータ 100（ハイサイド側）の間に、インダクタ L101、ダイオード D103 が直列に接続されている。インダクタ L101 とダイオード D103（アノード側）の間に、ダイオード D101 及び D102 と並列で、IGBT 回路 106 が接続されている。さらに、ダイオード D103（カソード側）とインバータ 100 の間に、IGBT 回路 106 と並列で、コンデンサ C101 が接続されている。昇圧用の制御回路（不図示）により、IGBT 回路 106 のオン/オフを制御することで、昇圧を行う。

30

#### 【0016】

インバータ 100 は、インバータ制御部 113 の制御にしたがって、昇圧された DC 電力を AC 電力に変換する DC / AC 変換部である。インバータ 100 では、IGBT 回路（ハイサイド側スイッチ）111a と IGBT 回路（ローサイド側スイッチ）111b が、IGBT モジュール 110 を構成し、IGBT モジュール 110 が複数並列に接続されている。この例では、3 相の AC 電力を生成するため、IGBT モジュール 110 が 3 つ並列接続され、各 IGBT 回路 111a 及び 111b の中間ノードから AC 電力が出力される。後述のように、IGBT 回路 111a 及び 111b のそれぞれは、複数の IGBT 素子が並列接続されて構成されており、例えば、大電力用途のインバータでは、2 ~ 12 個の IGBT 素子が並列接続されている。

40

#### 【0017】

IGBT モジュール 110 単位で制御するため、IGBT モジュールごとにドライバモジュール 112 を備えている。ドライバモジュール 112 は、インバータ制御部 113 の指示にしたがって、IGBT 回路 111a 及び 111b のオン/オフを制御することで、AC 電力を生成する。例えば、IGBT 回路 111（111a と 111b のいずれか、または両方）とドライバモジュール 112 は、ドライブシステム（インバータシステム）120 を構成する。インバータシステムに本実施の形態に係る IGBT モジュールを適用することで、高速動作が可能となり、効率よく電力を変換することができる。

#### 【0018】

50

AC出力部105は、AC電力の出力先の負荷であり、電力系統やモータ等である。AC出力部105は、インダクタL102とAC負荷回路107を備えており、インダクタL102を介してAC負荷回路107に3相AC電力が供給される。

【0019】

<実施の形態1のIGBTの構成>

次に、本実施の形態に係るインバータ100のIGBT回路111に含まれるIGBT素子の構成例について説明する。

【0020】

図2は、一例として、IGBT素子SW1の概略断面を示しており、図3は、その等化回路の構成を示している。図2の例は、一般的なフローティング層を有するIGBT構造であり、トレンチ電極がゲート-ゲートと並んで形成されるため、GG構造と呼ばれる。この構造により、大電力化に対応することができる。

10

【0021】

図2に示すように、GG構造のIGBT素子SW1は、コレクタ電極（不図示）の上にN-ドリフト層201が形成されている。N-ドリフト層201の上に所定間隔でP型フローティング層202が形成され、P型フローティング層202の間にN型ホールバリア層203が形成されている。N型ホールバリア層203の上に、P型チャンネル領域205（コンタクト層）、N型エミッタ領域（エミッタ層）206が形成されている。

【0022】

N型エミッタ領域206及びP型チャンネル領域205を挟んだ両側に、それぞれゲート電極（トレンチゲート）204が形成されている。ゲート電極204は、N型エミッタ領域206及びP型チャンネル領域205から、N型ホールバリア層203とP型フローティング層202の間に達するトレンチ内に形成されている。P型フローティング層202、ゲート電極204、N型エミッタ領域206を覆うように絶縁膜207が形成されている。絶縁膜207から、N型エミッタ領域206、P型チャンネル領域205（コンタクト層）に達するトレンチに、エミッタ電極（不図示）が形成される。

20

【0023】

図2のようなGG構造のIGBT素子SW1では、図3に示すような寄生容量が生じる。IGBT素子SW1では、各P型フローティング層202を介したフローティング容量 $C_{fp}$ 及び $C_{gp}$ と、N型ホールバリア層203を介したゲート容量 $C_{gd}$ とが、コレクタ-ゲート間容量となる。

30

【0024】

図4は、他の例として、IGBT素子SW2の概略断面を示しており、図5は、その等化回路の構成を示している。図4の例は、フローティング層を介する容量成分を低減したIGBT構造であり、トレンチ電極がエミッタ-ゲート-エミッタと並んで形成されるため、EGE構造と呼ばれる。この構造により、大電力化及び高速化に対応することができる。

【0025】

図4に示すように、EGE構造のIGBT素子SW2は、図2のIGBT素子SW1と比べて、トレンチ電極の構成が異なっている。すなわち、P型チャンネル領域205（コンタクト層）上の中央にN型エミッタ領域（エミッタ層）206が形成され、P型チャンネル領域205及びN型エミッタ領域206の中央にゲート電極（トレンチゲート）204が形成されている。ゲート電極204は、N型エミッタ領域206及びP型チャンネル領域205から、N型ホールバリア層203に達するトレンチ内に形成されている。P型チャンネル領域205を挟んだ両側に、それぞれエミッタ電極（トレンチエミッタ）208が形成されている。エミッタ電極208は、P型チャンネル領域205から、N型ホールバリア層203とP型フローティング層202の間に達するトレンチ内に形成されている。

40

【0026】

図4のようなEGE構造のIGBT素子SW2では、図5のような寄生容量が生じる。IGBT素子SW2では、P型フローティング層202を介したフローティング容量 $C_f$

50

p c 及び C g f p が、コレクタ - エミッタ間に接続されるため、コレクタ - ゲート間容量は、N 型ホールバリア層 2 0 3 を介したゲート容量 C g d のみとなる。このため、E G E 構造では、G G 構造に比べて帰還容量 ( C r e s ) を大幅に低減することができ、高速スイッチングが可能となる。

【 0 0 2 7 】

< 検討例の I G B T モジュールの構成 >

まず、本実施の形態適用前の検討例の I G B T モジュールについて説明する。図 6 は、検討例の I G B T モジュールを含むドライブシステムの構成を示している。

【 0 0 2 8 】

図 6 に示すように、検討例の I G B T モジュール 9 1 0 は、複数の I G B T 実装部 ( 実装基板 ) 9 1 1 を備えている。複数の I G B T 実装部 9 1 1 が、図 1 の I G B T 回路 1 1 1 ( 1 1 1 a もしくは 1 1 1 b ) に相当する。この例では、2 つの I G B T 実装部 9 1 1 a 及び 9 1 1 b が並列接続されている。

10

【 0 0 2 9 】

I G B T 実装部 9 1 1 a 及び 9 1 1 b は、同じ構成であり、それぞれ I G B T 素子 S W ( S W a 、 S W b ) 、ダイオード F D ( F D a 、 F D b : 還流ダイオード ( Free Wheeling Diode ) ) 、抵抗 R 1 ( R 1 a 、 R 1 b ) を備えている。I G B T 素子 S W のコレクタ - エミッタ間にダイオード F D が接続され、I G B T 素子 S W のゲートに抵抗 R 1 ( ダンピング抵抗 ) が接続されている。複数の I G B T 素子 S W のゲートが抵抗 R 1 を介して共通接続され、コレクタも共通接続されている。なお、複数の I G B T 素子 S W のエミッタも共通接続されている ( 不図示 ) 。ゲートの共通ノードにドライバモジュール 1 1 2 が接続され、ドライバモジュール 1 1 2 から制御電圧 ( ゲート電圧 ) が供給される。コレクタの共通ノードに A C 負荷回路 1 0 7 が接続され、この例では、コンデンサ C 1 0 2 が接続されている。なお、ゲートを制御端子と称し、コレクタ及びエミッタ ( M O S F E T であればソース及びドレイン ) のいずれかを第 1 の端子または第 2 の端子と称してもよい。

20

【 0 0 3 0 】

このような構成において、負荷が短絡 ( 地絡 ) するとゲート発振が発生するという問題がある。図 7 は、負荷短絡時における I G B T 素子 S W の各信号波形を示している。図 7 に示すように、負荷が短絡すると、ゲート - エミッタ電圧 V G E 及びコレクタ - エミッタ電圧 V C E の変動は小さいものの、コレクタ電流 I c が上昇し、飽和電流が流れ続ける。そして、温度特性等の影響により一定の発振条件 ( 共振条件 ) が満たされると、ゲート - エミッタ電圧 V G E が発振状態 ( ゲート発振 ) となる。

30

【 0 0 3 1 】

この発振は、負荷短絡時に I G B T の並列接続によって共振ループが形成されることに起因する。図 8 は、その共振ループの寄生成分を示しており、図 9 は、共振ループの等価回路を示している。図 8 に示すように、I G B T 実装部 9 1 1 a にゲート容量 ( コレクタ - ゲート ) 容量 C 0 a 、I G B T 実装部 9 1 1 b にゲート容量 ( コレクタ - ゲート ) 容量 C 0 b 、I G B T 実装部 9 1 1 a 及び 9 1 1 b のコレクタ間に寄生インダクタ L 0 a 、I G B T 実装部 9 1 1 a 及び 9 1 1 b のゲート間に寄生インダクタ L 0 b が生じる。そうすると、図 9 に示すように、抵抗 R 1 a 、ゲート容量 C 0 a 、寄生インダクタ L 0 a 、ゲート容量 C 0 b 、抵抗 R 1 b 、寄生インダクタ L 0 b を含む共振ループに回生電流が流れる。このため、共振ループ内の寄生インダクタ成分が大きい場合、又は各素子の帰還容量 ( ゲート容量 ) が小さい場合、負荷短絡中に図 7 のような発振が生じてしまい問題となる。

40

【 0 0 3 2 】

近年、出力大電力化に伴い、I G B T の並列接続数が増加傾向であるため、寄生インダクタ成分が増加傾向にある。また、スイッチング損失を低減するために帰還容量の低減が求められている。このため、ノイズ・発振抑制に対するデバイス / モジュールの最適化設計が課題となってきた。

【 0 0 3 3 】

例えば、上記の E G E 構造の I G B T 素子 S W 2 の場合、G G 構造の I G B T 素子 S W

50

1 に対してスイッチング損失を大幅に低減することが可能であるが、一方で帰還容量が極端に小さいことにより、並列接続時に発振が発生してしまう。この発振対策のために、共振ループ内のゲート抵抗 ( $R_{1a}$  及び  $R_{1b}$ ) の抵抗値を高く設定する方法も考えられる。しかし、ゲート抵抗の抵抗値を大きくすると高速スイッチングを行うことができない。そこで、本実施の形態では、次のような IGBT モジュール構造とすることで、スイッチング特性への影響を抑えつつ、ゲート発振の発生を防ぐことを可能にする。

#### 【0034】

<実施の形態 1 の IGBT モジュールの構成>

図 10 は、本実施の形態に係る IGBT モジュールの構成を示している。図 10 に示すように、本実施の形態に係る IGBT モジュール 110 は、複数の IGBT 実装部 (実装基板) 121 を備えている。複数の IGBT 実装部 121 が、図 1 の IGBT 回路 111 ( $111b$  もしくは  $111a$ ) に相当する。

10

#### 【0035】

IGBT 実装部 121 ( $121a$ 、 $121b$ ) は、図 6 の検討例の構成に加えて、ダイオード  $D_1$  ( $D_1a$ 、 $D_1b$ ) を備えている。ダイオード  $D_1$  (第 1 及び第 2 のダイオード) は、IGBT 素子  $SW$  のゲートに接続された抵抗  $R_1$  (第 1 及び第 2 の抵抗) と並列に接続されている。ダイオード  $D_1$  は、アノードがドライバモジュール 112 側 (共通ノード側) に接続され、カソードが IGBT 素子  $SW$  のゲート側に接続されており、ゲートへ向かう方向が順方向となっている。ダイオード  $D_1$  及び抵抗  $R_1$  は、IGBT 実装部 121 (半導体チップ) の内部に形成されてもよいし、外付けの部品であってもよい。また、ダイオードはショットキーバリアダイオード ( $SBD$ ) 等を用いてもよい。なお、ダイオード  $D_1$  以外の構成は、図 6 と同様である。

20

#### 【0036】

図 11 は、図 10 の構成における共振ループの寄生成分を示しており、図 12 は、その共振ループの等価回路を示している。図 11 に示すように、図 8 と同様、IGBT 実装部  $121a$  にゲート容量  $C_{0a}$ 、IGBT 実装部  $121b$  にゲート容量  $C_{0b}$ 、IGBT 実装部  $121a$  及び  $121b$  のコレクタ間に寄生インダクタ  $L_{0a}$ 、IGBT 実装部  $121a$  及び  $121b$  のゲート間に寄生インダクタ  $L_{0b}$  が生じる。そうすると、図 12 に示すように、並列接続された抵抗  $R_{1a}$  及びダイオード  $D_{1a}$ 、ゲート容量  $C_{0a}$ 、寄生インダクタ  $L_{0a}$ 、ゲート容量  $C_{0b}$ 、並列接続された抵抗  $R_{1b}$  及びダイオード  $D_{1b}$ 、寄生インダクタ  $L_{0b}$  を含む共振ループとなる。

30

#### 【0037】

共振ループ内の回生電流は、ダイオード  $D_{1a}$  を流れるものの、ダイオード  $D_{1b}$  は逆方向のため電流経路が遮断され、抵抗  $R_{1b}$  を流れようとする。このため、抵抗  $R_{1b}$  (ダンピング抵抗) を高抵抗化することにより、発振を抑えることができる。また、ダイオード  $D_1$  ( $D_{1a}$  及び  $D_{1b}$ ) は、ゲート方向が順方向であるため、ターンオン時のゲートチャージ経路のインピーダンスを低く確保できるため、スイッチングロスの増加も防ぐことができ、高速動作が可能となる。

#### 【0038】

なお、IGBT が 2 並列の場合、共振ループが一つであるため、図 13 に示すように、少なくとも一方の IGBT 素子  $SW$  のゲートに、ダイオード  $D_1$  及び抵抗  $R_1$  の並列回路を挿入する構成でもよい。IGBT が 3 並列以上の場合、共振ループが複数となるため、全ての IGBT 素子  $SW$  のゲートに、ダイオード  $D_1$  及び抵抗  $R_1$  の並列回路を挿入することが好ましい。また、IGBT 素子に限らず、パワー MOSFET 等のパワートランジスタ (ゲート駆動の 3 端子増幅素子) でもよい。すなわち、図 13 のように、IGBT モジュール (半導体装置) 110 は、並列接続された IGBT 素子  $SWb$  (第 1 のパワートランジスタ) と IGBT 素子  $SWa$  (第 2 のパワートランジスタ)、IGBT 素子  $SWb$  のゲート (制御端子) に接続された抵抗  $R_1$  (第 1 の抵抗)、抵抗  $R_1$  と並列接続され、ゲートへ向かう方向を順方向とするダイオード  $D_1$  (第 1 のダイオード) を備えていてもよい。

40

50



## 【 0 0 3 9 】

以上のように、本実施の形態では、I G B Tを並列接続したドライブシステムにおいて、各I G B Tのゲート入力部に並列接続された順方向ダイオード及び抵抗を挿入することとした。これにより、スイッチング損失の増加を抑えつつ発振を抑制することができる。

## 【 0 0 4 0 】

上記検討例のように、発振対策として共振ループ内の抵抗値を上げてダンピング効果を高めることが有効であるが、個別ゲート抵抗値を増やせばデバイスの持つ高速スイッチングの特長を最大限に活かすことができない。発振抑制耐量とスイッチング特性のトレードオフという問題があった。このため、検討例では、E G E構造のような高速のI G B Tを使用しても十分にそのメリットを活かせなかったが、本実施の形態を適用したドライブシステムで使用することで、並列接続用途においても高速スイッチングの特長を活かすことが可能となる。さらに、デバイス/モジュールの最適化設計の自由度を増すことも可能となる。

10

## 【 0 0 4 1 】

(実施の形態2)

本実施の形態では、実施の形態1に係るI G B Tモジュールの実装例について説明する。

## 【 0 0 4 2 】

< 参考例 >

図14は、実施の形態適用前の参考例のI G B Tモジュールの構成を示し、図15は、その実装例を示している。この参考例は、上記検討例と同様に、I G B Tのゲートに抵抗のみを挿入した例である。

20

## 【 0 0 4 3 】

図14に示すように、参考例のI G B Tモジュール920は、I G B T実装部921a及び921bを備えている。I G B T実装部921a及び921bは、それぞれ、I G B T素子S W a及びS W b、ダイオードF D a及びF D bを備えており、抵抗R 1 a及びR 1 bがゲート端子に外付けされている。

## 【 0 0 4 4 】

図15に示すように、参考例のI G B Tモジュール920の実装例では、ゲート電位領域(パターン:第1の実装領域)301a及び301b、コレクタ電位領域(パターン:第2の実装領域)302、エミッタ電位領域(パターン)303を備えている。各領域は、各素子を実装するための島であり、銅板で形成されたベースプレートである。この例では、I G B T素子(I G B Tチップ)S W a及びS W bは、裏面側(不図示)にコレクタ端子(裏面端子)が形成され、表面側にエミッタ端子(パッド)T E及びゲート端子(パッド)T G(表面端子)が形成されている。

30

## 【 0 0 4 5 】

コレクタ電位領域302にI G B T素子(I G B Tチップ)S W a及びS W bが実装され、コレクタ電位領域302にI G B T素子S W a及びS W bの裏面端子(コレクタ端子)が電氣的に接続される。コレクタ電位領域302にダイオード(ダイオードチップ)F D a及びF D bが実装され、コレクタ電位領域302にダイオードF D a及びF D bの裏面端子(カソード端子)が電氣的に接続される。

40

## 【 0 0 4 6 】

抵抗R 1 a及びR 1 bは、面実装タイプのチップ抵抗である。ゲート電位領域301aに抵抗R 1 aが実装されて、ゲート電位領域301aに抵抗R 1 aの裏面端子が電氣的に接続される。ゲート電位領域301bに抵抗R 1 bが実装されて、ゲート電位領域301bに抵抗R 1 bの裏面端子が電氣的に接続される。

## 【 0 0 4 7 】

I G B T素子S W a及びS W bの表面の複数のエミッタ端子T Eが、それぞれ、ダイオードF D a及びF D bの表面端子(アノード端子)を介してエミッタ電位領域303に、ワイヤー配線により電氣的に接続される。I G B T素子S W a及びS W bの表面のゲート

50

端子 T G が、それぞれ、抵抗 R 1 a 及び R 1 b の表面端子に、ワイヤー配線により電氣的に接続される。ゲート電位領域 3 0 1 a 及び 3 0 1 b は、ワイヤー配線により電氣的に接続され、例えば、ゲート電位領域 3 0 1 b は、ドライバモジュール 1 1 2 と電氣的に接続されて、ゲート信号が入力される。

【 0 0 4 8 】

< 実装例 1 >

図 1 6 は、実施の形態 1 に係る I G B T モジュールを実現する構成例を示し、図 1 7 は、その実装例 1 を示している。

【 0 0 4 9 】

図 1 6 に示すように、本実施の形態に係る I G B T モジュール 1 1 0 は、I G B T 実装部 1 2 1 a 及び 1 2 1 b を備えている。I G B T 実装部 1 2 1 a 及び 1 2 1 b は、参考例の I G B T 実装部 9 2 1 a 及び 9 2 1 b と同じ構成であり、抵抗 R 1 a 及びダイオード D 1 a、抵抗 R 1 b 及びダイオード D 1 b がゲート端子に外付けされている。

10

【 0 0 5 0 】

図 1 7 に示すように、本実施の形態に係る I G B T モジュール 1 1 0 の実装例 1 では、ゲート電位領域 3 0 1 a にダイオード D 1 a が実装されて、ダイオード D 1 a のアノード端子がゲート電位領域 3 0 1 a に電氣的に接続され、ダイオード D 1 a のカソード端子が抵抗 R 1 a (面実装タイプのチップ抵抗)の表面端子に電氣的に接続されている。同様に、ゲート電位領域 3 0 1 b にダイオード D 1 b が実装されて、ダイオード D 1 b のアノード端子がゲート電位領域 3 0 1 b に電氣的に接続され、ダイオード D 1 b のカソード端子が抵抗 R 1 b の表面端子に電氣的に接続されている。その他は、参考例と同様である。

20

【 0 0 5 1 】

また、図 1 8 は、他の実装例を示している。図 1 8 は、抵抗 R 1 a 及び R 1 b としてリードタイプ抵抗を使用する例である。この場合、抵抗接続用の領域 (パターン) 3 0 4 a 及び 3 0 4 b、ダイオード接続用の領域 (パターン) 3 0 5 a 及び 3 0 5 b が必要となる。すなわち、抵抗 R 1 a の一端が領域 3 0 4 a に接続され、他端がゲート電位領域 3 0 1 a に接続される。ダイオード D 1 a のアノード端子がゲート電位領域 3 0 1 a に接続され、ダイオード D 1 a のカソード端子が領域 3 0 4 a に電氣的に接続される。同様に、抵抗 R 1 b の一端が領域 3 0 4 b に接続され、他端がゲート電位領域 3 0 1 b に接続される。ダイオード D 1 b のアノード端子がゲート電位領域 3 0 1 b に接続され、ダイオード D 1 b のカソード端子が領域 3 0 4 b に電氣的に接続される。

30

【 0 0 5 2 】

一般的にゲートノード基板は外付け抵抗の有無や仕様によって形状が決まる。面実装タイプの抵抗を使用する場合、図 1 5 に示すような島 (領域) 構成で実現可能であり、一方でリードタイプの抵抗を使用する場合はゲートパッドと接続された独立した島が必要となる。

【 0 0 5 3 】

このためリードタイプ抵抗を用いて本実施の形態を実現する場合、図 1 8 のように基板変更・配線追加が必要となりコストの面でデメリットが大きくなる。一方、面実装タイプの抵抗を使用する場合、図 1 7 に示すように、図 1 5 の構成から基板レイアウトの変更なく、ダイオードを 1 本 (I G B T 毎に) 追加することで実現が可能となる。これにより基板の汎用性を保持出来ると共に、部材コスト・実装工程の増加を最小限に抑えることができる。

40

【 0 0 5 4 】

なお、図 1 8 のように、ゲートパッドから 2 本のリード抵抗・リードダイオードを使用すれば同様な構成は実現可能であるが、パッド面積の制約を受ける可能性がある。

【 0 0 5 5 】

< 実装例 2 >

図 1 9 は、実施の形態 1 に係る I G B T モジュールを実現する他の構成例を示し、図 2 0 は、その実装例 2 を示している。

50

## 【0056】

図19に示すように、本実施の形態に係るIGBTモジュール110は、IGBT実装部121a及び121bを備えている。IGBT実装部121a及び121bは、それぞれ、IGBT素子SWa及びSWb、ダイオードFDa及びFDb、抵抗R1a及びR1b、ダイオードD1a及びD1bを備えている。

## 【0057】

図20に示すように、本実施の形態に係るIGBTモジュール110の実装例2では、IGBT実装部121a及び121b内に、抵抗R1a及びR1b、ダイオードD1a及びD1bが形成されているため、IGBT素子SWa及びSWbのゲート端子TGを、それぞれゲート電位領域301a及び301bに接続するのみでよい。その他は、図17と同様である。

10

## 【0058】

このように、実装例2は、ゲート抵抗と並列ダイオードをIGBTチップ内に内蔵する例である。これにより、外付け部品構成を実施の形態適用前と変更することなく、本実施の形態を実現することが可能となる。

## 【0059】

<実装例3>

図21は、実施の形態1に係るIGBTモジュールを実現する他の構成例を示し、図22は、その実装例3を示している。

## 【0060】

図21に示すように、本実施の形態に係るIGBTモジュール110は、IGBT実装部121a及び121bを備えている。IGBT実装部121a及び121bは、それぞれ、IGBT素子SWa及びSWb、ダイオードFDa及びFDb、抵抗R1a及びR1bを備えており、ダイオードD1a及びD1bがゲート端子に外付けされている。

20

## 【0061】

図22に示すように、本実施の形態に係るIGBTモジュール110の実装例3では、IGBT実装部121a及び121b内に抵抗R1a及びR1bが形成されているため、IGBT素子SWa及びSWbの表面端子として、抵抗R1両端のゲート端子TG1及びTG2を備える。また、ダイオード接続用の領域(パターン:第3の実装領域)306a及び306bを備える。

30

## 【0062】

IGBT実装部121aでは、ゲート端子TG1がゲート電位領域301aに接続され、ゲート端子TG2が領域306aに接続され、ダイオードD1aが領域306aとゲート電位領域301aの間に接続される。IGBT実装部121bでは、ゲート端子TG1がゲート電位領域301bに接続され、ゲート端子TG2が領域306bに接続され、ダイオードD1bが領域306bとゲート電位領域301bの間に接続される。その他は、図17と同様である。

## 【0063】

このように、実装例3は、IGBTチップ内にゲート抵抗のみ内蔵し、抵抗両端のパッドを設け、そこに並列ダイオードを接続する例である。これにより、外付けダイオード1つ(IGBT毎に)で本実施の形態を実現することが可能となる。

40

## 【0064】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

## 【符号の説明】

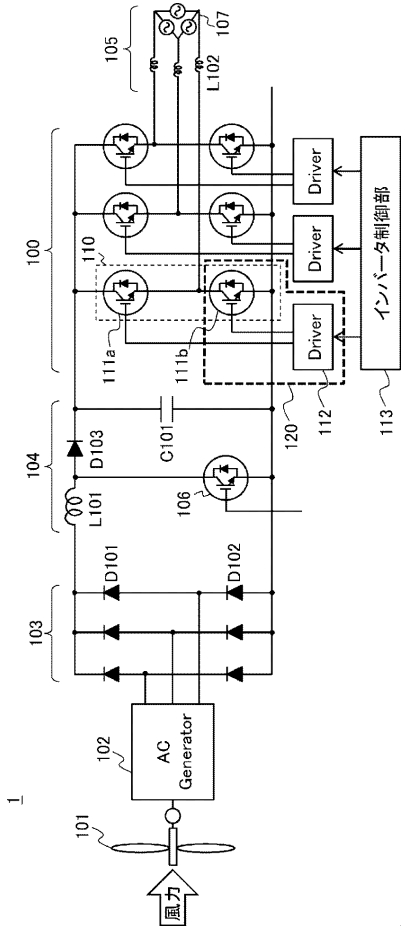
## 【0065】

- 1 風力発電システム
- 100 インバータ
- 101 風車

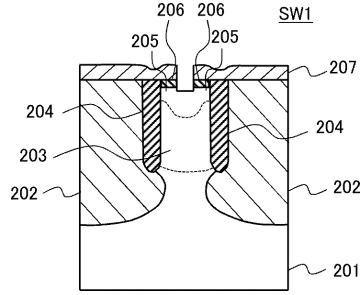
50

1 0 2	A C 入力部	
1 0 3	整流部	
1 0 4	昇圧部	
1 0 5	A C 出力部	
1 0 6	I G B T 回路	
1 0 7	A C 負荷回路	
1 1 0	I G B T モジュール	
1 1 1、1 1 1 a、1 1 1 b	I G B T 回路	
1 1 2	ドライバモジュール	
1 1 3	インバータ制御部	10
1 2 0	ドライブシステム	
1 2 1、1 2 1 a、1 2 1 b	I G B T 実装部	
2 0 1	N - ドリフト層	
2 0 2	P 型フローティング層	
2 0 3	N 型ホールバリア層	
2 0 4	ゲート電極	
2 0 5	P 型チャネル領域	
2 0 6	N 型エミッタ領域	
2 0 7	絶縁膜	
2 0 8	エミッタ電極	20
3 0 1 a、3 0 1 b	ゲート電位領域	
3 0 2	コレクタ電位領域	
3 0 3	エミッタ電位領域	
3 0 4 a、3 0 4 b	領域	
3 0 5 a、3 0 5 b	領域	
3 0 6 a、3 0 6 b	領域	
C 0 a、C 0 b	ゲート容量	
C 1 0 1、C 1 0 2	コンデンサ	
C f p c、C g f p	フローティング容量	
C g d	ゲート容量	30
D 1、D 1 a、D 1 b	ダイオード	
D 1 0 1、D 1 0 2、D 1 0 3	ダイオード	
F D、F D a、F D b	ダイオード	
L 0 a、L 0 b	寄生インダクタ	
L 1 0 1、L 1 0 2	インダクタ	
R 1、R 1 a、R 1 b	抵抗	
S W、S W a、S W b、S W 1、S W 2	I G B T 素子	
T E	エミッタ端子	
T G、T G 1、T G 2	ゲート端子	

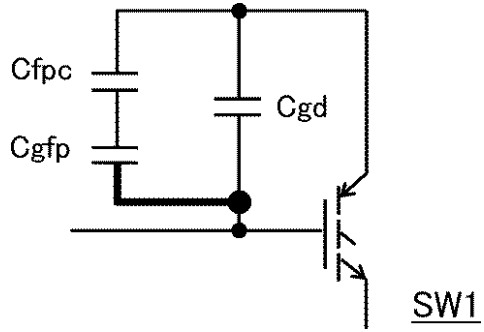
【図1】



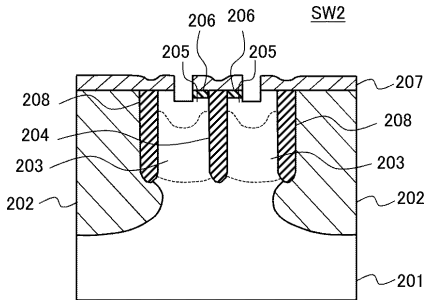
【図2】



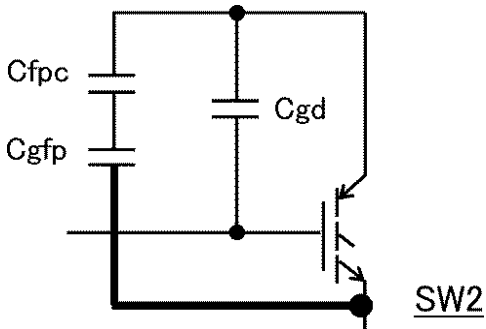
【図3】



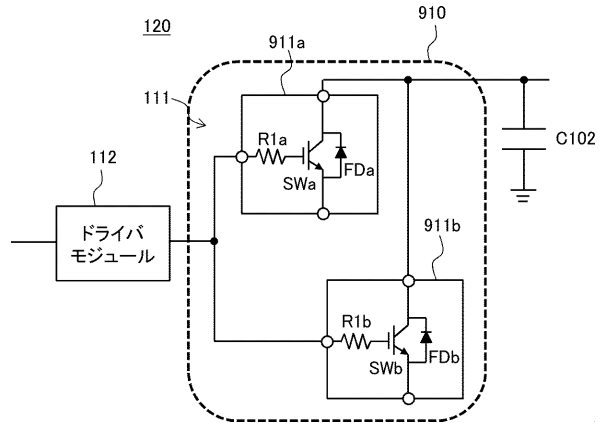
【図4】



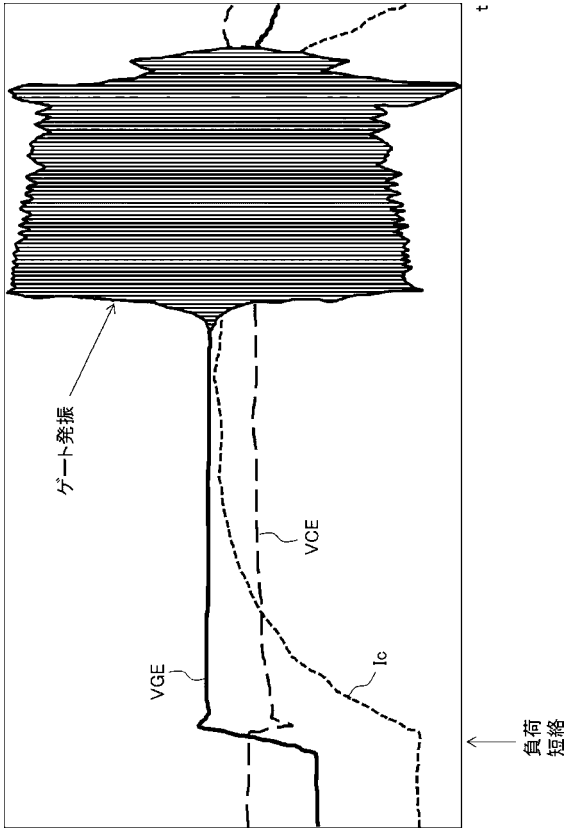
【図5】



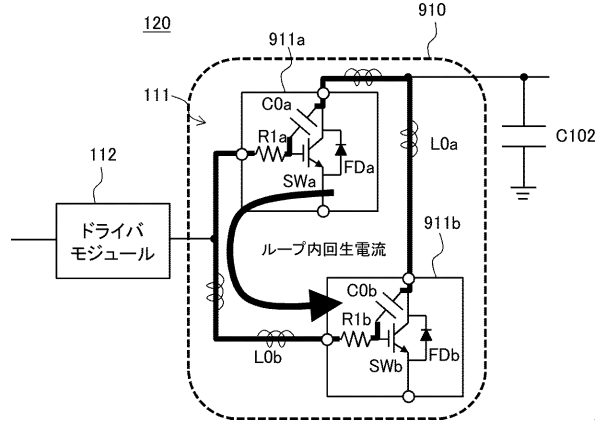
【図6】



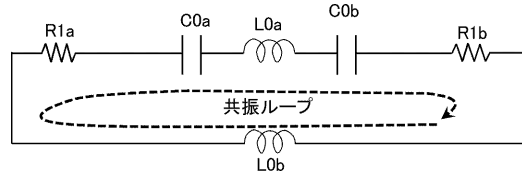
【図7】



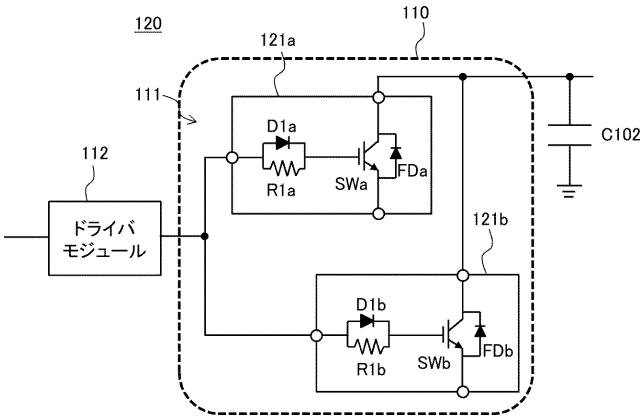
【図8】



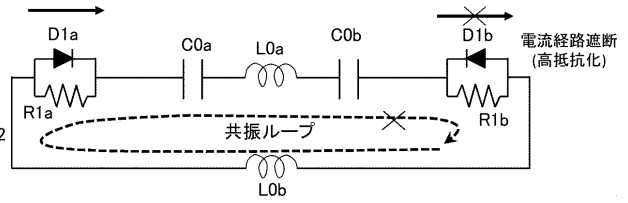
【図9】



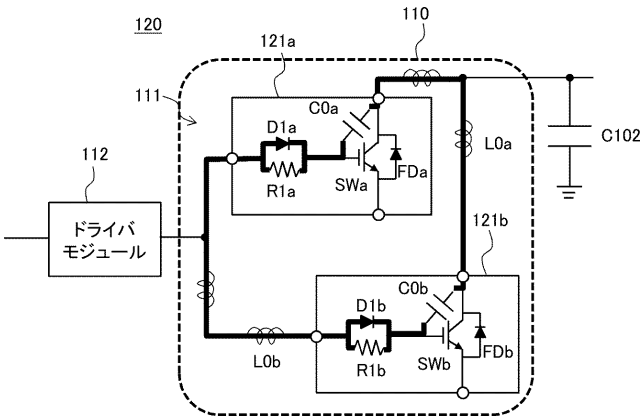
【図10】



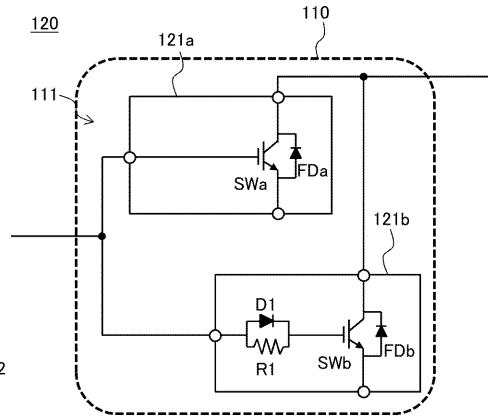
【図12】



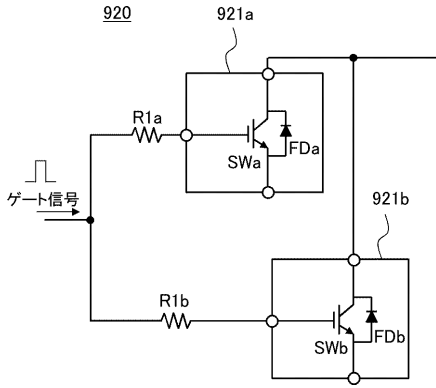
【図11】



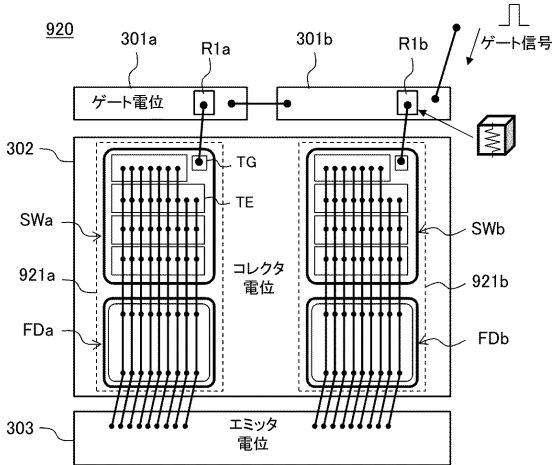
【図13】



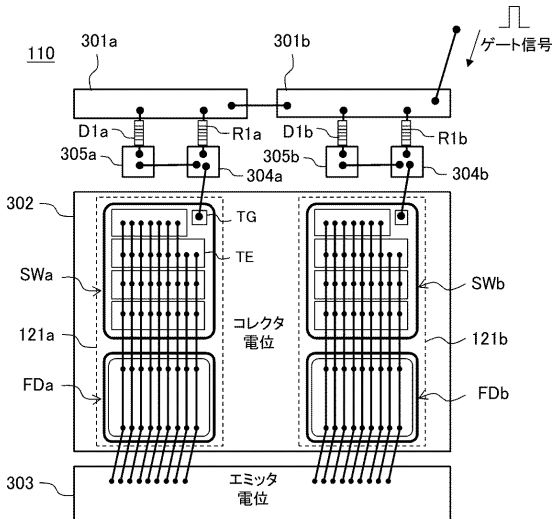
【図 14】



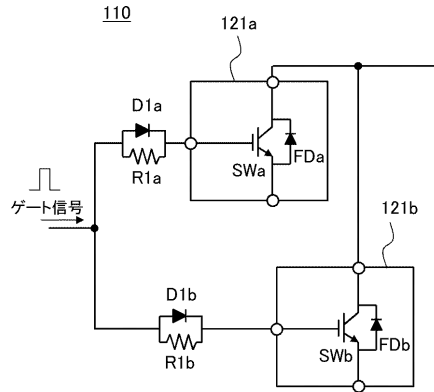
【図 15】



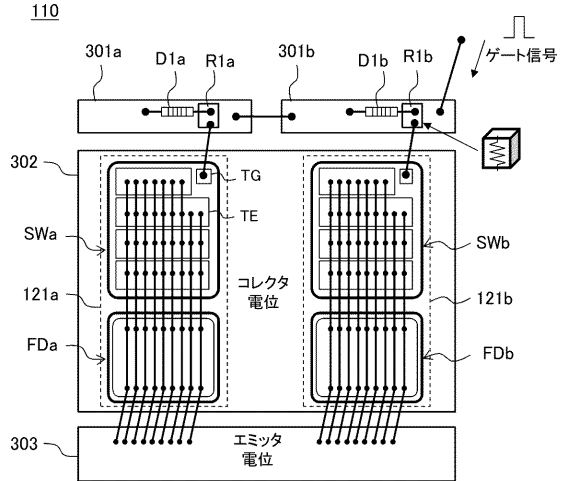
【図 18】



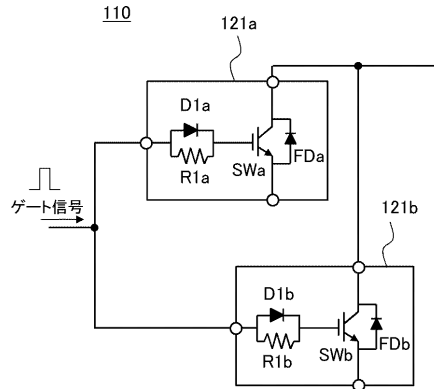
【図 16】



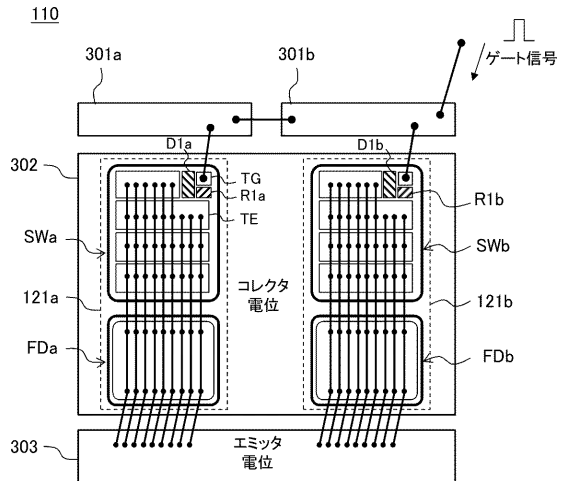
【図 17】



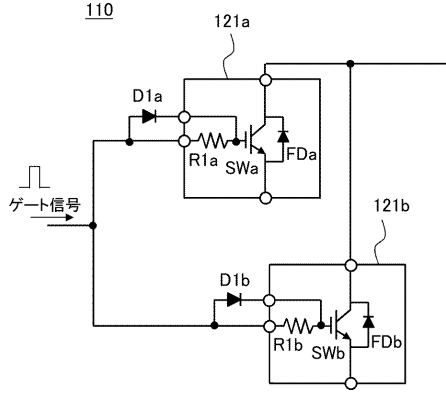
【図 19】



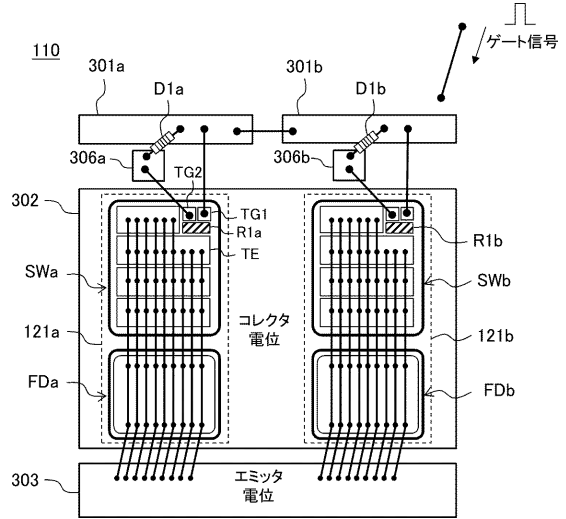
【図 20】



【図 2 1】



【図 2 2】





---

フロントページの続き

Fターム(参考) 5J055 AX02 AX22 AX53 AX64 BX16 CX07 DX09 DX42 DX83 EY01  
EY05 EY10 EY12 GX01 GX05 GX07 GX08