



Brevet d'invention délivré pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

⑫ FASCICULE DU BREVET A5

⑲ Numéro de la demande: 1492/83

⑰ Titulaire(s):
Centre Electronique Horloger S.A., Neuchâtel 7

⑳ Date de dépôt: 18.03.1983

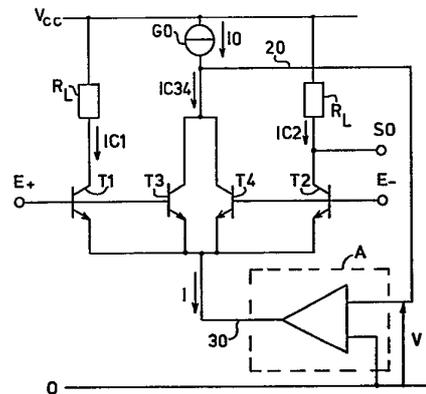
㉒ Brevet délivré le: 30.08.1985

㉔ Fascicule du brevet
publié le: 30.08.1985

⑳ Inventeur(s):
Vittoz, Eric A., Cernier

⑤④ Amplificateur différentiel à transistors bipolaires réalisés en technologie CMOS.

⑤⑦ L'amplificateur comporte une première paire (T1 et T2) de transistors couplés par leur émetteur et dont les bases constituent les entrées (E^+ et E^-). A cette première paire est associée une deuxième paire (T3 et T4) de transistors identiques aux premiers et dont les émetteurs et les bases sont reliés respectivement aux émetteurs et aux bases des transistors (T1 et T2). Les circuits de collecteur des transistors (T3 et T4) sont connectés à un générateur de courant (GO) et à l'entrée d'un amplificateur à transconductance (A) grâce auquel la somme des courants d'émetteur de (T1 à T4) est asservie au courant fourni par le générateur de courant (GO). L'amplificateur décrit s'applique particulièrement lorsque les transistors utilisés ont un gain en courant mal défini.



REVENDEICATIONS

1. Amplificateur différentiel comportant une première paire de transistors, ayant une caractéristique de fonctionnement bipolaire, dont les émetteurs sont reliés l'un à l'autre, dont les collecteurs sont reliés à des éléments de charge et dont au moins l'une des bases constitue une entrée dudit amplificateur différentiel, et étant caractérisé en ce qu'il comporte en outre une deuxième paire de transistors, identiques aux transistors de la première paire, dont les émetteurs sont reliés aux émetteurs des transistors de la première paire, dont les bases sont reliées respectivement aux bases des transistors de la première paire et dont les circuits de collecteur sont alimentés par une première source de courant, et en ce qu'un circuit d'asservissement est prévu, entre les circuits de collecteur des transistors de ladite deuxième paire et le point commun aux émetteurs des transistors desdites première et deuxième paires de manière telle que la somme des courants de collecteur des transistors de ladite première paire soit égale au courant fourni par ladite première source de courant.

2. Amplificateur différentiel selon la revendication 1, caractérisé en ce que ledit circuit d'asservissement est constitué par un amplificateur à transconductance délivrant un courant qui varie de manière croissante avec la tension du point commun aux circuits de collecteur des transistors de ladite deuxième paire, appliquée à son entrée.

3. Amplificateur différentiel selon la revendication 2, caractérisé en ce que ledit amplificateur à transconductance comprend un premier transistor MOS dont la grille est reliée au point commun aux circuits de collecteur des transistors de ladite deuxième paire, dont la source est reliée à une première borne de la source d'alimentation dudit amplificateur différentiel et dont le drain est relié au point commun aux émetteurs des transistors desdites première et deuxième paires et en ce qu'une deuxième source de courant est connectée entre le drain dudit premier transistor MOS et la deuxième borne d'alimentation; le courant fourni par ladite deuxième source de courant devant être supérieur à $2 \cdot \frac{IO}{\alpha}$, où IO est le courant

fourni par ladite première source de courant et α est le rapport du courant de collecteur au courant d'émetteur des transistors desdites première et deuxième paires.

4. Amplificateur différentiel selon la revendication 2, caractérisé en ce que ledit amplificateur à transconductance comprend un premier transistor MOS dont la grille est reliée audit point commun aux circuits de collecteur des transistors de ladite deuxième paire, dont la source est reliée à une source de tension et dont le drain est connecté à travers deux miroirs de courant au point commun aux émetteurs des transistors desdites première et deuxième paires.

5. Amplificateur différentiel selon la revendication 4, caractérisé en ce que ladite source de tension est constituée par un deuxième transistor MOS, d'un type de conductivité opposé à celui dudit premier transistor MOS, dont la source est reliée à la source dudit premier transistor MOS, dont le drain est relié à une borne de la source d'alimentation et dont la grille est reliée à la base de l'un des transistors de ladite première paire.

6. Amplificateur différentiel selon la revendication 2, caractérisé en ce que ledit amplificateur à transconductance comprend un premier transistor MOS dont la grille est reliée au point commun aux circuits de collecteur des transistors de ladite deuxième paire, dont le drain est relié à une borne de la source d'alimentation dudit amplificateur différentiel et dont la source est couplée au point commun aux émetteurs desdites première et deuxième paires par l'intermédiaire d'un miroir de courant.

7. Amplificateur différentiel selon la revendication 6, caractérisé en ce qu'au moins un élément entraînant une chute

de tension est connecté entre la source dudit premier transistor MOS et ledit miroir de courant.

8. Amplificateur différentiel selon l'une quelconque des revendications 1 à 7, caractérisé en ce que les transistors desdites première et deuxième paires présentent chacun une structure de transistor MOS, réalisée dans un substrat d'un premier type de conductivité et comportant un caisson d'un second type de conductivité, une première et une deuxième régions dudit premier type de conductivité formées dans ledit caisson et une grille recouvrant au moins partiellement la zone dudit caisson qui sépare lesdites première et deuxième régions et étant isolée de ladite zone par une couche isolante, lesdites première et deuxième régions et ledit caisson constituant respectivement l'émetteur, le collecteur et la base du transistor et ladite grille et ledit substrat étant polarisés de telle manière que d'une part, le type de conductivité de ladite zone du caisson située sous la grille ne soit jamais inversé et d'autre part, la jonction formée par ledit substrat et ledit caisson soit toujours bloquée.

9. Amplificateur différentiel selon la revendication 8, caractérisé en ce que lesdits transistors d'une même paire ont un caisson commun.

25

La présente invention concerne un amplificateur différentiel formé de transistors à caractéristique de fonctionnement bipolaire et se rapporte plus particulièrement à un amplificateur différentiel de ce type compatible avec une technologie MOS complémentaire standard.

L'évolution actuelle des circuits électroniques intégrés montre un intérêt de plus en plus fort à la possibilité de réaliser sur le même circuit des fonctions analogiques et des fonctions numériques. Bien que les technologies bipolaires s'avèrent plus intéressantes pour les circuits purement analogiques, les technologies MOS gardent l'avantage lorsque la partie numérique du circuit est importante. Bien des tentatives ont été faites pour combiner les avantages des technologies bipolaires et MOS, mais ces tentatives soit impliquent des modifications des procédés de fabrication existants, soit résultent dans des dispositifs aux applications très limitées. A titre d'exemple de procédés modifiés pour permettre l'intégration de dispositifs bipolaires et MOS, on peut citer l'article de M. Darwish et R. Taubenest, intitulé «CMOS» and complementary isolated bipolar transistor monolithic integration process» et paru dans le Journal of the Electrochemical Society, Vol. 121, No 8, August 1974, ainsi que l'article de Otto H. Shade Jr intitulé «Bimos micropower IC's» paru dans IEEE Journal of Solid-State Circuits, Vol. SC-13, No 6, Dec. 1978. Les modifications de procédés consistent, en fait, en des étapes supplémentaires de fabrication; ce qui accroît les coûts et diminue les rendements des circuits.

On a déjà proposé des dispositifs bipolaires réalisables avec une technologie MOS notamment dans les articles de Yannis P. Tsvividis et al, intitulé «A CMOS voltage reference» et paru dans IEEE J. of Solid-State Circuits, Vol. SC-13, No 6, Dec. 1978 et de Eric A. Vittoz et al, intitulé «A low-voltage CMOS bandgap reference» et paru dans la même revue Vol. SC-14, No 3, June 1979. Un dispositif, tel que décrit dans les revues précitées et souvent appelé «transistor MOS au substrat», est représenté à la figure 1. Dans un substrat 1 de type n est réalisé un caisson 2 de type p. Une zone 4 de diffusion n^+ , dans le caisson, est reliée à une électrode E servant d'émetteur tandis que le caisson 2 est relié à une électrode de base B et le substrat 1 à une électrode de collecteur C. Le transistor bipolaire ainsi formé a, par définition, son collecteur C au potentiel du substrat et ce dernier est relié à la tension positive de

la source d'alimentation. On conçoit que les applications d'un tel dispositif soient limitées.

Un autre exemple de dispositif entièrement compatible avec une technologie MOS standard et présentant les caractéristiques d'un transistor bipolaire sans avoir les limitations du transistor MOS au substrat de la figure 1 est représenté à la figure 2. Dans un substrat 10 de type n est réalisé, par exemple au moyen d'une diffusion, un caisson 11 de type p. Le caisson 11 est relié, par l'intermédiaire d'une diffusion 12 de type p⁺, à une électrode de base B, tandis que deux diffusions de type n⁺ sont reliées l'une 14 à une électrode d'émetteur E et l'autre 13 à une électrode de collecteur C. Une grille 16, en métal ou en silicium polycristallin dopé, est déposée sur un oxyde isolant 15 au-dessus de l'espace entre les deux diffusions 13 et 14; elle est reliée à une électrode de grille G. Le substrat 10 est relié à une électrode S par l'intermédiaire d'une diffusion 17 de type n⁺. Cette structure diffère de celle de la figure 1, en ce que le transistor ainsi formé a une structure latérale. L'électrode de grille G est portée à un potentiel suffisamment négatif, pour éviter l'inversion du type de conductivité de la zone située entre les diffusions 13 et 14. On notera qu'il est possible d'omettre la grille 16 dans la mesure où l'on peut empêcher la formation d'un canal dans la zone située entre les diffusions 13 et 14, par exemple en implantant dans cette zone des impuretés de type p. La jonction p-n, caisson 11-substrat 10, est polarisée dans le sens inverse. Lorsque la jonction d'émetteur n⁺ - p est polarisée dans le sens direct, des électrons sont émis dans le caisson 11 (relié à l'électrode de base B), dont une partie est collectée par le collecteur C (la jonction de collecteur n⁺ - p étant polarisée en inverse). On peut alors définir, pour ce transistor bipolaire, un gain en courant $\alpha = \frac{I_C}{I_E}$; où I_E et I_C représentent les courants d'émetteur et de collecteur respectivement. On aura toujours α passablement inférieur à l'unité.

Par contre, le gain en courant $\beta = \frac{I_C}{I_B}$ peut atteindre des valeurs assez grandes, ce qui rend ce dispositif parfaitement utilisable en pratique. Cependant, si dans certaines applications, ce dispositif peut parfaitement être utilisé en lieu et place d'un transistor bipolaire classique, il est d'autres applications où la valeur faible et mal contrôlée de son gain en courant α empêche l'utilisation des schémas classiques des circuits bipolaires. C'est notamment le cas lorsqu'on veut réaliser, à l'aide d'un tel dispositif, un amplificateur différentiel intégré.

On entend par amplificateur différentiel, un circuit comportant une paire, dite paire différentielle, de transistors dont les émetteurs sont reliés à un générateur de courant et dont les courants de collecteur sont définis par les signaux appliqués sur les bases des transistors. De tels circuits sont couramment utilisés pour amplifier une différence entre deux signaux et dans ce cas, la grandeur de sortie est une tension. D'autres circuits sont utilisés pour réaliser un «aiguillage de courant» et dans ce cas, la grandeur de sortie peut être un courant.

Aussi un objet de l'invention est un amplificateur différentiel réalisable à l'aide de dispositifs bipolaires dont la valeur du gain en courant α est faible et mal définie.

Un autre objet de l'invention est un amplificateur différentiel entièrement compatible avec une technologie CMOS standard.

L'amplificateur différentiel de l'invention comporte une première paire de transistors, ayant une caractéristique de fonctionnement bipolaire, dont les émetteurs sont reliés l'un à l'autre, dont les collecteurs sont reliés à des éléments de charge et dont au moins l'une des bases constitue une entrée de l'amplificateur différentiel, et est caractérisé en ce qu'il comporte en outre une deuxième paire de transistors, identiques aux transistors de la première paire, dont les émetteurs sont reliés aux émetteurs des transistors de la première paire,

dont les bases sont reliées respectivement aux bases des transistors de la première paire et dont les circuits de collecteur sont alimentés par une première source de courant, et en ce qu'un circuit d'asservissement est prévu, entre les circuits de collecteur des transistors de ladite deuxième paire et le point commun aux émetteurs des transistors desdites première et deuxième paires de manière telle que la somme des courants de collecteur des transistors de ladite première paire soit égale au courant fourni par ladite source de courant.

D'autres objets, caractéristiques et avantages de la présente invention apparaîtront plus clairement à la lecture de la description suivante, ladite description étant faite à titre purement illustratif et en relation avec les dessins joints dans lesquels:

la figure 1 représente un transistor MOS bipolaire au substrat, connu dans l'art antérieur;

la figure 2 montre un autre transistor bipolaire réalisé à l'aide d'une technologie de type MOS;

la figure 3 montre, sous forme schématique, un amplificateur différentiel selon l'invention;

la figure 4a montre un exemple de réalisation de l'amplificateur A de la figure 3;

la figure 4b est une courbe caractéristique du circuit de la figure 4a;

la figure 5a montre un autre exemple de réalisation de l'amplificateur A de la figure 3;

la figure 5b est une courbe caractéristique du circuit de la figure 5a;

la figure 6 montre une variante du circuit de la figure 5a;

la figure 7a montre un autre exemple de réalisation de l'amplificateur A de la figure 3; et

la figure 7b est une courbe caractéristique du circuit de la figure 7a.

La figure 3 montre, sous une forme schématique, un amplificateur différentiel selon l'invention. Il comprend classiquement deux transistors bipolaires de type npn T1 et T2, dont les émetteurs sont reliés l'un à l'autre, dont les collecteurs sont reliés à travers une charge R_L à une borne V_{cc} d'une source de tension d'alimentation et dont les bases constituent les bornes d'entrée E+ et E-, le collecteur du transistor T2 étant relié à une borne de sortie SO. Dans les circuits classiques réalisés en technologie bipolaire, la somme des courants d'émetteur est fixée par un générateur de courant qui est connecté en série avec les émetteurs. Comme le gain en courant α des transistors est très proche de l'unité, la somme des courants de collecteur est également constante et bien déterminée. Dans le cas des transistors bipolaires réalisés en technologie MOS, tel le transistor de la figure 2, le gain en courant α est non seulement différent de l'unité mais n'est, de plus, pas défini d'une intégration à l'autre. Il n'est donc pas possible d'utiliser, dans ce cas, le même principe de polarisation que dans les circuits classiques. Ainsi, selon l'invention, il est proposé d'adjoindre aux deux transistors T1 et T2 deux autres transistors T3 et T4, identiques aux premiers, dont les électrodes de base et d'émetteur sont reliées aux électrodes correspondantes des transistors T1 et T2. Les collecteurs des transistors T3 et T4 sont reliés l'un à l'autre et sont alimentés par un générateur de courant GO qui délivre un courant IO. Le point commun aux collecteurs de T3 et T4 est relié, via la liaison 20, à l'entrée d'un amplificateur à transconductance A. Cet amplificateur A délivre à sa sortie un courant I qui varie de manière croissante avec la tension V appliquée à son entrée. Le courant I de sortie de l'amplificateur A représente la somme des courants d'émetteur des transistors T1 à T4 circulant sur la liaison 30. Si l'ensemble est convenablement dimensionné et si la tension collecteur-émetteur des transistors T1 à T4 est supérieure à quelques dixièmes de volt, le montage a un point d'équilibre P pour lequel: IC1 + IC2 = IC3 + IC4 = IO; ce qui

correspond à $I = 2 \cdot \frac{IO}{\alpha}$. En ce point d'équilibre, la tension V à l'entrée de l'amplificateur A prend la valeur VO qui doit être telle que la tension collecteur-émetteur de T3 et T4 soit supérieure à quelques dixièmes de volt.

Bien que les transistors T1 à T4 de la figure 3 soient représentés comme des transistors bipolaires classiques, il est clair cependant que le schéma de la figure 3 s'applique plus particulièrement au cas des transistors dont le gain en courant α est mal défini, tels les transistors représentés à la figure 2. Si des transistors, comme représentés à la figure 2, sont utilisés, ils comportent une électrode de grille (borne G de la figure 2) et une électrode reliée au substrat (borne S de la figure 2). Pour chacun des transistors T1 à T4, l'électrode de grille doit être portée à un potentiel suffisamment négatif par rapport à l'émetteur pour ne pas avoir d'inversion du type de conductivité de la zone recouverte par la grille. Pratiquement cette électrode de grille pourra être reliée à la borne négative d'alimentation du circuit (borne 0 de la figure 3). L'électrode reliée au substrat doit être portée à un potentiel tel que, pour chacun des transistors T1 à T4, la jonction caisson 11-substrat 10 (figure 2) soit polarisée dans le sens inverse. Pratiquement le substrat sera relié à la borne positive V_{cc} d'alimentation du circuit. Les résistances de charge R_L en série avec les collecteurs de T1 et T2 peuvent être réalisées à l'aide de transistors MOS connectés en diode ou par tout autre moyen équivalent. En particulier, ces éléments de charge peuvent être constitués par un circuit associé fournissant aux collecteurs des transistors T1 et T2 des courants donnés. On notera que, les bases des transistors d'une même paire (T1 et T3 ou T2 et T4) étant reliées, ces transistors peuvent être réalisés dans le même caisson.

La figure 4a montre un exemple de réalisation de l'amplificateur A de la figure 3 et la figure 4b représente la courbe caractéristique du circuit de la figure 4a. L'amplificateur A de la figure 4a comprend un transistor MOS à canal p T5 connecté en série avec une source de courant G_p entre les bornes d'alimentation du circuit. La grille de T5, reliée aux collecteurs des transistors T3 et T4 (figure 3) par la liaison 20, est portée à un potentiel V . Le courant I de sortie de l'amplificateur, apparaissant sur la liaison 30, est tel que: $I = I_p - ID_5$, où I_p est le courant fourni par la source de courant G_p et ID_5 est le courant de drain du transistor T5. La variation du courant de sortie I en fonction de la tension d'entrée V de l'amplificateur A est représentée à la figure 4b. Si le courant I_p est supérieur à $2 \cdot \frac{IO}{\alpha}$, l'équilibre du circuit est atteint pour une valeur du courant de sortie égale à la valeur $2 \cdot \frac{IO}{\alpha}$ auquel correspond une tension d'entrée V égale à VO . Il est clair que, pour remplir la condition sur la valeur du courant I_p , il est possible d'asservir ce courant au courant IO , par exemple au moyen de miroirs de courant dont le rapport est supérieur à la valeur maximum de $\frac{2}{\alpha}$.

La figure 5a montre un autre exemple de réalisation de l'amplificateur A et la figure 5b représente la courbe caractéristique du circuit de la figure 5a. L'amplificateur A de la figure 5a comprend un transistor MOS T5 à canal n, dont la source est portée à un potentiel V_p par rapport à la borne O d'alimentation. Le courant de drain ID_5 de T5 est transformé en un courant de sortie I par l'intermédiaire de deux miroirs de courant; formés des transistors MOS à canal p T6 et T7 pour le premier et des transistors MOS à canal n T8 et T9 pour le deuxième. La figure 5b montre la variation du courant de sortie I de l'amplificateur A en fonction de la tension V de la grille de T5. Le point P de coordonnées VO et $2 \cdot \frac{IO}{\alpha}$ correspond au point d'équilibre du circuit. La tension V_p doit être assez élevée pour assurer une tension collecteur-émetteur de T3 et T4 supérieure à quelques dixièmes de volt.

La figure 6 montre comment la tension de source de T5 peut être asservie au niveau de la tension d'entrée appliquée à la borne d'entrée E^- (figure 3) de l'amplificateur différentiel. La borne d'entrée E^- est reliée à la grille d'un transistor MOS à canal p T10 dont le drain est relié à la borne O du circuit et la source est reliée à la source de T5. La tension V_p , par rapport à la borne O, de la source de T5 est ainsi asservie à la tension d'entrée de l'amplificateur différentiel.

La figure 7a montre un autre exemple de réalisation de l'amplificateur A et la figure 7b représente la courbe caractéristique du circuit de la figure 7a. L'amplificateur A de la figure 7a comprend un transistor MOS à canal n T5 travaillant en mode drain-commun et chargé par un miroir de courant formé par les transistors T11 et T12. La tension d'entrée V de la grille de T5 est égale à la somme des tensions grille-source des transistors T11 et T5 traversés par un courant $\frac{I}{K}$, où K est le rapport des courants du miroir de courant formé par T11 et T12. La tension d'équilibre VO , pour laquelle le courant de sortie I est égal à $2 \cdot \frac{IO}{\alpha}$ (figure 7b), peut être augmentée en ajoutant entre T5 et T11 un ou plusieurs éléments provoquant une chute de tension, tels, par exemple, les transistors T13 et T14 montés en diodes et représentés en pointillé sur la figure 7a.

Bien que la présente invention ait été décrite dans le cadre d'exemples de réalisation particuliers, il est clair qu'elle n'est cependant pas limitée auxdits exemples et qu'elle est susceptible de modifications ou de variantes sans sortir de son cadre. Il est clair en effet qu'elle s'applique également dans le cas d'une technologie MOS basée sur l'utilisation d'un substrat de type p et de caissons de type n. Par ailleurs, bien que les différentes variantes aient été décrites en relation avec un dispositif bipolaire particulier représenté à la figure 2, on comprend aisément que la présente invention s'applique, de manière générale, à tout dispositif bipolaire dont le gain en courant est faible et mal contrôlé.

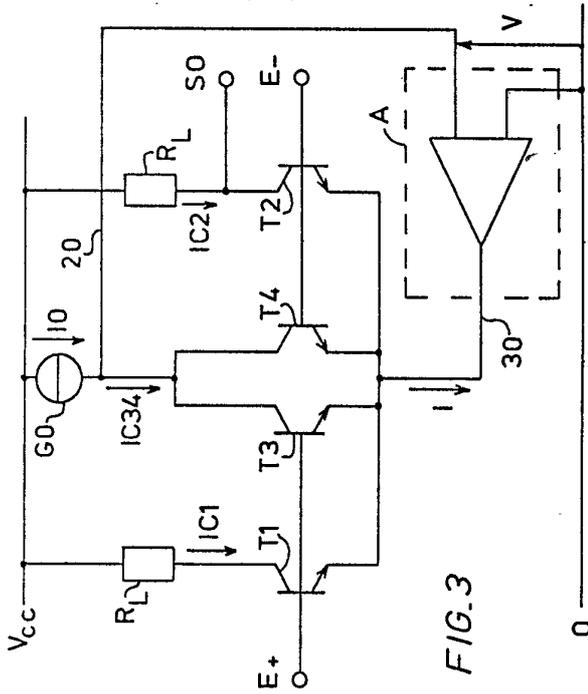


FIG. 3

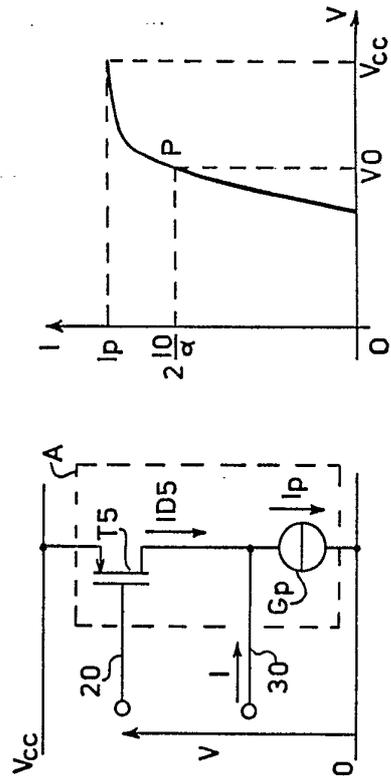


FIG. 4.b

FIG. 4.a

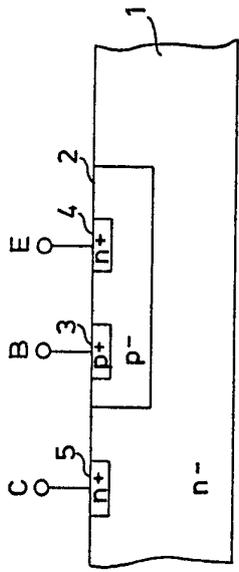


FIG. 1

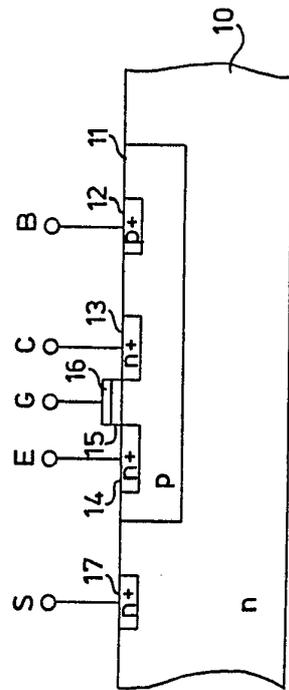


FIG. 2

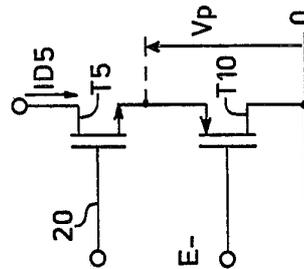
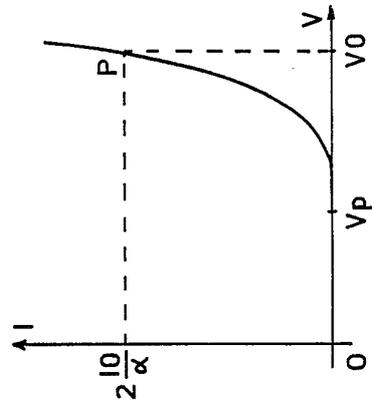
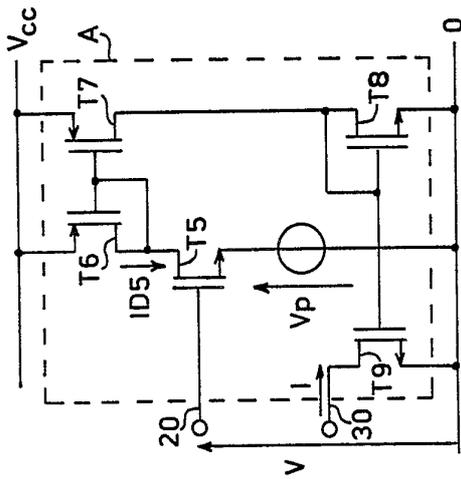
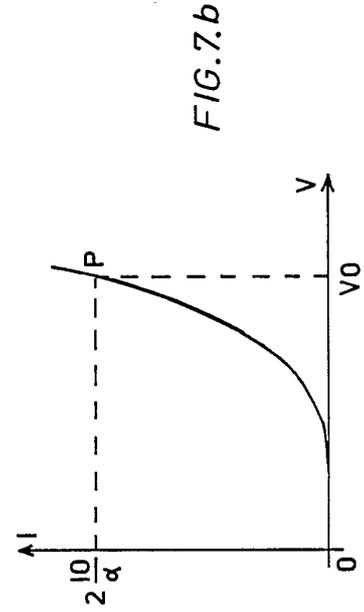
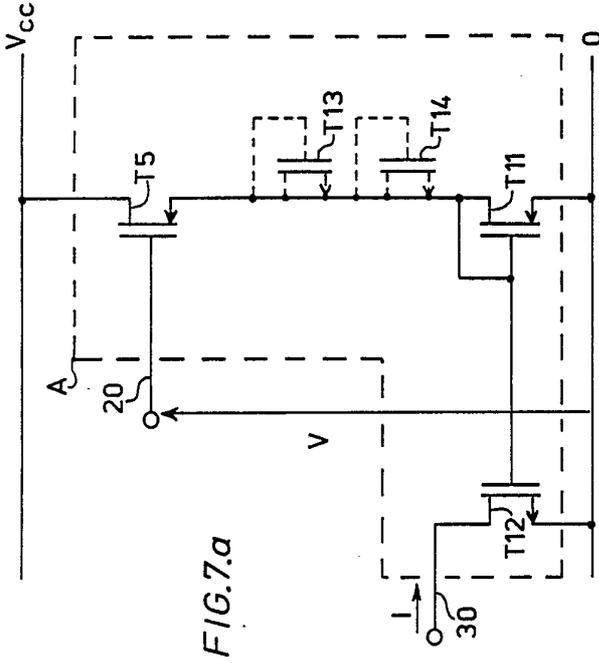


FIG.5.b

FIG.6