

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6105236号  
(P6105236)

(45) 発行日 平成29年3月29日 (2017.3.29)

(24) 登録日 平成29年3月10日 (2017.3.10)

(51) Int. Cl.		F I			
<b>GO 1 R</b>	<b>31/327</b>	<b>(2006.01)</b>	<b>GO 1 R</b>	<b>31/32</b>	<b>E</b>
<b>GO 1 R</b>	<b>31/333</b>	<b>(2006.01)</b>	<b>HO 2 H</b>	<b>3/05</b>	<b>E</b>
<b>HO 2 H</b>	<b>3/05</b>	<b>(2006.01)</b>	<b>HO 2 H</b>	<b>3/05</b>	<b>F</b>

請求項の数 8 (全 23 頁)

(21) 出願番号	特願2012-199636 (P2012-199636)	(73) 特許権者	000006013
(22) 出願日	平成24年9月11日 (2012.9.11)		三菱電機株式会社
(65) 公開番号	特開2014-55800 (P2014-55800A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成26年3月27日 (2014.3.27)	(74) 代理人	110001195
審査請求日	平成26年12月19日 (2014.12.19)		特許業務法人深見特許事務所
前置審査		(72) 発明者	尾田 重遠
			東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
		審査官	續山 浩二

最終頁に続く

(54) 【発明の名称】 マージングユニット

(57) 【特許請求の範囲】

【請求項1】

電力系統から少なくとも電流または電圧の情報を収集するマージングユニットであって、

前記電力系統から取得されるアナログ信号を処理して電力系統の状態を示すデジタルデータを出力する処理部と、

予め取得されたデジタルデータである試験用データによって定義された波形データを、所定周期で繰り返し出力することで試験用信号を発生する信号発生部と、

前記処理部が前記試験用信号を処理することで得られる結果から前記試験用信号に対応する波形を復元するとともに、復元された波形を、前記試験用信号に基づいて評価することで、前記処理部の健全性を判断する判断部と、

外部から前記試験用データを取得するための取得手段とを備える、マージングユニット

【請求項2】

前記処理部は、

アナログ信号をデジタル信号に変換する入力処理部と、

前記入力処理部からのデジタル信号を信号処理するデータ処理部とを含み、

前記信号発生部は、前記試験用データに基づいて、アナログ信号としての前記試験用信号を発生するとともに、発生した試験用信号を前記入力処理部へ入力し、

前記判断部は、前記データ処理部による処理結果と前記試験用データとを比較する比較

部を含む、請求項 1 に記載のマーキングユニット。

【請求項 3】

前記入力処理部は、入力信号として、前記電力系統から取得されるアナログ信号と前記試験用信号とを選択するための切替部をさらに含む、請求項 2 に記載のマーキングユニット。

【請求項 4】

前記処理部は、前記データ処理部による処理結果を外部装置へ伝送するための伝送信号に変換する出力処理部をさらに含み、

前記判断部は、前記出力処理部から出力される前記伝送信号から前記データ処理部による処理結果を復元する復元部をさらに含む、請求項 2 または 3 に記載のマーキングユニット。

10

【請求項 5】

前記処理部は、デジタル信号を信号処理するデータ処理部を含み、

前記信号発生部は、前記試験用データに基づいて、デジタル信号としての前記試験用信号を発生するとともに、発生した試験用信号を前記データ処理部へ入力し、

前記判断部は、前記データ処理部による処理結果と前記試験用データとを比較する比較部を含む、請求項 1 に記載のマーキングユニット。

【請求項 6】

前記処理部は、アナログ信号をデジタル信号に変換して前記データ処理部へ出力する入力処理部をさらに含み、

20

前記入力処理部は、前記データ処理部へ出力する信号を、前記電力系統から取得されるアナログ信号を変換して得られるデジタル信号との間で選択するための切替部をさらに含む、請求項 5 に記載のマーキングユニット。

【請求項 7】

前記処理部は、前記データ処理部による処理結果を外部装置へ伝送するための伝送信号に変換する出力処理部をさらに含み、

前記判断部は、前記出力処理部から出力される前記伝送信号から前記データ処理部による処理結果を復元する復元部をさらに含む、請求項 5 または 6 に記載のマーキングユニット。

【請求項 8】

30

前記処理部は、

アナログ信号をデジタル信号に変換する入力処理部と、

前記入力処理部からのデジタル信号を信号処理するデータ処理部とを含み、

前記信号発生部は、前記試験用データに基づいて、デジタル信号としての前記試験用信号を発生し、

前記入力処理部は、

前記電力系統から取得される少なくとも 1 つのアナログ信号および前記試験用信号から 1 つの信号を所定順序で選択切替える選択部と、

前記選択部により選択される信号をデジタル信号に変換するデジタル変換部とを含み

40

前記判断部は、前記選択部により前記試験用信号が選択された際の前記データ処理部による処理結果と前記試験用データとを比較する比較部を含む、請求項 1 に記載のマーキングユニット。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力系統から少なくとも電流または電圧の情報を収集するマーキングユニットに関する。

【背景技術】

【0002】

50

電力系統から電流や電圧の情報を取得するとともに、電力系統や電力設備に故障が発生した場合に、当該故障を検知するとともに、当該故障を電力系統から切り離すために保護リレー装置が用いられる。このような保護リレー装置は、高い信頼性が必要であり、出荷前または運用中において各種の性能確認試験が行なわれる。

#### 【0003】

特開2011-155779号公報(特許文献1)は、試験機能を具備した電力用デジタル保護リレー装置を開示する。この電力用デジタル保護リレー装置では、系統故障時の電圧波形や電流波形のデータ及び系統側の機器条件等の入力条件をあらかじめ書き込みしたメモリがデジタルリレー内部に設けられている。そして、系統側から取り込みするアナログ入力量か、メモリに書き込みしてある波形データのいずれかを読み出すように、外部から切替え可能な切替えスイッチが設けられている。リレー装置の検証を実施する場合には、切替えスイッチが波形データのメモリ側に切替えられ、メモリに書き込まれている波形データを保護リレーのサンプリング周期で逐次読み出し、この読出したデータに従って、リレーの演算を実施することで、模擬送電線等を利用して、系統故障を模擬した電流、電圧波形を外部から印加した場合と同様の効果が得られるようになっている。あるいは、上記切替えスイッチをアナログフィルターの前段に設けるなどして、検証範囲をアナログ回路まで広げることにもできる(特に、段落[0020]、[0024]および図4、8等参照)。

#### 【0004】

ところで、近年の情報通信技術の進歩に伴って、電力系統に係る設備についてもネットワーク化が進んでいる。このようなネットワーク化の一つとして、分散型の保護制御システムが実用化されている。この保護制御システムは、典型的には、電力系統から少なくとも電流または電圧の情報を収集する1または複数のマーキングユニットと、これらのマーキングユニットからの情報に基づいて、電力系統を保護、制御、監視するための演算装置とからなる。

#### 【先行技術文献】

#### 【特許文献】

#### 【0005】

【特許文献1】特開2011-155779号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0006】

上述のようなマーキングユニットについても出荷前または運用中において性能確認試験を行なう必要がある。しかしながら、電力系統の情報を収集する機能が主たる機能であるマーキングユニットについては、その性能(典型的には、マーキングユニット自体の健全性)を評価するための適切な手段が存在しなかった。

#### 【0007】

上述の特開2011-155779号公報(特許文献1)に記載の発明は、電力用デジタル保護リレー装置に搭載された保護機能についての試験機能に向けられている。すなわち、特許文献1に記載の発明は、故障時の過渡的な波形条件を模擬することで、搭載されているリレー演算機能を評価することをその目的としている。そのため、特許文献1に記載の発明は、簡易的な手法を用いて、模擬送電線の故障波形をリレー入力へ印加する構成を解決手段として採用している。リレー演算機能を評価するためには、例えば、系統故障を模擬した電圧波形および電流波形を、故障前の数100ms、故障中の数100ms、および故障後の数100msの合計1秒以上に亘ってメモリ内に格納しておく必要がある。さらに、それぞれのリレー演算機能のロジックを評価するためには、系統故障を模擬する波形を100ケース以上用意しておく必要がある。そのため、試験対象の故障モード毎に異なる波形データを用意する必要があり、同時に、それらを格納するための大容量のメモリが必要となる。そのため、この構成および方法は、マーキングユニット自体の健全性を評価するという目的には適していない。

## 【 0 0 0 8 】

また、特許文献 1 に記載の発明は、リレー演算機能のアルゴリズムを実現するソフトウェアの検証をその主たる目的としており、リレー演算機能に係るアルゴリズムを検証する必要のないマーキングユニットの試験、すなわちハードウェアの健全性を評価する試験としては、その内容および手順が複雑すぎるという課題もある。

## 【 0 0 0 9 】

本発明は、このような問題を解決するためになされたものであり、その目的は、ハードウェアの健全性を容易に評価できるマーキングユニットを提供することである。

## 【課題を解決するための手段】

## 【 0 0 1 0 】

本発明のある局面に従えば、電力系統から少なくとも電流または電圧の情報を収集するマーキングユニットが提供される。マーキングユニットは、電力系統から取得されるアナログ信号を処理して電力系統の状態を示すデジタルデータを出力する処理部と、試験用信号を発生する信号発生部と、処理部が試験用信号を処理することで得られる結果を、試験用信号に基づいて評価することで、処理部の健全性を判断する判断部とを含む。

## 【発明の効果】

## 【 0 0 1 1 】

本発明によれば、マーキングユニットにおけるハードウェアの健全性を容易に評価できる。

## 【図面の簡単な説明】

## 【 0 0 1 2 】

【図 1】本実施の形態に従うマーキングユニットを含む保護制御システムの全体構成を示す模式図である。

【図 2】本実施の形態に従うマーキングユニットの機能構成を示す模式図である。

【図 3】実施の形態 1 に従うマーキングユニットの構成を示す模式図である。

【図 4】実施の形態 1 に従うマーキングユニットにおける試験用信号の発生処理を説明するための模式図である。

【図 5】実施の形態 2 に従うマーキングユニットの構成を示す模式図である。

【図 6】実施の形態 3 に従うマーキングユニットの構成を示す模式図である。

【図 7】実施の形態 4 に従うマーキングユニットの構成を示す模式図である。

【図 8】実施の形態 5 に従うマーキングユニットの構成を示す模式図である。

【図 9】実施の形態 6 に従うマーキングユニットの構成を示す模式図である。

【図 10】実施の形態 7 に従うマーキングユニットの構成を示す模式図である。

【図 11】実施の形態 7 に従うマーキングユニットにおけるデジタルデータの抽出処理を説明するための模式図である。

## 【発明を実施するための形態】

## 【 0 0 1 3 】

本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中の同一または相当部分については、同一符号を付してその説明は繰返さない。

## 【 0 0 1 4 】

## [ A . 全体システム構成 ]

まず、本発明の実施の形態に従うマーキングユニット ( Merging Unit : 以下「 M U 」とも記す。 ) を含む保護制御システムの全体構成について説明する。

## 【 0 0 1 5 】

図 1 は、本実施の形態に従うマーキングユニットを含む保護制御システムの全体構成を示す模式図である。図 1 を参照して、保護制御システム 1 は、変電所や配電所等に設けられ、電力系統の情報を収集するとともに、収集した情報に基づいて、電力系統の保護、制御、監視等の処理を実行する。より具体的には、保護制御システム 1 は、電力系統から電流や電圧などの情報を収集する複数のマーキングユニット 10 - 1 ~ 10 - 5 ( 以下、「マーキングユニット 10」と総称する場合もある。 ) と、電力系統の保護、制御、監視す

10

20

30

40

50

るための複数の演算装置 ( Intelligent Electric Device : 以下「 I E D 」とも称す。 )  
20 - 1 ~ 20 - N ( 以下、「 I E D 20 」と総称する場合もある。 ) とを含む。マー  
ジングユニット 10 - 1 ~ 10 - 5 と I E D 20 - 1 ~ 20 - N との間は、プロセスバス 2  
2 を介して、互いにデータ通信可能になっている。一般的に、保護制御システム 1 にお  
いては、用途 ( 例えば、保護の対象や制御の対象毎 ) に応じて複数の I E D 20 が配置され  
る。このような用途別の I E D としては、例えば、保護機能を実現する保護 I E D や、制  
御機能を実現する制御 I E D が挙げられる。

#### 【 0016 】

各マーキングユニット 10 は、収集した電力系統からの情報を対応の I E D 20 へ送  
出す。 I E D 20 は、それぞれのマーキングユニット 10 からの情報に基づいて、電力系  
統の保護、制御、監視等の処理を実行する。より具体的には、 I E D 20 は、保護機能の  
一例として、予め設定されたりレー演算ロジックが成立するかを所定周期で判断すると  
ともに、リレー演算ロジックが成立すると、対応する遮断器に対してトリップ信号を出力す  
る。このトリップ信号は、プロセスバス 22 を介して伝送されてもよい。また、 I E D 20  
は、制御機能の一例として、電力系統における開閉器の投入 / 開放などの指令を出力す  
ることもできる。さらに、 I E D 20 は、監視機能の一例として、何らかの系統故障が発  
生した場合に、その前後における電力系統の情報をロギングすることもでき、また、電力  
系統の状態をリアルタイムで出力することもできる。例えば、 I E D 20 は、ステーショ  
ンバス 24 を介して、変電所自動化システム ( Substation Automation System : S A S )  
装置 26 および遠方監視制御装置 28 と接続される。 I E D 20 は、変電所自動化システム  
装置 26 へ電力系統の情報を出力することもでき、また、遠方監視制御装置 28 を介し  
て、対象の電力設備から離れた遠方制御所 30 へ電力系統の情報を出力することもでき  
る。さらに、 I E D 20 には、上述した処理以外の任意の処理を実装することもできる。例  
えば、 I E D 20 を用いて、変電所自動化システム装置 26 に相当する機能を実現しても  
よい。

#### 【 0017 】

図 1 には、電力設備の一例として、電力系統を構成する電力送電線 2 を介して変圧器 3  
の一次側へ電力が供給され、変圧器 3 によって電圧変換 ( 降圧 ) されて得られた電力が供  
給線 4 を介して、母線 5 へ供給される構成を示す。母線 5 には、複数の配電線が接続され  
ており、それぞれの配電線を介して負荷へ電力が供給される。保護制御システム 1 は、こ  
のような電力設備を保護、制御、監視する。

#### 【 0018 】

具体的には、電力送電線 2 には、遮断器 6 - 1 が設けられるとともに、変流器 ( Curren  
t Transformer : C T ) 7 - 1 および計器用変圧器 ( Potential Transformer : P T / Volt  
age Transformer : V T ) 8 - 1 が設けられている。変流器 7 - 1 は、電力送電線 2 を流  
れる電流の情報 ( 電流波形 ) を測定する。計器用変圧器 8 - 1 は、電力送電線 2 に生じる  
電圧の情報 ( 電圧波形 ) を測定する。説明の便宜上図示していないが、三相交流の場合に  
は、各相について、計器用変圧器を設けてもよい。変流器 7 - 1 および計器用変圧器 8 -  
1 のそれぞれが測定した情報は、マーキングユニット 10 - 1 へ入力される。すなわち、  
マーキングユニット 10 - 1 は、電力送電線 2 を流れる電流の情報および電力送電線 2 に  
生じる電圧の情報を収集する。

#### 【 0019 】

同様に、供給線 4 には、遮断器 6 - 2 が設けられるとともに、変流器 7 - 2 および計器  
用変圧器 8 - 2 が設けられている。変流器 7 - 2 および計器用変圧器 8 - 2 のそれぞれが  
測定した情報は、マーキングユニット 10 - 2 へ入力される。

#### 【 0020 】

母線 5 には、複数の配電線が接続されており、それぞれの配電線には、遮断器 6 - 3 ,  
6 - 4 , 6 - 5 が設けられるとともに、対応する負荷または途中の配電経路での故障を検  
知できるように、変流器 7 - 3 , 7 - 4 , 7 - 5 および計器用変圧器 8 - 3 , 8 - 4 , 8  
- 5 がそれぞれ設けられている。変流器 7 - 3 , 7 - 4 , 7 - 5 および計器用変圧器 8 -

10

20

30

40

50

3, 8-4, 8-5の各々が測定した情報は、配電線毎にマーキングユニット10-3~10-5へそれぞれ入力される。すなわち、マーキングユニット10-3~10-5は、母線5に接続される各配電線を通る電流の情報および各配電線に生じる電圧の情報を収集する。

#### 【0021】

##### [B. マーキングユニットの概要]

次に、本実施の形態に従うマーキングユニット10の概要について説明する。図2は、本実施の形態に従うマーキングユニット10の機能構成を示す模式図である。図2を参照して、電力送電線や母線などに設けられた変流器7および/または計器用変圧器8からの測定値(アナログ信号)がマーキングユニット10へ入力される。マーキングユニット10は、電力系統の電流情報および/または電圧情報を収集し、収集した情報を示すデジタルデータを(通常、Bay(Bay:例えば、GIS(Gas Insulated Substation)では支柱などで分離される区画を示す)単位に設置される)IED20へ外部出力する。すなわち、電力系統の保護、制御、監視等に必要な情報は、マーキングユニット10で集合される。このデジタルデータとしては、典型的には、測定値をサンプリング時間毎に直列に並べたシリアルデータが用いられる。言い換えれば、マーキングユニット10は、電力系統の電流波形信号および/または電圧波形信号を入力とし、デジタル変換後にシリアルデータとして通信回線(プロセスバス22)を介して出力する。

10

#### 【0022】

上述したように、デジタルデータは、プロセスバス22を介して、IED20へ伝達され、電力系統の保護、制御、監視等の入力信号として用いられる。プロセスバス22は、電気信号の形でデータを伝送する構成であってもよいが、本実施の形態においては、ファイバを用いて光信号の形でデータを伝送する構成であるとする。

20

#### 【0023】

本実施の形態に従うマーキングユニット10は、自己のハードウェアの健全性を評価するための試験機能および/または監視機能を搭載している。より具体的には、マーキングユニット10は、処理部12と、信号発生部14と、判断部16とを含む。処理部12は、電力系統から取得されるアナログ信号を処理して電力系統の状態を示すデジタルデータを出力する。信号発生部14は、試験指示に従って、試験用信号を発生する。判断部16は、処理部12が試験用信号を処理することで得られる結果を、試験用信号に基づいて評価することで、処理部12の健全性を評価する。そして、判断部16は、健全性の判断結果を出力する。

30

#### 【0024】

後述するように、処理部12は、アナログ信号を受信する入力変換部、A/D(Analog to Digital:アナログ/デジタル)変換部、データ制御部、E/O(Electrical to Optical:電気/光)変換部などで構成される。処理部12を構成するA/D変換部のサンプリングタイミングおよび/またはサンプリング周期については、IED20からの同期信号によって制御される。

#### 【0025】

本実施の形態に従うマーキングユニット10は、処理部12を構成するコンポーネントの全部または一部の性能確認試験を自動的に行なうことのできる試験/監視部18(信号発生部14および判断部16)を有する。この性能確認試験については、出荷前に限らず、運用中に行なうような構成を採用することもできる。すなわち、運用中に健全性を常時監視する機能として実装することもできる。以下、本実施の形態に従うハードウェアの試験機能および/または監視機能が搭載されたマーキングユニット10について、いくつかの実装例を説明する。

40

#### 【0026】

##### [C. 実施の形態1]

実施の形態1として、アナログ信号の入力からデジタルデータ(光信号)の出力までに関与するハードウェアの健全性を評価できる試験機能を搭載したマーキングユニット10

50

Aについて説明する。

【0027】

(c1:構成)

図3は、実施の形態1に従うマーキングユニット10Aの構成を示す模式図である。図3を参照して、マーキングユニット10Aは、処理部12Aと、信号発生部14Aと、判断部16Aとを含む。これらの構成は、図2に示す処理部12、信号発生部14、および判断部16とそれぞれ対応するが、他の実施の形態との区別のため、便宜上「A」といった追加の符号を付している。他の実施の形態においても同様である。

【0028】

処理部12Aは、電力系統から取得されるアナログ信号(典型的には、電流信号および/または電圧信号)を処理して電力系統の状態を示すデジタルデータを出力する。処理部12Aは、入力変換部121と、アナログフィルター122と、A/D変換部123と、データ処理部124と、E/O変換部125とを含む。データ処理部124は、演算部1241およびサンプリング制御部1242を含む。

10

【0029】

図3において、データ処理部124は、典型的には、FPGA(Field-Programmable Gate Array)などのプログラマブルなハードウェアデバイスを用いて実現される。あるいは、プロセッサがプログラムを実行することで実現してもよい。その他のコンポーネントは、基本的には、ハードウェア回路で実現されるが、その一部をソフトウェア処理してもよい。また、図3は、マーキングユニットの機能構成に着目した模式図であり、複数のコンポーネントが単一の回路(あるいは、デバイス)として実装される場合もある。

20

【0030】

入力変換部121は、変流器7により測定された電流信号および/または計器用変圧器8により測定された電圧信号を、内部回路を外部から絶縁するとともに、所定範囲内の内部電圧信号に変換して出力する。アナログフィルター122は、入力変換部121により出力される内部電圧信号から不要な周波数成分(典型的には、高調波成分)を除去する。A/D変換部123は、アナログフィルター122で不要な周波数成分が除去された後の内部電圧信号をデジタル信号に変換して出力する。

【0031】

説明の便宜上、図3には明示していないが、入力変換部121およびアナログフィルター122については、マーキングユニット10Aに入力されるアナログ信号の数だけ設けてもよい。その上で、複数のアナログフィルター122からそれぞれ出力される複数の内部電圧信号に対して、マルチプレクサ回路(図示せず)などによって所定順序で1つの内部電圧信号を順次選択してA/D変換部123へ出力するようにしてもよい。このような構成を採用することで、単一のA/D変換部123を用いて、複数のアナログ信号に対応するそれぞれのデジタル信号を得ることができる。

30

【0032】

このように、入力変換部121、アナログフィルター122、およびA/D変換部123は、アナログ信号をデジタル信号に変換する入力処理部として機能する。データ処理部124は、この入力処理部からのデジタル信号を信号処理する。

40

【0033】

より具体的には、演算部1241は、A/D変換部123から出力される1または複数のデジタル信号から、プロセスバス22として規定されるプロトコルに従うデジタルデータを生成する。典型的には、デジタルデータは、プロセスバス22のプロトコルに従うシリアルデータとして構成され、具体的には、電流信号および/または電圧信号をサンプリング順に一列に並べたデータ構造を有している。デジタルデータとして格納される値は、実際の電力系統の1次値(例えば、電流では単位[mA]、電圧では単位[10mV])であってもよいし、2次値、または、任意の単位でもよい。さらに、1つのデジタルデータには1つのアナログ信号の情報を含めるようにしてもよいし、複数のアナログ信号の情報を1つのデジタルデータに格納するようにしてもよい。

50

## 【 0 0 3 4 】

E / O 変換部 1 2 5 は、データ処理部 1 2 4 ( 演算部 1 2 4 1 ) による処理結果を外部装置へ伝送するための伝送信号に変換する出力処理部として機能する。すなわち、E / O 変換部 1 2 5 は、データ処理部 1 2 4 ( 演算部 1 2 4 1 ) が生成したデジタルデータを光信号に変換し、変換によって得られる光信号を、通信回線 ( プロセスバス 2 2 ) を介して送出する。

## 【 0 0 3 5 】

A / D 変換部 1 2 3 での A / D 変換タイミングは、複数のマーキングユニット間でサンプリング同期を必要としない場合には、内部クロック信号によって制御され、あるいは、複数のマーキングユニットのサンプリング同期を必要とする場合には、IED 2 0 からの同期信号、または、外部からの時刻同期信号に基づいて制御される。ここでは、例として、IED 2 0 からの同期信号による方式で説明する。すなわち、受信部 1 2 6 は、IED 2 0 からの同期信号を受信し、当該受信した同期信号をデータ処理部 1 2 4 へ出力する。データ処理部 1 2 4 のサンプリング制御部 1 2 4 2 は、IED 2 0 からの同期信号によって指定されるタイミングに基づいて、A / D 変換の開始やリセットなどの指令、マルチプレクサ回路がある場合にはその入力切替順序を決めるマルチプレクサ用切替制御信号など、すなわちサンプリング制御信号を、A / D 変換部 1 2 3 へ与える。IED 2 0 からの同期信号には、A / D 変換部 1 2 3 におけるサンプリング周期などの指令を含めてもよい。

## 【 0 0 3 6 】

実施の形態 1 に従う試験 / 監視部 1 8 A は、入力変換部 1 2 1、アナログフィルタ 2 2、A / D 変換部 1 2 3、データ処理部 1 2 4、および、E / O 変換部 1 2 5 の健全性を評価する。

## 【 0 0 3 7 】

試験 / 監視部 1 8 A の信号発生部 1 4 A は、予め取得された試験用データ 1 4 2 1 に基づいて、アナログ信号としての試験用信号を発生するとともに、発生した試験用信号を入力処理部 ( 入力変換部 1 2 1 ) へ入力する。試験時には、電力系統からの信号を入力変換部 1 2 1 へ入力する回路が開放され、信号発生部 1 4 A が発生する試験用信号を入力変換部 1 2 1 へ入力する回路が形成される。このとき、信号発生部 1 4 A と入力変換部 1 2 1 との間には増幅器 4 0 が接続される。増幅器 4 0 は、試験 / 監視部 1 8 A から出力される試験用信号の信号レベルを、変流器 7 により測定される電流信号および / または計器用変圧器 8 により測定される電圧信号の信号レベルと一致させるために用いられる。

## 【 0 0 3 8 】

より具体的には、信号発生部 1 4 A は、読込部 1 4 1 と、メモリ 1 4 2 と、信号合成部 1 4 3 と、D / A ( Digital to Analog : デジタル / アナログ ) 変換部 1 4 4 とを含む。読込部 1 4 1 は、外部からの試験用データ 1 4 2 1 を読込み、その読込んだ試験用データ 1 4 2 1 をメモリ 1 4 2 に格納する。メモリ 1 4 2 は、試験用データ 1 4 2 1 を不揮発的に保存する。なお、不揮発的に保存する目的は、電源を切っても再度試験データを読み取らなくてもこのデータを使えるようにするためなので、電源を切らずに試験を進める場合には、不揮発性メモリではなく、RAM ( Random Access Memory ) などの揮発性メモリを採用してもよい。信号合成部 1 4 3 は、メモリ 1 4 2 に格納された試験用データ 1 4 2 1 を読出し、試験用データ 1 4 2 1 によって定義された波形データを所定周期で繰返し出力する。D / A 変換部 1 4 4 は、信号合成部 1 4 3 から出力される波形データをアナログ信号に変換し、試験用信号として出力する。すなわち、D / A 変換部 1 4 4 は、メモリ 1 4 2 のデータを D / A 変換して出力する。

## 【 0 0 3 9 】

図 4 は、実施の形態 1 に従うマーキングユニット 1 0 A における試験用信号の発生処理を説明するための模式図である。図 4 に示すように、試験用データ 1 4 2 1 が時間的に繰返し読出されることで、複数サイクルに亘る試験用の波形データが生成される。そのため、開始の振幅値と最終の振幅値とが連続するような波形データが定義される。好ましくは、試験用データ 1 4 2 1 には、定格周波数の整数サイクル ( 1 サイクル以上 ) 分の波形デ

10

20

30

40

50

ータが定義される。また、ハードウェアの健全性をより適切に評価できるように、振幅の変化（ダイナミックレンジ）が大きい波形データを定義することが好ましい。

【0040】

試験用データ1421の波形データは、パソコン上で実行されるツールアプリケーションを用いてユーザが任意に設定してもよいし、予め標準的なものを用意して不揮発性メモリに書き込んでおいてもよい。その場合には、読込部141の回路を不要にできる。

【0041】

再度図3を参照して、信号発生部14Aが発生した試験用信号（アナログ信号）は、マーキングユニット10Aの外部に設けられた増幅器40によって、適切なレベルの電流信号または電圧信号に変換され、試験用入力としてマーキングユニット10A（入力変換部121）へ入力される。マーキングユニット10Aへ入力された電流信号または電圧信号は、入力変換部121、アナログフィルター122、A/D変換部123、データ処理部124、および、E/O変換部125を経て、デジタルデータとして出力される。判断部16Aは、この出力されるデジタルデータに基づいて、処理部12Aの健全性を評価する。試験時には、E/O変換部125からIED20までのプロセスバス22が開放され、信号発生部14Aから送出されるデジタルデータ（光信号）を判断部16Aへ入力する回路が形成される。

【0042】

より具体的には、判断部16Aは、O/E（Optical to Electrical：光/電気）変換部161と、復元部162と、比較部163とを含む。

【0043】

O/E変換部161は、試験用信号（アナログ信号）の入力にตอบสนองして出力される光信号（デジタルデータ）を受信し、電気信号に変換して出力する。O/E変換部161は、通信回線（プロセスバス22）へ送出されたシリアルデータを受信する回路に相当する。復元部162は、出力処理部（E/O変換部125）から出力される伝送信号（光信号/デジタルデータ）からデータ処理部124による処理結果を復元する。具体的には、復元部162は、O/E変換部161からの電気信号から、データ処理部124が生成したデジタルデータを復元（再生）する。具体的には、光信号（デジタルデータ）は、プロセスバス22のプロトコルに従って配置された、複数の電流波形および/または電圧波形を含む場合があり、これを当該プロトコルに従って、電流波形および/または電圧波形の各々へ復元する。

【0044】

比較部163は、データ処理部124による処理結果（デジタルデータ）と試験用データ1421とを比較する。すなわち、比較部163は、メモリ142のデータと受信信号との一致性を評価する比較回路である。より具体的には、比較部163は、処理結果（デジタルデータ）と、メモリ142から読出された試験用データ1421が定義する波形データとの一致性を評価する。両者の一致性が良好であれば、処理部12Aに係るハードウェアは、健全であると判断できる。そうでなければ、処理部12Aに係るハードウェアに不具合があると判断できる。

【0045】

信号合成部143が生成した試験用信号をマーキングユニット10Aへ入力してから光信号（デジタルデータ）が出力されるまでには、所定の遅延時間を生じ得るが、この遅延時間は、マーキングユニット10Aのハードウェアに依存した固定値となるので、予測が可能である。比較部163は、この遅延時間を考慮して同期させた上で、一致性を評価する。すなわち、比較部163は、試験用データ1421が定義する波形データを遅延時間分だけ時間的にシフトさせた上で、復元部162により復元された電流波形または電圧波形と比較する。

【0046】

信号合成部143による一致性の評価手法としては、各種の方法を採用することができる。例えば、上述のような遅延時間を考慮して同期されている2つの信号波形の各時間に

10

20

30

40

50

おける誤差の絶対値を所定サイクル分累積し、当該累積値を一致性に関する値として評価してもよい。あるいは、遅延時間を考慮して同期されている2つの信号波形の各時間における誤差の絶対値の所定サイクル分の最大値をとり、当該最大値を一致性に関する値として評価してもよい。すなわち、当該累積値、または、最大値が所定のしきい値未満である場合には、一致性が高いと判断し、そうでなければ、一致性が低いと判断する。

【0047】

あるいは、2つの信号波形を波形データの周波数領域において評価してもよい。具体的には、それぞれの信号波形から振幅値および位相の情報を取得し、この取得した振幅値および/または位相を比較することで、一致性を判断してもよい。

【0048】

さらに、2つの信号波形間の相関係数などを用いてもよい。

以上のように、実施の形態1に従う試験/監視部18Aにおける試験時の動作をまとめると次のようになる。読込部141によって読み込まれた試験用データ1421(定格周波数の整数サイクル分の波形データが定義されている)がメモリ142に保存されており、信号合成部143は、試験用データ1421を繰返し読出すことで波形データを出力する。この波形データは、D/A変換部144によってD/A変換された後に、増幅器40を介して電流波形信号または電圧波形信号へ変換され、マーキングユニット10Aへ入力される。そして、判断部16Aは、マーキングユニット10Aからの出力を取得して、マーキングユニット10Aへの入力と出力との間の一致性を評価することで、マーキングユニット10Aのハードウェアの健全性を評価する。

【0049】

実施の形態1に従うマーキングユニット10Aの試験/監視部18Aは、アナログ信号を出力する回路と、光信号を受信する回路とを含み、マーキングユニット10Aへ入力するアナログ信号とマーキングユニット10Aから出力される光信号との間の一致性を評価する。この一致性の評価に基づいて、マーキングユニット10の性能確認試験が実現される。

【0050】

(c2:利点)

実施の形態1によれば、マーキングユニット10Aの内部に試験用データ1421を取り込むことで、ハードウェアの健全性の評価(性能確認試験)を自動的に行なうことができる。なお、試験用データ1421を外部入力しなくとも、予め設定された試験用データ1421を用いて、ハードウェアの健全性を評価するようにしてもよい。

【0051】

実施の形態1によれば、マーキングユニット10Aの入力から出力までに関与するハードウェア全体の健全性を評価することができるので、より信頼性を高めることができる。

【0052】

[D.実施の形態2]

実施の形態2として、上述の実施の形態1に従うマーキングユニット10Aと比較して、コストを低減できる構成について説明する。

【0053】

(d1:構成)

図5は、実施の形態2に従うマーキングユニット10Bの構成を示す模式図である。図5を参照して、マーキングユニット10Bは、処理部12Bと、信号発生部14Bと、判断部16Bとを含む。処理部12Bおよび信号発生部14Bは、図3に示す処理部12Aおよび信号発生部14Aと実質的に同一の構成を有する。これに対して、判断部16Bは、図3に示す判断部16Aと比較して、O/E変換部161が取り除かれるとともに、試験時には、データ処理部124(演算部1241)から出力されるデジタルデータが復元部162へ入力されるように構成されている。その他の構成については、実施の形態1と同様であるので、詳細な説明は繰返さない。

【0054】

10

20

30

40

50

実施の形態 2 に従うマーキングユニット 10 B は、アナログ信号の入力から生成されるデジタルデータ（伝送信号になる前の状態）の出力までに関与するハードウェアの健全性を評価できる試験機能を搭載する。すなわち、復元部 162 は、データ処理部 124（演算部 1241）が出力するデジタルデータから、データ処理部 124 による処理結果を復元する。そして、復元部 162 は、その復元した処理結果（デジタルデータ）を比較部 163 へ入力する。比較部 163 は、この復元されたデータ処理部 124 による処理結果と試験用データ 1421 とを比較する。

#### 【0055】

実施の形態 2 に従う試験／監視部 18 B における試験時の動作をまとめると次のようになる。読込部 141 によって読み込まれた試験用データ 1421 がメモリ 142 に保存されており、信号合成部 143 は、試験用データ 1421 を繰返し読出すことで波形データを出力する。この波形データは、D/A変換部 144 によって D/A変換された後に、増幅器 40 を介して電流波形信号または電圧波形信号へ変換され、マーキングユニット 10 B へ入力される。そして、判断部 16 B は、マーキングユニット 10 B での処理結果を取得して、マーキングユニット 10 B への入力と出力との間の一致性を評価することで、マーキングユニット 10 B のハードウェアの健全性を評価する。

10

#### 【0056】

（d2：利点）

実施の形態 2 によれば、マーキングユニット 10 B の内部に試験用データ 1421 を取り込むことで、ハードウェアの健全性の評価（性能確認試験）を自動的に行なうことができる。さらに、マーキングユニット 10 B へ入力するアナログ信号と比較対象となるマーキングユニット 10 B からの出力として、データ処理部 124（演算部 1241）が生成したデジタルデータを用いることで、比較的高価な E/O変換部を削減でき、これによって、実施の形態 1 に比較してコストを低減できる。

20

#### 【0057】

[E．実施の形態 1 および 2 の変形例]

図 3 に示す実施の形態 1 に従うマーキングユニット 10 A および図 5 に示す実施の形態 2 に従うマーキングユニット 10 B において、試験／監視部 18（試験／監視部 18 A および試験／監視部 18 B）の D/A変換部 144 をマーキングユニットの外部に設けてもよい。すなわち、試験時には、増幅器 40 および D/A変換部 144 をマーキングユニットに装着するようにしてもよい。

30

#### 【0058】

このような構成を採用することで、試験機能を搭載したマーキングユニットのコストをより低減できる。

#### 【0059】

[F．実施の形態 3]

実施の形態 1 および 2 においては、マーキングユニットの外部に増幅器 40 を設け、試験用信号として模擬の電流信号または電圧信号を入力変換部 121 へ入力するとともに、入力変換部 121 からデジタルデータの出力までに関与するハードウェアの健全性を評価できる試験機能について例示した。

40

#### 【0060】

一方で、入力変換部 121 は、基本的には変圧器であり、マーキングユニットの他の電子部品と比較して信頼性が高い部品であるので、不良が生じにくい。そのため、実施の形態 3 においては、入力変換部 121 の後段、すなわちアナログフィルター 122 の前段からデジタルデータの出力までに関与するハードウェアの健全性を評価できる試験機能について説明する。

#### 【0061】

（f1：構成）

図 6 は、実施の形態 3 に従うマーキングユニット 10 C の構成を示す模式図である。図 6 を参照して、マーキングユニット 10 C は、処理部 12 C と、信号発生部 14 C と、判

50

断部 1 6 C とを含む。処理部 1 2 C は、図 3 に示す処理部 1 2 A に比較して、切替部 1 2 7 をさらに含む。信号発生部 1 4 C は、図 3 に示す信号発生部 1 4 A に比較して、試験設定部 1 4 5 をさらに含む。試験設定部 1 4 5 は、通常時および試験時を切替えるために、切替部 1 2 7 に対して切替指令を出力する。判断部 1 6 C は、図 3 に示す判断部 1 6 A と実質的に同一の構成を有する。

【 0 0 6 2 】

マーキングユニット 1 0 C において、切替部 1 2 7 は、試験設定部 1 4 5 からの切替指令に応答して、入力信号として、電力系統から取得されるアナログ信号（典型的には、電流信号および/または電圧信号）と試験用信号とを選択切替する。その他の構成については、実施の形態 1 と同様であるので、詳細な説明は繰返さない。

10

【 0 0 6 3 】

実施の形態 3 に従う試験/監視部 1 8 C における動作としては、以下のようになる。切替部 1 2 7 は、試験設定部 1 4 5 からの切替指令に応答して、通常時は、入力変換部 1 2 1 からのアナログ信号をアナログフィルタ 1 2 2 へ出力し、試験時には、信号発生部 1 4 C からの試験用信号をアナログフィルタ 1 2 2 へ出力する。試験時には、このアナログフィルタ 1 2 2 へ入力された試験用信号に対して、A/D変換部 1 2 3、データ処理部 1 2 4（演算部 1 2 4 1）、E/O変換部 1 2 5 の順で処理が実行される。そして、信号発生部 1 4 C（E/O変換部 1 2 5）から送出されるデジタルデータ（光信号）が O/E変換部 1 6 1 および復元部 1 6 2 での処理を経て、比較部 1 6 3 へ入力される。そして、比較部 1 6 3 は、上述したような方法で、処理結果（デジタルデータ）と、試験用データ 1 4 2 1 が定義する波形データとの一致性を評価する。

20

【 0 0 6 4 】

実施の形態 3 に従うマーキングユニット 1 0 C は、試験用データ 1 4 2 1 を保存するメモリ 1 4 2 と、試験用データ 1 4 2 1 によって定義された波形データを D/A変換することで、試験用信号（アナログ信号）を発生する D/A変換部 1 4 4 と、試験時に D/A変換によって得られた試験用信号を有効化する切替部 1 2 7 と、メモリ 1 4 2 に保存された試験用データ 1 4 2 1 と送出されるデジタルデータとの間の一致性を評価する比較部 1 6 3 とを有する。より具体的には、実施の形態 3 に従うマーキングユニット 1 0 C は、その内部に切替部 1 2 7 を有しており、試験設定部 1 4 5 が試験状態を設定する。試験状態に設定されると、信号合成部 1 4 3 は、試験用データ 1 4 2 1 によって定義された波形データを所定周期で繰返し出力する。この波形データ（試験用信号）に対して、A/D変換部 1 2 3 およびデータ処理部 1 2 4 が処理を実行することで得られる結果を、試験用データ 1 4 2 1 に基づいて比較することで、健全性を評価する。

30

【 0 0 6 5 】

（ f 2 : 利点 ）

実施の形態 3 によれば、マーキングユニット 1 0 C のアナログフィルタ 1 2 2、A/D変換部 1 2 3、データ処理部 1 2 4、および E/O変換部 1 2 5 の健全性を評価することができる。

【 0 0 6 6 】

実施の形態 3 によれば、マーキングユニット 1 0 C の外部に増幅器 4 0 を設ける必要がないので、マーキングユニット 1 0 C の試験機能および/または監視機能に係るコストを低減できる。併せて、マーキングユニット 1 0 C 単体で試験を行なうことができるので、保護制御システムに組み込まれた後であっても、定期点検などの機会に、マーキングユニット 1 0 C のハードウェアの健全性を確認することもできる。

40

【 0 0 6 7 】

[ G . 実施の形態 4 ]

実施の形態 4 として、上述の実施の形態 3 に従うマーキングユニット 1 0 C に比較して、コストを低減できる構成について説明する。

【 0 0 6 8 】

（ g 1 : 構成 ）

50

図7は、実施の形態4に従うマーキングユニット10Dの構成を示す模式図である。図7を参照して、マーキングユニット10Dは、処理部12Dと、信号発生部14Dと、判断部16Dとを含む。処理部12Dおよび信号発生部14Dは、図6に示す処理部12Cおよび信号発生部14Cと実質的に同一の構成を有する。これに対して、判断部16Dは、図6に示す判断部16Cと比較して、O/E変換部161が取り除かれるとともに、試験時には、データ処理部124（演算部1241）から出力されるデジタルデータが復元部162へ入力されるように構成されている。その他の構成については、実施の形態3と同様であるので、詳細な説明は繰返さない。

#### 【0069】

実施の形態4に従う試験/監視部18Dにおける動作としては、以下のようになる。切替部127は、試験設定部145からの切替指令に応答して、通常時は、入力変換部121からのアナログ信号をアナログフィルタ122へ出力し、試験時には、信号発生部14Dからの試験用信号をアナログフィルタ122へ出力する。試験時には、このアナログフィルタ122へ入力された試験用信号に対して、A/D変換部123、データ処理部124（演算部1241）、E/O変換部125の順で処理が実行される。そして、データ処理部124（演算部1241）で生成されるデジタルデータが復元部162での処理を経て、比較部163へ入力される。そして、比較部163は、上述したような方法で、処理結果（デジタルデータ）と、試験用データ1421が定義する波形データとの一致性を評価する。

#### 【0070】

（g2：利点）

実施の形態4によれば、マーキングユニット10Dのアナログフィルタ122、A/D変換部123、データ処理部124、およびE/O変換部125の健全性を評価することができる。

#### 【0071】

実施の形態4によれば、マーキングユニット10Dの外部に増幅器40を設ける必要がないので、マーキングユニット10Dの試験機能および/または監視機能に係るコストを低減できる。さらに、健全性を評価するための比較対象として、データ処理部124（演算部1241）が生成したデジタルデータを用いることで、比較的高価なE/O変換部を削減でき、これによって、実施の形態3と比較してコストを低減できる。

#### 【0072】

併せて、マーキングユニット10D単体で試験を行なうことができるので、保護制御システムに組み込まれた後であっても、定期点検などの機会に、マーキングユニット10Dのハードウェアの健全性を確認することもできる。

#### 【0073】

[H．実施の形態5]

実施の形態3および4においては、アナログフィルタ122の前段からデジタルデータの出力までに関与するハードウェアの健全性を評価する試験機能について説明したが、試験機能を実現する回路をより簡素化する観点から、デジタル処理に係るハードウェアを健全性の評価範囲としてもよい。

#### 【0074】

実施の形態5においては、A/D変換部123の後段、すなわちデータ処理部124の前段からデジタルデータの出力までに関与するハードウェアの健全性を評価する試験機能について説明する。

#### 【0075】

（h1：構成）

図8は、実施の形態5に従うマーキングユニット10Eの構成を示す模式図である。図8を参照して、マーキングユニット10Eは、処理部12Eと、信号発生部14Eと、判断部16Eとを含む。処理部12Eは、図3に示す処理部12Aと比較して、切替部128をさらに含む。信号発生部14Eは、図3に示す信号発生部14Aと比較して、信号合

10

20

30

40

50

成部 1 4 3 に代えて、信号合成部 1 4 3 # が設けられるとともに、試験設定部 1 4 6 をさらに含む。試験設定部 1 4 6 は、通常時および試験時を切替えるために、切替部 1 2 8 に対して切替指令を出力する。

【 0 0 7 6 】

試験 / 監視部 1 8 E の信号合成部 1 4 3 # は、予め取得された試験用データ 1 4 2 1 に基づいて、デジタル信号としての試験用信号を発生するとともに、発生した試験用信号を入力処理部（データ処理部 1 2 4）へ入力する。より具体的には、信号合成部 1 4 3 # は、メモリ 1 4 2 に格納された試験用データ 1 4 2 1 を読み出し、A / D 変換部 1 2 3 による A / D 変換周期（サンプリング間隔）に同期させて、定義された波形データを所定周期で繰返し出力することで試験用信号（デジタル信号）を発生する。

10

【 0 0 7 7 】

判断部 1 6 E は、図 3 に示す判断部 1 6 A と実質的に同一の構成を有する。すなわち、判断部 1 6 E は、データ処理部 1 2 4 による処理結果（デジタルデータ）と試験用データ 1 4 2 1 とを比較する比較部 1 6 3 を含む。

【 0 0 7 8 】

マーキングユニット 1 0 E において、切替部 1 2 8 は、データ処理部 1 2 4 へ出力する信号を、電力系統から取得されるアナログ信号を変換して得られるデジタル信号との間で選択する。すなわち、切替部 1 2 8 は、試験設定部 1 4 6 からの切替指令にตอบสนองして、入力信号として、電力系統から取得されるアナログ信号を A / D 変換部 1 2 3 で A / D 変換することで得られるデジタル信号と、信号合成部 1 4 3 # からの試験用信号（デジタル信号）とを選択する。

20

【 0 0 7 9 】

その他の構成については、実施の形態 1 と同様であるので、詳細な説明は繰返さない。

実施の形態 5 に従う試験機能は、A / D 変換処理および D / A 変換処理を含まない。そのため、対象のハードウェアが健全であれば、比較部 1 6 3 に入力される 2 つの信号は、基本的には完全に一致するはずである。実施の形態 1 ~ 4 の場合には、D / A 変換部 1 4 4、増幅器 4 0、A / D 変換部 1 2 3 による誤差要因があるため、所定の誤差を許容した一貫性の確認であったが、ここでは、完全な一致による一貫性の確認が可能となる利点がある。そのため、信号合成部 1 4 3 # は、A / D 変換部 1 2 3 のサンプリングタイミングに同期させて試験用信号（デジタル信号）を発生するように構成される。

30

【 0 0 8 0 】

実施の形態 5 に従う試験 / 監視部 1 8 E における動作としては、以下のようになる。切替部 1 2 8 は、試験設定部 1 4 6 からの切替指令にตอบสนองして、通常時は、A / D 変換部 1 2 3 からのデジタル信号をデータ処理部 1 2 4 へ出力し、試験時には、信号発生部 1 4 E からの試験用信号をデータ処理部 1 2 4 へ出力する。試験時には、この試験用信号に対して、データ処理部 1 2 4（演算部 1 2 4 1）、E / O 変換部 1 2 5 の順で処理が実行される。信号発生部 1 4 C（E / O 変換部 1 2 5）から送出されるデジタルデータ（光信号）が O / E 変換部 1 6 1 および復元部 1 6 2 での処理を経て、比較部 1 6 3 へ入力される。そして、比較部 1 6 3 は、完全にデータが一致するか否かを確認する方法で、処理結果（デジタルデータ）と、試験用データ 1 4 2 1 が定義する波形データとの一貫性を評価する。

40

【 0 0 8 1 】

このように、実施の形態 5 に従うマーキングユニット 1 0 E は、試験用データ 1 4 2 1 を保存するメモリ 1 4 2 と、試験用データ 1 4 2 1 から発生される試験用信号を有効化する切替部 1 2 8 と、メモリ 1 4 2 に保存された試験用データ 1 4 2 1 と送出されるデジタルデータとの間の一貫性を評価する比較部 1 6 3 とを有する。

【 0 0 8 2 】

（ h 2 : 利点 ）

実施の形態 5 によれば、マーキングユニット 1 0 E の A / D 変換部 1 2 3、データ処理部 1 2 4、および E / O 変換部 1 2 5 の健全性を評価することができ、その評価は、完全

50

な一致による評価となるため、処理を簡単化できる。

【 0 0 8 3 】

実施の形態 5 によれば、マーキングユニット 1 0 E の外部に増幅器 4 0 を設ける必要がないので、マーキングユニット 1 0 E の試験機能および/または監視機能に係るコストを低減できる。併せて、マーキングユニット 1 0 E 単体で試験を行なうことができるので、保護制御システムに組み込まれた後であっても、定期点検などの機会に、マーキングユニット 1 0 E のハードウェアの健全性を確認することもできる。

【 0 0 8 4 】

実施の形態 5 によれば、実施の形態 3 および 4 に比較して、試験 / 監視部の D / A 変換部を削減できるとともに、アナログ信号への変換機能が存在しないため、試験用信号の劣化がなく、データの完全な一致の有無のみを判断すればよいので、処理を簡素化できる。

10

【 0 0 8 5 】

[ I . 実施の形態 6 ]

実施の形態 6 として、上述の実施の形態 5 に従うマーキングユニット 1 0 E に比較して、コストを低減できる構成について説明する。

【 0 0 8 6 】

( i 1 : 構成 )

図 9 は、実施の形態 6 に従うマーキングユニット 1 0 F の構成を示す模式図である。図 9 を参照して、マーキングユニット 1 0 F は、処理部 1 2 F と、信号発生部 1 4 F と、判断部 1 6 F とを含む。処理部 1 2 F および信号発生部 1 4 F は、図 8 に示す処理部 1 2 E および信号発生部 1 4 E と実質的に同一の構成を有する。これに対して、判断部 1 6 F は、図 8 に示す判断部 1 6 E に比較して、O / E 変換部 1 6 1 が取り除かれるとともに、試験時には、データ処理部 1 2 4 ( 演算部 1 2 4 1 ) から出力されるデジタルデータが復元部 1 6 2 へ入力されるように構成されている。その他の構成については、実施の形態 5 と同様であるので、詳細な説明は繰返さない。

20

【 0 0 8 7 】

実施の形態 6 に従う試験 / 監視部 1 8 F における動作としては、以下のようになる。切替部 1 2 8 は、試験設定部 1 4 6 からの切替指令に応答して、通常時は、A / D 変換部 1 2 3 からのデジタル信号をデータ処理部 1 2 4 へ出力し、試験時には、信号発生部 1 4 F からの試験用信号をデータ処理部 1 2 4 へ出力する。試験時には、この試験用信号に対して、データ処理部 1 2 4 ( 演算部 1 2 4 1 ) で処理が実行される。データ処理部 1 2 4 ( 演算部 1 2 4 1 ) で生成されるデジタルデータが復元部 1 6 2 での処理を経て、比較部 1 6 3 へ入力される。そして、比較部 1 6 3 は、上述したような方法で、処理結果 ( デジタルデータ ) と、試験用データ 1 4 2 1 が定義する波形データとの一致性を評価する。

30

【 0 0 8 8 】

( i 2 : 利点 )

実施の形態 6 によれば、マーキングユニット 1 0 F のデータ処理部 1 2 4 の健全性を評価することができる。

【 0 0 8 9 】

実施の形態 6 によれば、マーキングユニット 1 0 F の外部に増幅器 4 0 を設ける必要がないので、マーキングユニット 1 0 F の試験機能および/または監視機能に係るコストを低減できる。さらに、健全性を評価するための比較対象として、データ処理部 1 2 4 ( 演算部 1 2 4 1 ) が生成したデジタルデータを用いることで、比較的高価な E / O 変換部を削減でき、これによって、実施の形態 5 に比較してコストを低減できる。

40

【 0 0 9 0 】

併せて、マーキングユニット 1 0 F 単体で試験を行なうことができるので、保護制御システムに組み込まれた後であっても、定期点検などの機会に、マーキングユニット 1 0 F のハードウェアの健全性を確認することもできる。

【 0 0 9 1 】

実施の形態 6 によれば、実施の形態 3 および 4 に比較して、試験 / 監視部の D / A 変換

50

部を削減できるとともに、アナログ信号への変換機能が存在しないため、試験用信号の劣化がなく、データの完全な一致の有無のみを判断すればよいので、処理を簡素化できる。

【 0 0 9 2 】

[ J . 実施の形態 1、3、5 の変形例 ]

図 3 に示す実施の形態 1 に従うマーキングユニット 1 0 A、図 6 に示す実施の形態 3 に従うマーキングユニット 1 0 C、図 8 に示す実施の形態 5 に従うマーキングユニット 1 0 E において、試験 / 監視部 1 8 ( 試験 / 監視部 1 8 A、試験 / 監視部 1 8 C、試験 / 監視部 1 8 E ) の O / E 変換部 1 6 1 をマーキングユニットの外部に設けてもよい。すなわち、試験時には、E / O 変換部 1 2 5 から光信号を O / E 変換部 1 6 1 で電気信号に変換して、試験 / 監視部 1 8 へ入力するようにしてもよい。

10

【 0 0 9 3 】

このような構成を採用することで、試験機能を搭載したマーキングユニットのコストをより低減できる。

【 0 0 9 4 】

[ K . 実施の形態 7 ]

上述の実施の形態 1 ~ 6 においては、出荷前や定期点検などのオフラインにおいて、そのハードウェアの健全性を評価する試験機能について説明した。これに対して、実施の形態 7 においては、ハードウェアの健全性を運用中に ( オンラインで ) 評価できる監視機能について説明する。言い換えれば、実施の形態 7 においては、ハードウェアの健全性を常時監視できる機能について説明する。なお当然のことながら、実施の形態 7 に従う監視機能は、オフラインでも使用できる。

20

【 0 0 9 5 】

( k 1 : 構成 )

図 1 0 は、実施の形態 7 に従うマーキングユニット 1 0 G の構成を示す模式図である。図 1 0 を参照して、マーキングユニット 1 0 G は、処理部 1 2 G と、信号発生部 1 4 G と、判断部 1 6 G とを含む。処理部 1 2 G は、電力系統からの複数の情報を収集可能に構成されている。より具体的には、処理部 1 2 G は、図 3 に示す処理部 1 2 A に比較して、マルチプレクサ ( M U X ) 1 2 9 をさらに含む。そして、マルチプレクサ 1 2 9 には、複数の入力変換部 1 2 1 - 1 , 1 2 1 - 2 , ... と、アナログフィルタ 1 2 2 - 1 , 1 2 2 - 2 , ... とを介して、変流器や計器用変圧器からの測定値 ( アナログ信号 ) が複数入力される。マルチプレクサ 1 2 9 は、サンプリング制御部 1 2 4 2 からのマルチプレクサ用切替制御信号に従って、複数の入力信号のうち 1 つを順次選択して、A / D 変換部 1 2 3 へ出力する。マルチプレクサ 1 2 9 のこのような切替動作によって、第 1 のサンプリング期間では、第 1 の測定値 ( アナログ信号 ) を A / D 変換して得られる第 1 のデジタル信号が出力され、続く、第 2 のサンプリング期間では、第 2 の測定値 ( アナログ信号 ) を A / D 変換して得られる第 2 のデジタル信号が出力されといった具合に、複数の測定値から A / D 変換の対象となる測定値が順次切替えて出力される。

30

【 0 0 9 6 】

信号発生部 1 4 G は、図 3 に示す信号発生部 1 4 A と実質的に同一であるが、信号発生部 1 4 G が発生する試験用信号は、変流器や計器用変圧器からの測定値 ( アナログ信号 ) と並列に、マルチプレクサ 1 2 9 へ入力される。マルチプレクサ 1 2 9 は、試験用信号の入力を所定間隔毎に有効化し、A / D 変換部 1 2 3 へ出力する。すなわち、マルチプレクサ 1 2 9 は、電力系統から取得される少なくとも 1 つのアナログ信号および試験用信号から 1 つの信号を所定順序で選択切替える。そして、A / D 変換部 1 2 3 は、マルチプレクサ 1 2 9 により選択される信号をデジタル信号に変換する。

40

【 0 0 9 7 】

このようなマルチプレクサ 1 2 9 による選択動作によって、データ処理部 1 2 4 では、電力系統から実際に測定された測定値を示すデジタルデータを生成するとともに、試験用信号を示すデジタルデータを生成することになる。実施の形態 7 において、実際に測定された測定値を示すデジタルデータは I E D 2 0 へ送出される一方で、試験用信号を示すデ

50

デジタルデータについては、監視機能に用いられる。

【 0 0 9 8 】

判断部 1 6 G は、図 3 に示す判断部 1 6 A に比較して、復元部 1 6 2 に代えて、復元部 1 6 2 # を有する。復元部 1 6 2 # は、図 3 の復元部 1 6 2 と同様に、基本的には、データ処理部 1 2 4 が生成したデジタルデータを復元（再生）する。但し、復元部 1 6 2 # は、選択機能 1 6 2 1 を有しており、データ処理部 1 2 4 から順次出力されるデジタルデータのうち、試験用信号に対応するデータのみを抽出する。そして、復元部 1 6 2 # は、この試験用信号に対応するデータを比較部 1 6 3 へ出力する。

【 0 0 9 9 】

図 1 1 は、実施の形態 7 に従うマーキングユニット 1 0 G におけるデジタルデータの抽出処理を説明するための模式図である。図 1 1 を参照して、データ処理部 1 2 4 は、マルチプレクサ 1 2 9 による切替動作に応じて、デジタルデータとして、各チャネルの時系列データ（シリアルデータ）を生成する。各時系列データには、そのチャネルやサンプリング周期などを示すヘッダ情報が付加されている。復元部 1 6 2 # は、このようなデジタルデータのうち、ヘッダ情報などに基づいて、試験用信号に対応する時系列データを抽出するとともに、当該抽出した時系列データからデータ処理部 1 2 4（演算部 1 2 4 1）による処理結果を復元する。そして、比較部 1 6 3 は、この復元された処理結果とメモリ 1 4 2 に格納されている試験用データ 1 4 2 1 とを比較することで、ハードウェアの健全性を評価する。すなわち、比較部 1 6 3 は、マルチプレクサ 1 2 9 により試験用信号が選択された際のデータ処理部 1 2 4 による処理結果と試験用データ 1 4 2 1 とを比較する。

【 0 1 0 0 】

実施の形態 7 に従う試験 / 監視部 1 8 G における動作としては、以下のようになる。マルチプレクサ 1 2 9 は、入力変換部 1 2 1 およびアナログフィルター 1 2 2 を経由してマーキングユニット 1 0 G に入力される電流信号や電圧信号などの複数のアナログ信号を、順次切替えて単一の A / D 変換部 1 2 3 へ入力する。このマルチプレクサ 1 2 9 の 1 つの入力チャネルには、試験 / 監視部 1 8 の D / A 変換部 1 4 4 から出力される試験用信号が入力される。これにより、複数のアナログ信号とともに試験用信号についても、A / D 変換部 1 2 3 によって順次デジタル信号へ変換されるように構成される。試験 / 監視部 1 8 G の信号合成部 1 4 3 は、サンプリング制御部 1 2 4 2 からのサンプリング制御信号に従って、メモリ 1 4 2 に保存された試験用データ 1 4 2 1 を所定周期で繰返し読み出し、連続信号を生成する。この連続信号は、D / A 変換部 1 4 4 にてアナログ信号に変換され、試験用信号としてマルチプレクサ 1 2 9 の 1 つの入力チャンネルに入力される。データ処理部 1 2 4（演算部 1 2 4 1）は、マルチプレクサ 1 2 9 による選択操作に応じて A / D 変換部 1 2 3 から出力されるデジタル化された信号から、プロセスバス 2 2 として規定されるプロトコルに従ってデジタルデータを生成する。判断部 1 6 G の復元部 1 6 2 は、データ処理部 1 2 4 で生成されるデジタルデータのうち、試験用信号に対応するデータを抽出する。そして、比較部 1 6 3 は、上述したような方法で、処理結果（デジタルデータ）と、試験用データ 1 4 2 1 が定義する波形データとの一致性を評価する。この一致性の評価において、予め定められたしきい値以上の誤差が生じていることが確認できると、マーキングユニット 1 0 G のハードウェア異常であることを示す警報を出力する。

【 0 1 0 1 】

実施の形態 7 においては、試験時においてのみ有効化される回路ではなく、通常の運用中に処理される信号の一つとして、試験用信号が入力される。すなわち、メモリ 1 4 2 に格納された試験用データ 1 4 2 1 を、A / D 変換部 1 2 3 のサンプリングタイミングに同期させて D / A 変換することで試験用信号を生成し、この生成した試験用信号を、電力系統からの複数のアナログ信号（電流信号や電圧信号）の一つとして処理し、この処理結果に基づいて、ハードウェアの健全性を監視する。

【 0 1 0 2 】

このように、実施の形態 7 に従うマーキングユニット 1 0 G は、試験用データ 1 4 2 1 を保存するメモリ 1 4 2 と、試験用データ 1 4 2 1 を D / A 変換して出力する回路と、電

10

20

30

40

50

力系統からの複数のアナログ信号（電流信号や電圧信号）とともに、D/A変換して得られる試験用信号を順次A/D変換する回路と、通信回線を介して出力されるデジタル信号のうち、D/A変換して得られる試験用信号に対応するデータと、試験用データ1421との間で一致性を評価する比較回路とを含む。

【0103】

（k2：利点）

実施の形態7によれば、マーキングユニット10EのA/D変換部123、データ処理部124、およびE/O変換部125の健全性を運用中に評価することができる。すなわち、運用中のマーキングユニット10Eについて、そのハードウェアの健全性を常時監視できる。このように、実施の形態7によれば、マーキングユニット10Eのハードウェアの健全性を常時監視できるので、万が一、ハードウェアに不具合が生じたとしても、その不具合の発生を即座に検知できる。そのため、マーキングユニット10Eを含む保護制御システム全体の信頼性をより高めることができる。

10

【0104】

〔L：本実施の形態による作用効果〕

実施の形態1および2によれば、マーキングユニットの外部に配置された増幅器40を介して、標準的または任意の波形データから生成される試験用信号（アナログ信号）を入力し、その試験用信号を処理してマーキングユニットから出力される信号と、当該入力した波形データとを比較することで、マーキングユニットのハードウェアの健全性の評価（異常の有無）を自動的に行なうことができる。

20

【0105】

実施の形態3および4によれば、アナログフィルタ122の前段に切替部127を設けて、マーキングユニットの外部に配置される増幅器を省略する。このような構成を採用することで、監視範囲（監視対象）は一部制限されるが、より少ないコストで、重要なコンポーネントの健全性を評価できる。

【0106】

実施の形態5および6によれば、試験用信号を選択的に入力するための切替部をA/D変換部の後段に配置することで、試験/監視部におけるD/A変換部を省略する。このような構成を採用することで、監視範囲（監視対象）は一部制限されるが、より少ないコストで、重要なコンポーネントの健全性を評価できる。

30

【0107】

実施の形態1～6によれば、試験用データ1421を外部から設定できるので、マーキングユニットにデフォルトで設定されている波形データに加えて、あるいは、当該波形データに代えて、任意の波形データを用いて、ハードウェアの健全性の評価を行なうことができる。

【0108】

実施の形態7によれば、試験用信号を選択的に入力するための切替部を設けるのではなく、マルチプレクサを用いて、測定対象の他の信号とともに、試験用信号を入力信号としてマーキングユニットへ入力し、試験用信号に対応する出力信号に基づいて、ハードウェアの健全性を評価できる。これにより、マーキングユニットを構成するハードウェアの健全性を常時監視できるので、信頼性をより高めることができる。

40

【0109】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0110】

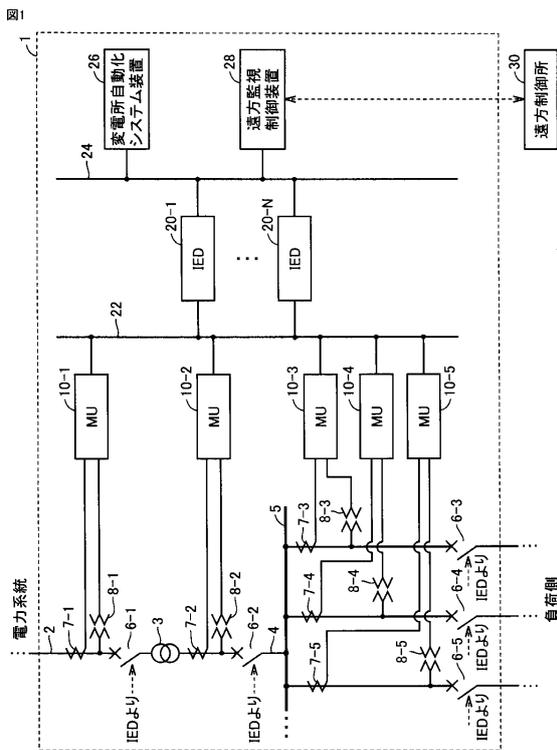
1 保護制御システム、2 電力送電線、3 変圧器、4 供給線、5 母線、6, 6-1, 6-2, 6-3, 6-4, 6-5 遮断器、7, 7-1, 7-2, 7-3, 7-4

50

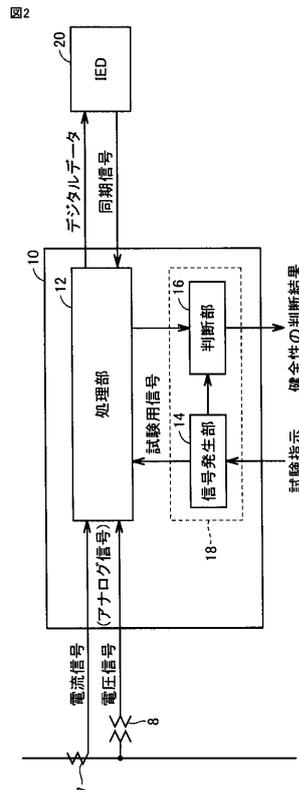
、 7 - 5 変流器、 8 , 8 - 1 , 8 - 2 , 8 - 3 , 8 - 4 , 8 - 5 計器用変圧器、 1 0  
 , 1 0 A , 1 0 B , 1 0 C , 1 0 D , 1 0 E , 1 0 F , 1 0 G マージングユニット、 1  
 2 , 1 2 A , 1 2 B , 1 2 C , 1 2 D , 1 2 E , 1 2 F , 1 2 G 処理部、 1 4 , 1 4 A  
 , 1 4 B , 1 4 C , 1 4 D , 1 4 E , 1 4 F , 1 4 G 信号発生部、 1 6 , 1 6 A , 1 6  
 B , 1 6 C , 1 6 D , 1 6 E , 1 6 F , 1 6 G 判断部、 1 8 , 1 8 A , 1 8 B , 1 8 C  
 , 1 8 D , 1 8 E , 1 8 F , 1 8 G 監視部、 2 0 I E D、 2 2 プロセスバス、 2 4  
 ステーションバス、 2 6 変電所自動化システム (Substation Automation System: S  
 A S) 装置、 2 8 遠方監視制御装置、 3 0 遠方制御所、 4 0 増幅器、 1 2 1 入力  
 変換部、 1 2 2 アナログフィルター、 1 2 3 A / D 変換部、 1 2 4 データ処理部、  
 1 2 5 E / O 変換部、 1 2 6 受信部、 1 2 7 , 1 2 8 切替部、 1 2 9 マルチプレ  
 クサ、 1 4 1 読込部、 1 4 2 メモリ、 1 4 3 信号合成部、 1 4 4 D / A 変換部、  
 1 4 5 , 1 4 6 試験設定部、 1 6 1 O / E 変換部、 1 6 2 復元部、 1 6 3 比較部  
 、 1 2 4 1 演算部、 1 2 4 2 サンプリング制御部、 1 4 2 1 試験用データ、 1 6 2  
 1 選択機能。

10

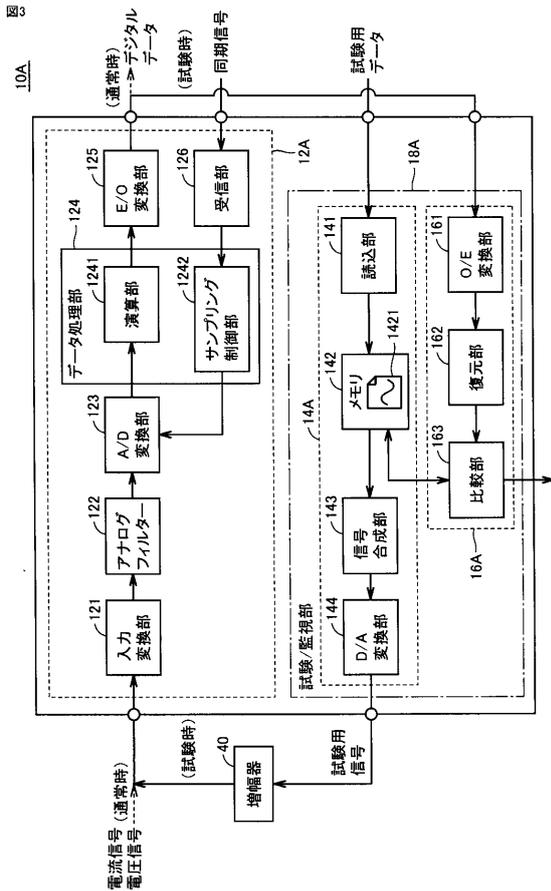
【 図 1 】



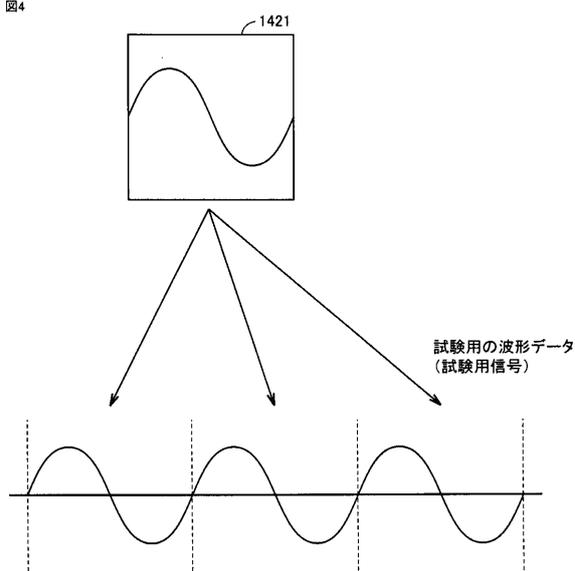
【 図 2 】



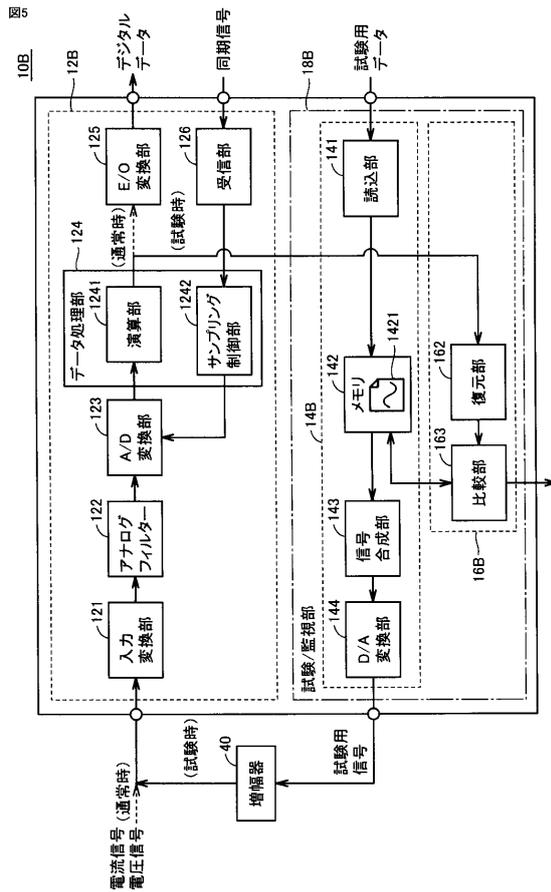
【図3】



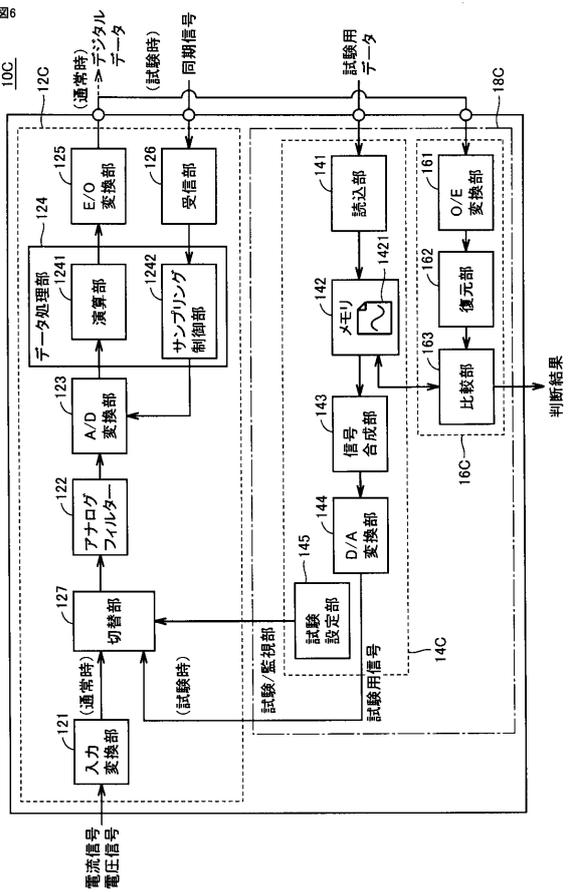
【図4】



【図5】

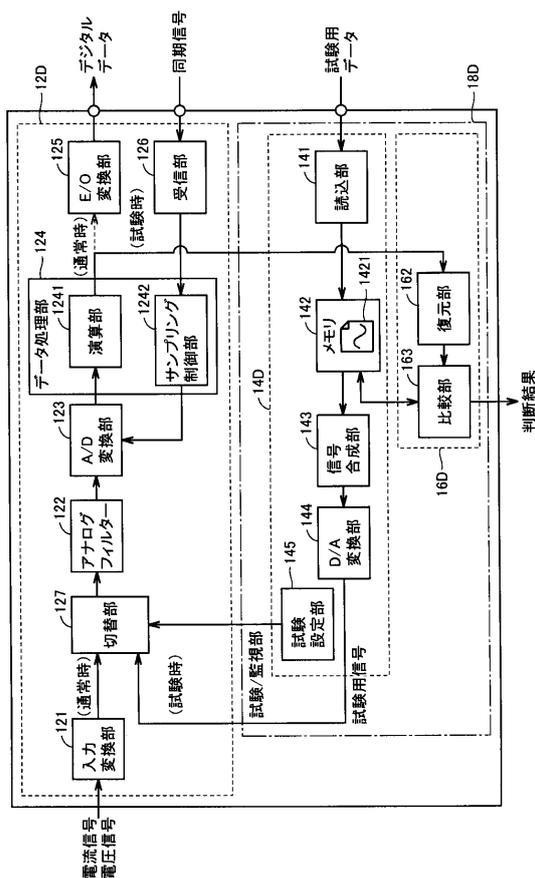


【図6】



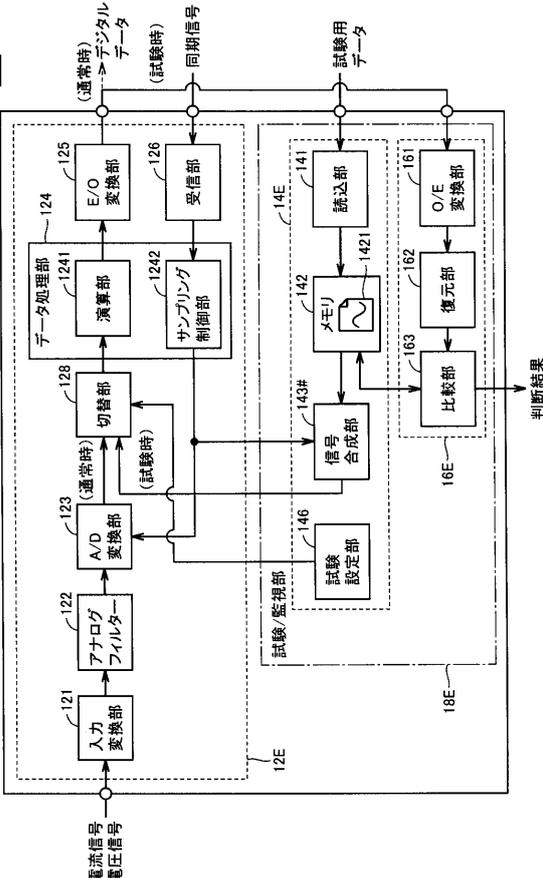
【図7】

図7



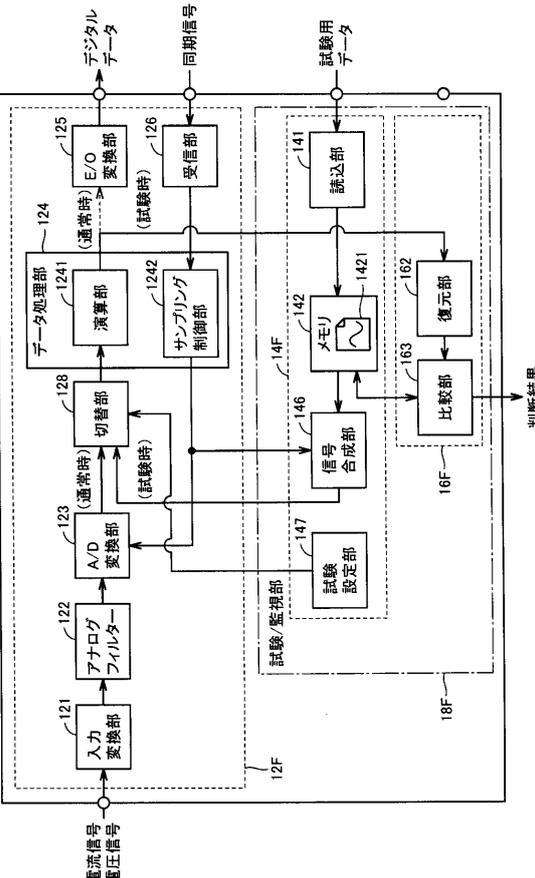
【図8】

図8



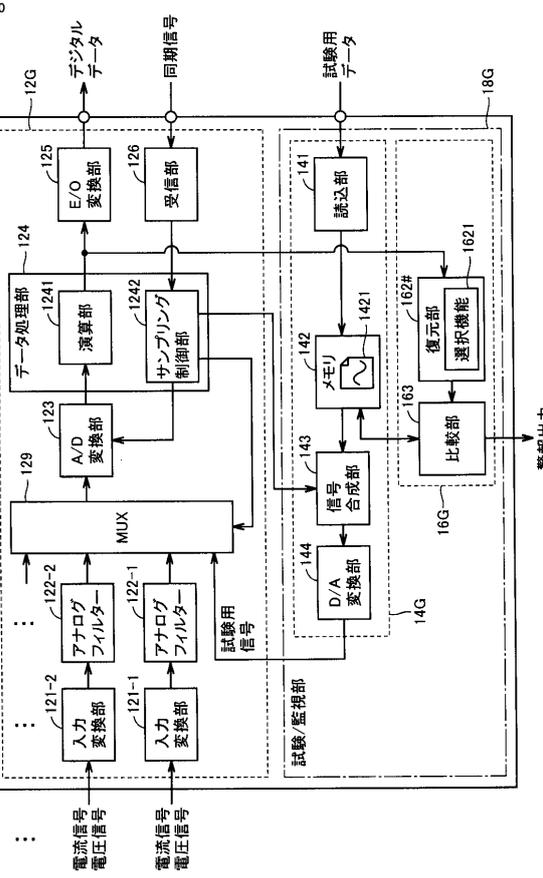
【図9】

図9



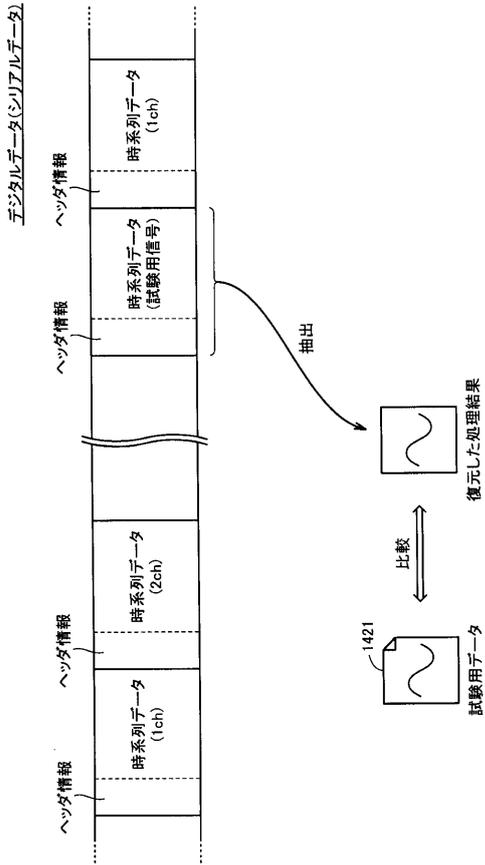
【図10】

図10



【 図 1 1 】

図 11



---

フロントページの続き

(56)参考文献 特開2002-315233(JP,A)  
特開昭53-006856(JP,A)  
特開2000-209767(JP,A)  
特開2001-077768(JP,A)  
特開2009-136643(JP,A)  
特許第5020421(JP,B1)  
特開2004-072905(JP,A)  
特開平11-341706(JP,A)  
特開2001-080513(JP,A)  
特開昭63-237263(JP,A)  
特開平05-297077(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/327  
G01R 31/333  
H02H 3/05