



(12) 发明专利

(10) 授权公告号 CN 101599480 B

(45) 授权公告日 2011.06.15

(21) 申请号 200810038459.5

(22) 申请日 2008.06.03

(73) 专利权人 慧国(上海)软件科技有限公司
地址 200433 上海市杨浦区国泰路11号A楼18层
专利权人 慧荣科技股份有限公司

US 2006/0220210 A1, 2006.10.05, 全文.
US 2006/0118927 A1, 2006.06.08, 全文.
JP 特开 2001-127199 A, 2001.05.11, 全文.
CN 1373511 A, 2002.10.09, 全文.
WO 2008/057770 A2, 2008.05.15, 全文.
CN 1430267 A, 2003.07.16, 全文.

审查员 王亮

(72) 发明人 钱昱玮

(74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 陈亮

(51) Int. Cl.

H01L 25/00(2006.01)

H01L 25/065(2006.01)

H01L 25/18(2006.01)

H01L 23/485(2006.01)

(56) 对比文件

US 2004/0238939 A1, 2004.12.02, 全文.

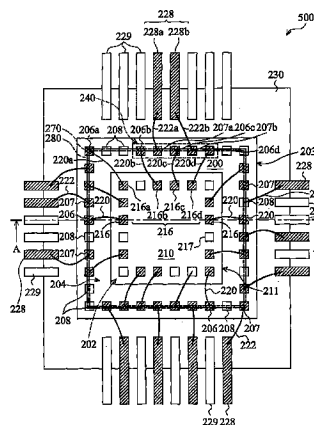
权利要求书 1 页 说明书 5 页 附图 3 页

(54) 发明名称

半导体芯片封装结构

(57) 摘要

本发明提供一种半导体芯片封装结构,包括一第一芯片,其具有一中心区和一外围区,上述第一芯片包括多个第一电源接触垫和多个第二电源接触垫,位于上述第一芯片的顶面上;一第一电源环状线和一第二电源环状线,设置于上述第一芯片中,其中上述第一和第二电源环状线是分别电性连接至上述多个第一和第二电源接触垫;一第二芯片,固定于上述第一芯片的上述中心区上,上述第二芯片包括多个电源接触垫,设置于上述第二芯片的顶面上;多条第二电源焊线,分别电性连接至上述第二芯片的多个电源接触垫和上述多个第二电源接触垫。



1. 一种半导体芯片封装结构,包括:
 - 一第一芯片,是以一第一电源操作,其具有一中心区和一外围区,该第一芯片包括:
 - 多个第一电源接触垫和多个第二电源接触垫,设置于该外围区中,且位于该第一芯片的顶面上;以及
 - 一第一电源环状线和一第二电源环状线,设置于该第一芯片中,其中该第一电源环状线是电性连接至该多个第一电源接触垫,该第二电源环状线是电性连接至该多个第二电源接触垫;
 - 一第二芯片,是以一第二电源操作,固定于该第一芯片的该中心区上,该第二芯片包括多个电源接触垫,设置于该第二芯片的顶面上;以及
 - 多条第二电源焊线,分别电性连接至该第二芯片的多个电源接触垫和该多个第二电源接触垫。
2. 如权利要求 1 所述的半导体芯片封装结构,其特征在于还包括:
 - 多个第一电源介层插塞,设置于该第一芯片中,该多个第一电源介层插塞分别电性连接至该多个第一电源接触垫和该第一电源环状线;以及
 - 多个第二电源介层插塞,设置于该第一芯片中,该多个第二电源介层插塞分别电性连接至该多个第二电源接触垫和该第二电源环状线。
3. 如权利要求 1 所述的半导体芯片封装结构,其特征在于还包括一导线架,其具有一置晶座和多个引脚,其中该第一芯片是固定于该置晶座上。
4. 如权利要求 3 所述的半导体芯片封装结构,其特征在于还包括多条第一电源焊线,分别电性连接至该多个引脚和该多个第一电源接触垫。
5. 如权利要求 1 所述的半导体芯片封装结构,其特征在于,该第一电源环状线和该第二电源环状线是互相平行,且互相电性隔绝。
6. 如权利要求 1 所述的半导体芯片封装结构,其特征在于,该第一电源环状线和该第二电源环状线是位于所有该多个第一电源接触垫和所有该多个第二电源接触垫的正下方。
7. 如权利要求 1 所述的半导体芯片封装结构,其特征在于,该多个第一电源接触垫和该多个第二电源接触垫是排列成一环形阵列。
8. 如权利要求 7 所述的半导体芯片封装结构,其特征在于,该多个第一电源接触垫的其中之一的两侧是分别相邻于不同的该第二电源接触垫。
9. 如权利要求 7 所述的半导体芯片封装结构,其特征在于,该多个第二电源接触垫的其中之一的两侧是分别相邻于不同的该第一电源接触垫。
10. 如权利要求 7 所述的半导体芯片封装结构,其特征在于,该多个第一电源接触垫和该多个第二电源接触垫是交错排列。
11. 如权利要求 1 所述的半导体芯片封装结构,其特征在于,该第一芯片的面积大于该第二芯片的面积。
12. 如权利要求 4 所述的半导体芯片封装结构,其特征在于还包括一封装材料,包覆该第一芯片、该第二芯片、该置晶座、该多个引脚的内侧部分、该多条第一电源焊线和该多条第二电源焊线。

半导体芯片封装结构

技术领域

[0001] 本发明是有关于一种半导体芯片封装结构,特别是有关于一种多重电源的多芯片 (multi-chip) 封装结构。

背景技术

[0002] 随着电子产品朝向轻、薄、短、小发展的趋势,半导体芯片的封装结构也朝向多芯片封装 (multi-chip package, MCP) 结构发展,以达到多功能和高性能要求。现有的多芯片封装结构是将需要不同操作电源的不同类型的半导体芯片,例如逻辑芯片、模拟芯片、控制芯片或内存芯片,整合在单一封装结构中。为了达到现有多芯片封装结构的电源需求,一般使用多重电源芯片 (multi-powerchip) 和封装结构的输入 / 输出电性连接 (input/output electrical connections) (例如接触垫或导线),以供应和并电性隔绝不同的操作电源。

[0003] 由于多芯片封装结构需要不同的操作电源,其电源线 (power net) 电路的布局较为复杂。因此,现有技术是将分段 (segment) 的电源线,设置于多重电源芯片中,并电性连接至对应的接触垫,再经由球栅阵列封装 (BGA) 的基板绕线至指定的封装脚位 (pin assignment)。然而,现有的多芯片封装结构中,连接不同电源的芯片接触垫的位置必须对应分段电源线的位置而无法更动,会造成布局面积的浪费,且球栅阵列封装 (BGA) 会提高封装成本。

[0004] 在此技术领域,有需要一种高集成密度和低成本的半导体芯片封装结构。

发明内容

[0005] 本发明的一实施例提供一种半导体芯片封装结构,包括一第一芯片,是以一第一电源操作,其具有一中心区和一外围区,上述第一芯片包括多个第一电源接触垫和多个第二电源接触垫,设置于上述外围区中,且位于上述第一芯片的顶面上;一第一电源环状线和一第二电源环状线,设置于上述第一芯片中,其中上述第一电源环状线是电性连接至上述多个第一电源接触垫,上述第二电源环状线是电性连接至上述多个第二电源接触垫;一第二芯片,是以一第二电源操作,固定于上述第一芯片的上述中心区上,上述第二芯片包括多个电源接触垫,设置于上述第二芯片的顶面上;多条第二电源焊线,分别电性连接至上述第二芯片的多个电源接触垫和上述多个第二电源接触垫。

附图说明

[0006] 为了让本发明的上述目的、特征和优点能更明显易懂,以下结合附图对本发明的具体实施方式作详细说明,其中:

[0007] 图 1a 为本发明一实施例的半导体芯片封装结构的俯视图。

[0008] 图 1b 为沿图 1a 的 A-A' 切线的剖面图,其显示本发明一实施例的半导体芯片封装结构。

[0009] 图 2a 为图 1a 的部分放大图,其显示本发明一实施例的半导体芯片封装结构的第

一电源接触垫、第二电源接触垫、第一电源环状线和第二电源环状线的电性连接关系。

[0010] 图 2b 为沿图 2a 的 B-B' 切线的剖面图,其显示本发明一实施例的半导体芯片封装结构的第一电源环状线和第一电源接触垫的电性连接关系。

[0011] 图 2c 为沿图 2a 的 C-C' 切线的剖面图,其显示本发明一实施例的半导体芯片封装结构的第二电源环状线和第二电源接触垫的电性连接关系。

[0012] 主要组件符号说明:

[0013] 200 ~ 第一芯片;

[0014] 202 ~ 中心区;

[0015] 203、211 ~ 边缘;

[0016] 204 ~ 外围区;

[0017] 206、206a、206b、206c、206d ~ 第二电源接触垫;

[0018] 207、207a、207b ~ 第一电源接触垫;

[0019] 208、217 ~ 接触垫;

[0020] 210 ~ 第二芯片;

[0021] 212、214 ~ 黏合材料;

[0022] 216、216a、216b、216c、216d ~ 电源接触垫;

[0023] 220、220a、220b、220c、220d ~ 第二电源焊线;

[0024] 222、222a、222b ~ 第一电源焊线;

[0025] 224 ~ 导线架;

[0026] 226 ~ 置晶座;

[0027] 228、228a、228b、229 ~ 引脚;

[0028] 230 ~ 封装材料;

[0029] 240 ~ 区域;

[0030] 242 ~ 第一电源介层插塞;

[0031] 244 ~ 第二电源介层插塞;

[0032] 250 ~ 晶圆;

[0033] 252、252a、252b、252c、252d ~ 介电层;

[0034] 254 ~ 半导体组件;

[0035] 270 ~ 第一电源环状线;

[0036] 280 ~ 第二电源环状线;

[0037] 500 ~ 半导体芯片封装结构。

具体实施方式

[0038] 以下以各实施例详细说明并伴随着附图说明的范例,作为本发明的参考依据。在附图或说明书描述中,相似或相同的部分皆使用相同的图号。且在附图中,实施例的形状或是厚度可扩大,并以简化或是方便标示。再者,附图中各组件的部分将以分别描述说明之,值得注意的是,图中未绘示或描述的组件,为所属技术领域中具有通常知识者所知的形式,另外,特定的实施例仅为揭示本发明使用的特定方式,其并非用以限定本发明。

[0039] 图 1a 为本发明一实施例的半导体芯片封装结构 500 的俯视图。图 1b 为沿图 1a 的

A-A' 切线的剖面图。在本发明一实施例中,半导体芯片封装结构 500 可为整合多重电源的多芯片 (multi-chip) 的导线架封装 (lead frame based package) 结构,例如可为一多芯片的四边扁平封装 (quad flat package, QFP) 结构。如图 1a 和图 1b 所示,半导体芯片封装结构 500 包括一导线架 224,其具有一置晶座 226 和多个引脚 228 和 229,其中引脚 228 可视为电源 (power) 输入 / 输出 (input/output, I/O) 电性连结的电源引脚 228。一第一芯片 200,可借由例如银胶 (silver paste) 或环氧树脂 (epoxy resin) 的一黏合材料 212 固定于置晶座 226 上。在本发明一实施例中,第一芯片 200 可为一多重电源芯片 (multi-power chip) 200。举例来说,第一芯片 200 可为一具有电位转换电路 (level shifter) 的芯片 200。一般而言,提供给芯片的操作电源是固定的,具有电位转换电路的芯片 200 可转换其操作电源,以供给需要不同操作电源的区域或不同操作电源的芯片使用。第一芯片 200 是以第一电源操作,其具有一中心区 202 和一外围区 204。第一芯片 200 包括多个第一电源接触垫 207、多个第二电源接触垫 206 和多个接触垫 208。如上所述的第一电源接触垫 207、第二电源接触垫 206 和接触垫 208 是位于第一芯片 200 的外围区 204 中,且位于第一芯片 200 的顶面上,并可沿着第一芯片 200 的边缘 203 排列成一环形阵列。在本发明一实施例中,第一电源接触垫 207、第二电源接触垫 206 可作为第一芯片 200 的电源 (power) 的输入 / 输出 (input/output, I/O) 电性连结,而接触垫 208 可作为第一芯片 200 的信号 (signal) 或接地 (ground) 的输入 / 输出 (I/O) 电性连结。第一芯片 200 包括一第一电源环状线 270 和一第二电源环状线 280,设置于第一芯片 200 中。如图 1a 所示,第一电源环状线 270 和第二电源环状线 280 是互相平行,且互相电性隔绝。在本发明一实施例中,第一电源环状线 270 和第二电源环状线 280 可位于所有第一电源接触垫 207、所有第二电源接触垫 206 和所有接触垫 208 的正下方,且实质上平行于上述接触垫所形成的环形阵列。在本发明另一实施例中,第一电源环状线 270 和第二电源环状线 280 可仅位于第一芯片 200 的外围区 204 中,但不位于所有第一电源接触垫 207、所有第二电源接触垫 206 和所有接触垫 208 的正下方。第一电源环状线 270 是电性连接至每一个第一电源接触垫 207,而第二电源环状线 280 是电性连接至每一个第二电源接触垫 206。另外,第一芯片 200 也可包括接地线或信号线 (图未显示)。多条第一电源焊线 222,分别电性连接至引脚 228 和第一电源接触垫 207。举例来说,第一电源焊线 222a 是电性连接至引脚 228a 和第一电源接触垫 207a,而第一电源焊线 222b 是电性连接至引脚 228b 和第一电源接触垫 207b。

[0040] 另外,如图 1a 和图 1b 所示,半导体芯片封装结构 500 包括一第二芯片 210,其中第一芯片 200 的面积可大于第二芯片 210 的面积。在本发明一实施例中,第二芯片 210 可为一核心逻辑芯片 (core logic chip) 210,其以第二电源操作,且可借由例如银胶 (silver paste) 或环氧树脂 (epoxy resin) 的一黏合材料 214 固定于第一芯片 200 的中心区 202 上。第二芯片 210 包括多个电源接触垫 216 和多个接触垫 217,位于第二芯片 210 的顶面上,并可沿着第二芯片 210 的边缘 211 设置排列成一环形阵列。在本发明一实施例中,电源接触垫 216 可作为第二芯片 210 的电源 (power) 的输入 / 输出 (input/output, I/O) 电性连结,而接触垫 217 可作为第二芯片 210 的信号 (signal) 或接地 (ground) 的输入 / 输出 (I/O) 电性连结。第二芯片 210 的电源接触垫 216 可经由多条第二电源焊线 220 分别电性连接至第一芯片 200 的多个第二电源接触垫 206,以借由第一芯片 200 的第二电源环状线 280 供应电源至第二芯片 210。举例来说,电源接触垫 216a 可经由第二电源焊线 220a 电性连接至第一

芯片 200 的第二电源接触垫 206a, 电源接触垫 216b 可经由第二电源焊线 220b 电性连接至第一芯片 200 的第二电源接触垫 206b, 电源接触垫 216c 可经由第二电源焊线 220c 电性连接至第一芯片 200 的第二电源接触垫 206c, 而电源接触垫 216d 可经由第二电源焊线 220d 电性连接至第一芯片 200 的第二电源接触垫 206d。为了方便说明起见, 本发明实施例的图标仅显示第一芯片 200 和第二芯片 210 电源 (power) 的输入 / 输出 (input/output, I/O) 电性连结, 其它例如信号 (signal) 或接地 (ground) 的输入 / 输出 (I/O) 电性连结在此不作显示。

[0041] 如图 1a 和图 1b 所示, 半导体芯片封装结构 500 还包括一封装材料 230, 包覆第一芯片 200、第二芯片 210、置晶座 226、引脚 228 和 229 的内侧部分、第一电源焊线 222 和第二电源焊线 220。在本发明一实施例中, 封装材料 230 的材质可包括例如环氧树脂 (epoxy resin) 的高分子材料。

[0042] 图 2a 为图 1a 的部分放大图, 其显示本发明一实施例的半导体芯片封装结构 500 的第一电源接触垫 207a 至 207b、第二电源接触垫 206b 至 206d 和第一电源环状线 270、第二电源环状线 280 的电性连接关系。图 2b 为沿图 2a 的 B-B' 切线的剖面图, 其显示本发明一实施例的半导体芯片封装结构的第一电源环状线 270 和第一电源接触垫 207b 的电性连接关系。图 2c 为沿图 2a 的 C-C' 切线的剖面图, 其显示本发明一实施例的半导体芯片封装结构的第二电源环状线 280 和第二电源接触垫 206d 的电性连接关系。为了方便说明起见, 如图 1a 所示的第一电源焊线 222 和第二电源焊线 220 在此不作显示。如图 2a 所示, 第一电源环状线 270 和第二电源环状线 280 是位于第一电源接触垫 207a 至 207b、第二电源接触垫 206b 至 206d 和接触垫 208 的正下方, 且实质上平行于第一电源接触垫 207a 至 207b、第二电源接触垫 206b 至 206d 和接触垫 208 的排列方向。多个第一电源介层插塞 242, 设置于第一芯片 200 中, 第一电源接触垫 207a 至 207b 分别经由第一电源介层插塞 242 电性连接至第一电源环状线 270。多个第二电源介层插塞 244, 设置于第一芯片 200 中, 第二电源接触垫 206b 至 206d 分别经由第二电源介层插塞 244 电性连接至第二电源环状线 280。如第 2b、2c 图所示, 在本发明一实施例中, 第一电源环状线 270 和第二电源环状线 280 是位于晶圆 250 上, 而第一电源环状线 270 或第二电源环状线 280 可电性连接至位于晶圆 250 上的半导体组件 254。第一电源环状线 270 和第二电源环状线 280 是位于包括介电层 252a 至 252d 的内联机结构 252 中。在本发明一实施例中, 第一电源环状线 270 和第二电源环状线 280 可设置于同一层介电层 252b 中。或者, 在本发明其它实施例中, 第一电源环状线 270 和第二电源环状线 280 可设置在不同层的介电层中 (图未显示), 且彼此电性隔绝。如图 2b 所示, 第一电源环状线 270 是经由第一电源介层插塞 242 电性连接至位于介电层 252d 中的第一电源接触垫 207b。如图 2c 所示, 第二电源环状线 280 是经由第二电源介层插塞 244 电性连接至位于介电层 252d 中的第二电源接触垫 206d。上述的第一电源环状线 270 和第二电源环状线 280 与其对应的第一电源接触垫 207 和第二电源接触垫 206 的电性连接方式, 可使第一电源接触垫 207 和第二电源接触垫 206 任意配置, 使其更有弹性。如图 2a 所示, 第一电源接触垫 207 的其中之一, 例如第一电源接触垫 207a 沿着上述环形阵列的列方向的两侧可分别相邻于第二电源接触垫 206b 和 206c。或者, 第二电源接触垫 206 的其中之一, 例如第二电源接触垫 206c 沿着上述环形阵列的列方向的两侧是分别相邻于第一电源接触垫 207a 和 207b。上述第一电源接触垫 207 和第二电源接触垫 206 可为交错排列, 或以任意

位置间隔排列。另外,上述不同电源的电源环状线与其对应的不同电源的电源接触垫的数量并无限制,可依设计需求而定。

[0043] 由于例如为多重电源芯片的第一芯片 200 中,多条相互平行的不同电源的电源环状线可分别经由不同的电源介层插塞分别电性连接至不同电源的电源接触垫,以分别输入或输出不同的电源,以供给需要不同操作电压的区域或不同操作电压的芯片使用,例如可经由第二电源环状线 280 供给第二芯片 210 的操作电源,可节省电源线布局的面积,并节省输入输出 (IO) 电性连接的数量,使本发明实施例的第一芯片 200 和第二芯片 210 可利用价格较低的导线架封装结构完成。另外,在导线架封装结构的每一个引脚的脚位 (pin assignment) 为依据设计规则而无法更动的情况下,上述电源环状线与电源接触垫的电性连接方式可使不同电源的电源接触垫任意配置,使其更有弹性,以搭配导线架形成本发明实施例的半导体芯片封装结构 500。因此,本发明实施例的半导体芯片封装结构 500 可不需要价格较高的球栅阵列封装结构 (BGA),即可完成多芯片的半导体芯片封装结构的目的。

[0044] 虽然本发明已以较佳实施例揭示如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作些许的修改和完善,因此本发明的保护范围当以权利要求书所界定的为准。

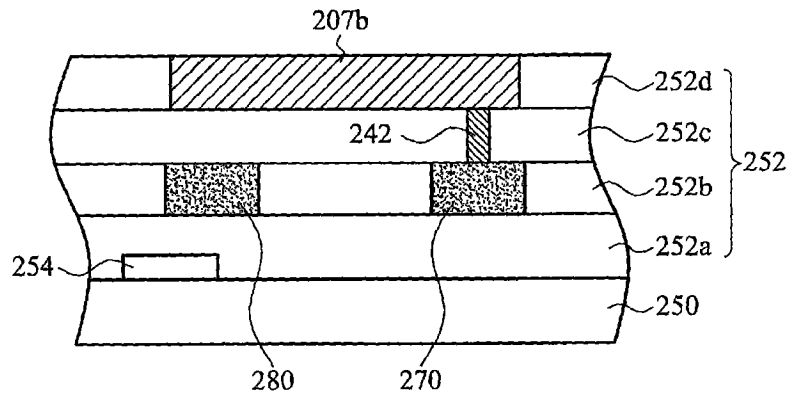


图 2b

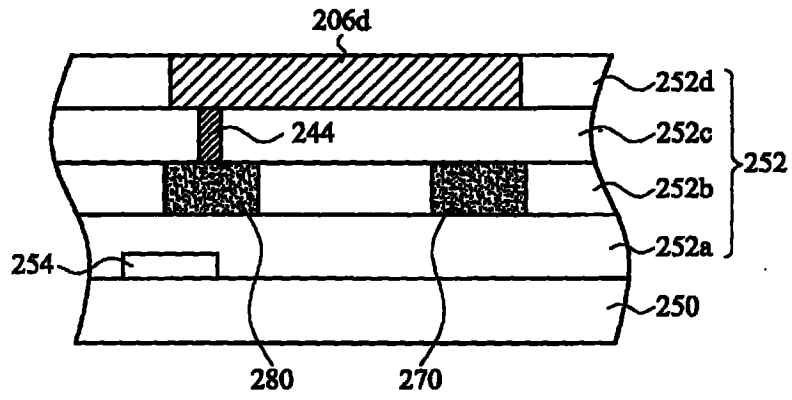


图 2c