

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5910395号
(P5910395)

(45) 発行日 平成28年4月27日(2016.4.27)

(24) 登録日 平成28年4月8日(2016.4.8)

(51) Int.Cl.	F I
HO3K 17/687 (2006.01)	HO3K 17/687 D
HO2M 3/28 (2006.01)	HO2M 3/28 S
HO2M 1/08 (2006.01)	HO2M 1/08 A
	HO2M 1/08 C
	HO3K 17/687 F

請求項の数 11 (全 23 頁)

(21) 出願番号	特願2012-167941 (P2012-167941)	(73) 特許権者	000106276
(22) 出願日	平成24年7月30日(2012.7.30)		サンケン電気株式会社
(65) 公開番号	特開2013-78111 (P2013-78111A)		埼玉県新座市北野3丁目6番3号
(43) 公開日	平成25年4月25日(2013.4.25)	(74) 代理人	100083806
審査請求日	平成27年6月18日(2015.6.18)		弁理士 三好 秀和
(31) 優先権主張番号	特願2011-203414 (P2011-203414)	(74) 代理人	100100712
(32) 優先日	平成23年9月16日(2011.9.16)		弁理士 岩▲崎▼ 幸邦
(33) 優先権主張国	日本国(JP)	(74) 代理人	100101247
			弁理士 高橋 俊一
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100098327
			弁理士 高松 俊雄

最終頁に続く

(54) 【発明の名称】 ドライブ回路

(57) 【特許請求の範囲】

【請求項1】

ノーマリオン型のハイサイドスイッチとノーマリオフ型のローサイドスイッチとの直列回路が直流電源に並列に接続され、前記ハイサイドスイッチと前記ローサイドスイッチとをオンオフドライブするドライブ回路であって、

前記ハイサイドスイッチと前記ローサイドスイッチとをパルス信号によりオンオフさせる制御回路と、

前記ハイサイドスイッチと前記ローサイドスイッチとの接続点に一端が接続された整流手段と、

前記整流手段の他端と前記直流電源の一端とに接続され且つ前記制御回路に電源を供給するコンデンサと、

前記制御回路からのパルス信号と前記コンデンサからの電圧とに基づいて前記ハイサイドスイッチと前記ローサイドスイッチとをオンオフドライブするドライブ部と、
を備えることを特徴とするドライブ回路。

【請求項2】

前記ドライブ部は、

前記制御回路からのパルス信号により前記ハイサイドスイッチをオンオフさせるハイサイドスイッチ制御部と、

前記コンデンサの電圧と閾値電圧とを比較するコンパレータと、

前記コンパレータの出力と前記制御回路からのパルス信号とに基づいて前記ローサイド

スイッチをオンオフさせるローサイドスイッチ制御部と、
を備えることを特徴とする請求項 1 記載のドライブ回路。

【請求項 3】

前記コンパレータは、ヒステリシスコンパレータであり、前記コンデンサの電圧が前記上限スレッシュ以上となると出力信号を反転し、前記コンデンサの電圧が前記下限スレッシュ以下となると出力信号を前記上限スレッシュ以上となる出力信号から反転させ、

前記ローサイドスイッチは、前記コンパレータの出力信号によりオンし、前記制御回路からのパルス信号によりオフすることを特徴とする請求項 2 記載のドライブ回路。

【請求項 4】

前記ドライブ部は、前記ハイサイドスイッチをオンドライブし、且つ前記ローサイドをオフドライブすることで前記コンデンサを充電することを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項記載のドライブ回路。

10

【請求項 5】

前記ドライブ部は、前記コンデンサの充電電圧が所定の電圧以下になると、前記ハイサイドスイッチをオンドライブし、且つ前記ローサイドをオフドライブすることを特徴とする請求項 4 記載のドライブ回路。

【請求項 6】

前記ノーマリオン型のハイサイドスイッチと前記ノーマリオフ型のローサイドスイッチとの直列回路に並列に接続された第 2 のノーマリオン型のハイサイドスイッチと第 2 のノーマリオフ型のローサイドスイッチとの直列回路を備え、

20

各ハイサイドスイッチの制御端子間を接続し、各ローサイドスイッチの制御端子間を接続したことを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項記載のドライブ回路。

【請求項 7】

前記ノーマリオン型のハイサイドスイッチとノーマリオフ型のローサイドスイッチとの直列回路に並列に接続されたノーマリオフ型のスイッチを備え、

前記ノーマリオフ型のスイッチの制御端子は、前記ローサイドスイッチの制御端子に接続されることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項記載のドライブ回路。

【請求項 8】

ノーマリオン型のハイサイドスイッチとノーマリオフ型のローサイドスイッチとの直列回路が直流電源に並列に接続され、前記ハイサイドスイッチと前記ローサイドスイッチとをオンオフドライブするドライブ回路であって、

30

前記ローサイドスイッチをパルス信号によりオンオフさせる制御回路と、

前記ハイサイドスイッチと前記ローサイドスイッチとの接続点に一端が接続されたスイッチ手段と、

前記スイッチ手段の他端と前記直流電源の一端とに接続され且つ前記制御回路に電源を供給するコンデンサと、

前記制御回路からのパルス信号と前記コンデンサからの電圧とに基づいて前記ローサイドスイッチをオンオフドライブするドライブ部と、

前記制御回路からのパルス信号と前記コンデンサからの電圧とに基づいて前記スイッチ手段をオンオフ制御するスイッチ制御部とを備え、

40

前記ハイサイドスイッチの制御電極は、グランド又は所定の電位に接続されることを特徴とするドライブ回路。

【請求項 9】

ノーマリオン型のハイサイドスイッチとノーマリオフ型のローサイドスイッチとの直列回路が直流電源に並列に接続され、前記ハイサイドスイッチと前記ローサイドスイッチとをオンオフドライブするドライブ回路であって、

前記ローサイドスイッチをパルス信号によりオンオフさせる制御回路と、

前記ノーマリオン型のハイサイドスイッチの高圧側主電極と制御電極とに接続された第 2 のノーマリオン型のハイサイドスイッチと、

前記第 2 のノーマリオン型のハイサイドスイッチの低電圧側主電極に一端が接続された

50

スイッチ手段と、

前記スイッチ手段の他端と前記直流電源の一端とに接続され且つ前記制御回路に電源を供給するコンデンサと、

前記制御回路からのパルス信号と前記コンデンサからの電圧とに基づいて前記ローサイドスイッチをオンオフドライブするドライブ部と、

前記制御回路からのパルス信号と前記コンデンサからの電圧とに基づいて前記スイッチ手段をオンオフ制御するスイッチ制御部とを備え、

前記ハイサイドスイッチの制御電極は、グランド又は所定の電位に接続されることを特徴とするドライブ回路。

【請求項 10】

10

ノーマリオン型のハイサイドスイッチとノーマリオフ型のローサイドスイッチとの直列回路が直流電源に並列に接続され、前記ハイサイドスイッチと前記ローサイドスイッチとをオンオフドライブするドライブ回路であって、

前記ノーマリオン型のハイサイドスイッチの高圧側主電極と制御電極とに接続された第2のノーマリオン型のハイサイドスイッチと、

前記2つのハイサイドスイッチと前記ローサイドスイッチとをパルス信号によりオンオフさせる制御回路と、

前記第2のノーマリオン型のハイサイドスイッチの低圧側主電極に一端が接続された整流手段と、

前記整流手段の他端と前記直流電源の一端とに接続され且つ前記制御回路に電源を供給するコンデンサと、

20

前記制御回路からのパルス信号と前記コンデンサからの電圧とに基づいて前記ハイサイドスイッチと前記ローサイドスイッチとをオンオフドライブするドライブ部と、

を備えることを特徴とするドライブ回路。

【請求項 11】

前記整流手段に代えて、前記ハイサイドスイッチと前記ローサイドスイッチとの接続点から前記制御回路に電源を供給するコンデンサに電圧を供給する定電圧電源を設けたことを特徴とする請求項 1 乃至請求項 7 のいずれか 1 項記載のドライブ回路。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、スイッチング電源装置等に用いられるスイッチング素子を駆動するドライブ回路に関する。

【背景技術】

【0002】

一般的なスイッチング電源装置は、例えば、特許文献 1 に記載されるように、直流電源の両端にトランスの一次巻線と MOSFET からなるスイッチング素子とが直列に接続され、スイッチング素子をオンオフさせることによりトランスの二次巻線に発生した交流電圧を第 1 整流平滑回路で整流平滑して、得られた直流出力電圧を負荷に供給する。

【0003】

40

直流出力電圧は、フォトカプラなどを介して一次側の制御回路に帰還され、直流出力電圧が所定値となるように制御回路によりスイッチング素子のスイッチング周波数が制御される。

【0004】

また、トランスの補助巻線に発生した交流電圧を第 2 整流平滑回路で整流平滑し、得られた直流電圧を制御電源として制御回路（ドライブ回路の一部）に供給し、制御電源により動作した制御回路からのパルス信号によりドライブ回路は、スイッチング素子をオンオフ駆動させる。

【先行技術文献】

【特許文献】

50

【 0 0 0 5 】

【特許文献 1】特開平 4 - 1 0 5 5 5 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、従来のドライブ回路においては、トランスの補助巻線が設けられているため、高価であった。

【 0 0 0 7 】

本発明の課題は、トランスの補助巻線を用いることなく、制御回路の電源を確保して安価にできるドライブ回路を提供することにある。

10

【課題を解決するための手段】

【 0 0 0 8 】

上記の課題を解決するために、本発明に係るドライブ回路は、ノーマリオン型のハイサイドスイッチとノーマリオフ型のローサイドスイッチとの直列回路が直流電源に並列に接続され、前記ハイサイドスイッチと前記ローサイドスイッチとをオンオフドライブするドライブ回路であって、前記ハイサイドスイッチと前記ローサイドスイッチとを制御信号によりオンオフさせる制御回路と、前記ハイサイドスイッチと前記ローサイドスイッチとの接続点に一端が接続された整流手段と、前記整流手段の他端と前記直流電源の一端とに接続され且つ前記制御回路に電源を供給するコンデンサと、前記制御回路からの制御信号と前記コンデンサからの電圧とに基づいて前記ハイサイドスイッチと前記ローサイドスイッチとをオンオフドライブするドライブ部とを備えることを特徴とする。

20

【発明の効果】

【 0 0 0 9 】

本発明に係るドライブ回路によれば、ハイサイドスイッチにノーマリオン型の素子を使用し、直流電源からハイサイドスイッチを介してコンデンサに充電するので、コンデンサの充電電圧を制御回路に電源供給できる。従って、トランスの補助巻線を用いることなく、制御回路の電源を確保して安価にできる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】本発明の実施例 1 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

30

【図 2】本発明の実施例 1 に係るドライブ回路を備えるスイッチング電源装置の起動時の各部の動作を示すタイミングチャートである。

【図 3】本発明の実施例 1 に係るドライブ回路を備えるスイッチング電源装置の通常時の各部の動作を示すタイミングチャートである。

【図 4】本発明の実施例 2 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

【図 5】本発明の実施例 2 に係るドライブ回路を備えるスイッチング電源装置の起動時の各部の動作を示すタイミングチャートである。

【図 6】本発明の実施例 2 に係るドライブ回路を備えるスイッチング電源装置の通常時の各部の動作を示すタイミングチャートである。

40

【図 7】本発明の実施例 3 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

【図 8】本発明の実施例 3 に係るドライブ回路を備えるスイッチング電源装置の起動時の各部の動作を示すタイミングチャートである。

【図 9】本発明の実施例 3 に係るドライブ回路を備えるスイッチング電源装置の通常時の各部の動作を示すタイミングチャートである。

【図 10】本発明の実施例 4 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

【図 11】本発明の実施例 4 に係るドライブ回路を備えるスイッチング電源装置の具体的

50

な構成を示す回路図である。

【図 1 2】図 1 1 に示されるスイッチング電源装置内のフリップフロップ F F 1 の内部接続図である。

【図 1 3】本発明の実施例 4 に係るドライブ回路を備えるスイッチング電源装置の起動時の各部の動作を示すタイミングチャートである。

【図 1 4】本発明の実施例 4 に係るドライブ回路を備えるスイッチング電源装置の通常時の各部の動作を示すタイミングチャートである。

【図 1 5】本発明の実施例 4 の変形例 1 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

【図 1 6】本発明の実施例 1 の変形例 1 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

10

【図 1 7】本発明の実施例 4 の変形例 2 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

【図 1 8】本発明の実施例 1 の変形例 2 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

【図 1 9】本発明の実施例 1 の変形例 3 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

【図 2 0】本発明の実施例 1 の変形例 4 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

【図 2 1】本発明の実施例 1 の変形例 5 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。

20

【発明を実施するための形態】

【 0 0 1 1 】

以下、本発明の実施の形態に係るドライブ回路を備えるスイッチング電源装置について、図面を参照しながら詳細に説明する。

【実施例 1】

【 0 0 1 2 】

図 1 は、本発明の実施例 1 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。図 1 において、直流電源 V 1 の両端には、トランス T 1 の一次巻線 P 1 とスイッチング素子 Q 1 とスイッチング素子 Q 2 との直列回路が接続されている。スイッチング素子 Q 1 は、ノーマリオン型のスイッチであり、G a N などからなる。スイッチング素子 Q 2 は、ノーマリオフ型の M O S F E T からなる。

30

【 0 0 1 3 】

スイッチング素子 Q 1 とスイッチング素子 Q 2 とは、制御回路 1 0 により交互又は同時にオンオフする。トランス T 1 の二次巻線 S 1 の一端にはダイオード D 1 のアノードが接続され、ダイオード D 1 のカソードにはコンデンサ C 1 の一端が接続され、二次巻線 S 1 の他端にはコンデンサ C 1 の他端が接続されている。ダイオード D 1 とコンデンサ C 1 とで、二次巻線 S 1 に発生した交流電圧を整流平滑して得られた直流出力電圧を図示しない負荷に供給する整流平滑回路を構成する。

【 0 0 1 4 】

40

電圧検出回路 1 2 は、コンデンサ C 1 の両端電圧、即ち、直流出力電圧を検出し、検出電圧をフィードバック信号 F B として制御回路 1 0 に出力する。制御回路 1 0 は、電圧検出回路 1 2 からのフィードバック信号 F B に基づいてスイッチング素子 Q 1 とスイッチング素子 Q 2 とのオンオフのデューティ比を制御することにより直流出力電圧を所定電圧に制御する。

【 0 0 1 5 】

スイッチング素子 Q 2 のドレイン - ソース間にはツェナーダイオード D 3 が接続されている。スイッチング素子 Q 1 とスイッチング素子 Q 2 との接続点には、ダイオード D 2 のアノードが接続され、ダイオード D 2 のカソードは、制御回路 1 0 の電源端子とコンデンサ C 2 の一端と抵抗 R 1 の一端と抵抗 R 4 の一端とに接続されている。

50

【 0 0 1 6 】

コンデンサ C 2 の両端には、抵抗 R 1 と抵抗 R 2 と抵抗 R 3 との直列回路が接続されるとともに、抵抗 R 4 とツェナーダイオード D 4 との直列回路が接続されている。抵抗 R 1 と抵抗 R 2 との接続点は、コンパレータ A 1 の非反転端子 (+) に接続され、抵抗 R 4 とツェナーダイオード D 4 との接続点は、コンパレータ A 1 の反転端子 (-) に接続されている。

【 0 0 1 7 】

コンパレータ A 1 は、ヒステリシスコンパレータであり、上限スレッシュ H t h と下限スレッシュ L t h とを有し、コンデンサ C 2 の電圧 V C 2 が上限スレッシュ H t h 以上となると H レベルを出力し、コンデンサ C 2 の電圧 V C 2 が下限スレッシュ L t h 以下となると L レベルを出力する。

10

【 0 0 1 8 】

このヒステリシスコンパレータは、抵抗 R 1 ~ R 3 、ノット回路 N O T 2 、トランジスタ Q 5 、ツェナーダイオード D 4 で実現される。例えば、抵抗比を R 1 : R 2 = 1 : 1 とし、R 3 = 0 . 1 × R 2 とする。

【 0 0 1 9 】

コンパレータ A 1 の出力端子は、アンド回路 A N D 1 の一方の入力端子とノット回路 N O T 2 の入力端子とに接続されている。抵抗 R 2 と抵抗 R 3 との接続点は、N 型 M O S F E T からなるトランジスタ Q 5 のドレインに接続され、トランジスタ Q 5 のゲートはノット回路 N O T 2 の出力端子に接続されている。トランジスタ Q 5 のソースは、コンデンサ C 2 の他端と抵抗 R 3 の一端とツェナーダイオード D 4 のアノードと制御回路 1 0 のグラウンド端子と N 型 M O S F E T からなるトランジスタ Q 4 のソースに接続されている。

20

【 0 0 2 0 】

制御回路 1 0 の出力端子は、アンド回路 A N D 1 の他方の入力端子とノット回路 N O T 1 の入力端子とに接続され、ノット回路 N O T 1 の出力端子は、P 型 M O S F E T からなるトランジスタ Q 3 のゲートとトランジスタ Q 4 のゲートとに接続されている。トランジスタ Q 3 のドレインとトランジスタ Q 4 のドレインとはスイッチング素子 Q 1 のゲートに接続され、トランジスタ Q 3 のソースは、スイッチング素子 Q 1 のソースとスイッチング素子 Q 2 のドレインとに接続されている。アンド回路 A N D 1 の出力端子は、スイッチング素子 Q 2 のゲートに接続されている。

30

【 0 0 2 1 】

次にこのように構成された実施例 1 に係るドライブ回路の動作を説明する。まず、図 2 を参照しながら、起動時の動作を説明する。図 2 において、V 1 は直流電源 V 1 の電圧、V C 2 はコンデンサ C 2 の両端電圧、V g s Q 1 はスイッチング素子 Q 1 のゲート - ソース間電圧、V g s Q 2 はスイッチング素子 Q 2 のゲート - ソース間電圧、I d D 2 はダイオード D 2 に流れる電流を示す。

【 0 0 2 2 】

まず、時刻 t 0 において、スイッチング素子 Q 1 がオンであるので、V 1 正極 P 1 Q 1 D 2 C 2 V 1 負極の経路で電流が流れる。このため、コンデンサ C 2 が充電されて、コンデンサ C 2 の電圧 V C 2 が上昇していく。

40

【 0 0 2 3 】

時刻 t 1 において、コンデンサ C 2 の電圧 V C 2 が制御回路動作開始電圧になると、制御回路 1 0 、コンパレータ A 1 、アンド回路 A N D 1 が動作する。この時点では、電圧 V C 2 がスイッチング素子 Q 1 のゲートスレッシュ電圧 Q 1 t h に達していないため、スイッチング素子 Q 1 はオンし続ける。

【 0 0 2 4 】

時刻 t 2 において、電圧 V C 2 がスイッチング素子 Q 1 のゲートスレッシュ電圧 Q 1 t h に達すると、制御回路 1 0 からのパルス信号によりトランジスタ Q 3 とトランジスタ Q 4 とが交互にオンオフするので、スイッチング素子 Q 1 はオンオフ動作を開始する。このとき、スイッチング素子 Q 1 がオンしている期間だけコンデンサ C 2 は充電され、電圧 V

50

C 2 は上昇し続ける。

【 0 0 2 5 】

なお、この時点では、電圧 V_{C2} が過電圧となっていないため、コンパレータ A 1 は、L レベルをアンド回路 A N D 1 に出力するので、スイッチング素子 Q 2 はオフである。

【 0 0 2 6 】

時刻 t_3 において、電圧 V_{C2} が過電圧となると、コンパレータ A 1 は、H レベルをアンド回路 A N D 1 に出力するので、アンド回路 A N D 1 は制御回路 1 0 からのパルス信号とコンパレータ A 1 からの H レベルとのアンドを取る。このため、スイッチング素子 Q 1 のオンオフ動作に同期して、スイッチング素子 Q 2 はオンオフ動作する。このため、ダイオード D 2 に流れる電流が制限されて、通常動作に移行する。

10

【 0 0 2 7 】

次に、図 3 を参照しながら、スイッチング電源装置の通常時の動作を説明する。図 3 において、 I_{dQ1} はスイッチング素子 Q 1 のドレイン電流、 V_{dQ1} はスイッチング素子 Q 1 のドレイン - ソース間電圧、 I_{dD1} はダイオード D 1 に流れる電流、A 1 出力はコンパレータ A 1 の出力を示す。

【 0 0 2 8 】

まず、時刻 t_{11} において、制御回路 1 0 の出力が H レベルとなると、ノット回路 N O T 1 から L レベルがトランジスタ Q 3 のゲートに出力される。このため、トランジスタ Q 3 がオンして、スイッチング素子 Q 1 がオンする。すると、直流電源 V 1 から一次巻線 P 1 を介してスイッチング素子 Q 1 に電流 I_{dQ1} が流れ、ダイオード D 2 には電流 I_{dD2} が流れて、コンデンサ C 2 が充電されていく。

20

【 0 0 2 9 】

コンデンサ C 2 の電圧 V_{C2} は過電圧になっていないので、コンパレータ A 1 から L レベルがアンド回路 A N D 1 に出力されるため、スイッチング素子 Q 2 はオフである。

【 0 0 3 0 】

時刻 t_{12} において、コンパレータ A 1 は、コンデンサ C 2 の電圧 V_{C2} が上限スレッシュ H_{th} 以上となるとアンド回路 A N D 1 に H レベルを出力するので、スイッチング素子 Q 2 がオンする。このため、ダイオード D 2 の電流 I_{dD2} がなくなり、コンデンサ C 2 の電圧が上昇しなくなる。

【 0 0 3 1 】

時刻 t_{13} において、制御回路 1 0 の出力が L レベルを出力すると、トランジスタ Q 4 がオンし、スイッチング素子 Q 1 がオフする。このため、電流 I_{dQ1} がなくなる。また、制御回路 1 0 からの L レベルがアンド回路 A N D 1 に入力されるので、スイッチング素子 Q 2 はオフする。

30

【 0 0 3 2 】

時刻 t_{14} において、コンデンサ C 2 の電圧 V_{C2} が下限スレッシュ L_{th} 以下となるとコンパレータ A 1 は、L レベルをアンド回路 A N D 1 に出力する。

【 0 0 3 3 】

このように実施例 1 に係るスイッチング電源装置によれば、ノーマリオン型のスイッチング素子 Q 1 とノーマリオフ型のスイッチング素子 Q 2 との接続点からダイオード D 2 を介してコンデンサ C 2 を充電し、コンデンサ C 2 の電圧を制御回路 1 0 に印加するので、トランスの補助巻線無しで、制御回路 1 0 の電源を確保できるため、安価になる。

40

【 0 0 3 4 】

また、直流電源投入での起動時には、制御回路 1 0 への電源供給を行う起動回路が不要となる。

【実施例 2】

【 0 0 3 5 】

図 4 は、本発明の実施例 2 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。図 4 において、抵抗 R 1 と抵抗 R 2 との接続点は、コンパレータ A 1 の反転入力端子 (-) に接続され、抵抗 R 4 とツェナーダイオード D 4 との接続点は、コ

50

ンパレータ A 1 の非反転端子 (+) に接続されている。

【 0 0 3 6 】

コンパレータ A 1 の出力端子は、フリップフロップ F F 1 のセット端子 S に接続され、フリップフロップ F F 1 のリセット端子 R は、トランジスタ Q 3 のゲートとトランジスタ Q 4 のゲートとに接続されている。フリップフロップ F F 1 の出力端子 Q b はアンド回路 A N D 1 の一方の入力端子に接続されている。

【 0 0 3 7 】

その他の構成は、実施例 1 の構成と同一であるので、同一部分には同一符号を付し、その説明は省略する。

【 0 0 3 8 】

実施例 1 では、起動後のコンデンサ C 2 (制御電源) の充電は、スイッチング素子 Q 1 のスイッチング毎に行われていたが、実施例 2 では、コンデンサ C 2 の電圧がツェナーダイオード D 4 の閾値電圧 V D 4 (降伏電圧) より低下したことを検出して、スイッチング素子 Q 1 の次のオン期間 (1 パルス) のみコンデンサ C 2 に充電を行うことを特徴とする。

【 0 0 3 9 】

即ち、1パルスの充電でコンデンサ C 2 の電圧 V C 2 を閾値電圧 V D 4 より上昇させる。従って、コンデンサ C 2 の電圧 V C 2 が閾値電圧 V D 4 よりも低下しない限り、スイッチング素子 Q 1 の複数回のスイッチングが行われるが、コンデンサ C 2 の充電動作は行われない点の実施例 1 とは異なる。

【 0 0 4 0 】

また、コンデンサ C 2 の非充電動作におけるスイッチング素子 Q 1 のスイッチング回数は、コンデンサ C 2 の容量で決定され、コンデンサ C 2 のコンデンサ容量が大きいほど非充電動作におけるスイッチング素子 Q 1 のスイッチング回数は増加する。なお、図 6 では、動作を簡単に説明するため、充電回数を 2 回のスイッチングに 1 回にしている。

【 0 0 4 1 】

また、ツェナーダイオード D 4 の閾値電圧及びスイッチング素子 Q 1 のスレッシュ電圧は、制御回路 1 0 の最低動作電圧よりも高く設定されている。ここで、制御回路動作開始電圧 < スレッシュ電圧 < D 4 の閾値電圧の関係になる。

【 0 0 4 2 】

次にこのように構成された実施例 2 に係るドライブ回路の動作を説明する。図 5 に示す起動時の動作のタイミングチャートと図 6 に示す通常動作時のタイミングチャートを参照しながらドライブ回路の動作を説明する。

【 0 0 4 3 】

まず、時刻 t 0 において、スイッチング素子 Q 1 がオンであるので、V 1 正極 P 1 Q 1 D 2 C 2 V 1 負極の経路で電流が流れる。このため、コンデンサ C 2 が充電されて、コンデンサ C 2 の電圧 V C 2 が上昇していく。

【 0 0 4 4 】

時刻 t 1 において、コンデンサ C 2 の電圧 V C 2 が制御回路動作電圧になると、制御回路 1 0、コンパレータ A 1、アンド回路 A N D 1 が動作する。この時点では、電圧 V C 2 がスイッチング素子 Q 1 のゲートスレッシュ電圧 Q 1 t h に達していないため、スイッチング素子 Q 1 はオンし続ける。

【 0 0 4 5 】

時刻 t 2 において、電圧 V C 2 がスイッチング素子 Q 1 のゲートスレッシュ電圧 Q 1 t h に達すると、スイッチング素子 Q 1 は制御回路 1 0 のオンオフ出力信号によりオンオフ動作を開始する。

【 0 0 4 6 】

このとき、電圧 V C 2 はダイオード D 4 の閾値電圧 V D 4 に達していないので、コンパレータ A 1 の出力は H レベルとなり、フリップフロップ F F 1 がセットされる。フリップフロップ F F 1 の反転出力 Q b は L レベルとなる。この L レベルは、アンド回路 A N D 1

10

20

30

40

50

を介してスイッチング素子Q2のゲートに出力される。このため、スイッチング素子Q2のゲート信号は、制御回路10のオンオフ出力信号に係らずLレベルとなり、スイッチング素子Q2はオフになる。

【0047】

時刻t2～t3の期間において、スイッチング素子Q1は、スイッチング素子Q2がオフ状態であるため、スイッチング素子Q1がオンしている期間だけダイオードD2を介してコンデンサC2が充電され、電圧VC2は上昇し続ける。

【0048】

時刻t3において、コンパレータA1の出力は、閾値電圧VD4を超えたことを検出してHレベルからLレベルに反転する。

10

【0049】

時刻t4以降では、フリップフロップFF1のセット端子SにはLレベルが入力されるので、フリップフロップFF1の反転出力Qbは、制御回路10のオン信号に同期してHレベルを出力する。従って、スイッチング素子Q1のオンオフ動作に同期してスイッチング素子Q2がオンオフ動作し、時刻t4～t6において、ダイオードD2を介するコンデンサC2への充電が停止される。

【0050】

時刻t5において、コンデンサC2の電圧VC2が閾値電圧VD4より下がると、コンパレータA1の出力は、LレベルからHレベルに反転するので、時刻t6において、フリップフロップFF1の反転出力QbはLレベルとなる。このため、スイッチング素子Q2はオフ状態となり、ダイオードD2を介してコンデンサC2の充電が再開される。

20

【0051】

しかし、時刻t7において、コンデンサC2の電圧VC2は、閾値電圧VD4を超えるため、再びコンパレータA1の出力は、Lレベルを出力する。このため、コンデンサC2の充電は、時刻t6～t8における1パルスで停止する。

【0052】

このように実施例2に係るドライブ回路を備えるスイッチング電源装置によれば、コンデンサC2の電圧VC2が低下するとコンパレータA1がフリップフロップFF1をセットすることにより、スイッチング素子Q1の次のオン期間、スイッチング素子Q2がオフし続ける。即ち、スイッチング素子Q1がオンして、スイッチング素子Q2がオフ状態となるので、ダイオードD2を介してコンデンサC2に電流が流れ、電圧VC2が上昇する。この動作が間欠的に行われるので、コンデンサC2の電位が一定電圧以上に維持される。

30

【0053】

従って、実施例2に係るドライブ回路を備えるスイッチング電源装置も、実施例1に係るドライブ回路を備えるスイッチング電源装置の効果と同様な効果が得られる。

【実施例3】

【0054】

実施例2では、スイッチング素子Q1の複数回のスイッチングに対して1回(1パルス分)だけコンデンサC2への充電が行われたが、実施例3では、さらに1パルスのうちの、ダイオードD2の電流IdD2が小さい前半の時間のみ用いてコンデンサC2への充電を行うことを特徴とする。

40

【0055】

図7は、本発明の実施例3に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。図7に示す実施例3に係るスイッチング電源装置は、図3に示す実施例2に係るスイッチング電源装置に対して、以下の構成が異なる。

【0056】

コンパレータA1の出力端子にはダイオードD5のアノードが接続され、ダイオードのカソードには抵抗R3の一端とコンデンサC3の一端とアンド回路AND2の反転入力端子に接続される。抵抗R3の他端はダイオードD6のアノードに接続され、ダイオードD

50

6のカソードはトランジスタQ3, Q4のゲートとノット回路NOT1の出力端子とに接続されている。

【0057】

コンデンサC3の他端は、制御回路10のグランド端子とダイオードD4のアノードとコンデンサC2の他端と抵抗R2の他端とトランジスタQ4のソースとに接続されている。アンド回路AND2は、ダイオードD5からの信号を反転した信号と制御回路10からの出力とのアンドをとり、アンド出力をトランジスタQ2のゲートに出力する。

【0058】

即ち、実施例3は、実施例2に対して、フリップフロップFF1の代わりに、時定数回路D5, D6, R3, C3を設け、アンド回路AND1の代わりに1入力がNOT10 10
入力のアンド回路AND2を設けている。

【0059】

その他の構成は、実施例2の構成と同一であるので、同一部分には同一符号を付し、その説明は省略する。

【0060】

次にこのように構成された実施例3に係るドライブ回路の動作を説明する。図8に示す起動時の動作のタイミングチャートと図9に示す通常動作時のタイミングチャートを参照しながらドライブ回路の動作を説明する。

【0061】

図8に示す時刻t10~t13の動作は、実施例2の時刻t0~t3の動作と同様の動作になるので、その時刻における説明は省略する。 20

【0062】

ここで、時刻t13において、コンデンサC2の電圧VC2がダイオードD4の閾値電圧VD4を超えると、コンパレータA1の出力がHレベルからLレベルとなり、コンデンサC3に蓄積された電荷が抵抗R3とダイオードD6とを介してノット回路NOT1に放電され始める。

【0063】

時刻t13から、抵抗R3とコンデンサC3との時定数及びアンド回路AND2のNOT10 30
入力閾電圧による時定数時間Aが経過すると、アンド回路AND2の出力は、LレベルからHレベルとなる。

【0064】

時刻t14において、スイッチング素子Q2は、オフ状態からオンに切り替わる。スイッチング素子Q2がオンすることにより、ダイオードD2を介してコンデンサC2を充電していたスイッチング素子Q1のドレイン電流は、スイッチング素子Q2を介してグランドに流れる。

【0065】

時刻t14経過後、制御回路10からのオン信号が停止し、次のオン信号が入力されてもコンデンサC2の電圧VC2は、ダイオードD4の閾値電圧VD4を超えているので、コンパレータA1の出力は、Lレベルである。このため、コンデンサC3を充電しないため、アンド回路AND2は、制御回路10からのオンオフ信号に同期した信号をスイッチング素子Q2のゲートに出力する。従って、スイッチング素子Q1のオンオフ動作に同期して、スイッチング素子Q2がオンオフ動作を行う。このため、時刻t14~t15において、ダイオードD2を介したコンデンサC2への充電が停止される。 40

【0066】

時刻t15において、コンデンサC2の電圧VC2がダイオードD4の閾値電圧VD4未満となると、コンパレータA1の出力は、Hレベルとなり、コンデンサC3が充電されるので、制御回路10からの次のオン信号に同期して、コンデンサC2への充電が開始される。

【0067】

コンデンサC2の電圧VC2は、瞬時に充電され、時刻t16において、再び電圧VC 50

2がダイオードD4の閾値電圧VD4を超える。この時刻16から時定数時間A経過後の時刻t18において、充電が停止される。即ち、制御回路10からのオン信号に同期してコンデンサC2の充電が開始されるので、スイッチング素子Q1のドレイン電流0AからコンデンサC2に充電が開始される。

【0068】

実施例3においては、時定数時間Aを適切に設定することで、コンデンサC2の電圧VC2を抑制できるので、コンデンサC2の充電電圧が過電圧にならないように調整することが可能になる。

【0069】

このように、実施例3に係るドライブ回路を備えるスイッチング電源装置によれば、コンデンサC2の電圧VC2が低下すると、コンパレータA1はHレベルを出力するので、コンデンサC3が充電される。スイッチング素子Q1が次のオン期間になると、コンパレータA1はLレベルを出力するので、コンデンサC3が抵抗R3を介して放電される。

10

【0070】

そして、コンデンサC3の電圧VC3が一定電圧以下になるまで、スイッチング素子Q1がオンして、スイッチング素子Q2がオフ状態になる。このため、ダイオードD2を介してコンデンサC2に電流が流れるので、コンデンサC2の両端電圧が上昇する。この動作が、毎回又は間欠的に実施されることで、コンデンサC2の両端電圧が一定電圧以上に維持される。

【0071】

20

従って、実施例3に係るスイッチング電源装置も、実施例1に係るスイッチング電源装置の効果と同様な効果が得られる。

【実施例4】

【0072】

図10は、本発明の実施例4に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。図10において、ダイオードD2のカソードにはスイッチSWの一端が接続され、スイッチSWの他端は、コンデンサC2の一端とUVLO回路15の一端と制御回路10の一端とに接続されている。スイッチング素子Q1のゲートは、直流電源V1の負極、即ちグランドに接続されている。なお、スイッチング素子Q1のゲートは、

30

【0073】

制御回路10は、ローサイドのスイッチング素子Q2をパルス信号によりオンオフさせる。また、制御回路10からのパルス信号とコンデンサC2からの電圧とに基づいてスイッチSWがオンオフするようになっている。

【0074】

UVLO回路15は、低電圧検出回路であり、例えば図1に示す抵抗R1, R2, R3, R4、トランジスタQ5、コンパレータA1、ノット回路NOT2、ツェナーダイオードD4で構成されている。UVLO回路15のコンパレータA1の出力は、フリップフロップFF1のリセット端子Rに接続され、フリップフロップFF1の反転出力Qbは、スイッチSWの制御端子に接続されている。制御回路10の出力端子は、フリップフロップFF1のセット端子Sとスイッチング素子Q2のゲートに接続されている。

40

【0075】

その他の構成は、図1に示す実施例1に係るドライブ回路の構成と同じであるので、同一部分には同一符号を付している。

【0076】

次にこのように構成された実施例4に係るドライブ回路の動作を説明する。まず、スイッチSWは通常(Lレベル信号)ではオン状態で、フリップフロップFF1からの反転出力Qbからの信号がHレベル信号でオフ状態になる。

【0077】

最初に、スイッチング素子Q1のゲートがグランドGNDに接続されているので、直流

50

電源V1が投入されると、スイッチング素子Q1に電流が流れて、ダイオードD2、スイッチSWを介してコンデンサC2が充電される。

【0078】

コンデンサC2の充電電圧がUVLO回路15の基準電圧を超えると、UVLO回路15からフリップフロップFF1のリセット端子RにHレベル信号が出力される。このため、フリップフロップFF1の反転出力QbからはHレベルがスイッチSWに出力されて、スイッチSWがオフされる。

【0079】

ここで、コンデンサC2の充電電圧がUVLO回路15の基準電圧を超える前に制御回路10は動作を開始し、制御回路10からオンオフパルス信号がスイッチング素子Q2のゲートに出力される。

10

【0080】

しかし、スイッチング素子Q1のゲート電圧がスレッシュ電圧を超えるまでスイッチング素子Q1のオン状態は続き、スイッチング素子Q1のゲート電圧がスレッシュ電圧を超えた状態になると、スイッチング素子Q2のオンオフに同期してスイッチング素子Q1のオンオフを開始する。

【0081】

また、制御回路10からオンパルス信号が出力されている期間に、コンデンサC2の充電電圧がUVLO回路15の基準電圧を下回ると、UVLO回路15の出力信号はLレベルとなり、このLレベルがフリップフロップFF1のリセット端子Rに入力されるので、フリップフロップFF1の反転出力QbからスイッチSWの制御端子にLレベルが出力されて、スイッチSWはオンする。

20

【0082】

次に、制御回路10のオンパルス信号がオフパルスに転じると、スイッチング素子Q2がオフしてスイッチング素子Q2のドレイン電圧は、上昇してコンデンサC2の充電電圧より高くなると、スイッチング素子Q1からの電流がコンデンサC2に充電される。

【0083】

コンデンサC2の充電電圧がUVLO回路15の基準電圧を超えると、スイッチSWはオフするので、スイッチング素子Q1の電流は図示しないスイッチング素子Q2のドレイン・ソース間容量に流れ、スイッチング素子Q1のソース電圧は上昇するので、スイッチング素子Q1のゲート電圧は一気にスレッシュ電圧を超えてスイッチング素子Q1はオフする。

30

【0084】

このように実施例4に係るドライブ回路によっても、実施例1に係るドライブ回路の効果と同様な効果が得られる。

【0085】

図11は、本発明の実施例4に係るドライブ回路を備えるスイッチング電源装置の具体的な構成を示す回路図である。

【0086】

図11において、抵抗R1, R2, R3, R4、トランジスタQ5、コンパレータA1、ノット回路NOT2、ツェナーダイオードD4は、図10に示すUVLO回路15に対応する。

40

【0087】

PチャンネルMOSFETからなるトランジスタQ6は、図10に示すスイッチSWに対応する。トランジスタQ6のゲートとダイオードD2のカソードとの間には、抵抗R5が接続され、トランジスタQ6のゲートにはダイオードD5のアノードが接続され、ダイオードD5のカソードはフリップフロップFF1の反転出力Qbに接続されている。

【0088】

図12は、図11に示されるスイッチング電源装置内のフリップフロップFF1の内部接続図である。図12に示すフリップフロップFF1は、セット優先回路になっている。

50

【 0 0 8 9 】

図 1 2 において、電源 V_{cc} は抵抗 R_6 の一端と抵抗 R_8 の一端に接続され、抵抗 R_6 の他端はセット端子 S とノア回路 NOR_2 の一方の入力端子に接続される。グランド GND は抵抗 R_7 の一端と抵抗 R_9 の一端に接続され、抵抗 R_7 の他端はリセット端子 R とノア回路 NOR_1 の一方の入力端子に接続される。

【 0 0 9 0 】

抵抗 R_8 の他端は出力端子 Q とノア回路 NOR_1 の出力端子とノア回路 NOR_2 の他方の入力端子に接続され、抵抗 R_9 の他端は出力端子 Q_b とノア回路 NOR_2 の出力端子とノア回路 NOR_1 の他方の入力端子に接続されている。

【 0 0 9 1 】

次に図 1 1 に示す実施例 4 に係るドライブ回路の動作を説明する。まず、直流電源 V_1 を投入した時には、ゲート抵抗 R_5 とフリップフロップ FF_1 の反転出力 Q_b ~ グランド GND 間の抵抗 R_9 とによる分圧電圧がトランジスタ Q_6 のゲートに印加されて、トランジスタ Q_6 がオン状態になる。

【 0 0 9 2 】

電源起動時、スイッチング素子 Q_1 はオンしているので、一次巻線 P_1 、スイッチング素子 Q_1 、ダイオード D_2 を通してトランジスタ Q_6 にチャージ電流が流れる。

【 0 0 9 3 】

トランジスタ Q_6 がオンした後にコンデンサ C_2 に電流が流れ始める。その後、コンデンサ C_2 の両端電圧 V_{c2} が大きくなり、制御回路 10 が動作する。このとき、制御回路 10 の動作開始電圧は、スイッチング素子 Q_2 がオンオフ動作できる電圧に設定する。

【 0 0 9 4 】

また、コンデンサ C_2 の両端電圧 V_{c2} が基準電圧を超えた時には、 $UVLO$ 回路 15 からフリップフロップ FF_1 のリセット端子 R にリセット信号を出力し、反転出力 Q_b を H レベルにする。これにより、トランジスタ Q_6 をオフさせて、コンデンサ C_2 の過電圧を保護することができる。

【 0 0 9 5 】

通常動作時は、スイッチング素子 Q_2 のターンオフのタイミングで、コンデンサ C_2 の両端電圧 V_{c2} をフリップフロップ FF_1 により検出して、検出された電圧が低い時にトランジスタ Q_6 をオンさせる。

【 0 0 9 6 】

スイッチング素子 Q_1 の電流 I_{dQ1} がダイオード D_2 を通してコンデンサ C_2 に流れ、コンデンサ C_2 を充電する。トランジスタ Q_6 のゲートをフリップフロップ FF_1 でオンオフ制御して、スイッチング素子 Q_1 からのチャージ電流が常時流れることを防ぐことができる。

【 0 0 9 7 】

このように、一連動作を通じてトランス T_1 に補助巻線を設けることなく、制御部の電源を確保することができる。また、電源起動時に、制御回路 10 への電源供給を行う起動回路が不要になる。

【 0 0 9 8 】

図 1 3 に本発明の実施例 4 に係るドライブ回路を備えるスイッチング電源装置の起動時の各部の動作を示すタイミングチャートを示した。また、図 1 4 に本発明の実施例 4 に係るドライブ回路を備えるスイッチング電源装置の通常時の各部の動作を示すタイミングチャートを示した。

【 0 0 9 9 】

次に、上述した各実施例の変形例に係るドライブ回路を説明する。

【 0 1 0 0 】

(実施例 4 の変形例 1)

図 1 5 は、本発明の実施例 4 の変形例 1 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。図 1 5 に示す実施例 4 の変形例 1 に係るドライブ回路は

10

20

30

40

50

、図 1 1 に示すドライブ回路に対して、制御回路 1 0 の両端間に定電圧電源からなる電源 R E G 1 7 を設け、電源 R E G 1 7 からスイッチング素子 Q 1 のゲートにゲート電圧を供給する。

【 0 1 0 1 】

最適な実施例では、制御回路 1 0 の電源が、 $|V_{th}(Q1)| - V_F(D2)$ になるが、電源 R E G 1 7 を設けたことにより、制御回路 1 0 の電源電圧を電源 R E G 1 7 の電圧分だけ上昇することができる。また、スイッチング素子 Q 1 のスレッシュ電圧だけでは、制御回路 1 0 を動作できない時に有効である。

【 0 1 0 2 】

なお、ダイオード D 2 とトランジスタ Q 6 と抵抗 R 5 とを R E G ブロックに置き換えるように構成しても良い。また、コンパレータ A 1 を U V L O 回路 1 5 に置き換えるように構成しても良い。

10

【 0 1 0 3 】

(実施例 1 の変形例 1)

図 1 6 は本発明の実施例 1 の変形例 1 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。図 1 6 に示す実施例 1 の変形例 1 に係るドライブ回路は、ダイオード D 2 を用いる代わりに、R E G 回路 1 8 を用いたことを特徴とする。

【 0 1 0 4 】

R E G 回路 1 8 は、スイッチング素子 Q 1 とスイッチング素子 Q 2 との接続点から制御回路 1 0 に電源を供給するためのコンデンサ C 2 に電圧を供給するための定電圧電源からなる。

20

【 0 1 0 5 】

定電圧電源からなる R E G 回路 1 5 を用いることにより、制御回路 1 0 に過電圧が印加されることを抑制することができる。

【 0 1 0 6 】

(実施例 4 の変形例 2)

図 1 7 は本発明の実施例 4 の変形例 2 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。実施例 4 の変形例 2 に係るドライブ回路は、図 1 1 に示す実施例 4 に係るドライブ回路に対して、制御部電源供給用のノーマリオン型のスイッチング素子 Q 1 A とノーマリオン型のスイッチング用のスイッチング素子 Q 1 B とを設け、スイッチング素子 Q 1 A のソースをダイオード D 2 のアノードに接続し、スイッチング素子 Q 1 B のソースをスイッチング素子 Q 2 のドレインに接続している。スイッチング素子 Q 1 A のゲートとスイッチング素子 Q 1 B のゲートとは、グランド G N D に接続されている。

30

【 0 1 0 7 】

また、点線で囲んだ部分 A をワンチップで構成できるため、小型化を図ることができる。ワンチップ構成とは、例えば、スイッチング素子 Q 1 に G a N - F E T チップを使用していた時に、G a N - F E T チップ上に枠線内の素子を構成して集積回路化することである。

【 0 1 0 8 】

次に実施例 4 の変形例 2 に係るドライブ回路の動作を説明する。なお、スイッチング素子 Q 2 のドレイン・ソース間容量 C Q 2 は、コンデンサ C 2 の容量より非常に小さい値である。

40

【 0 1 0 9 】

スイッチングオフ時のスイッチング素子 Q 1 B からの電流により、ドレイン・ソース間容量 C Q 2 は、瞬時に充電され、スイッチング素子 Q 1 B のソース電圧が上昇する。これにより、スイッチング素子 Q 1 B のゲートはグランド G N D に接続されているので、スイッチング素子 Q 1 B のターンオフのスイッチングを速めることができる。

【 0 1 1 0 】

また、スイッチング素子 Q 1 B のスイッチングオフに対して、スイッチング素子 Q 1 A のソースは、ダイオード D 2、トランジスタ Q 6 を介してコンデンサ C 2 に接続されてい

50

るため、スイッチング素子Q 1 Aのスレッシュ電圧に達するまで遅延する。

【0111】

このため、スイッチングオフ時の電流は、スイッチング素子Q 1 AからコンデンサC 2に流れ、スイッチング素子Q 1 Bのスイッチング損失をスイッチング素子Q 1 Aで一部分担することになり、スイッチング損失を熱分散することができる。

【0112】

また、トランスT 1のリーケージインダクタンスによるサージエネルギーをコンデンサC 2の充電電流に使用することで、スイッチング素子Q 1 A, Q 1 Bのドレイン電圧に加わるサージ電圧を減少することができる。

【0113】

(実施例1の変形例2)

図18は、本発明の実施例1の変形例2に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。実施例1の変形例2に係るドライブ回路は、図1に示す実施例1に係るドライブ回路に対して、制御部電源供給用のNチャネルのMOSFETからなるスイッチング素子Q 1 AとNチャネルのMOSFETからなるスイッチング用のスイッチング素子Q 1 Bとを設けたことを特徴とする。

【0114】

スイッチング素子Q 1 Aのドレインとスイッチング素子Q 1 Bのドレインとは接続され、スイッチング素子Q 1 Aのゲートとスイッチング素子Q 1 Bのゲートとは接続される。スイッチング素子Q 1 AのソースはダイオードD 2のアノードに接続され、ダイオードD 2のカソードは、コンデンサC 2の一端に接続される。スイッチング素子Q 1 Bのソースはスイッチング素子Q 2 Bのドレインに接続されている。

【0115】

制御回路10は、2つのハイサイドのスイッチング素子Q 1 A, Q 1 Bとローサイドのスイッチング素子Q 2 Bとをパルス信号によりオンオフさせる。

【0116】

このような実施例1の変形例2に係るドライブ回路によっても、実施例1に係るドライブ回路の効果と、実施例4の変形例2に係るドライブ回路の効果とが得られる。

【0117】

(実施例1の変形例3)

図19は、本発明の実施例1の変形例3に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。実施例1の変形例3に係るドライブ回路は、図1に示す実施例1に係るドライブ回路に対して、さらに、スイッチング素子Q 1とスイッチング素子Q 2との直列回路に並列にスイッチング素子Q 1 A(第2のノーマリオン型のハイサイドスイッチ)とスイッチング素子Q 2 A(第2のノーマリオフ型のローサイドスイッチ)との直列回路を接続したことを特徴とする。

【0118】

ハイサイドのスイッチング素子Q 1, Q 1 Aの各々のゲート間を接続し、ローサイドのスイッチング素子Q 2, Q 2 Aの各々のゲート間を接続している。

【0119】

この構成によれば、スイッチング素子Q 1 Aとスイッチング素子Q 2 Aとを追加することで、スイッチング素子Q 1とスイッチング素子Q 2とに流れる電流量に加えて増加することができる。

【0120】

また、スイッチング素子Q 1の損失を分散することで、発熱を分散させ信頼性を向上することができる。

【0121】

(実施例1の変形例4)

図20は、本発明の実施例1の変形例4に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。実施例1の変形例4に係るドライブ回路は、図1に示す

10

20

30

40

50

実施例 1 に係るドライブ回路に対して、さらに、スイッチング素子 Q 1 とスイッチング素子 Q 2 との直列回路に並列に、ノーマリオフのスイッチング素子 Q 7 を追加したことを特徴とする。

【 0 1 2 2 】

ノーマリオフ型のスイッチング素子 Q 7 のゲートは、スイッチング素子 Q 2 のゲートに接続されている。

【 0 1 2 3 】

これによれば、スイッチング素子 Q 1 とスイッチング素子 Q 2 とのオン抵抗による損失を低減することができる。

【 0 1 2 4 】

また、スイッチング素子 Q 1 とスイッチング素子 Q 2 とスイッチング素子 Q 7 を 1 チップ化することもできる。あるいは、スイッチング素子 Q 7 を外付け F E T として接続することにより、トランス T 1 に流れる電流を大きくすることができ、大容量出力に対応することができる。

【 0 1 2 5 】

例えば、スイッチング素子 Q 1 ~ Q 4 及び制御回路 1 0、U V L O 回路を含む 1 パッケージ集積回路を作った場合に、スイッチング素子 Q 1、Q 2 で制限させる電力を、スイッチング素子 Q 7 を接続することで自在にパワーアップを図ることができる。また、スイッチング素子 Q 1、Q 2、Q 7 の発熱を分散することもでき、信頼性を向上することができる。

【 0 1 2 6 】

(実施例 1 の変形例 5)

図 2 1 は、本発明の実施例 1 の変形例 5 に係るドライブ回路を備えるスイッチング電源装置の構成を示す回路図である。実施例 1 の変形例 5 に係るドライブ回路は、図 1 に示す実施例 1 に係るドライブ回路に対して、さらに、ハイサイドと同じ回路構成をローサイドにも構成したもので、ハイサイド用のスイッチング素子 Q 2 H のソースにローサイド用のスイッチング素子 Q 2 L のドレインが直列に接続され、スイッチング素子 Q 2 L のソースは直流電源 V 1 の負極に接続されている。このようなブリッジ構成のドライブ回路にも本発明は適用可能である。

【 0 1 2 7 】

なお、本発明は、上述した実施例に係るドライブ回路に限定されるものではない。例えば、ダイオード D 2 に代えて、n チャネルの M O S F E T を用いることもできる。

【 産業上の利用可能性 】

【 0 1 2 8 】

本発明は、A C - D C コンバータや D C - D C コンバータなどに適用可能である。

【 符号の説明 】

【 0 1 2 9 】

1 0 制御回路
 1 2 電圧検出回路
 1 5 U V L O 回路
 1 7 R E G
 1 8 R E G 回路
 Q 1 , Q 2 , Q 1 A , Q 1 B , Q 2 B , Q 7 スイッチング素子
 Q 3 ~ Q 6 トランジスタ
 T 1 トランス
 P 1 一次巻線
 S 1 二次巻線
 V 1 直流電源
 C 1 , C 2 , C 3 コンデンサ
 R 1 ~ R 5 抵抗

10

20

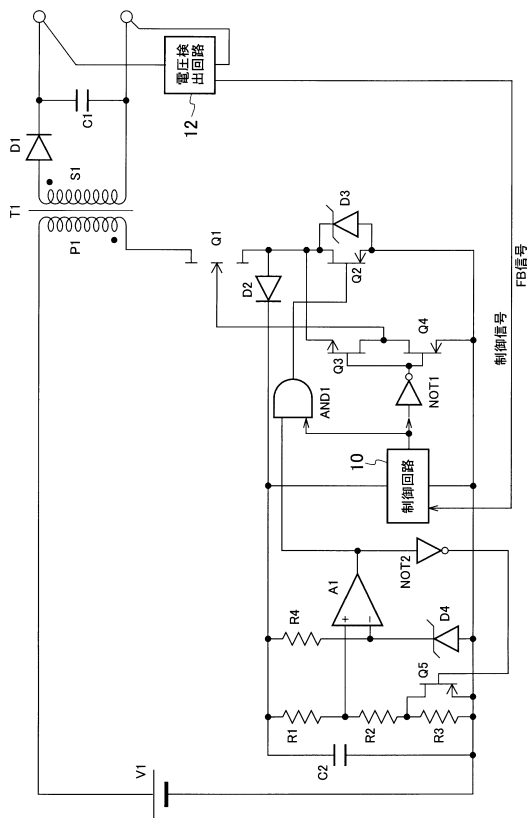
30

40

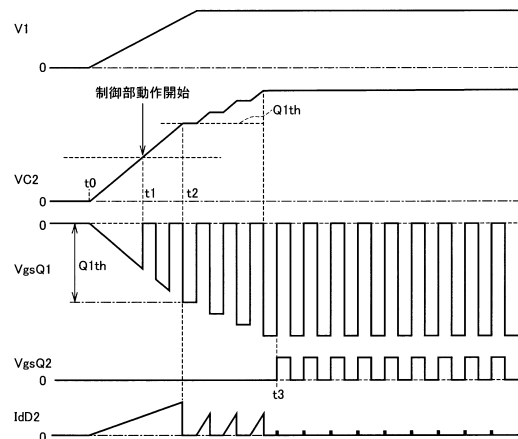
50

D 1 , D 2 , D 5 , D 6 ダイオード
 D 3 , D 4 ツェナーダイオード
 A 1 コンパレータ
 NOT 1 , NOT 2 ノット回路
 AND 1 , AND 2 アンド回路
 FF 1 フリップフロップ

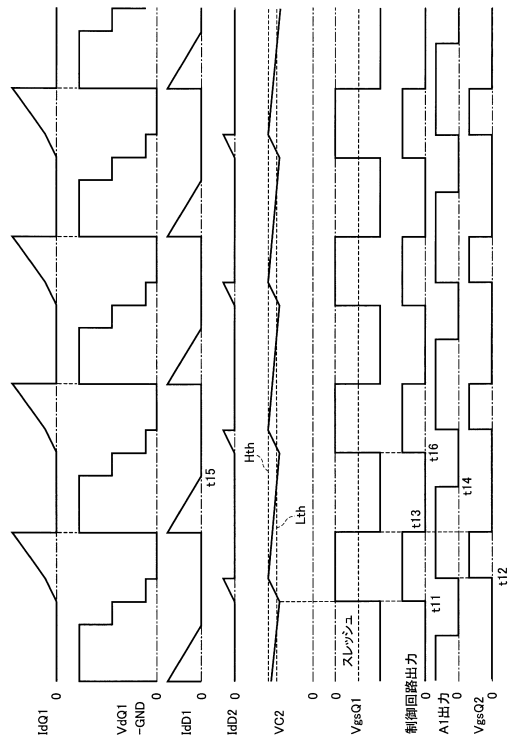
【 図 1 】



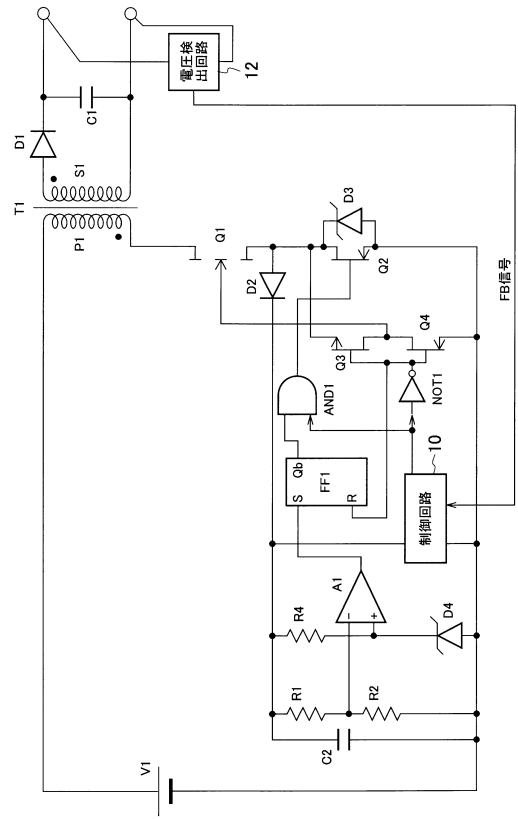
【 図 2 】



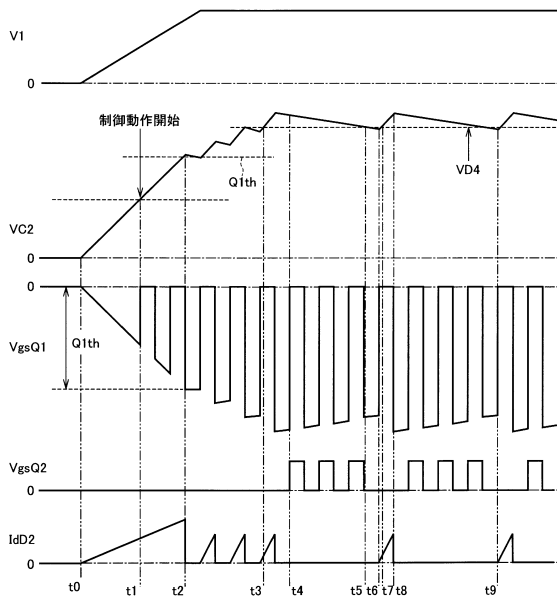
【図3】



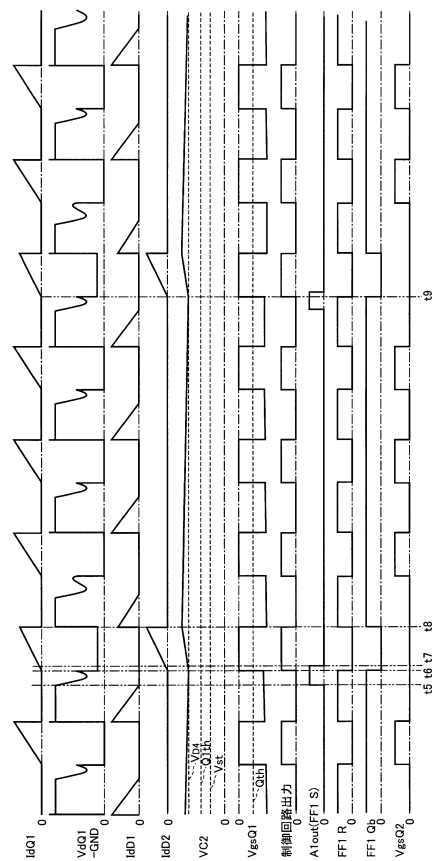
【図4】



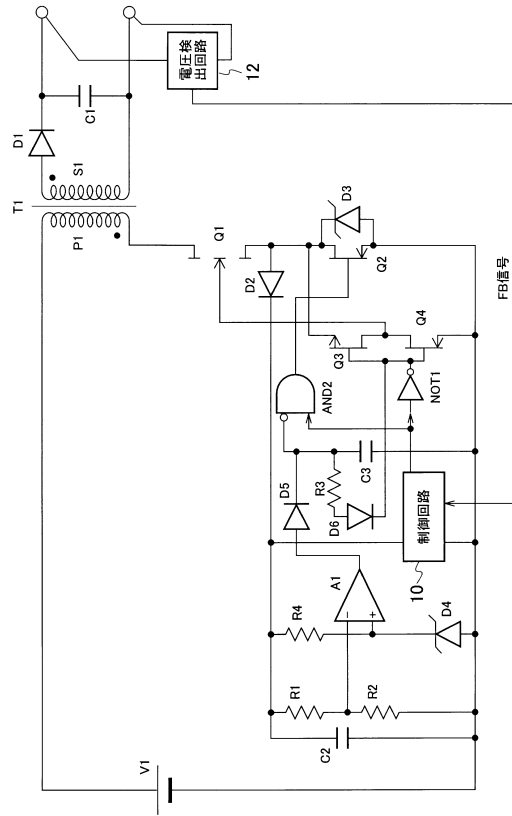
【図5】



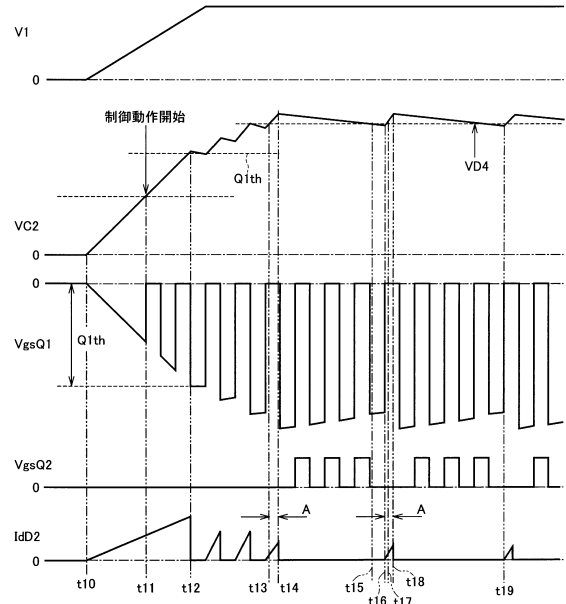
【図6】



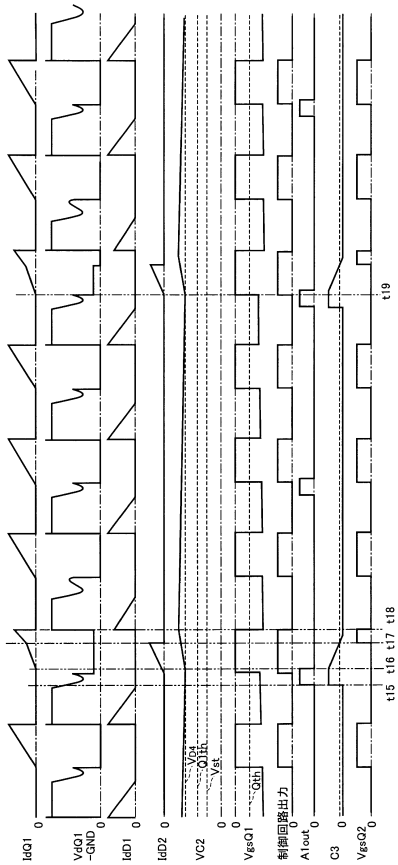
【図7】



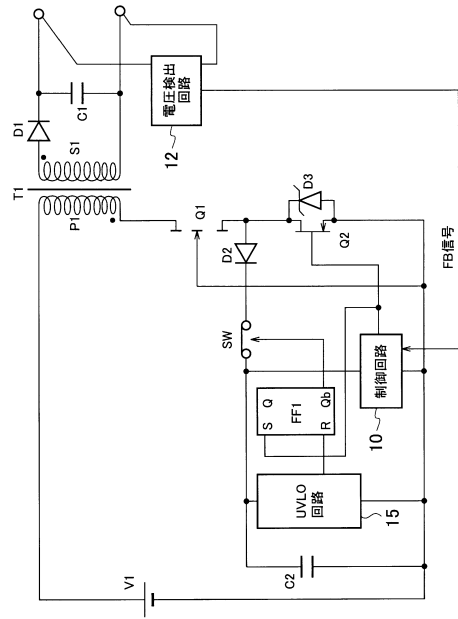
【図8】



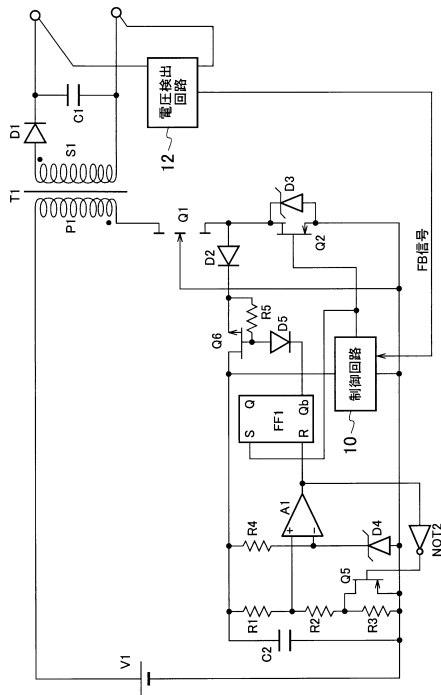
【図9】



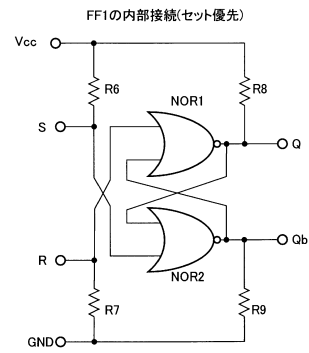
【図10】



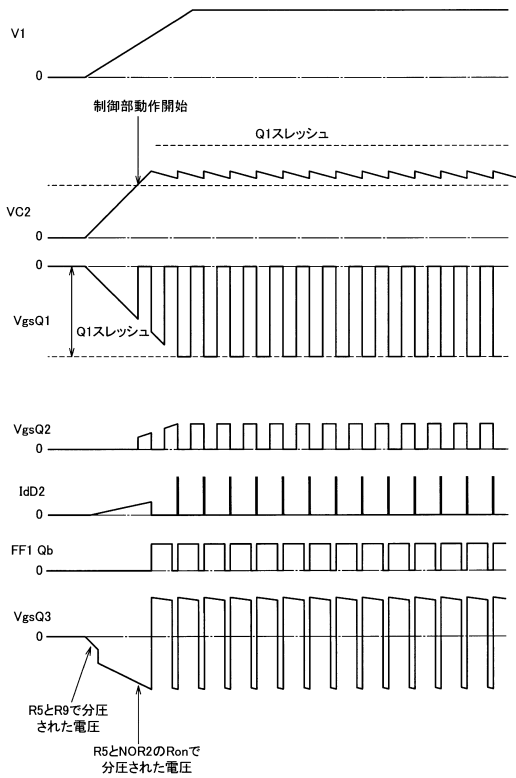
【図 1 1】



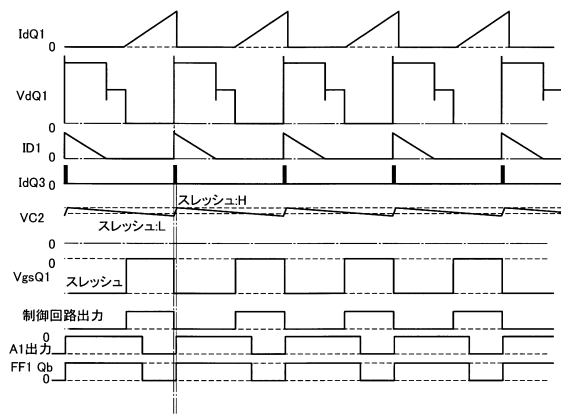
【図 1 2】



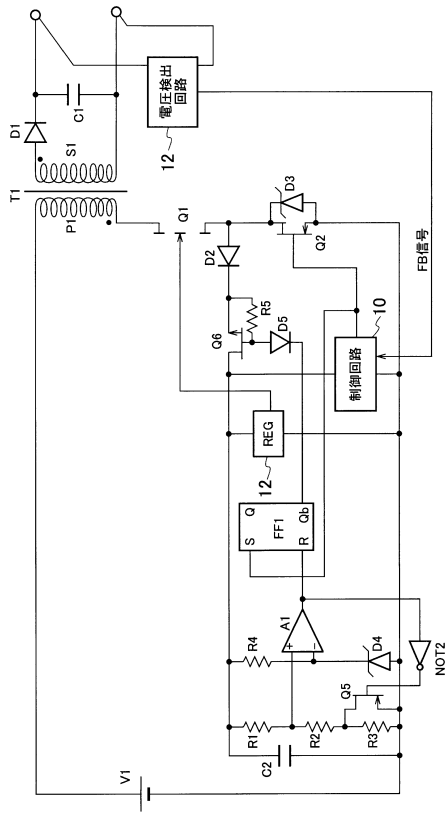
【図 1 3】



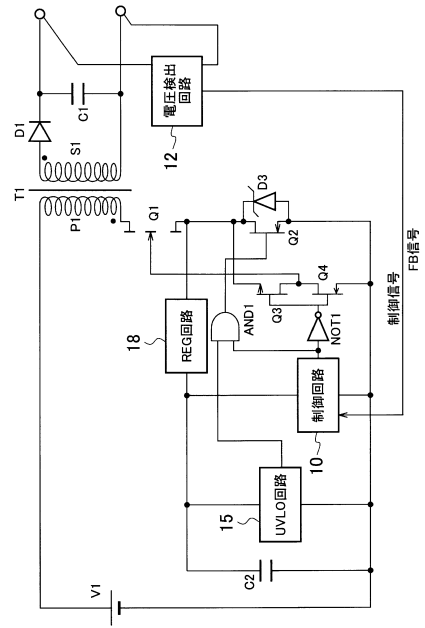
【図 1 4】



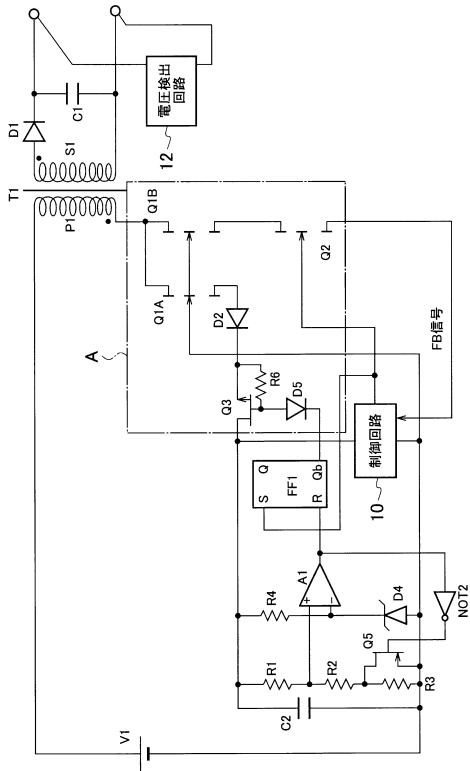
【 図 15 】



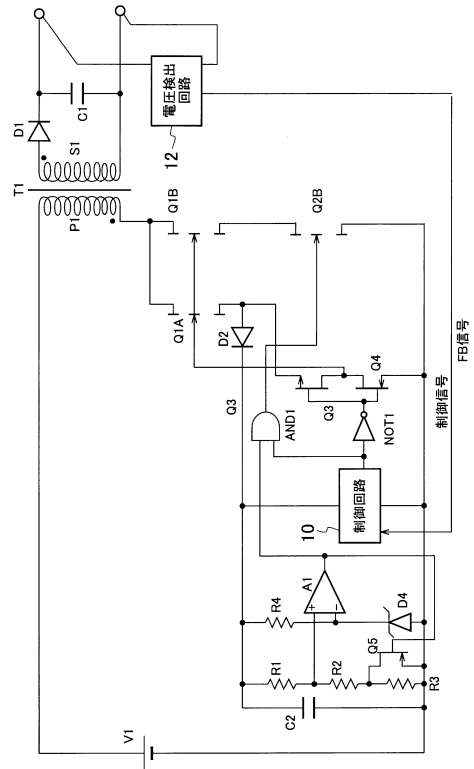
【 図 16 】



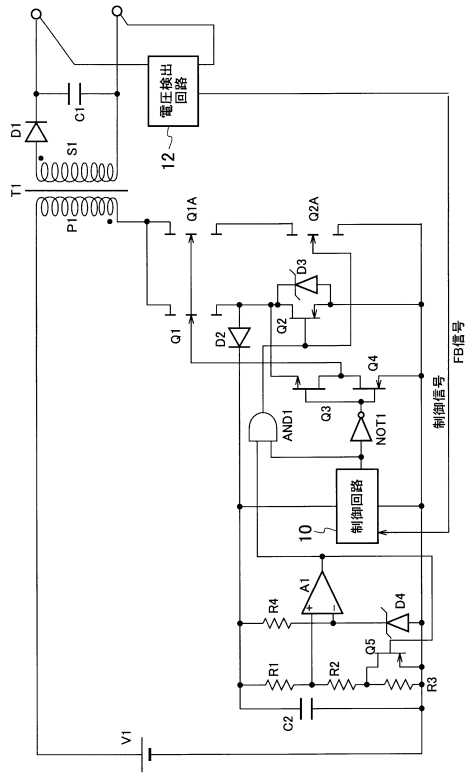
【 図 17 】



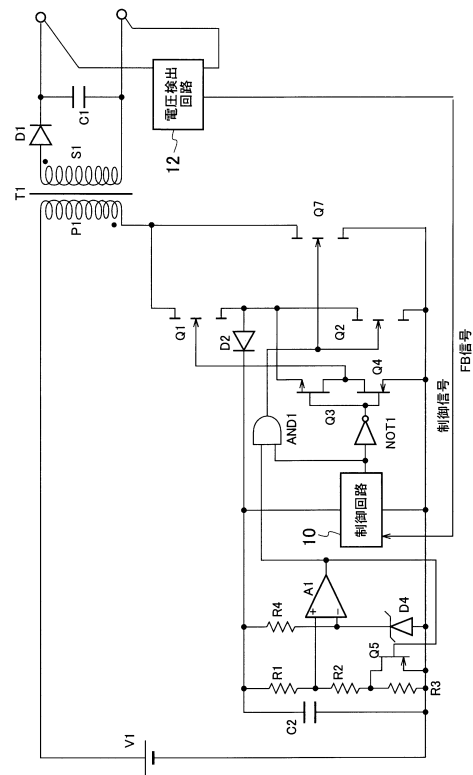
【 図 18 】



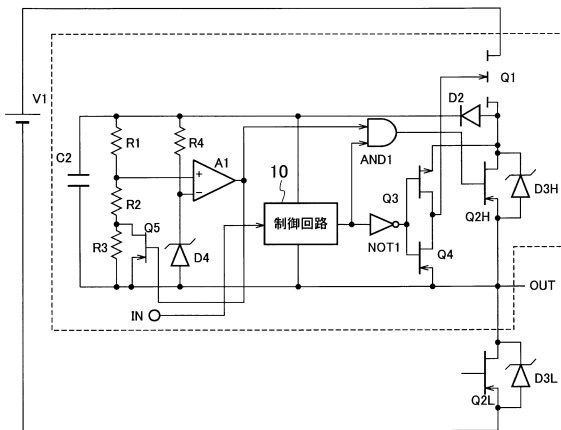
【 図 19 】



【 図 20 】



【 図 21 】



フロントページの続き

- (72)発明者 小澤 圭一朗
埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
- (72)発明者 岩淵 昭夫
埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
- (72)発明者 田坂 泰
埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
- (72)発明者 古越 隆一
埼玉県朝霞市東弁財3-10-17-107 ファインウェイ株式会社内

審査官 柳下 勝幸

- (56)参考文献 特開2007-288992(JP,A)
特開2004-242475(JP,A)
特開2010-142115(JP,A)
特開2012-110205(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70
H02M 1/08
H02M 3/28