



[12] 发明专利申请公开说明书

[21] 申请号 02826393.6

[43] 公开日 2005 年 4 月 27 日

[11] 公开号 CN 1610932A

[22] 申请日 2002.10.30 [21] 申请号 02826393.6

[30] 优先权

[32] 2001.10.30 [33] JP [31] 333470/2001

[32] 2002.9.30 [33] JP [31] 288043/2002

[86] 国际申请 PCT/JP2002/011280 2002.10.30

[87] 国际公布 WO2003/038795 日 2003.5.8

[85] 进入国家阶段日期 2004.6.28

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 木村肇

[74] 专利代理机构 中国专利代理(香港)有限公司

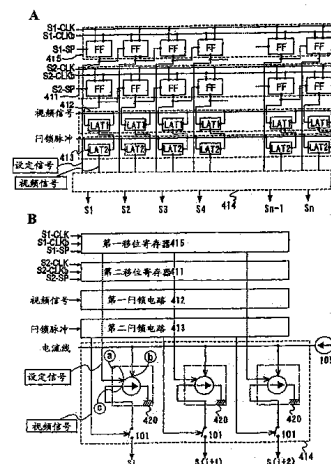
代理人 杨凯 叶恺东

权利要求书 8 页 说明书 66 页 附图 58 页

[54] 发明名称 信号线驱动电路、发光装置及其驱动方法

[57] 摘要

晶体管的特性上会产生偏差。本发明是设有第一与第二移位寄存器以及与闩锁电路和多条布线各自对应的多个电流源电路的信号线驱动电路，所述多个电流源电路各自设有电容部件和供给部件。其特征在于：所述电容部件按照所述第一移位寄存器供给的取样脉冲，将供给的电流变换成电压；所述供给部件按照视频信号，供给与所述变换成的电压相应的电流；所述闩锁电路按照所述第二移位寄存器供给的取样脉冲工作。



1. 一种包含电流源电路的信号线驱动电路，其特征在于所述电流源电路中设有：
- 5 将第一电流变换为电压的部件；
将变换后的所述电压保持的部件；
将保持的所述电压变换为第二电流的部件；以及
由数字的图像信号使所述第二电流流过信号线或像素的部件。
2. 一种包含电流源电路的信号线驱动电路，其特征在于所述电
- 10 流源电路中设有：
将第一电流变换为电压的部件；
将变换后的所述电压保持的部件；以及
将保持的所述电压变换为第二电流，并使所述第二电流流过电
- 15 流线或像素的部件。
3. 一种信号线驱动电路，其特征在于设有：
电流源电路和将数字的图像信号供给信号线或像素的部件；
所述电流源电路中设有，
将第一电流变换为电压的部件，
将变换后的所述电压保持的部件，以及
- 20 将保持的所述电压变换为第二电流，并使所述第二电流流过电
- 流或像素的部件。
4. 一种包含电流源电路的信号线驱动电路，其特征在于所述电
- 流源电路中设有：
将第一电流变换为电压的部件；
- 25 将变换后的所述电压保持的部件；
将保持的所述电压变换为第二电流的部件；以及
使所述第二电流流过电流线或像素的部件。
5. 一种信号线驱动电路，其特征在于设有：

- 电流源电路和将数字的图像信号供给信号线或像素的部件；
所述电流源电路中设有，
将第一电流变换为电压的部件，
将变换后的所述电压保持的部件，
5 将保持的所述电压变换为第二电流的部件，以及
使所述第二电流流过电流线或像素的部件。
6. 一种设有第一与第二移位寄存器以及与门锁电路与多条布线各自对应的多个电流源电路的信号线驱动电路，其特征在于：
所述多个电流源电路各自设有电容部件和供给部件；
10 所述电容部件按照所述第一移位寄存器供给的取样脉冲，将供给的电流变换为电压，所述供给部件按照视频信号供给对应于所述变换后的电压的电流；
所述门锁电路按照所述第二移位寄存供给的取样脉冲工作。
7. 一种设有第一与第二移位寄存器以及分别与门锁电路与多条
15 布线对应的第一与第二电流源电路的信号线驱动电路，其特征在于：
所述第一与第二电流源电路各自设有电容部件和供给部件；
设于所述第一与第二电流源电路之一方的所述电容部件，按照所述
20 第一移位寄存器供给的取样脉冲，将供给的电流变换为电压，
设于另一方电流源电路的所述供给部件，按照视频信号供给对应于所述变换成的电压的电流；
所述门锁电路按照所述第二移位寄存供给的取样脉冲工作。
8. 一种设有第一与第二移位寄存器以及分别与门锁电路与多条
25 布线对应的 n 个电流源电路的信号线驱动电路，其中 n 为不小于 2 的
自然数，其特征在于：
所述 n 个电流源电路各自设有电容部件和供给部件；
设于所述 n 个电流源电路的所述电容部件，按照所述第一移位寄存
器供给的取样脉冲，将供给的电流变换为电压，所述供给部件按照

- 视频信号供给对应于所述变换成的电压的电流；
所述门锁电路按照所述第二移位寄存供给的取样脉冲工作。
9. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：
- 5 设有 m 个基准用恒流源；
由所述 m 个基准用恒流源供给的电流值设定为 2^0 、 2^1 、 \dots 、 2^m 。
10. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：
所述 m 个基准用恒流源对应于相互不同的比特。
- 10 11. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：
所述第一移位寄存器供给的取样脉冲同时输出到多个列。
12. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：
- 15 所述多条布线是多条信号线或多条电流线。
13. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：
所述第一与所述第二移位寄存器仅由触发器电路构成，依次选择所述多条布线。
- 20 14. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：
所述第一或所述第二移位寄存器由解码器电路构成，随机选择所述多条布线。
15. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电
- 25 路，其特征在于：
所述第一或所述第二移位寄存器由触发器电路、输入列选择信号的第一门锁器及输入选择控制信号的逻辑运算元件构成，随机选择所述多条布线。

16. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：

5 所述第一或所述第二移位寄存器由触发器电路、输入列选择信号的第一门锁器及输入选择用门锁信号的第二门锁器构成，随机选择所述多条布线。

17. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：

所述电容部件在设于所述供给部件的晶体管的漏极和栅极之间处于短路状态时，由供给的电流保持该栅/源极间发生的电压。

10 18. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：

15 所述供给部件中设有晶体管、控制所述晶体管的栅极和漏极之间的导通的第一开关、控制基准用恒流源和所述晶体管的栅极之间的导通的第二开关以及控制所述晶体管的漏极和像素之间的导通的第三开关。

19. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：

20 所述电容部件在设于所述供给部件的第一与第二晶体管的漏极和栅极之间均处于短路状态时，由供给的电流保持所述第一或所述第二晶体管的栅/源极间发生的电压。

20. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：

25 所述供给部件中设有由第一与第二晶体管构成的电流镜电路、控制所述第一与所述第二晶体管的栅极和源极之间的导通的第一开关以及控制基准用恒流源和所述第一与所述第二晶体管的栅极之间的导通的第二开关。

21. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路，其特征在于：

所述电容部件在设于所述供给部件的第一与第二晶体管中一方的漏极和栅极之间处于短路状态时，由供给的电流保持该栅/源极间发生的电压。

22. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电
5 路，其特征在于：

所述供给部件中设有包含第一与第二晶体管的电流镜电路，

控制基准用恒流源和所述第一晶体管的栅极之间的导通的第一
开关，以及

对从所述第一晶体管的漏极和栅极之间、所述第一晶体管的栅极
10 和所述第二晶体管的栅极之间以及所述第一与所述第二晶体的栅极
和所述基准用恒流源之间中选择的任一个的导通加以控制的第二开
关。

23. 如权利要求 20 至权利要求 22 中任一项所述的信号线驱动
电路，其特征在于：

15 所述第一与所述第二晶体管的栅宽/栅长设定为同值。

24. 如权利要求 20 至权利要求 22 中任一项所述的信号线驱动
电路，其特征在于：

所述第一晶体管的栅宽/栅长设定为大于所述第二晶体管的栅宽/
栅长的值。

20 25. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电
路，其特征在于：

所述供给部件中设有晶体管、控制对所述电容部件的电流供给的
第一与第二开关以及控制所述晶体管的栅极和漏极之间的导通的第
三开关；

25 所述晶体管的栅极与所述第一开关相连，所述晶体管的源极与所
述第二开关相连，所述晶体管的漏极与所述第三开关相连。

26. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电
路，其特征在于：

所述供给部件中设有包含 a 个晶体管的电流镜电路, 其中 a 是不小于 2 的自然数;

所述 a 个晶体管的栅宽/栅长设定为 $2^0: 2^1: \dots: 2^a$;

所述 a 个晶体管的漏极电流设定为 $2^0: 2^1: \dots: 2^a$ 。

5 27. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路, 其特征在于:

构成所述供给部件的晶体管在饱和区工作。

28. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路, 其特征在于:

10 构成所述电流源电路的晶体管的激活层由多晶硅形成。

29. 如权利要求 6 至权利要求 8 中任一项所述的信号线驱动电路, 其特征在于:

所述第一与所述第二移位寄存器以不同频率工作。

30. 一种发光装置, 其特征在于:

15 设有如权利要求 1 至权利要求 29 中任一项所述的信号线驱动电路, 以及

各自含有发光元件的多个像素矩阵状排列而成的像素部;

电流由所述信号线驱动电路供给所述发光元件。

20 31. 一种发光装置的驱动方法, 所述发光装置中设有多个布线与多条扫描线以及多个像素矩阵状排列而成的像素部和

设有与所述多条布线各自对应的多个电流源电路和第一与第二移位寄存器的信号线驱动电路,

所述多个像素各自设有发光元件、驱动用晶体管以及保持所述驱动用晶体管的栅/源极间电压的电容元件, 其特征在于:

25 1 帧期间设有多个子帧期间;

所述多个子帧期间分别设有点亮期间和访问期间;

在所述点亮期间, 设于所述电流源电路的电容部件按照所述第一移位寄存器供给的取样脉冲, 将供给的电流变换为电压;

在所述访问期间,设于所述电流源电路的供给部件供给对应于所述变换成的电压的电流。

32. 一种发光装置的驱动方法,所述发光装置中设有多个布线与多条扫描线以及多个像素矩阵状排列而成的像素部和

5 设有与所述多条布线各自对应的多个第一电流源电路和第一与第二移位寄存器的信号线驱动电路,

所述多个像素各自设有发光元件、第二电流源电路以及控制所述发光元件和所述第二电流源电路的导通的开关,其特征在于:

1 帧期间设有第一与第二设定动作期间;

10 在所述第一设定动作期间,设于所述第一电流源电路的电容部件,按照所述第一移位寄存器供给的取样脉冲,将供给的电流变换为电压;

在所述第二设定动作期间,设于所述第二电流源电路的电容部件将供给的电流变换为电压。

15 33. 一种发光装置的驱动方法,所述发光装置中设有多个布线与多条扫描线以及多个像素矩阵状排列而成的像素部和

设有与所述多条布线各自对应的多个电流源电路和第一与第二移位寄存器的信号线驱动电路,

所述多个像素各自设有发光元件,其特征在于:

20 1 帧期间设有多个水平扫描期间;

所述多个水平扫描期间各自设有设定动作期间;

在所述设定动作期间,分别设于各所述多个电流源电路的电容部件,按照所述第一移位寄存器供给的取样脉冲,将供给的电流变换为电压。

25 34. 一种发光装置的驱动方法,所述发光装置中设有多个布线与多个像素矩阵状排列而成的像素部和

设有与所述多条布线各自对应的多个电流源电路和第一与第二移位寄存器的信号线驱动电路,

所述多个像素各自设有发光元件，其特征在于：

1 帧期间设有多个水平扫描期间和设定动作期间；

在所述设定动作期间，分别设于各所述多个电流源电路的电容部
件，按照所述第一移位寄存器供给的取样脉冲，将供给的电流变换为
5 电压。

35. 如权利要求 31 至权利要求 34 中任一项所述的发光装置的
驱动方法，其特征在于：

所述第一与所述第二移位寄存器以不同频率工作。

36. 如权利要求 31 至权利要求 34 中任一项所述的发光装置的
10 驱动方法，其特征在于：

所述像素部进行线顺序驱动或点顺序驱动。

37. 如权利要求 31 至权利要求 34 中任一项所述的发光装置的
驱动方法，其特征在于：

所述多条布线是多条信号线或多条电流线。

信号线驱动电路、发光装置及其驱动方法

5 技术领域

本发明涉及信号线驱动电路的技术。还涉及有所述信号线驱动电路的发光装置的技术。

背景技术

10 近年来，进行图像显示的显示装置的开发正在取得进展。用液晶元件进行图像显示的液晶显示装置发挥其高图像品质、薄型、轻量等优点，作为显示装置广泛使用。

另一方面，近年来也开发以自发光元件为发光元件的发光装置。发光装置不仅具有已有的液晶显示装置的优点，还具有适合动图像
15 显示的快速响应速度、低电压、低功耗等特征，作为下一代显示器倍受瞩目。

作为在发光装置上显示多个灰度等级图像时的灰度等级显示方法可列举模拟灰度等级方式和数字灰度等级方式。前者模拟灰度等级方式是通过模拟控制流过发光元件的电流大小而获得灰度等级的方式。而后者数字灰度等级方式是发光元件只以导通状态（亮度大致为 100%的状态）和断开状态（亮度大致为 0%的状态）这两种状态被驱动的方式。由于照这样的状态在数字灰度等级方式中只能显示 2 个灰度等级，提出了通过与别的方式组合来显示多个灰度等级
20 图像的方法。

25 另外，按输入像素的信号的种类，像素的驱动方法可分为电压输入方式和电流输入方式。前者电压输入方式是将输入像素的视频信号（电压）输入到驱动用元件的栅电极，用该驱动用元件控制发光元件的亮度的方式。而后者电流输入方式是通过使经设定的信号

电流流入发光元件来控制该发光元件的亮度的方式。

这里，用图 16 (A) 就适用电压输入方式的发光装置的一例像素的电路及其驱动方法进行简单说明。图 16 (A) 所示的像素有信号线 501、扫描线 502、开关用 TFT503、驱动用 TFT504、电容元件 505、发光元件 506 和电源 507、508。

若扫描线 502 的电位变化使开关用 TFT503 导通，则输入信号线 501 的视频信号输入到驱动用 TFT504 的栅电极。根据输入的视频信号的电位，驱动用 TFT504 的栅/源极间电压被确定，且流过驱动用 TFT504 的源/漏极间的电流也被确定。该电流被供给发光元件 506，该发光元件 506 发光。作为驱动发光元件的半导体元件采用多晶硅晶体管。但是，由于多晶硅晶体管存在晶界的缺陷，容易在阈值、导通电流等的电特性上产生偏差。图 16 (A) 所示的像素中，若驱动用 TFT504 的特性在各像素之间存在偏差，则即使输入相同视频信号时，对应于该信号的驱动用 TFT504 的漏极电流的大小也不同，因此发光元件 506 的亮度有偏差。

为了克服上述问题，最好不受驱动发光元件的 TFT 的特性支配地对发光元件供给所要的电流。由此提出了能不受 TFT 的特性支配地对供给发光元件的电流的大小进行控制的电流输入方式。

以下，用图 16 (B)、17 就适用电流输入方式的发光装置的一例像素电路及其驱动方法进行简单说明。图 16 (B) 所示的像素有信号线 601、第一~第三扫描线 602~604、电流线 605、TFT606~609、电容元件 610 和发光元件 611。电流源电路 612 布置于各信号线（各列）。

用图 17 就从视频信号的写入到发光的动作进行说明。图 17 中各部分的符号以图 16 为基准。图 17 (A) ~ (C) 示意表示电流路径。图 17 (D) 表示写入视频信号时的流过各路径的电流的关系；图 17 (E) 表示写入相同视频信号时蓄积于电容元件 610 的电压即 TFT608 的栅/源极间电压。

首先，脉冲输入第一与第二扫描线 602、603，TFT606、607 导通。这时，流入信号线 601 的电流将信号电流表示为 I_{data} 。如图 17 (A) 所示，由于信号电流 I_{data} 流入信号线 601，在像素内电流分为 I_1 和 I_2 两个路径流过。它们的关系如图 17 (D) 所示，显然 $I_{data} = I_1 + I_2$ 。

在 TFT606 刚导通的瞬间，由于在电容元件 610 上尚未保存电荷，所以 TFT608 截止。因而， $I_2 = 0$ 、 $I_{data} = I_1$ 。在这期间，电容元件 610 的两电极间有电流流过，在该电容元件 610 上电荷蓄积。

因此电容元件 610 上电荷慢慢蓄积，两电极间开始产生电位差 (图 17 (E))。当两电极的电位差成为 V_{th} 时 (图 17 (E) 中的 A 点) TFT608 导通而产生 I_2 。如上所述， $I_{data} = I_1 + I_2$ ，因此，虽然 I_1 逐渐减少，但依然有电流流过，电荷在电容元件 610 上进一步蓄积。

在电容元件 610 上直到其两电极的电位差即 TFT608 的栅/源极间电压达到所要的电压为止持续蓄积电荷。就是说，该电荷的蓄积持续到能使 TFT608 的流过电流成为 I_{data} 的电压为止。最后电荷的蓄积结束 (图 17 (E) 中的 B 点) 时电流 I_2 成为零。另外，由于 TFT608 完全导通， $I_{data} = I_2$ (图 17 (B))。通过以上的动作完成对像素的信号写入动作。最后，第一与第二扫描线 602、603 的选择结束，TFT606、607 截止。

接着，脉冲输入到第三扫描线 604，TFT609 导通。由于电容元件 610 保持着之前写入的 V_{GS} ，TFT608 导通，且从电流线 605 流过来与 I_{data} 相等的电流。从而使发光元件 611 发光。这时，如果设置 TFT608 在饱和区工作，则即使 TFT608 的源/漏极间电压变化，流入发光元件 611 的发光电流 I_{EL} 也不会改变。

如此，电流输入方式是指：TFT609 的漏极电流被设定为用电流源电路 612 设定的信号电流 I_{data} 相同的电流值，使发光元件 611 按照对应于该漏极电流的亮度进行发光的方式。通过用上述结构的像

素，能够抑制构成像素的 TFT 的特性偏差的影响而对发光元件供给所要的电流。

但是，在采用电流输入方式的发光装置中，需要正确地向像素输入与视频信号相应的信号电流。但是，若用多晶硅晶体管形成担负将信号电流输入像素的任务的信号线驱动电路（图 16 中相当于电
5 流源电路 612），由于在其特性上产生偏差，在该信号电流上也产生偏差。

就是说，在采用电流输入方式的发光装置中，需要抑制构成像素与信号线驱动电路的 TFT 的特性偏差的影响。但是通过用图 16(B)
10 所示的结构的像素，能够抑制构成像素的 TFT 的特性偏差的影响，但难以抑制构成信号线驱动电路的 TFT 的特性偏差的影响。

这里用图 18 就在驱动电流输入方式的像素的信号线驱动电路上布置的电流源电路的结构及其动作进行简单说明。

图 18 (A) (B) 中电流源电路 612 相当于图 16 (B) 所示的电
15 流源电路 612。电流源电路 612 有恒流源 555 ~ 558。恒流源 555 ~ 558 被经由端子 551 ~ 554 输入的信号控制。恒流源 555 ~ 558 供给的电流大小分别不同，按 1: 2: 4: 8 的比例设定。

图 18(B) 表示电流源电路 612 的电路结构，图中的恒流源 555 ~
20 558 相当于晶体管。晶体管 555 ~ 558 的导通电流根据 L (栅长) / W (栅宽) 值的比 (1: 2: 4: 8) 成为 1: 2: 4: 8。这样电流源电路 612 能够以 $2^4 = 16$ 等级控制电流的大小。就是说，对于 4 比特 (bit) 的数字视频信号能够输出具有 16 个灰度等级的模拟值的电流。再有，该电流源电路 612 由多晶硅晶体管形成，在同一基板上与像素部一体形成。

25 如此，以往提出了将电流源电路内装的信号线驱动电路。（例如，参照非专利文献：服部励治等三人、“信学技报”、ED2001-8、电流指定型多晶硅 TFT 有源矩阵驱动有机 LED 显示器的电路模拟、p. 7-14；以及 Reiji H 等人的“AM-LCD' 01”、OLED-4、p. 223

- 226)

另外，在数字灰度等级方式中为了显示多个灰度等级的图像，有以下方式：将数字灰度等级方式和面积灰度等级方式组合的方式（以下称为面积灰度等级方式）和将数字灰度等级方式和时间灰度等级方式组合的方式（以下称为时间灰度等级方式）。面积灰度等级方式是将一个像素划分为多个副像素，并通过选择发光或不发光各副像素来使一像素中发光面积和其它面积存在差异而显示灰度等级的方式。而时间灰度等级方式是通过控制发光元件发光的时间来显示灰度等级的方式。具体地说，将 1 帧期间划分为不同长度的多个子帧期间，通过选择发光或不发光各期间上的发光元件，使 1 帧期间内发光的时间长度存在差异而显示灰度等级。在数字灰度等级方式中为了显示多个灰度等级的图像而提出了将数字灰度等级方式和时间灰度等级方式组合的方式（以下称为时间灰度等级方式）。

（例如，参照专利文献：特开 2001 - 5426 号公报）

15

发明的公开

上述的电流源电路 612 通过设计 L/W 值来设定晶体管的导通电流为 1: 2: 4: 8。但是随着制造工序或使用基板的不同而使晶体管 555 ~ 558 的栅长、栅宽与栅绝缘膜的膜厚的偏差累积，会在阈值或迁移率上产生偏差。因此，很难使晶体管 555 ~ 558 的导通电流按设计要求正确地设为 1: 2: 4: 8。就是说，列与列之间会在供给像素的电流值上产生偏差。

为了使晶体管 555 ~ 558 的导通电流按设计要求正确地设为 1: 2: 4: 8，需将位于全部列的电流源电路的特性设为全部相同。就是说，需使信号线驱动电路含有的电流源电路的晶体管的特性全部相同，但实际上非常困难。

本发明鉴于上述的问题点构思而成，提供能够抑制 TFT 的特性偏差的影响，并将所要的信号电流供给像素的信号线驱动电路。而

且本发明还提供能够通过抑制了 TFT 的特性偏差的影响的电路结构的像素抑制构成像素与驱动电路的 TFT 的特性偏差的影响，并将所要的信号电流供给发光元件的发光装置。

5 本发明提供设置了抑制 TFT 的特性偏差的影响，并使所要的一定电流流过的电路（本说明书中称为电流源电路）的新结构的信号线驱动电路。而且本发明还提供备有所述信号线驱动电路的发光装置。

本发明提供在各列（各信号线等）上布置电流源电路的信号线驱动电路。

10 在本发明的信号线驱动电路中使用基准用恒流源，对各信号线（各列）上布置的电流源电路供给预定信号电流。设定成供给信号电流的电流源电路具有使与基准用恒流源成比例的电流流过能力。结果，能够通过用所述电流源电路抑制构成信号线驱动电路的 TFT 的特性偏差的影响。而且本发明的信号线驱动电路中用视频信号控制用以决定是否将电流源电路设定的信号电流供给像素的开关。

就是说，设有需要在信号线上使与视频信号成比例的信号电流流过时决定是否从电流源电路向信号线驱动电路供给信号电流的开关，它受视频信号的控制。

再有，本说明书中将决定是否从电流源电路向信号线驱动电路供给信号电流的开关称为信号电流控制开关。

基准用恒流源可在基板上与信号线驱动电路一体形成。也可用 IC 等从基板的外部输入一定的电流作为基准用电流。

25 用图 1、2 就本发明的信号线驱动电路的概况进行说明。图 1、2 中示出了从第 i 列到第 $(i+2)$ 列这 3 条信号线周围的信号线驱动电路。

首先，叙述需要在信号线上流过与视频信号成比例的信号电流的情况。

图 1 中，信号线驱动电路 403 在各信号线（各列）上配置了电

流源电路 420。电流源电路 420 有端子 a、端子 b 与端子 c。端子 a 上被输入设定信号。端子 b 上被供给来自连接到电流线的基准用恒流源 109 的电流（基准用电流）。而端子 c 经由开关 101（信号电流控制开关）输出保持在电流源电路 420 的信号。就是说，电流源电路 420 受从端子 a 输入的设定信号的控制，接收从端子 b 供给的电流（基准用电流），并从端子 c 输出与该电流（基准用电流）成比例的电流（信号电流）。开关 101（信号电流控制开关）设于电流源电路 420 和像素之间，而所述开关 101（信号电流控制开关）的导通或断开受视频信号控制。

10 接着用图 2 说明与图 1 的结构不同的本发明的信号线驱动电路。图 2 中，信号线驱动电路 403 对各信号线（各列）配置至少两个电流源电路。这里假定在各列上布置两个电流源电路，电流源电路 420 中有第一电流源电路 421 和第二电流源电路 422。第一电流源电路 421 和第二电流源电路 422 均有端子 a~d。端子 a 被输入设定信号。端子 b 被供给来自连接于电流线的基准用恒流源 109 的电流（基准用电流）。而端子 c 经由开关 101（信号电流控制开关）输出保持于第一电流源电路 421 与第二电流源电路 422 的信号（信号电流）。从端子 d 输入控制信号。就是说，电流源电路 420 受从端子 a 输入的设定信号与从端子 d 输入的控制信号的控制，且从端子 b 供给电流（基准用电流），从端子 c 输出与该电流（基准用电流）成比例的电流（信号电流）。开关 101（信号电流控制开关）设于电流源电路 420 和像素之间，所述开关 101（信号电流控制开关）的导通或断开通过视频信号进行控制。

25 使对电流源电路 420 的信号电流的写入结束的动作（设定信号电流的动作、用基准用电流设定信号电流的动作及使电流源电路 420 能够输出信号电流的确定动作）称为设定动作，将信号电流输入到像素的动作（电流源电路 420 输出信号电流的动作）称为输入动作。图 2 中，对第一电流源电路 421 和第二电流源电路 422 输入的控制

信号相互不同，因此第一电流源电路 421 和第二电流源电路 422 其中一个进行设定动作，而另一个进行输入动作。从而能够在各列上同时进行两种动作。

5 设定动作可在任意时间以任意定时进行任意次数。以何种定时进行设定动作可由像素结构（配置于像素的电流源电路）、配置于信号线驱动电路的电流源电路等的结构来任意调整。至于设定动作的次数，可至少在对信号线驱动电路供给电源并开始动作时进行一次。但是，实际上通过设定动作取得的信息会有泄漏的情况，因此最好在再次取得该信息为佳时再进行一次设定动作。

10 图 1、2 所示的信号线驱动电路中，就将与视频信号成比例的信号电流供给信号线的情况进行了叙述。但是，本发明不限于这种情况。例如，可对不同于信号线的其他布线供给电流。这时，无需配置开关 101（信号电流控制开关）。关于不设该开关 101 的情况，与图 1 对应的用图 29 表示；与图 2 对应的用图 30 表示。这时，电
15 流输出到像素用电流线，视频信号输出到信号线。

本发明提供设有两个移位寄存器（第一与第二移位寄存器）的信号线驱动电路。该第一与第二移位寄存器中的一个为电流源电路，另一个为用以控制视频信号的电路，即为显示图像而动作的电路，
20 例如对门锁电路、取样开关或开关 101（信号电流控制开关）等进行控制。这样就能够使第一与第二移位寄存器的动作独立进行，从而使电流源电路的设定动作和图像显示动作必然也能独立进行。电流源电路的设定动作要花费一定时间才能准确地进行，因此，能够使电流源电路和门锁电路独立动作的本发明的结构是相当有效的。

25 移位寄存器由触发器电路或解码器电路等电路构成。若移位寄存器由触发器电路构成，则通常从第一列到最后一列的顺序选择多条布线。另一方面，移位寄存器由解码器电路等构成时，能够随机地选择多条布线。移位寄存器的结构可按其用途适当选择。如果能随机地选择多条布线，就能使设定信号随机输出。因此，电流源电

路的设定动作也不是从第一列开始依次进行，而是可随机地进行。这样，在存在伴随设定动作的不良情况时，能够使该不良情况变得不明显。

再有，本发明中的 TFT 可换成普通的单晶晶体管、SOI 晶体管、
5 有机晶体管等使用。

并且，本发明中发光装置涵盖将设有发光元件的像素部与信号线驱动电路封装在基板和盖材之间的显示屏，在所述显示屏上安装了 IC 等的组件，以及显示器等。就是说，发光装置相当于显示屏、
组件与显示器等的统称。

10 本发明提供有上述电流源电路的信号线驱动电路。本发明还提供通过用具有不受 TFT 特性支配的电路结构的像素，抑制构成像素与驱动电路这两部分的 TFT 的特性偏差的影响，并能够向发光元件供给所要的信号电流 I data 的发光装置。

15 附图的简单说明

图 1 是信号线驱动电路的电路图。

图 2 是信号线驱动电路的电路图。

图 3 是信号线驱动电路的电路图（1 比特）。

图 4 是信号线驱动电路的电路图（3 比特）。

20 图 5 是信号线驱动电路的电路图（3 比特）。

图 6 是电流源电路的电路图。

图 7 是电流源电路的电路图。

图 8 是电流源电路的电路图。

图 9 是定时图。

25 图 10 是定时图。

图 11 是定时图。

图 12 是发光装置的外观示图。

图 13 是发光装置的像素的电路图。

- 图 14 是本发明的驱动方法的说明图。
- 图 15 是本发明的发光装置的示图。
- 图 16 是发光装置的像素的电路图。
- 图 17 是发光装置的像素的动作的说明图。
- 5 图 18 是电流源电路的电路图。
- 图 19 是电流源电路的动作的说明图。
- 图 20 是电流源电路的动作的说明图。
- 图 21 是电流源电路的动作的说明图。
- 图 22 是应用本发明的电子设备的示图。
- 10 图 23 是信号线驱动电路图（3 比特）。
- 图 24 是信号线驱动电路图（3 比特）。
- 图 25 是基准用恒流源的电路图。
- 图 26 是基准用恒流源的电路图。
- 图 27 是基准用恒流源的电路图。
- 15 图 28 是基准用恒流源的电路图。
- 图 29 是信号线驱动电路的电路图。
- 图 30 是信号线驱动电路的电路图。
- 图 31 是电流源电路的电路图。
- 图 32 是电流源电路的电路图。
- 20 图 33 是电流源电路的电路图。
- 图 34 是电流源电路的电路图。
- 图 35 是电流源电路的电路图。
- 图 36 是电流源电路的电路图。
- 图 37 是解码器电路。
- 25 图 38 是移位寄存器。
- 图 39 是信号线驱动电路的电路图。
- 图 40 是信号线驱动电路的电路图。
- 图 41 是信号线驱动电路的电路图。

- 图 42 是信号线驱动电路的电路图。
图 43 是信号线驱动电路的电路图。
图 44 是信号线驱动电路的电路图。
图 45 是信号线驱动电路的电路图。
5 图 46 是信号线驱动电路的电路图。
图 47 是信号线驱动电路的电路图。
图 48 是信号线驱动电路的电路图。
图 49 是信号线驱动电路的电路图。
图 50 是信号线驱动电路的电路图。
10 图 51 是信号线驱动电路的电路图。
图 52 是发光装置的示图。
图 53 是发光装置的像素的电路图。
图 54 是定时图。
图 55 是定时图。
15 图 56 是定时图。
图 57 是电流源电路的布图设计。
图 58 是电流源电路的电路图。

本发明的最佳实施方式

20 实施方式 1

本实施方式中，就本发明的信号线驱动电路所具备的一例图 1 所示的电流源电路 420 的电路结构及其动作进行说明。

信号线驱动电路中有电流源电路 420、移位寄存器与门锁电路等。而且，本发明的信号线驱动电路设有控制电流源电路 420 的
25 第一移位寄存器和控制门锁电路等的第二移位寄存器。

本发明中从端子 a 输入的设定信号是指来自第一移位寄存器的取样脉冲。就是说，图 1 中的设定信号相当于来自第一移位寄存器的取样脉冲。而且，在本发明中，按照来自第一移位寄存器的取样

脉冲的定时进行电流源电路 420 的设定。

本发明中，通过设置控制电流源电路 420 的第一移位寄存器和控制门锁电路的第二移位寄存器，能够使第一移位寄存器的动作和
5 第二移位寄存器的动作完全独立地进行。就是说，在使第二移位寄存器高速动作时，能够使第一移位寄存器低速动作。因此，能够在电流源电路 420 的设定上耗用时间而准确进行。

移位寄存器由触发器电路、解码器电路等电路构成。在移位寄存器由触发器电路构成时，通常从第一列到最后一列顺序选择多条
10 布线。另一方面，移位寄存器由解码器电路构成时，能够随机地选择多条布线。移位寄存器的结构可按其用途适当地选择。若能将多条布线随机选择，则设定信号能随机地输出。因此，电流源电路的设定动作也不是从第一列开始依次进行，而是可随机地进行。这样，在存在伴随设定动作的不良情况时，能够使该不良情况变得不明显。移位寄存器结构可按其用途适当地选择。

15 移位寄存器具有采用多列触发器电路 (FF) 等的结构。对所述移位寄存器输入了时钟信号 (S-CLK)、启动脉冲 (S-SP) 与时钟反相信号 (S-CLKb) 后按照这些信号的定时依次输出的信号被称为取样脉冲。

20 图 6 (A) 中，设有开关 104、105a、106，晶体管 102 (n 沟道型)，保持该晶体管 102 的栅/源极间电压 VGS 的电容元件 103 等的电路相当于电流源电路 420。

电流源电路 420 中，通过经端子 a 输入的取样脉冲，开关 104、
开关 105a 成为导通状态。这样从连接于电流线的基准用恒流源 109
(以下称为恒流源 109) 经由端子 b 供给电流 (基准用电流)，在电
25 容元件 103 上保持预定电荷。然后，直到从恒流源 109 流出的电流 (基准用电流) 等于晶体管 102 的漏极电流为止，电容元件 103 上电荷被保持。

接着，通过经由端子 a 输入的信号来断开开关 104 和开关 105a。

于是由于在电容元件 103 上保持了预定电荷，晶体管 102 具备能够使其大小对应于信号电流 I data 的电流流过能力。若开关 101（信号电流控制开关）和开关 106 置于导通状态，则电流经由端子 c 流入连接于信号线的像素。这时，由于晶体管 102 的栅电压由电容元件 103 维持
5 维持在预定栅电压，在晶体管 102 的漏区上流过对应于信号电流 I data 的漏极电流。因此，能够不受构成信号线驱动电路的晶体管的特性偏差的支配，控制输入到像素的电流的大小。

若在未配置开关 101（信号电流控制开关）的情况下开关 116 成为导通状态，则电流经由端子 c 流入连接于信号线的像素。

10 开关 104 与开关 105a 的连接结构并不限于图 6(A) 所示的结构。例如，可将开关 104 的一端连接在端子 b，将另一端连接在晶体管 102 的栅电极之间，而且可将开关 105a 的一端经由开关 104 连接到端子 b，而另一端连接到开关 106。开关 104 和开关 105a 由从端子 a 输入的信号进行控制。

15 或者，可将开关 104 设于端子 b 和晶体管 102 的栅电极之间，将开关 105a 设于端子 b 和开关 116 之间。就是说，可参照图 31(A) 配置布线和开关，在设定动作时连接成图 31(A1) 所示的那样，在输入动作时连接成图 31(A2) 所示的那样。对布线的条数和开关的个数及其连接结构并无特别限定。

20 在图 6(A) 所示的电流源电路 420 中，不能同时进行设定信号的动作（设定动作）和将信号输入像素的动作（输入动作）。

图 6(B) 中，设有开关 124、开关 125、晶体管 122（n 沟道型）、保持该晶体管 122 的栅/源极间电压 VGS 的电容元件 123 和晶体管 126（n 沟道型）的电路相当于电流源电路 420。

25 晶体管 126 可用作开关或电流源用晶体管的一部分。

电流源电路 420 中，通过经由端子 a 输入的取样脉冲，开关 124、开关 125 成为导通状态。这样从连接于电流线的恒流源 109 经由端子 b 供给电流（基准用电流），在电容元件 123 上保持预定的电荷。

在电容元件 123 上保持电荷，直到从恒流源 109 流出的电流（基准用
电流）等于晶体管 122 的漏极电流为止。若开关 124 导通，则晶
体管 126 的栅/源极间电压 VGS 成为 0V，因此晶体管 126 截止。

接着，断开开关 124 和开关 125。由于电容元件 213 保持了预定
5 电荷，晶体管 122 具备能够使其大小对应于信号电流 I data 的电流流
过的能力。假设开关 101（信号电流控制开关）成为导通状态，则电
流经由端子 c 流入连接于信号线的像素。这时，由于晶体管 122 的栅
电压由电容元件 123 维持在预定栅电压，所以在晶体管 122 的漏区
10 上有对应于信号电流 I data 的漏极电流流过。因此，能够不受构成信
号线驱动电路的晶体管的特性偏差支配，控制输入像素的电流的大
小。

若开关 124、125 断开，晶体管 126 的栅极和源极不成为同电位。
结果，保持在电容元件 123 的电荷也分配给晶体管 126，使晶体管 126
自动导通。本例中，晶体管 122、126 串联连接，且栅极互连。因此，
15 晶体管 122、126 可作为多栅极（multi gate）的晶体管工作。就是说，
在设定动作时和输入动作时会使晶体管的栅长 L 不同。从而能够使
设定动作时从端子 b 供给的电流值大于输入动作时从端子 c 供给的电
流值。因此，能够将端子 b 和基准用恒流源之间布置的各种负载（布
线电阻、交叉电容等）更快地充电。从而能够使设定动作快速结束。
20 再有，未设置开关 101（信号电流控制开关）的场合，若晶体管 126
成为导通状态，则电流经由端子 c 流入连接于信号线的像素。

再有，对于布线的条数、开关的个数及其连接结构并无特别限
制。就是说，如图 31（B）所示，在设定动作时可以将布线与开关连
接成如图 31（B1）所示；在输入动作时可以将布线与开关连接成如
25 图 31（B2）所示。特别是，在图 31（C2）中，电容元件 107 中蓄积
的电荷不泄漏即可。

在图 6（B）所示的电流源电路 420 中，不能使设定信号的动作
（设定动作）和将信号输入像素的动作（输入动作）同时进行。

图 6 (C) 中, 设有开关 108、开关 110、晶体管 105b、106 (n 沟道型)、保持该晶体管 105b、106 的栅/源极间电压 VGS 的电容元件 107 等的电路相当于电流源电路 420。

在电流源电路 420 中, 经由端子 a 输入的取样脉冲使开关 108、
5 开关 110 成为导通状态。这样从连接于电流线的恒流源 109 经由端子 b 供给电流 (基准用电流), 在电容元件 107 上保持预定电荷。该电容元件 107 上电荷一直被保持, 直到从恒流源 109 流出的电流 (基准用电流) 等于晶体管 105b 的漏极电流。这时, 由于晶体管 105b 与晶体管 106 的栅电极互连, 晶体管 105b 与晶体管 106 的栅电压由
10 电容元件 107 所保持。

接着, 经由端子 a 输入的信号使开关 108、开关 110 断开。由于在电容元件 107 上保持了预定电荷, 晶体管 106 具备使其大小对应于电流 (基准用电流) 的电流流过的能力。因此, 假设开关 101 (信号电流控制开关) 成为导通状态, 则电流经由端子 c 流入连接于信号线的像素。这时, 由于晶体管 106 的栅电压由电容元件 107 维持在
15 预定栅电压, 在晶体管 106 的漏区上流过对应于电流 (基准用电流) 的漏极电流。因此, 能够不受构成信号线驱动电路的晶体管的特性偏差支配而控制输入像素的电流大小。

在未设置开关 101 (信号电流控制开关) 的场合, 电流经由端子
20 c 流入连接于信号线的像素。

这时, 为了在晶体管 106 的漏区上准确流过对应于信号电流 I data 的漏极电流, 需要使晶体管 105b 与晶体管 106 的特性相同。更具体地说, 需要使晶体管 105b 与晶体管 106 的迁移率、阈值等值相同。另外, 在图 6 (C) 中, 可以任意设定晶体管 105b 与晶体管 106 的
25 W (栅宽) / L (栅长) 的比值, 使与恒流源 109 供给的电流成比例的电流流入像素。

并且, 通过将晶体管 105b 与 106 中连接于恒流源 109 的晶体管的 W/L 比设得较大, 能够使该恒流源 109 供给大电流而加快写入速

度。

在图 6 (C) 所示的电流源电路 420 中, 能够使设定信号的动作 (设定动作) 和将信号输入像素的动作 (输入动作) 同时进行。

与图 6 (C) 所示的电流源电路 420 相比, 图 6 (D)、(E) 所示的电流源电路 420 的不同点在开关 110 的连接结构, 其他电路元件的连接结构相同。另外图 6 (D)、(E) 所示的电流源电路 420 的动作以图 6 (C) 所示的电流源电路 420 的动作为准, 这里省略说明。

对于开关的个数及其连接结构并无特别的限定。就是说, 如图 31 (C) 所示, 在设定动作时可以将布线和开关连接成如图 31 (C1) 所示的方式; 而在输入动作时可以将布线和开关连接成如图 31 (C2) 所示的方式。特别是, 在图 31 (C2) 中, 只要电容元件 107 中蓄积的电荷不被泄漏即可。对于布线的条数、开关的个数及其连接结构并无特别的限定。

图 32 (A) 中, 设有开关 195b、195c、195d、195f、晶体管 195a、电容元件 195e 等的电路相当于电流源电路。在图 32 (A) 所示的电流源电路中, 根据经由端子 a 输入的信号使开关 195b、195c、195d、195f 成为导通状态。这样经由端子 b 从连接于电流线的恒流源 109 供给电流, 并在电容元件 195e 中一直保持预定电荷, 直到从恒流源 109 流出的信号电流和晶体管 195a 的漏极电流相等。

接着, 经由端子 a 输入的信号使开关 195b、195c、195d、195f 成为断开状态。这时, 由于电容元件 195e 上保持了预定电荷, 晶体管 195a 具备使其大小对应于信号电流的电流流过的能力。这是由于晶体管 195a 的栅电压由电容元件 195e 设定于预定栅电压, 且在该晶体管 195a 的漏区上使对应于电流 (基准用电流) 的漏极电流流过。在这种状态下, 经由端子 c 向外部供给电流。在图 32 (A) 所示的电流源电路中, 不能将设定成使电流源电路具备流过信号电流的能力的设定动作和将该信号电流输入像素的输入动作同时进行。另外,

在经由端子 a 输入的信号控制的开关导通, 且无电流从端子 c 流出时, 需要将端子 c 和其他电位的布线连接。这里将该布线的电位设为 V_a 。 V_a 是可使从端子 b 流入的电流原样流出的电位, 例如可为电源电压 V_{dd} 等。

5 对于开关的个数及其连接结构并无特别限定。就是说, 如图 32 (B) (C) 所示, 在设定动作时可将布线和开关连接成如图 32 (B1) (C1) 所示的方式; 在输入动作时可将布线和开关连接成如图 32 (B2) (C2) 所示的方式。对于布线的条数和开关的个数及其连接结构也无特别限定。

10 另外, 在图 6 (A)、图 6 (C) ~ (E) 中, 电流方向 (从像素到信号线驱动电路的方向) 相同时, 晶体管 102、晶体管 105b、晶体管 106 的导电型均可为 p 沟道型。

15 图 7 (A) 表示在电流方向 (从像素到信号线驱动电路的方向) 相同时, 图 6 (A) 所示的晶体管 102 设为 p 沟道型时的电路图。在图 6 (A) 中, 通过将电容元件设在栅/源极间, 即使源极电位变化时也能保持栅/源极间电压。另外, 图 7 (B) ~ (D) 表示在电流方向 (从像素到信号线驱动电路的方向) 相同时, 图 6 (C) ~ (D) 所示的晶体管 105b、106 设为 p 沟道型时的电路图。

20 并且, 图 33 (A) 示出图 32 所示的结构中晶体管 195a 设为 p 沟道型时的情况。而图 33 (B) 示出图 6 (B) 所示的结构中晶体管 122、126 设为 p 沟道型时的情况。

图 35 中, 设有开关 104、116、晶体管 102、电容元件 103 等的电路相当于电流源电路。

25 图 35 (A) 相当于部分变更了图 6 (A) 的电路。在图 35 (A) 所示的电流源电路中, 在电流源的设定动作时和输入动作时, 晶体管的栅宽 W 不同。就是说, 在设定动作时连接成如图 35 (B) 所示的方式, 使栅宽 W 较大。在输入动作时连接成如图 35 (C) 所示的方式, 使栅宽 W 较小。从而能够使设定动作时从端子 b 供给的电流

值大于在输入动作时从端子 c 供给的电流值。因此，能够将布置在端子 b 和基准用恒流源之间的各种负载（布线电阻、交叉电容等）更快地充电。从而能够使设定动作快速完成。

图 35 中示出部分变更图 6 (A) 的电路。但是，这种变更也容易适用于图 6 以外的电路或图 7、图 32、图 33、图 34 等电路。

图 6、图 7、图 32 所示的电流源电路中，电流从像素流向信号线驱动电路。但是，电流不只从像素流向信号线驱动电路，也有信号线驱动电路流向像素的情况。电流的流向依赖于像素的结构。在电流从信号线驱动电路流向像素的场合，可将图 6 中的 Vss（低电位电源）变更为 Vdd（高电位电源），并将晶体管 102、105b、106、122、126 设为 p 沟道型。并且，可将图 7 中 Vcc 变更为 Vdd，并将晶体管 102、105b、106 设为 n 沟道型。

在上述所有的电流源电路中，可用晶体管的栅电容取代所配置的电容元件。

再有，图 7 (A) ~ (D)、图 33 (A) (B) 的电路，在设定动作时可将布线和开关连接成如图 34 (A1) ~ (D1) 所示的方式；在输入动作时可将布线和开关连接成如图 34 (A2) ~ (D2) 所示的方式。对于布线的条数和开关的个数上并无特别限定。

以下就用图 6、7 说明的电流源电路中图 6 (A) 与图 7 (A)、图 6 (C) ~ (E) 与图 7 (B) ~ (D) 的电流源电路的动作进行详细说明。首先，就用图 19 说明图 6 (A) 与图 7 (A) 的电流源电路的动作。

图 19 (A) ~ 图 19 (C) 示意表示电流在电路元件之间流过的路径。图 19 (D) 表示将信号电流 I data 写入电流源电路时的流过各路径的电流和时间的关系，图 19 (E) 表示将信号电流 I data 写入电流源电路时蓄积于电容元件 16 中电压即晶体管 15 的栅/源极间电压和时间的关系。另外，图 19 (A) ~ 图 19 (C) 所示的电路图中，11 表示基准用恒流源；开关 12 ~ 开关 14 是具有开关功能的半导体元件；

15 表示晶体管 (n 沟道型); 16 表示电容元件; 17 表示像素。本实施方式中, 由开关 14、晶体管 15、电容元件 16 构成的电路相当于电流源电路 20。由于在图 19 (A) 中已有引线和符号的表示, 因此, 图 19 (B)、(C) 中均以图 19 (A) 为准, 其引线和符号的图示省略。

n 沟道型晶体管 15 的源区与 V_{SS} 相连, 漏区与基准用恒流源 11 相连。电容元件 16 的一个电极与 V_{SS} (晶体管 15 的源极) 相连, 另一电极与开关 14 (晶体管 15 的栅极) 相连。电容元件 16 承担保持晶体管 15 的栅/源极间电压的任务。

像素 17 由发光元件和晶体管等构成。发光元件含有阳极、阴极和夹于该阳极和该阴极之间的发光层。本说明书中, 阳极用作像素电极时将阴极称为对置电极, 阴极用作像素电极时将阳极称为对置电极。另外, 发光层可用公知的发光材料制作。发光层有单层结构和叠层结构两种结构, 但本发明可用公知的任何结构。发光层的发光有从单重态激发状态回到基态时的发光 (萤光) 和从三重态激发状态回到基态时的发光 (磷光) 等, 本发明适用于采用其中任何一种或两种发光的发光装置。还有, 发光层由有机材料或无机材料等公知的材料构成。

实际上电流源电路 20 设置于信号线驱动电路中。对应于信号电流 I_{data} 的电流从设于信号线驱动电路的电流源电路 20 经由信号线和像素含有的电路元件等向发光元件流入。图 19 是简单说明基准用恒流源 11、电流源电路 20 和像素 17 之间的关系的概况的示图, 其详细结构的图示省略。

首先, 用图 19(A)、(B) 说明电流源电路 20 保持信号电流 I_{data} 的动作 (设定动作)。在图 19 (A) 中, 开关 12、开关 14 成为导通状态, 开关 13 成为断开状态。在这种状态下, 从基准用恒流源 11 输出信号电流 I_{data} , 电流从基准用恒流源 11 流向电流源电路 20。这时, 由于从基准用恒流源 11 流出信号电流 I_{data} , 如图 19 (A)

所示，电流源电路 20 内电流的路径分为 I_1 和 I_2 。这时的关系如图 19 (D) 所示，显然，信号电流 $I_{data} = I_1 + I_2$ 。

从基准用恒流源 11 开始流出电流的瞬间，由于电容元件 16 上未保持电荷，晶体管 15 处于截止状态。因而， $I_2 = 0$ ； $I_{data} = I_1$ 。

5 然后，慢慢地电容元件 16 上电荷蓄积，在电容元件 16 的两电极间开始产生电位差（图 19 (E)）。两电极间的电位差成为 V_{th} （图 19 (E) 中的 A 点）时，晶体管 15 导通，成为 $I_2 > 0$ 。如上所述， $I_{data} = I_1 + I_2$ ，因此 I_1 逐渐减少，但依然有电流流过。电容元件 16 上进一步蓄积电荷。

10 电容元件 16 的两电极间的电位差成为晶体管 15 的栅/源极间电压。因此，电容元件 16 上的电荷一直蓄积，直到晶体管 15 的栅/源极间电压成为所要的电压，即可使晶体管 15 流过 I_{data} 的电流的电压（VGS）为止。若电荷的蓄积结束（图 19 (E) 中的 B 点），则无电流 I_1 流过，晶体管 15 导通，因此 $I_{data} = I_2$ （图 19 (B)）。

15 接着，用图 19 (C) 说明对像素输入信号电流 I_{data} 的动作（输入动作）。在对像素输入信号电流 I_{data} 时，使开关 13 导通，并使开关 12 与开关 14 断开。由于电容元件 16 保持了在上述的动作中写入的 VGS，晶体管 15 导通，与信号电流 I_{data} 相等的电流经由开关 13 与晶体管 15 流向 V_{ss} ，从而对像素的信号电流 I_{data} 的输入完成。
20 这时，如果预先使晶体管 15 在饱和区工作，则即使晶体管 15 的源/漏极间电压变化，也会有一定的电流供给发光元件上。

如图 19 (A) ~ 图 19 (C) 所示，图 19 所示的电流源电路 20 中，首先，分为使对电流源电路 20 的信号电流 I_{data} 的写入结束的动作（设定动作，相当于图 19 (A)、(B)）和对像素输入信号电流 I_{data}
25 的动作（输入动作，相当于图 19 (C)）。在像素上基于输入的信号电流 I_{data} 对发光元件供给电流。

图 19 所示的电流源电路 20 中不能将设定动作和输入动作同时进行。因而，在需要将设定动作和输入动作同时进行的场合，最好

是连接了多个像素的信号线，并且在像素部上配置的多条信号线上至少各自设置两个电流源电路。但是，在不将信号电流 I data 输入像素的期间内，如果能进行设定动作，只需按每一条信号线设置（各列上）一个电流源电路即可。

5 图 19 (A) ~ 图 19 (C) 所示的电流源电路 20 的晶体管 15 为 n 沟道型，当然也可以在电流源电路 20 中用 p 沟道型的晶体管 15。这里，图 19 (F) 中示出晶体管 15 为 p 沟道型时的电路图。图 19 (F) 中，31 表示基准用恒流源；开关 32 ~ 开关 34 是具有开关功能的半导体元件（晶体管）；35 表示晶体管（p 沟道型）；36 表示电容元
10 件；37 表示像素。本实施方式中，由开关 34、晶体管 35 和电容元件 36 构成的电路相当于电流源电路 24。

晶体管 35 为 p 沟道型，晶体管 35 的源区与漏区中的一方连接于 Vdd，另一方连接于恒流源 31。电容元件 36 的一个电极连接于 Vdd，另一电极与开关 36 相连。电容元件 36 承担保持晶体管 35 的
15 栅/源极间电压的任务。

图 19 (F) 所示的电流源电路 24 的动作除了电流的流向不同以外，进行与上述的电流源电路 20 同样的动作，因此这里省略说明。在进行不改变电流方向而变更晶体管 15 极性的电流源电路设计时，可以参考图 7 (A) 所示的电路图。

20 图 36 中电流方向与图 19 (F) 相同，晶体管 35 设为 n 沟道型。电容元件 36 连接在晶体管 35 的栅/源极之间。晶体管 35 源极的电位在设定动作时与输入动作时不同。但是，由于栅/源极间电压被保持，即使改变源极的电位也正常工作。

接着，用图 20、21 说明图 6 (C) ~ (E) 和图 7 (B) ~ (D) 的
25 电流源电路的动作。图 20 (A) ~ 图 20 (C) 示意表示电流在电路元件之间流过的路径。图 20 (D) 表示将信号电流 I data 写入电流源电路时的流过各路径的电流与时间的关系；图 20 (E) 表示将信号电流 I data 写入电流源电路时在电容元件 46 上蓄积的电压即晶体管 43、

44 的栅/源极间电压和时间的关系。在图 20 (A) ~ 图 20 (C) 所示的电路图中, 41 表示基准用恒流源; 开关 42 是具有开关功能的半导体元件; 43、44 表示晶体管 (n 沟道型); 46 表示电容元件; 47 表示像素。本实施方式中, 由开关 42、晶体管 43、44 及电容元件 46 构成的电路相当于电流源电路 25。图 20 (A) 中已加上引线和符号进行表示, 在图 20 (B)、(C) 中以图 20 (A) 为准省略了引线和符号。

n 沟道型的晶体管 43 的源区连接于 Vss, 漏区与恒流源 41 相连。n 沟道型的晶体管 44 的源区连接于 Vss, 漏区与像素 47 的端子 48 相连。电容元件 46 的一个电极与 Vss (晶体管 43 与 44 的源极) 相连, 另一电极与晶体管 43 与晶体管 44 的栅电极相连。电容元件 46 承担保持晶体管 43 和晶体管 44 的栅/源极间电压的任务。

实际上电流源电路 25 设于信号线驱动电路中。因此, 对应于信号电流 I data 的电流从设于信号线驱动电路的电流源电路 25 经由信号线或像素中含有的电路元件等流到发光元件。但是图 20 只是简略表示基准用恒流源 41、电流源电路 25 与像素 47 之间的关系的说明图, 因此省略详细的结构图示。

在图 20 的电流源电路 25 中, 晶体管 43 与晶体管 44 的尺寸很重要。在晶体管 43 与晶体管 44 的尺寸相同和不相同的场合, 区分符号来说明。图 20 (A) ~ 图 20 (C) 中, 晶体管 43 与晶体管 44 的尺寸相同时, 用信号电流 I data1 进行说明。而在晶体管 43 与晶体管 44 的尺寸不同时, 用信号电流 I data1 和信号电流 I data2 进行说明。晶体管 43 与晶体管 44 的尺寸是用各晶体管的 W (栅宽) / L (栅长) 的比值来判断。

首先, 就晶体管 43 与晶体管 44 的尺寸相同的场合进行说明。先用图 20 (A)、(B) 说明将信号电流 I data 保持在电流源电路 20 的动作。图 20 (A) 中, 若开关 42 导通, 则由基准用恒流源 41 设定信号电流 I data, 电流从恒流源 41 流到电流源电路 25。这时, 由

于从基准用恒流源 41 流出信号电流 I_{data} ，如图 20 (A) 所示，在电流源电路 25 内电流分 I_1 和 I_2 两个路径流过。这时的关系如图 20 (D) 所示，显然信号电流 $I_{data} = I_1 + I_2$ 。

5 电流开始从恒流源 41 流出的瞬间，由于电容元件 46 上未保持电荷，晶体管 43 与晶体管 44 截止。因而， $I_2 = 0$ ， $I_{data} = I_1$ 。

然后，电荷慢慢地在电容元件 46 上蓄积，在电容元件 46 的两电极间开始产生电位差（图 20 (E)）。当两电极间的电位差成为 V_{th} 时（图 20 (E) 中的 A 点），晶体管 43 和晶体管 44 导通，即 $I_2 > 0$ 。如上所述，由于 $I_{data} = I_1 + I_2$ ，虽然 I_1 逐渐减少但依然有电流流过。
10 在电容元件 46 上进一步蓄积电荷。

电容元件 46 的两电极间的电位差成为晶体管 43 与晶体管 44 的栅/源极间电压。因此，在晶体管 43 与晶体管 44 的栅/源极间电压达到所要的电压，即可使晶体管 44 上流过 I_{data} 的电流的电压（VGS）为止，电容元件 46 持续蓄积电荷。若电荷的蓄积结束（图 20 (E) 中的 B 点），电流 I_1 成为零，而晶体管 43 和晶体管 44 导通，因此
15 $I_{data} = I_2$ （图 20 (B)）。

接着，用图 20 (C) 说明对像素输入信号电流 I_{data} 的动作。首先开关 42 断开。由于在电容元件 46 上保持了预定电荷，晶体管 43 与晶体管 44 导通，从像素 47 流出与信号电流 I_{data} 相等的电流。从而，对像素输入信号电流 I_{data} 。这时，如果使晶体管 44 在饱和区上工作，则即使晶体管 44 的源/漏极间电压发生变化，在像素中的电流也能不变地流过。
20

在采用图 6 (C) 所示的电流镜电路的场合，即使不断开开关 42 也可以利用恒流源 41 供给的电流使像素 47 上流入电流。就是说，
25 可将对电流源电路 20 设定信号的动作和将信号输入像素的动作（输入动作）同时进行。

接着，就晶体管 43 与晶体管 44 的尺寸不同的场合进行说明。电流源电路 25 的动作与上述动作相同，因此这里省略说明。当晶体

管 43 与晶体管 44 的尺寸不同时, 必然使基准用恒流源 41 上设定的信号电流 I data1 和流过像素 47 的信号电流 I data2 不同。两者的不同点依赖于晶体管 43 与晶体管 44 的 W (栅宽) / L (栅长) 的值的差异。

- 5 通常最好使晶体管 43 的 W/L 值大于晶体管 44 的 W/L 值。这是由于当晶体管 43 的 W/L 值大时可使信号电流 I data1 较大。这时, 用信号电流 I data1 设定电流源电路时, 由于可将负载 (交叉电容、布线电阻) 充电, 可快速进行设定动作。

10 图 20 (A) ~ 图 20 (C) 所示的电流源电路 25 的晶体管 43 与晶体管 44 为 n 沟道型, 显然电流源电路 25 的晶体管 43 与晶体管 44 也可为 p 沟道型。本例中, 图 21 表示晶体管 43 与晶体管 44 为 p 沟道型时的电路图。

15 图 21 中, 41 表示恒流源; 开关 42 是具有开关功能的半导体元件; 43、44 表示晶体管 (p 沟道型); 46 表示电容元件; 47 表示像素。本实施方式中, 由开关 42、晶体管 43、44 和电容元件 46 构成的电路相当于电流源电路 26。

20 p 沟道型的晶体管 43 的源区与 Vdd 相连, 漏区与恒流源 41 相连。p 沟道型的晶体管 44 的源区与 Vdd 相连, 漏区与像素 47 的端子 48 相连。电容元件 46 的一个电极与 Vdd (源极) 相连, 另一电极与晶体管 43 和晶体管 44 的栅电极相连。电容元件 46 承担保持晶体管 43 与晶体管 44 的栅/源极间电压的任务。

25 图 21 所示的电流源电路 24 的动作除了电流方向不同以外, 进行与图 20 (A) ~ 图 20 (C) 相同的动作, 因此这里省略说明。在设计不改变电流方向而晶体管 43、晶体管 44 的极性改变的电流源电路时, 可参考图 7 (B) 所示的电路图。

 并且, 也可不改变电流方向而改变晶体管的极性。其动作以图 36 的动作为准, 这里省略说明。

 综上所述, 图 19 的电流源电路中, 在像素上流过与电流源上设

定的信号电流 I data 相同大小的电流。换言之，在恒流源上设定的信号电流 I data 和流过像素的电流为相同值，不受电流源电路上设置的晶体管的特性偏差的影响。

5 另外，图 19 的电流源电路与图 6 (B) 的电流源电路中，在进行设定动作的期间，不能从电流源电路向像素输出信号电流 I data。因此，最好按每一条信号线设置两个电流源电路，在一个电流源电路上进行设定信号的动作（设定动作），在用另一电流源电路进行对像素输入 I data 的动作（输入动作）。

10 但是，在不同时进行设定动作和输入动作时，可各列设置一个电流源电路。与图 19 的电流源电路相比图 32 (A)、图 33 (A) 的电流源电路，除了连接和电流路径不同以外其他部分相同。图 35 (A) 的电流源电路除了恒流源供给的电流和从电流源电路流出的电流大小不同以外其他部分均相同。而且，图 6 (B)、图 33 (B) 的电流源电路除了恒流源供给的电流和从电流源电路流出的电流大小不同
15 以外其他部分均相同。就是说，图 35 (A) 中是晶体管的栅宽 W 在设定动作时和输入动作时不同；图 6 (B)、图 33 (B) 中是晶体管的栅长 L 在设定动作时和输入动作时不同，除此以外与图 19 的电流源电路的结构相同。

20 另一方面，图 20、21 的电流源电路中，在恒流源上设定的信号电流 I data 和流过像素的电流值依赖于在电流源电路上设置的两个晶体管的尺寸。就是说，通过对在电流源电路上设置的两个晶体管的尺寸（W（栅宽）/L（栅长））进行任意设计，可任意改变在恒流源上设定的信号电流 I data 和流过像素的电流。但是，在两个晶体管的
25 阈值和迁移率等特性上产生偏差时，则难以将正确的信号电流 I data 输出到像素上。

另外，在图 20、21 的电流源电路中，可在进行设定动作的期间对像素输入信号。就是说，可将设定信号的动作（设定动作）和将信号输入像素的动作（输入动作）同时进行。因此，如图 19 的电流

源电路那样，无需在一条信号线上设置两个电流源电路。

在信号线驱动电路中设置的电流源电路大致分为以下三种情况：每一条信号线设置一个图 19 的电流源电路、每一条信号线设置两个图 19 的电流源电路以及每一条信号线设置图 20、21 的电流源电路。

5 在以上描述中，每一条信号线设置一个图 19 的电流源电路的场合，需要使第一移位寄存器的动作在第二移位寄存器不动作的期间进行。对于除此以外的期间，可使第一移位寄存器和第二移位寄存器按相同的频率工作，也可按不同频率工作。这是由于对每一条信号线设置一个图 19 的电流源电路时，不能将设定动作和输入动作同时进行。就是说，在进行输入动作时用第二移位寄存器进行；在进行设定动作时用第一移位寄存器进行。即在第二移位寄存器工作的期间，由于进行输入动作，所以第一移位寄存器不能进行工作。

10 具有上述结构的本发明可抑制 TFT 的特性偏差的影响，并将所要的电流供给外部。

实施方式 2

以上说明了在图 19（与图 6（B）、图 33（B）、图 35（A）等）所示的电流源电路中，最好每一条信号线（各列）设置两个电流源电路，设定成用其中的一个电流源电路进行设定动作，用其中另一个电流源电路进行输入动作。这是由于不能将设定动作和输入动作同时进行。本实施方式中，用图 8 说明图 2 所示的第一电流源电路 421 或第二电流源电路 422 的结构及其动作。

20 信号线驱动电路设有电流源电路 420、移位寄存器与闩锁电路等。本发明的信号线驱动电路设有控制电流源电路 420 的第一移位寄存器和控制闩锁电路等的第二移位寄存器。

25 本发明中由端子 a 输入的设定信号表示来自第一移位寄存器的取样脉冲。就是说，图 2 的设定信号相当于来自第一移位寄存器的

取样脉冲。本发明中，使来自第一移位寄存器的取样脉冲和控制线的定时一致，从而设定电流源电路 420。

5 本发明中通过设置控制电流源电路 420 的第一移位寄存器和控制门锁电路的第二移位寄存器，能够使第一移位寄存器的动作和第二移位寄存器的动作完全独立地进行。就是说，使第二移位寄存器高速动作时，能够使第一移位寄存器低速动作。因此，可在电流源电路 420 的设定上花费时间因而能准确地进行。

10 移位寄存器设有多个列的触发器电路 (FF) 等的结构。对所述移位寄存器输入了时钟信号 (S-CLK)、启动脉冲 (S-SP) 与时钟反相信号 (S-CLKb) 后根据这些信号的定时依次输出的信号被称为取样脉冲。

15 移位寄存器由触发器电路、解码器电路等电路构成。在移位寄存器由触发器电路构成的场合，通常多条布线从第一列到最后一列依次被选择。另一方面，在移位寄存器由解码器电路等构成的场合，多条布线可被随机地选择。移位寄存器的结构可根据其用途适当地选择。若能随机地选择多条布线，则也能随机地输出设定信号。因此，电流源电路的设定动作也不是从第一列开始依次进行，而是随机地进行。这样，在伴随设定动作产生不良情况时，也能使该不良情况不明显。移位寄存器的结构可根据其用途适当地选择。

20 电流源电路 420 通过经端子 a 输入的设定信号和经端子 d 输入的信号来控制，从端子 b 提供电流 (基准用电流)，将与该电流 (基准用电流) 成比例的电流从端子 c 输出。

25 图 8(A) 中，设有开关 134~开关 139、晶体管 132 (n 沟道型)、保持该晶体管 132 的栅/源极间电压 VGS 的电容元件 133 的电路相当于第一电流源电路 421 或第二电流源电路 422。

第一电流源电路 421 或第二电流源电路 422 中，通过经端子 a 输入的信号使开关 134、开关 136 导通。并且，通过经端子 d 从控制线输入的信号使开关 135、开关 137 导通。这样，从连接于电流线的

基准用恒流源 109 经由端子 b 供给电流（基准用电流），在电容元件 133 上保持预定电荷。然后，直到从恒流源 109 流出的电流（基准用电流）与晶体管 132 的漏极电流相等为止，在电容元件 133 上保持电荷。

5 接着，通过经端子 a、d 输入的信号，使开关 134~开关 137 断开。这样，由于电容元件 133 上保持了预定电荷，晶体管 132 具有可使对应于信号电流 I data 大小的电流流过能力。假设开关 101（信号电流控制开关）、开关 138、开关 139 成为导通状态，则电流经由端子 c 流入连接于信号线的像素。这时，由于晶体管 132 的栅电压通过电容元件 133 维持在预定栅电压，在晶体管 132 的漏区上流过对应于信号电流 I data 的漏极电流。因此，可不受构成信号线驱动电路的晶体管的特性偏差的支配，控制像素中流过的电流大小。

10

再有，未设置开关 101（信号电流控制开关）的场合，若开关 138、139 成为导通状态，则电流经由端子 c 流入连接于信号线的像素。

15 图 8(B) 中，设有开关 144~开关 147、晶体管 142（n 沟道型）、保持该晶体管 142 的栅/源极间电压 VGS 的电容元件 143 和晶体管 148（n 沟道型）的电路相当于第一电流源电路 421 或第二电流源电路 422。

20 第一电流源电路 421 或第二电流源电路 422 中，通过经端子 a 输入的信号使开关 144、开关 146 导通。并且，通过经端子 d 从控制线输入的信号使开关 145、开关 147 导通。这样，从连接于电流线的恒流源 109 经端子 b 供给电流（基准用电流），在电容元件 143 上电荷被保持。然后，直到从恒流源 109 流出的电流（基准用电流）与晶体管 142 的漏极电流相等为止，在电容元件 143 上保持电荷。

25 在开关 144、开关 145 导通时，晶体管 148 的栅/源极间电压 VGS 成为 0V，因此晶体管 148 自动截止。

接着，通过经端子 a、d 输入的信号，使开关 144~147 断开。这样，由于电容元件 143 上保持了预定电荷，晶体管 142 具备可使

对应于信号电流大小的电流流过能力。假设开关 101（信号电流控制开关）成为导通状态，经端子 c 对连接于信号线的像素供给电流。这是由于晶体管 142 的栅电压通过电容元件 143 设定为预定栅电压，且在该晶体管 142 的漏区上流过对应于信号电流 I data 的漏极电流。

5 因此，可不受构成信号线驱动电路的晶体管的特性偏差的支配地控制在像素中流过的电流大小。

当开关 144、145 断开时，晶体管 142 的栅极和源极不成为同电位。结果，在电容元件 143 上保持的电荷也分配给晶体管 148，晶体管 148 自动成为导通状态。这里，晶体管 142、148 串联连接，且其栅极相连。因此，晶体管 142、148 作为多栅极的晶体管工作。就是说，在设定动作时和输入动作时，晶体管的栅长 L 不同。因此，可使在设定动作时从端子 b 供给的电流值大于在输入动作时从端子 c 供给的电流值。因此，可将在端子 b 和基准用恒流源之间配置的各种负载（布线电阻、交叉电容等）更快地充电。从而能够快速完成设定动作。再有，未设置开关 101（信号电流控制开关）的场合，若开关 144、145 断开，则电流经由端子 c 流入连接于信号线的像素。

10

15

再有，图 8（A）相当于在图 6（A）的结构上增加了端子 d 的结构。图 8（B）相当于在图 6（B）的结构上增加了端子 d 的结构。如此，通过在图 6（A）（B）的结构上串联地增加开关，变更为增加了端子 d 的图 8（A）（B）的结构。通过在第一电流源电路 421 或第二电流源电路 422 中将两个开关串联地布置，从而能够任意采用图 6、图 7、图 33、图 32、图 35 等所示的电流源电路的结构。

20

图 2 中，示出对每一条信号线设置含有第一电流源电路 421 与第二电流源电路 422 这两个电流源电路的电流源电路 420 的结构，但本发明并不限于这种结构。对每一条信号线的电流源电路的个数并无特别的限定，可任意设定。多个电流源电路可设定各自对应的恒流源，由该恒流源对电流源电路设定信号电流。例如，可以每一条信号线设置三个电流源电路 420。各电流源电路 420 中可由不同的

25

基准用恒流源 109 设定信号电流。例如，可以在一个电流源电路 420 中，用 1 比特的基准用恒流源设定信号电流，也可以在一个电流源电路 420 中，用 2 比特的基准用恒流源设定信号电流，还可以在一个电流源电路 420 中，用 3 比特的基准用恒流源设定信号电流。这样，可进行 3 比特显示。

设有上述结构的本发明，可抑制 TFT 的特性偏差的影响，将所要的电流向外部供给。

本实施方式可与实施方式 1 任意组合。

10 实施方式 3

本实施方式中，用图 15 说明本发明的信号线驱动电路所具备的发光装置的结构。

图 15 (A) 中，发光装置在基板 401 上设有多个像素矩阵状排列而成的像素部 402，在像素部 402 的外围有信号线驱动电路 403 和第一与第二扫描线驱动电路 404、405。图 15 (A) 中有信号线驱动电路 403 和两组扫描线驱动电路 404、405，但本发明并不限于这种情况。驱动电路的个数可根据像素的结构任意地设计。信号线驱动电路 403 和第一与第二扫描线驱动电路 404、405 经由 FPC406 从外部取得信号。

20 用图 15 (B) 说明第一与第二扫描线驱动电路 404、405 的结构及其动作。第一与第二扫描线驱动电路 404、405 设有移位寄存器 407 和缓冲器 408。移位寄存器 407 按照时钟信号 (G-CLK)、启动脉冲 (S-SP) 和时钟反相信号 (G-CLKb)，依次输出取样脉冲。然后由缓冲器 408 放大的取样脉冲被输入到扫描线，逐行地设为选择状态。然后，信号依次从信号线写入由被选择的扫描线控制的像素。

再有，可在移位寄存器 407 和缓冲器 408 之间设置电平转换电路。能够通过设置电平转换电路放大电压的幅值。

本实施方式可为与实施方式 1、2 的任意组合。

实施方式4

本实施方式中就图 15 (A) 所示的信号线驱动电路 403 的结构及其动作进行说明。本实施方式中, 用图 3 说明在进行 1 比特的数字灰度等级显示时使用的信号线驱动电路 403。

5 首先叙述与图 1 对应的情况。并且, 这里叙述按线顺序驱动的情况。

图 3 (A) 中简略表示进行 1 比特的数字灰度等级显示时的信号线驱动电路 403。信号线驱动电路 403 设有第一移位寄存器 415、第二移位寄存器 411、第一门锁电路 412、第二门锁电路 413 和恒流电
10 路 414。

现简单说明其动作, 第一移位寄存器 415 与第二移位寄存器 411 由多个列的触发器电路 (FF) 等构成, 根据时钟信号 (S-CLK、(S1-CLK、S2-CLK))、启动脉冲 (S-SP (S1-SP、S2-SP))、时钟反相信号 (S-CLKb (S1-CLKb、S2-CLKb)) 的定时, 依
15 次输出取样脉冲。

从第一移位寄存器 415 输出的取样脉冲被输入到恒流电路 414。从第二移位寄存器 411 输出的取样脉冲输入到第一门锁电路 412。第一门锁电路 412 被输入数字视频信号, 并按照输入的取样脉冲的定时在各列上保持视频信号。

20 在第一门锁电路 412 中, 到最后一列为止的视频信号的保持结束时, 在水平回扫期间, 门锁脉冲被输入第二门锁电路 413, 在第一门锁电路 412 中保持的视频信号一齐转移到第二门锁电路 413。于是, 在第二门锁电路 413 中保持的视频信号以一行份额的信号同时输入到恒流电路 414。

25 在第二门锁电路 413 中保持的视频信号输入恒流电路 414 的期间, 移位寄存器 411 再输出取样脉冲。之后重复该动作, 进行 1 帧份额的视频信号的处理。也有恒流电路 414 具备将数字信号变换为模拟信号的能力的情况。

本发明中从第一移位寄存器 415 输出的取样脉冲被输入到恒流电路 414。

在恒流电路 414 中设有多个电流源电路 420。图 3 (B) 简略地表示从第 i 列到第 $(i+2)$ 列这三条信号线周围的信号线驱动电路。

5 电流源电路 420 受经端子 a 输入的信号的信号的控制。并且, 经由端子 b, 从连接于电流线的基准用恒流源 109 得到电流。在电流源电路 420 和连接于信号线 S_n 的像素之间设有开关 101 (信号电流控制开关), 所述开关 101 (信号电流控制开关) 由视频信号控制。在视频信号为亮信号时, 从电流源电路 420 对像素供给信号电流。当视频
10 信号为暗信号时, 开关 101 (信号电流控制开关) 被控制成不对像素供给电流。就是说, 电流源电路 420 具有使预定电流流过的能力, 是否将该电流供给像素则由开关 101 (信号电流控制开关) 控制。

15 电流源电路 420 结构可任意采用图 6、图 7、图 32、图 33、图 35 等所示的电流源电路 420 的结构。所述电流源电路 420 不一定采用一种结构, 也可用多种结构。

本发明中从端子 a 输入的设定信号相当于由第一移位寄存器 415 供给的取样脉冲。就是说电流源电路 420 的设定按照第一移位寄存器 415 供给的取样脉冲进行。

再有, 电流源电路 420 采用图 6 (A)、7 (A) 所示的结构时,
20 在进行输入动作的期间, 不能进行设定动作。因此, 需要在不进行输入动作的期间进行设定动作。但是, 存在不进行输入动作的期间在 1 帧期间中不是连续而是分散的情况, 因此, 在这种情况下不能按顺序选择各列, 最好选择任意列。因此, 最好使用可随机选择的解码器电路等。在图 37 中表示一例解码器电路。并且, 图 38 (A)
25 中示出由触发器电路 221、被输入列选择信号的闩锁器 222 与被输入选择控制信号的逻辑运算元件 223 构成的移位寄存器; 图 38 (B) 中示出由触发器电路 224、被输入列选择信号的第一闩锁器 225 与被输入选择用闩锁信号的第二闩锁器 226 构成的移位寄存器。不管图 38

(A) (B) 的哪一种结构均可随机地选择多条信号线。再有, 与图 37 的解码器相比图 38 (A) (B) 所示的结构可减少布线数。

就图 38 (A) 的电路简单说明其动作。触发器电路 (FF) 221 根据时钟信号 (CLK)、启动脉冲 (SP)、时钟反相信号 (CLKb) 的定时, 依次输出取样脉冲。从触发器电路 221 输出的取样脉冲输入到 5 到 闩锁器 (LAT1) 222。闩锁器 222 被输入列选择信号, 根据取样脉冲输入的定时, 只在要选择列的闩锁器 222 上保持选择信号。

从触发器电路 221 输出取样脉冲的期间, 将选择控制信号设为 L 信号。由此, 不依赖闩锁器 222 的状态也不输出选择信号。这是因为 10 到 闩锁器 (LAT1) 222 的输出被输入到 AND 电路。AND 电路的另一个输入端子被输入选择控制信号。因此, 作为选择控制信号输入 L 信号时, AND 电路必会输出 L 信号。就是说, 成为不依赖闩锁器 222 的状态也不输出选择信号的状态。而且, 从触发器电路 221 取样脉冲被输出到全部的列, 并通过列选择信号在要选择列的闩锁器 222 15 到 中保持了选择信号后, 将选择控制信号设为 H 信号。这样, 从 AND 电路输出闩锁器 222 的信号。当闩锁器 222 的信号为 H 信号时, 从 AND 电路输出 H 信号, 而当闩锁器 222 的信号为 L 信号时, 从 AND 电路输出 L 信号。结果, 只在要选择列上输出选择信号。这是因为只有要选择列的闩锁器 222 的信号才是 H 信号。在要停止选择信号的输出时, 将选择控制信号设成 L 信号。这样就不能输出选择信号。20 如此, 可自由控制选择布线的期间。

然后, 输入启动脉冲 (SP), 从触发器电路 (FF) 输出取样脉冲等, 重复同样的操作。由此, 能够通过控制列选择信号的定时来随机选择任意的列, 也任意地变更选择列的期间。就是说, 可对任意的列的电流源电路进行设定动作, 而且也可以任意地改变进行设定动作的期间。但是, 采用这种电路时, 最好不要在从触发器电路 221 25 到 输出取样脉冲的期间输出选择信号。这是因为闩锁器 222 有可能还保存着前 1 次的信息。

图 38 (B) 所示的电路是在从触发器电路 221 输出取样脉冲的期间也能输出选择信号的电路。图 38 (B) 中, 从触发器电路 224 输出取样脉冲, 第一门控器 225 被输入列选择信号。然后, 取样脉冲的输出结束, 对所有的第一门控器 225 输入了列选择信号后, 用选择用门控器, 将第一门控器 225 的信号一起转送到第二门控器 226。然后, 从第二门控器 226 输出选择信号。然后, 从触发器电路 224 再次输出取样脉冲, 第一门控器 225 被输入列选择信号。但是, 同时从第二门控器 226 持续输出选择信号。因此, 能够同时使它们各自动作。

若采用上述图 37、38 所记载的电路, 则电流源电路的设定动作不是从第一列开始依次进行, 而是随机地进行。并且, 进行设定动作的时间长度也可自由确定。若能随机地进行电流源电路的设定动作, 则会产生各种优点。例如, 可进行设定动作的期间在 1 帧中分散时, 能选择任意的列, 这增加了选择自由度, 并可延长设定动作的期间。例如, 在 1 帧中分散的、可进行设定动作的期间内, 可将该期间整个用来进行一个列的电流源电路的设定动作。

若不能指定任意列的电流源电路, 且必须从第一列开始到最后一列的顺序指定时, 则对于每一列的设定动作的期间会缩短。这是因为在某一确定的期间, 由于必须对从第一列到最后一列的电流源电路进行设定动作, 会缩短每一列的设定动作的期间。结果, 不能充分地进行设定动作。

其它的优点是能够使因电流源电路 420 内布置的电容元件 (例如, 相当于图 6 (A) 中的电容元件 103; 图 6 (B) 中的电容元件 123; 以及图 6 (B) 中的电容元件 107 等) 的电荷泄漏导致的影响变得不显著。若电荷的泄漏逐列依次产生, 则其影响容易被发现, 但随机产生则人眼难以分辨。

在电流源电路 420 上设有电容元件。但是可用晶体管的栅电容取代电容元件。所述电容元件通过电流源电路的设定动作蓄积电荷。

理想的电流源电路的设定动作是在输入电源时进行一次即可。就是说，使信号线驱动电路动作时，在其动作的最初的期间进行一次即可。这是因为，无需使电容元件上蓄积的电荷量按动作状态或时间等改变，并且也不会变化。但是，实际上对电容元件有各式各样的噪声输入，或流过与电容元件相连的晶体管的漏泄电流。结果，会使电容元件上蓄积的电荷量随时间变化。若电荷量改变，则从电流源电路输出的电流即输入到像素的电流也会改变。结果，像素的亮度也改变。因此，为不使电容元件上蓄积的电荷改变，必须以一定周期定期进行电流源电路的设定动作，并刷新电荷，将改变的电荷量再次恢复，重新保存正确的电荷量。

假设电容元件上蓄积的电荷的变动量大时，进行电流源电路的设定动作使该电荷更新，使改变的电荷量再次恢复，重新保存正确的电荷量，则伴随的电流源电路输出的电流量的变动也变大。因此，从第一列开始依次进行设定动作时，电流源电路输出的电流量的变动可被分辨，从而妨碍显示。就是说，从第一列开始依次产生的像素的亮度变化会达到被人眼辨认的程度，给显示带来妨碍。这时，若不作从第一列开始依次进行的设定动作而作随机地设定动作，则不易发现电流源电路输出的电流量的变动。如此，将多条布线随机地选择，可产生各种优点。

另一方面，当电流源电路 420 采用图 6 (C) ~ (E) 所示的结构时，由于设定动作和输入动作可同时进行，设置从第一列到最后一列依次选择的通常的移位寄存器就足够。

并且，图 3 (B) 中每次进行一列设定动作，但并不限于这种情况。如图 39 所示，可在多个列上同时进行设定动作。这里，在多个列上同时进行的设定动作称为多相化。图 39 中设有两个基准用恒流源 109，也可由相对这两个基准用恒流源另外设置的基准用恒流源进行设定动作。

这里，在图 40、图 41 中示出将图 3 (B) 所示的恒流电路 414

的具体结构。图 40 表示在电流源电路的一部分中采用图 6 (C) 时的电路。图 41 表示在电流源电路的一部分中采用图 6 (A) 时的电路。

以上, 叙述了线顺序驱动的情况。以下, 叙述点顺序驱动的情况。

- 5 图 42 (A) 中, 视频线供给的视频信号, 按照从第二移位寄存器 411 供给的取样脉冲的定时被取样。并且电流源电路 420 的设定按照第一移位寄存器 415 供给的取样脉冲的定时进行。如此, 在图 42 (A) 的结构时, 进行点顺序驱动。

再有, 只有在取样脉冲输出且从视频线供给视频信号的期间, 开关 101 (信号电流控制开关) 才成为导通状态, 若取样脉冲未被输出、从视频线未供给视频信号, 则在开关 101 (信号电流控制开关) 成为断开状态的场合, 将不会准确地动作。这是因为像素中用以输入电流的开关一直处于导通状态。在这状态下使开关 101 (信号电流控制开关) 成为断开状态, 则对像素无电流输入, 因此不能将信号正确地输入。

10

15

为了保持从视频线供给的视频信号, 并将开关 101 (信号电流控制开关) 的状态维持, 设置了闩锁电路 452。闩锁电路 452 可以仅由电容元件和开关构成, 也可以由 SRAM 电路构成。由此, 取样脉冲被输出, 且视频信号从视频线按每次一列依次供给, 基于该视频信号, 开关 101 (信号电流控制开关) 成为导通状态或断开状态, 能够通过控制对像素的电流供给来实现点顺序驱动。

20

但是, 在从第一列到最后一列依次选择时, 最初的一列中对像素输入信号的期间长。另一方面, 最后的一列中即使输入视频信号也会立即选择下一行的像素。结果, 对像素输入信号的期间缩短。这种情况下, 如图 42 (B) 所示, 将设于像素部 402 的扫描线从中央分开, 就能够延长对像素输入信号的期间。这时, 在像素部 402 的左侧和右侧上各设一个扫描线驱动电路, 用该扫描线驱动电路驱动像素。如此, 能够在同一行中配置的像素中按其右侧像素和左侧像

25

素将信号输入的期间错开。图 42 (C) 中示出在第一、二行的右侧和左侧上配置的扫描线驱动电路的输出波形和第二移位寄存器 411 的启动脉冲 (S2-SP)。如图 42 (C) 所示的波形那样动作时, 由于在左侧的像素上也能延长对像素输入信号的期间, 容易进行点顺序驱动。

不管是线顺序驱动还是点顺序驱动, 电流源电路 420 的设定动作可在任意定时、任意列上配置的电流源电路上任意次数进行。但是, 只要在设于电流源电路 420 的晶体管的栅/源极之间连接的电容元件上保持了预定电荷, 则在进行设定动作时只进行一次就行。或者, 在电容元件上保持的预定电荷放电 (变动) 完时进行即可。并且, 电流源电路 420 的设定动作可耗用任意的期间进行全列的电流源电路 420 的设定动作。就是说, 可在 1 帧期间内进行全列的电流源电路 420 的设定动作。或者, 可在 1 帧期间内进行数列的电流源电路 420 的设定动作, 作为结果耗费数帧期间以上进行全列的电流源电路 420 的设定动作。

本实施方式中就各列上设置一个电流源电路的情况作了说明, 但本发明并不以此为限, 也可设置多个电流源电路。

作为一例, 考虑在图 3 (B) 的电流源电路的一部分中采用图 2 的情况。在图 43 中示出这时的恒流电路 414 的具体结构。这里, 图 43 表示在电流源电路的一部分中采用图 6 (A) 时的电路。图 43 所示的结构中, 能够通过控制控制线来对一方的电流源进行设定动作, 同时使另一方的电流源进行输入动作。

并且, 本发明提供设了两个移位寄存器 (第一与第二移位寄存器) 的信号线驱动电路。该第一与第二移位寄存器其一方为电流源电路、另一方为用以控制视频信号的电路, 即为显示图像而工作的电路, 例如控制门锁电路、取样开关、开关 101 (信号电流控制开关) 等。这样, 可使第一与第二移位寄存器的动作独立进行, 必然可使电流源电路的设定动作和图像显示动作独立进行。由于电流源电路

的设定动作需花时间进行才能正确进行，使电流源电路和门锁电路可独立地动作的本发明的结构会很有效。

并且，本发明的信号线驱动电路的电流源电路的布图设计在图 57 中示出，其对应的电路图在图 58 中示出。

5 再有，本实施方式可与实施方式 1~3 任意组合。

实施方式 5

本实施方式中，就图 15 (A) 所示的信号线驱动电路 403 的具体结构及其动作进行说明，但本实施方式中只说明进行 3 比特的数字灰度等级显示时使用的信号线驱动电路 403。

图 4 中示出进行 3 比特的数字灰度等级显示时的信号线驱动电路 403 的简略图。信号线驱动电路 403 中设有：第一移位寄存器 415、第二移位寄存器 411、第一门锁电路 412、第二门锁电路 413 及恒流电路 414。

15 若简单说明其动作，则第一移位寄存器 415 与第二移位寄存器 411 用多个列的触发器电路 (FF) 等构成，并按照时钟信号 (S-CLK、(S1-CLK、S2-CLK))、启动脉冲 (S-SP (S1-SP、S2-SP))、时钟反相信号 (S-CLKb (S1-CLKb、S2-CLKb)) 的定时，按顺序输出取样脉冲。

20 从第一移位寄存器 415 输出的取样脉冲输入到恒流电路 414。从移位寄存器 411 输出的取样脉冲输入到第一门锁电路 412。第一门锁电路 412 被输入 3 比特的数字视频信号 (Digital Data1 ~ Digital Data3)，并根据取样脉冲输入的定时，以各列保持视频信号。

在第一门锁电路 412 中，若视频信号保持到最后一列而结束，
25 则在水平回扫期间中第二门锁电路 413 被输入门锁脉冲，保持于第一门锁电路 412 的 3 比特的数字视频信号 (Digital Data1 ~ Digital Data3)，被一起转移到第二门锁电路 413。这样，保持于第二门锁电路 413 的 3 比特的数字视频信号 (Digital Data1 ~ Digital Data3)，

被 1 行份额地同时输入到恒流电路 414。

保持于第二门锁电路 413 的 3 比特的数字视频信号 (Digital Data1 ~ Digital Data3) 被输入恒流电路 414 的期间, 移位寄存器 411 中再次输出取样脉冲。之后重复该动作, 进行 1 帧份额的视频信号
5 的处理。

也有的恒流电路 414 具备将数字信号变换成模拟信号的作用。并且, 恒流电路 414 设有多个电流源电路 420。图 5 中简略示出从第 i 列到第 $(i+2)$ 列的 3 条信号线周围的信号线驱动电路。

图 5 示出设置对应于各比特的基准用恒流源 109 的情况。

10 各电流源电路 420 设有端子 a、端子 b 与端子 c。电流源电路 420 由经由端子 a 输入的信号来控制。并且, 经由端子 b, 从连接于电流线的基准用恒流源 109 供给电流。在电流源电路 420 和与信号线 S_n 相连的像素之间设有开关 (信号电流控制开关) 111 ~ 113, 所述开关 (信号电流控制开关) 111 ~ 113 由 1 比特 ~ 3 比特的视频信号控制。
15 当视频信号为亮信号时, 电流从电流源电路流入像素。相反地, 当视频信号为暗信号时, 所述开关 (信号电流控制开关) 111 ~ 113 被控制, 不向像素供给电流。就是说电流源电路 420 具有使预定电流流过的能力, 是否向像素供给该电流由开关 (信号电流控制开关) 111 ~ 113 控制。

20 图 5 中, 电流线和基准用恒流源对应于各比特而配置。以从各比特的电流源供给的电流值的合计值供给信号线。就是说, 恒流源电路 414 还具有数字 - 模拟变换功能。

再有, 本发明中从端子 a 输入的设定信号相当于第一移位寄存器 415 供给的取样脉冲。就是说, 电流源电路 420 的设定按照第一
25 移位寄存器供给的取样脉冲进行。并且, 本实施方式中, 为举例说明进行 3 比特的数字灰度等级显示的情况, 在每一条信号线 (各列) 上设置了三个电流源电路 420。若将从连接于一条信号线上的三个电流源电路 420 供给的信号电流 I_{data} 按 1: 2: 4 的比例设定, 则能够

以 $2^3 = 8$ 级来控制电流的大小。

再有，图 5 所示的信号线驱动电路中分别对 1 比特~3 比特设有专用的基准用恒流源 109，但本发明并不限于此。如图 44 所示，可设置少于比特数的个数的基准用恒流源 109。例如，只设置最上位比特（这里是 3 比特）的基准用恒流源 109，设定由 1 列上配置的多个
5 电流源电路选择的一个电流源电路。然后，也可以用已作了设定动作的电流源电路，进行其它电流源电路的动作。换言之，可以共用设定信息。

例如，只在 3 比特用的电流源电路 420 上进行设定动作。然后，用已进行了设定动作的电流源电路 420，在其它 1 比特用和 2 比特用的
10 电流源电路 420 上共用信息。具体地说，在电流源电路 420 中，将供给电流的晶体管（图 6（A）中相当于晶体管 102）的栅极端子连接，并将源极端子连接。结果，在共用信息的晶体管（供给电流的晶体管）的栅/源极间电压相等。

再有，图 44 中，不是对最下位比特（这里是 1 比特）的电流源
15 电路而是最上位比特（这里是 3 比特）的电流源电路进行设定动作。如此，通过对值大的比特的电流源电路进行设定动作，能够减小比特间的电流源电路的特性偏差的影响。假设对最下位比特（这里是 1 比特）的电流源电路进行设定动作，并在上位比特的电流源电路上
20 共用最下位比特的电流源电路进行的设定动作的信息时，若各电流源电路的特性上产生偏差，则上位比特的电流值不能成为正确的值。这是由于上位比特的电流源电路的输出的电流值大，稍有特性偏差时，其偏差的影响就大，且输出的电流值上也会发生较大的偏差。相反，对最上位比特（这里是 3 比特）的电流源电路进行设定动作，
25 并在下位比特的电流源电路上共用信息时，即使在各电流源电路的特性上产生偏差，因输出的电流值小其偏差导致的电流值的差值也小，故影响较小。

于是，电流源电路 420 的结构可任意采用图 6、图 7、图 32、图

33、图 35 等所示的电流源电路 420 的结构。所述电流源电路 420 不仅可采用一个结构，也可采用多个结构。

在设有图 6 (C) 所示电流镜电路的结构构成电流源电路 420 时，如图 23、24 所示，可采用使各电流源电路 420 含有的晶体管的栅电极共同连接的结构。

以下作为一例在图 23、图 24、图 45 中示出图 4、图 5、图 44 所示的恒流电路 414 的具体结构。

在图 23、图 24、图 45 所示的设于各列的电流源电路 420 中，是否向信号线 S_i ($1 \leq i \leq n$) 输出预定信号电流 I_{data} ，由从第二门锁电路 413 输入的 3 比特的数字视频信号 (Digital Data1 ~ Digital Data3) 中含有的高电平 (High) 或低电平 (Low) 的信息控制。

图 45 中示出在图 5 所示的信号线驱动电路中配置图 6 (A) 的电流源电路时的电路图。图 45 中，设定动作时使晶体管 A ~ C 在截止后进行工作。这是为了防止电流泄漏。或者，可以与晶体管 A ~ C 串联地配置开关，在设定动作时将开关断开。

图 23、24 中示出配置个数小于比特数的基准用恒流源 109 的情况。具体地说，图 23 中示出在图 44 所示的信号线驱动电路上配置图 6 (C) 的电流源电路时的电路图。图 24 中示出在图 44 所示的信号线驱动电路中配置图 6 (A) 的电流源电路时的电路图。

图 23 中，电流源电路 420 设有晶体管 180 ~ 晶体管 188 与电容元件 189。本实施方式中晶体管 180 ~ 晶体管 188 全部为 n 沟道型。

晶体管 180 的栅电极上从第二门锁电路 413 输入 1 比特的数字视频信号。并且晶体管 180 的源区和漏区中的一方与源极信号线 (S_i) 相连，另一方与晶体管 183 的源区和漏区中的一方相连。

晶体管 181 的栅电极上从第二门锁电路 413 输入 2 比特的数字视频信号。并且，晶体管 181 的源区和漏区中的一方与源极信号线 (S_i) 相连，另一方与晶体管 184 的源区和漏区中的一方相连。

晶体管 182 的栅电极从第二门锁电路 413 输入 3 比特的数字视

频信号。并且，晶体管 182 的源区和漏区中的一方与源极信号线 (Si) 相连，另一方与晶体管 185 的源区和漏区中的一方相连。

晶体管 183 ~ 晶体管 185 的源区和漏区中的一方与 Vss 相连，另一方与晶体管 180 ~ 晶体管 182 的源区和漏区中的一方相连。晶体管 186 的源区和漏区中的一方与 Vss 相连，另一方与晶体管 188 的源区和漏区中的一方相连。

晶体管 187 和晶体管 188 的栅电极上从第一移位寄存器 415 输入取样脉冲。晶体管 187 的源区和漏区中的一方与晶体管 186 的源区和漏区中的一方相连，另一方与电容元件 189 的一个电极相连。晶体管 188 的源区和漏区中的一方与电流线 190 相连，另一方与晶体管 186 的源区和漏区中的一方相连。

电容元件 189 的一个电极与晶体管 183 ~ 晶体管 186 的栅电极相连，另一电极与 Vss 相连。电容元件 189 承担保持晶体管 183 ~ 晶体管 186 的栅/源极间电压的任务。

在电流源电路 420 中，若晶体管 187 与晶体管 188 成为导通，则电流从连接于电流线 190 的基准用恒流源（未作图示）流到电容元件 189。这时晶体管 180 ~ 晶体管 182 截止。

然后在电容元件 189 上电荷慢慢地蓄积，在两电极间开始产生电位差。两电极间的电位差成为 V_{th} 时，晶体管 183 ~ 晶体管 186 导通。

在电容元件 189 上，直到该两电极的电位差即晶体管 183 ~ 晶体管 186 的栅/源极间电压成为所要的电压为止，持续进行电荷的蓄积。换言之，直到使晶体管 183 ~ 晶体管 186 上流过信号电流的电压为止，持续进行电荷的蓄积。

然后，电荷的蓄积结束时，晶体管 183 ~ 晶体管 186 成为导通。

在电流源电路 420 中，由 3 比特的数字视频信号选择晶体管 180 ~ 晶体管 182 的导通或非导道。例如，在晶体管 180 ~ 晶体管 182 全部成为导通状态时，供给信号线 (Si) 的电流是晶体管 183 的漏极电流、

晶体管 184 的漏极电流和晶体管 185 的漏极电流的总和。并且，在只有晶体管 180 处于导通状态时，只有晶体管 183 的漏极电流供给信号线 (Si)。

如此，通过连接晶体管 183 ~ 185 的栅极端子，可使设定动作产生的信息共用。再有，本例中在同一列的多个晶体管內共用信息，但并不限于这种情况。例如，可以与其它列的晶体管共用设定动作产生的信息。就是说，可将晶体管的栅极端子和其它列的晶体管相连。从而，可减少要设定的电流源电路的数量。因此，可缩短进行设定动作所需的时间。并且，由于可减少电路数，因此可减少布图面积。

图 24 中，电流源电路的设定动作时使晶体管 182 在截止后工作。这是为了防止电流泄漏。并且，图 46 中示出在图 24 的结构中与晶体管 182 串联地配置开关 203 时的电流源电路的电路图。图 46 中，在设定动作时将开关 203 断开，除此以外的时间导通。

这时，在图 23、图 24、图 46 中，将晶体管 183 的漏极电流、晶体管 184 的漏极电流和晶体管 185 的漏极电流设定为 1: 2: 4 时，能够以 $2^3 = 8$ 级控制电流大小。为此，将晶体管 183 ~ 185 的 W (沟道宽) / L (沟道长) 值设计为 1: 2: 4 时，使各导通电流成为 1: 2: 4。

并且，图 24 中示出与图 23 不同的电路结构的电流源电路 420。图 24 所示的电流源电路 420 中，设置开关 191、开关 192 以取代晶体管 186 ~ 晶体管 188。

在图 24 所示的电流源电路 420 中，若开关 191 与开关 192 成为导通，除了从连接于电流线 190 的基准用恒流源 (未作图示) 供给的电流经由晶体管 185 流到电容元件 189 这点以外，与图 23 所示的电流源电路 420 的动作相同，因此本实施方式中省略说明。

本实施方式中，图 23、图 24、图 46 所示的电流源电路 420 含有的晶体管全部为 n 沟道型，但本发明并不以此为限，也可采用 p

沟道型的晶体管。在采用 p 沟道型的晶体管时的电流源电路 420 的动作，除了电流方向改变和电容元件不是与 Vss 连接而是与 Vdd 相连以外，与上述的动作相同，因此本实施方式中省略说明。

5 在采用 p 沟道型的晶体管时，若不交换 VSS 和 Vdd，即不改变电流方向时，则可将图 6 和图 7 对比，容易加以应用。

并且，图 5 中，对一条信号线各设一组各比特的电流源电路，但如图 2 所示，可对一条信号线设置多个电流源电路。这时的图如图 47 所示。同样地、图 44 所示的结构中各设一组各比特的恒流源 109，但如图 48 所示，可在多比特上共用恒流源 109。

10 再有，本实施方式中，就进行 3 比特的数字灰度等级显示时的信号线驱动电路的结构及其动作进行了说明。但是本发明并不限于 3 比特，能够参考本实施方式设计出对应于任意比特数的信号线驱动电路，进行任意比特数的显示。另外，本实施方式可与实施方式 1~4 任意组合。

15 进行任意比特数的显示时，可容易实现多相化和点顺序驱动。而且，电流源电路的设定动作可以不是按每次一列地进行，而是进行随机地选择。这时，可用图 37 所示的解码器电路或图 38 (A)、图 38 (B) 所示的电路。

20 实施方式 6

对电流源电路供给电流的基准用恒流源 109，可在基板上与信号线驱动电路一体形成，也可用 IC 等设于基板的外部。在基板上一体形成时，可采用图 6~8、图 31~图 35 所示的任一电流源电路来形成。或者，简单地配置一个晶体管，按照栅极上施加的电压控制电

25 流值也可。本实施方式中说明一例基准用恒流源 109。

图 25 中作为一例示出最简单的情况。就是说，示出在晶体管的栅极上施加电压，并调整栅极的电压的方式，这时且需要三条电流线。假设只需要一条电流线时，从图 25 所示的结构中删除与晶体管

1840、1850 对应的电流线即可。图 25 中，通过经端子 f 从外部调整施加于晶体管 1830、1840、1850 的栅电压来控制电流大小。这时，若将晶体管 1830、1840、1850 的 W/L 值设计成 1: 2: 4，则各导通电流成为 1: 2: 4。

5 接着，用图 26 (A) 说明就从端子 f 供给电流时的情况。如图 25 那样，在调整施加于栅极的电压时，因温度特性等，会使该晶体管的电流值变动。但是，如图 26 (A) 那样用电流输入，则能够抑制其影响。

10 在图 25、图 26 (A) 所示的结构中，电流线上流过电流期间需从端子 f 继续输入电压或电流。但是，无需在电流线上使电流流过时，无需从端子 f 输入电压或电流。

15 并且，如图 26 (B) 所示，可在图 26 (A) 的结构上增加开关 1870、1880 以及电容元件 1890。这样，对电流线供给电流时，也可停止从基准用 IC 的供给（从端子 f 输入的电流或电压的供给），减少功耗。还有，在图 25、图 26 中，与设于基准用恒流源的其它电流源用晶体管共用信息。就是说，晶体管 1830、1840、1850 的栅极相互连接。

20 图 27 中示出对各电流源电路进行设定动作时的情况。图 27 中，从端子 f 输入电流，由从端子 e 供给的信号控制定时。图 27 所示的电路是采用了图 6 (A) 的电路的例子。因此，不能将设定动作和输入动作同时进行。因此，在该电路中，对基准用恒流源的设定动作需在无需在电流线上流过电流的定时进行。

25 图 28 中示出一例多相化的基准用恒流源 109。就是说，相当于采用了图 39 所示结构的基准用电流源 109。多相化时可采用图 25、图 26、图 27 的电路。但是，供给电流线的电流值相同，因此如图 28 那样，用一个电流进行对各电流源电路的设定动作时，能够减少从外部输入的电流数。

再有，本实施方式可与实施方式 1~5 任意组合。

实施方式7

上述实施方式中，主要就设有信号电流控制开关的场合进行了叙述。在本实施方式中，就无信号电流控制开关的场合，即对与信号线不同的其它布线供给不与视频信号成比例的电流（一定电流）的场合进行叙述。这时将无需配置开关 101（信号电流控制开关）。

在无信号电流控制开关时，除了不设置信号电流控制开关以外，与设有信号电流控制开关的场合相同。因而，在本实施方式中简单说明，对同样的部分则省略说明。

将设有信号电流控制开关时和未设信号电流控制开关时进行比较，对应于图 1 的在图 29 中示出，对应于图 2 的在图 30 中示出。对应于图 3（B）的在图 49（A）中示出。在图 1、2、3（B）的结构中，由视频信号控制信号电流控制开关，电流输出到信号线。在图 29、30、49（A）的结构中，电流输出到像素用电流线，视频信号被输出到信号线。

这时的像素结构的简略示图如图 49（B）所示。以下就该像素的动作方式进行简述。首先，开关用晶体管在导通状态时，通过信号线视频信号被输入到像素，并保存在电容元件中。然后，根据视频信号的值，驱动用晶体管导通或截止。另一方面，电流源电路具有使一定的电流流过的能力。因而，驱动用晶体管导通时，发光元件上有一定的电流流过而发光。而驱动用晶体管截止时，发光元件上无电流流过而不发光。如此显示图像。但是，在这种情况下只能显示发光和不发光两种状态。因此，采用时间灰度等级法或面积灰度等级法等来实现多灰度等级。

还有，在电流源电路的一部分中可采用图 6~8、图 31~图 35 中的任一电路。而且，可以为了使电流源电路流出一定的电流，进行设定动作。在设于像素的电流源电路上进行设定动作时，通过像素用电流线输入电流进行。在设于该像素的电流源电路上进行设定动作时，可在任意时刻、任意定时以任意次数进行。对该像素的电

流源电路的设定动作可与用以显示图像的动作完全无关地执行。最好在设于电流源电路内的电容元件上保存的电荷有泄漏时进行设定动作。

接着，图 50 中示出图 49 (A) 所示的恒流电路 414 的具体结构。这里，图 50 示出在电流源电路的一部分中采用图 6 (A) 的电路的情况。并且，考虑在图 49 (A) 的电流源电路中采用图 30 的电路的情况。将这时的恒流电路 414 的具体结构在图 51 中示出。这里，图 51 示出在电流源电路的一部分中采用图 6 (A) 的电路的情况。在图 51 的结构中，通过对控制线的控制，能对一方的电流源进行设定动作，同时使另一方的电流源进行输入动作。

如此，不设信号电流控制开关时，除了无信号电流控制开关以外，与设有信号电流控制开关时相同。因而省略详细说明。

本实施方式可与实施方式 1~6 任意组合。

15 实施方式 8

用图 52 就本发明的实施方式进行说明。图 52 (A) 中，在像素部的上方配置信号线驱动电路，在下方配置恒流电路；在所述信号线驱动电路上配置电流源 A，在恒流电路上配置电流源 B。设电流源 A、B 供给的电流为 I_A 、 I_B ；设供给像素的信号电流为 I_{data} 时，则 $I_A = I_B + I_{data}$ 的关系成立。而且，设定成对像素写入信号电流时从电流源 A、B 均有电流供给。这时，若增大 I_A 、 I_B ，则能加快对像素的信号电流的写入速度。

这时，用电流源 A 进行电流源 B 的设定动作。在像素上流过从电流源 A 的电流上减去电流源 B 的电流的电流。因此，通过用电流源 A 进行电流源 B 的设定动作，能够减小噪声等各种影响。

图 52 (B) 中，基准用恒流源（以下称为恒流源）C、E 设于像素部的上方和下方。然后，用电流源 C、E 进行设于信号线驱动电路、恒流电路的电流源电路的设定动作。电流源 D 相当于设定电流源 C、

E的电流源，从外部被供给基准用电流。

再有，图 52 (B) 中，也可将设在下方的恒流电路作为信号线驱动电路。从而，可设置上方和下方两个信号线驱动电路。它们分别承担画面（整个像素部）的上下各一半的控制。由此，可同时进行两行的像素控制。因此，能够延长对信号线驱动电路的电流源、像素、像素的电流源等进行设定动作（信号输入动作）的时间。因此，可更准确地进行设定。

本实施方式可与实施方式 1~7 任意组合。

10 (实施例 1)

本实施例中用图 14 就时间灰度等级方式进行详细说明。通常，在液晶显示装置或发光装置等的显示装置中，帧频率为 60Hz 左右。就是说，如图 14 (A) 所示，在 1 秒间进行 60 次左右的图像扫描。从而能够不使人眼感到闪烁（图像的闪动）。这时，进行的一次图像扫描的期间称为 1 帧期间。

本实施例中作为一例，说明公开于专利文献特开 2001-5426 公报中的时间灰度等级方式。在时间灰度等级方式中将 1 帧期间分为多个子帧期间。这时的分割数通常与灰度等级比特数相等。为了简单期间这里示出分割数与灰度等级比特数相等的情况。就是说，本实施例中示出对应于 3 比特灰度等级分割为三个子帧期间 SF1~SF3 的例子（图 14 (B)）。

各子帧期间有访问（写入）期间 T_a 和保持（发光）期间 T_s 。访问期间是对像素写入视频信号的期间，在各子帧期间中的长度相等。保持期间是基于在访问期间写入像素的视频信号使发光元件发光或不发光的期间。这时，保持期间 $T_{s1} \sim T_{s3}$ 的各长度比设为 $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ 。就是说，在显示 n 比特灰度等级时， n 个的保持期间的长度比为 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ 。因此，通过在哪个保持期间使发光元件发光或不发光来确定 1 帧期间的各像素发光的期间的

长度，从而进行灰度等级显示。

接着，在本实施例中参照图 16 (B) 所示的像素说明适用时间灰度等级方式的像素的具体动作。图 16 (B) 所示的像素可适用于电流输入方式。

5 首先访问期间 T_a 中进行以下的动作。由于第一扫描线 602 与第二扫描线 603 被选择，TFT606、607 导通。这时，流过信号线 601 的电流成为信号电流 I_{data} 。然后，若电容元件 610 上蓄积了预定的电荷，则第一扫描线 602 与第二扫描线 603 的选择结束，TFT606、607 截止。

10 接着，在保持期间 T_s 进行以下的动作。第三扫描线 604 被选择，使 TFT609 导通。由于在电容元件 610 上保持了之前写入的预定电荷，TFT608 导通，在电流线 605 流过与信号电流 I_{data} 相等的电流。从而发光元件 611 发光。

15 通过将以上的动作在各子帧期间中进行，构成 1 帧期间。依据该方法，在要增加显示灰度等级数时，增加子帧期间的分割数即可。并且，子帧期间的顺序如图 14 (B)、(C) 所示，不一定是从上位比特到下位比特的顺序，可在 1 帧期间中随机排列。而且，也可在各帧期间内改变其顺序。

20 图 14 (D) 中示出第 m 行的扫描线的子帧期间 SF2。如图 14 (D) 所示，在像素中访问期间 T_{a2} 结束时立即开始保持期间 T_{s2} 。

接着，就信号线驱动电路的与电流源电路关联的部分，特别是，与设定动作相关的部分的驱动方法进行叙述。

在上述实施方式中已说明了在电流源电路中可将设定动作和输入动作同时进行的方式和不能同时进行的方式。

25 前者设定动作和输入动作可同时进行的电流源电路中，对进行各动作的定时不作特别限定。这如图 2 或图 44 等所示，在一列上配置多个电流源电路的场合也相同。但是，在后者设定动作与输入动作不能同时进行的电流源电路中，需要对进行设定动作的定时加以

处理。在采用时间灰度等级方式的场合，需要在不进行输出动作时进行设定动作。例如在设有图 1 的驱动部的结构和图 16 (B) 的结构的像素时，需要在设于像素部的任意扫描线上在非访问期间 T_a 的期间进行设定动作。并且，在设有图 30 的驱动部的结构和图 49 (B) 5 的结构的像素时，需要在不对设于像素的电流源电路进行设定动作的期间进行设于驱动部的电流源电路的设定动作。

这时，可将控制电流源电路的移位寄存器的频率设定为低速。这样可在电流源电路的设定动作上花费时间而准确地进行设定。

或者，可用图 37~图 39 所示的电路作为控制电流源电路的电路 10 (第一移位寄存器)，随机地进行电流源电路的设定动作。这样的话，即使进行设定动作的期间在 1 帧期间内分散，也能有效利用该期间进行设定动作。并且，可以不将所有的电流源电路的设定动作在 1 帧期间内进行，而在数帧期间以上来执行。由此，可在电流源电路的设定动作上花费时间准确地进行设定。

15 本发明中，通过设置控制电流源电路 420 的第一移位寄存器和控制图像显示用电路的第二移位寄存器，使第一与第二移位寄存器的动作完全独立地进行。而且，在进行输入动作时用第二移位寄存器；在进行设定动作时用第一移位寄存器来进行。这样使第二移位寄存器高速动作时，可将第一移位寄存器低速动作，因此能够准确地 20 地进行电流源电路的设定动作。再有，输入动作在设有图 1 的驱动部的结构和图 16 (B) 的结构的像素的场合，在像素部的扫描线被选择的期间 (访问期间 T_a) 进行即可。并且，在设有图 49 (B) 的结构的像素的场合，可在不对设于像素的电流源电路进行设定动作的期间，对设于驱动部的电流源电路进行设定动作。

25 本实施例可与实施方式 1~8 任意组合。

(实施例 2)

本实施例中用图 13、图 53 说明设于像素部的像素电路的结构例。

再有，凡具有含输入电流的部分的结构的像素可适用任何结构的像素。

图 13 (A) 的像素中有：信号线 1101、第一与第二扫描线 1102、1103、电流线（电源线）1104、开关用 TFT1105、保持用 TFT1106、
5 驱动用 TFT1107、变换驱动用 TFT1108、电容元件 1109 以及发光元件 1110。信号线 1101 与电流源电路 1111 相连。

还有，电流源电路 1111 相当于设于信号线驱动电路 403 的电流源电路 420。

图 13 (A) 的像素中，开关用 TFT1105 的栅电极与第一扫描线
10 1102 相连，第一电极与信号线 1101 相连，第二电极与驱动用 TFT1107 的第一电极和变换驱动用 TFT1108 的第一电极相连。保持用 TFT1106 的栅电极与第二扫描线 1103 相连，第一电极与信号线 1102 相连，第二电极与驱动用 TFT1107 的栅电极和变换驱动用 TFT1108 的栅电极相连。驱动用 TFT1107 的第二电极与电流线（电源线）1104 相连，
15 变换驱动用 TFT1108 的第二电极与发光元件 1110 的一个电极相连。电容元件 1109 连接在变换驱动用 TFT1108 的栅电极和第二电极之间，保持变换驱动用 TFT1108 的栅/源极间电压。电流线（电源线）1104 和发光元件 1110 的另一电极分别被输入预定电位，彼此间有电位差。

再有，图 13 (A) 的像素相当于将图 33 (B) 的电路用于像素的
20 场合。但是，由于电流流向不同晶体管的极性成为相反。图 13 (A) 的驱动用 TFT1107 相当于图 33 (B) 的 TFT126；图 13 (A) 的变换驱动用 TFT1108 相当于图 33 (B) 的 TFT122；图 13 (A) 的保持用 TFT1106 相当于图 33 (B) 的 TFT124。

图 13 (B) 的像素中有：信号线 1151、第一与第二扫描线 1142、
25 1143、电流线（电源线）1144、开关用 TFT1145、保持用 TFT1146、变换驱动用 TFT1147、驱动用 TFT1148、电容元件 1149 以及发光元件 1140。信号线 1151 与电流源电路 1141 相连。

还有，电流源电路 1141 相当于设于信号线驱动电路 403 的电流源电路 420。

图 13 (B) 的像素中，开关用 TFT1145 的栅电极与第一扫描线 1142 相连，第一电极与信号线 1151 相连，第二电极与驱动用 TFT1148 的第一电极和变换驱动用 TFT1148 的第一电极相连。保持用 TFT1146 的栅电极与第二扫描线 1143 相连，第一电极与驱动用 TFT1148 的第一电极相连，第二电极与驱动用 TFT1148 的栅电极和变换驱动用 TFT1147 的栅电极相连。变换驱动用 TFT1147 的第二电极与电流线（电源线）1144 相连，变换驱动用 TFT1147 的第二电极与发光元件 1140 的一个电极相连。电容元件 1149 连接在变换驱动用 TFT1147 的栅电极和第二电极之间，保持变换驱动用 TFT1147 的栅/源极间电压。电流线（电源线）1144 和发光元件 1140 的另一电极分别被输入预定电位，彼此间有电位差。

再有，图 13 (B) 的像素相当于将图 6 (B) 的电路用于像素的场合。但是，由于电流流向不同而使晶体管的极性相反。图 13 (B) 的变换驱动用 TFT1147 相当于图 6 (B) 的 TFT122；图 13 (B) 的驱动用 TFT1148 相当于图 6 (B) 的 TFT126；图 13 (B) 的保持用 TFT1146 相当于图 6 (B) 的 TFT124。

图 13 (C) 的像素中有：信号线 1121、第一扫描线 1122、第二扫描线 1123、第三扫描线 1135、电流线（电源线）1124、开关用 TFT1125、像素用电流线 1138、清除用 TFT1126、驱动用 TFT1127、电容元件 1128、电流源 TFT1129、反射镜 TFT1130、电容元件 1131、电流输入 TFT1132、保持 TFT1133、发光元件 1136 等。像素用电流线 1138 与电流源电路 1137 相连。

图 13 (C) 像素中，开关用 TFT1125 的栅电极与第一扫描线 1122 相连，开关用 TFT1125 的第一电极与信号线 1121 相连，开关用 TFT1125 的第二电极与驱动用 TFT1127 的栅电极和清除用 TFT1126 的第一电极相连。清除用 TFT1126 的栅电极与第二扫描线 1123 相连，

清除用 TFT1126 的第二电极与电流线（电源线）1124 相连。驱动用 TFT1127 的第一电极与发光元件 1136 的一个电极相连，驱动用 TFT1127 的第二电极与电流源 TFT1129 的第一电极相连。电流源 TFT1129 的第二电极与电流线 1124 相连。电容元件 1131 的一个电极与电流源 TFT1129 的栅电极与反射镜 TFT1130 的栅电极相连，另一电极与电流线（电源线）1124 相连。反射镜 TFT1130 的第一电极与电流线 1124 相连，反射镜 TFT1130 的第二电极与电流输入 TFT1132 的第一电极相连。电流输入 TFT1132 的第二电极与电流线（电源线）1124 相连，电流输入 TFT1132 的栅电极与第三扫描线 1135 相连。

5 电流保持 TFT1133 的栅电极与第三扫描线 1135 相连，电流保持 TFT1133 的第一电极与像素用电流线 1138 相连，电流保持 TFT1133 的第二电极与电流源 TFT1129 的栅电极以及反射镜 TFT1130 的栅电极相连。电流线（电源线）1124 与发光元件 1136 的另一电极分别被输入预定电位，彼此间有电位差。

15 这里，电流源电路 1137 相当于在信号线驱动电路 403 中配置的电流源电路 420。

再有，图 13 (C) 的像素相当于在图 49 (B) 的像素中采用了图 6 (E) 的电路的场合。但是，由于电流的流向不同而使晶体管的极性相反。再有，在图 13 (C) 的像素中增加了清除用 TFT1126。通过清除用 TFT1126 可自由控制点亮期间的长度。

20

开关用 TFT1125 承担对像素供给视频信号并加以控制的工作。清除用 TFT1126 承担将保持于电容元件 1131 的电荷放电的工作。驱动用 TFT1127 按照保持于电容元件 1131 的电荷，控制导通或非导通。电流源 TFT1129 和反射镜 TFT1130 形成电流镜电路。电流线 1124 与发光元件 1136 的另一电极分别被输入预定电位，彼此间有电位差。

25

就是说，当开关用 TFT1125 导通时，视频信号经信号线 1121 输入到像素，并保存于电容元件 1128。然后，根据视频信号的值，驱动用 TFT1127 导通或截止。因而，驱动用 TFT1127 导通时，发光元

件中流过一定的电流而发光。驱动用 TFT1127 截止时，发光元件中无电流流过而不发光。从而，图像得以显示。

图 13 (C) 的电流源电路由电流源 TFT1129、反射镜 TFT1130、电容元件 1131、电流输入 TFT1132 与保持 TFT1133 构成。电流源电路具有使一定电流流过的能力。该电流源电路通过像素用电流线 1138 被输入电流，被执行设定动作。因此，即使在构成电流源电路的晶体管的特性上存在偏差，从电流源电路供给发光元件的电流的大小不会产生偏差。对像素的电流源电路的设定动作可与开关用 TFT1125 或驱动用 TFT1127 的动作无关地进行。

图 53 (A) 的像素相当于在图 49 (B) 的像素中采用了图 6 (A) 的电路的情况。但是，由于电流的流向不同而使晶体管的极性相反。图 53(A) 的像素设有电流源 TFT1129、电容元件 1131、保持 TFT1133、像素用电流线 1138 (Ci) 等。像素用电流线 1138 (Ci) 与电流源电路 1137 相连。再有，电流源电路 1137 相当于在信号线驱动电路 403 中配置的电流源电路 420。

图 53 (B) 的像素相当于在图 49 (B) 的像素中采用了图 7 (A) 的电路的情况。但是，由于电流的流向不同而使晶体管的极性相反。图 53 (B) 的像素中设有电流源 TFT1129、电容元件 1131、保持 TFT1133、像素用电流线 1138 (Ci) 等。像素用电流线 1138 (Ci) 与电流源电路 1137 相连。再有，电流源电路 1137 相当于在信号线驱动电路 403 中配置的电流源电路 420。

图 53 (A) 的像素与图 53 (B) 的像素在电流源 TFT1129 的极性上不同。由于极性不同，电容元件 1131、保持 TFT1133 的连接也不同。如此，就存在各种结构的像素。但是，以上叙述的像素可分为两大类。第一类是对信号线输入对应于视频信号的电流的类型。相当于这类的有图 13 (A)、图 13 (B) 等。这时，信号线驱动电路如图 1 或图 2 那样设有信号电流控制开关。

而另一类是对信号线输入视频信号，而对像素用电流线输入与

视频信号无关的一定电流的类型，即相当于图 49 (B) 那样的像素。相当于这类的有图 13 (C)、图 53 (A)、图 53 (B) 等。这时，如图 29 或图 30 所示，信号线驱动电路中没有信号电流控制开关。

接着，用定时图就对应于各像素的类型的驱动方法进行叙述。

5 首先，叙述将数字灰度等级和时间灰度等级组合的场合。但这随着像素的类型和信号线驱动电路的结构而改变。就是说，如已叙述的那样，在对于信号线驱动电路的电流源电路的设定动作与输入动作同时进行的场合，对于信号线驱动电路的电流源电路的设定动作的定时并无特别的限定。因此，用定时图说明将对信号线驱动电路的
10 电流源电路的设定动作和输入动作不能同时进行时的驱动方法。

首先，就像素类型为对信号线输入对应于视频信号的电流的类型的场合进行叙述。设像素为图 13 (A) 或图 13 (B)。设信号线驱动电路为图 3 (B) 的结构。这时的定时图由图 54 表示。

假定显示 4 比特的灰度等级，为了简单起见，假定设有 4 个子
15 帧。首先，最初的子帧期间 SF1 开始。逐行选择扫描线 (图 13 (A) 中的第一扫描线 1102 或图 13 (B) 中的第一扫描线 1132)，从信号线 (图 13 (A) 中的 1101 或图 13 (B) 中的 1131) 有电流输入。该电流成为对应于视频信号的值。若点亮期间 T_{s1} 结束，则下一子帧期间 SF2 开始，与 SF1 一样进行扫描。然后，开始再下一个子帧期间 SF3，同样进行扫描。但是由于点亮期间的长度 T_{s3} 小于访问期间的长度 T_{a3} ，强制地使之不发光。就是说，清除输入的视频信号。或者，使发光元件上无电流流过。为了进行清除，逐行选择第二扫描线 (图 13 (A) 中的第二扫描线 1103 或图 13 (B) 中的第二扫描线 1133)。这样视频信号被清除，可将发光元件置于不发光状态。然
20 后，下一子帧 SF4 开始。这里也进行与 SF3 同样的扫描，同样处于不发光状态。

以上是图像显示动作即与像素的动作关联的定时图。接着，叙述配置于信号线驱动电路的电流源电路的设定动作的定时。这里

的电流源电路中，设定动作和输入动作不能同时进行。配置于信号
线驱动电路的电流源电路的输入动作在各子帧期间的访问期间
(T_{a1} 、 T_{a2} 等) 进行。因此，配置于信号线驱动电路的电流源电路
的设定动作最好在访问期间以外的时间进行。因而，如图 54 所示，
5 作为访问期间以外的时间，可在设定动作期间 T_{b1} 、 T_{b2} 进行配置于
信号线驱动电路的电流源电路的设定动作。再有，配置于信号线驱
动电路的电流源电路的设定动作可在设定动作期间 T_{b1} 、 T_{b2} 中的任
一期间进行，也可用该两个期间进行设定动作。

接着，就像素的类型为对信号线输入视频信号，并对像素用电
流线输入与视频信号无关的一定电流的类型的场合进行叙述。信号
10 线驱动电路采用图 49 (A) 的结构。像素可为图 13 (C)、图 49 (B)、
图 53 (A)、图 53 (B) 等。但是，在该像素结构的场合，也需要对
像素的电流源电路进行设定动作。因此，依照是否能将像素的电流
源电路的设定动作和输入动作同时进行，驱动方法即定时图会有不
15 同。首先，图 55 的定时图表示像素的电流源电路的设定动作和输入
动作可同时进行的场合，即像素为图 13 (C) 时的驱动方法。

首先，就关于图像显示动作即像素的开关用晶体管和驱动用晶
体管的动作进行叙述。由于与图 54 的场合大致相同，因而简单叙述。

首先，最初的子帧期间 SF1 开始。逐行选择扫描线 (图 13 (C)
20 中的第一扫描线 1122)，从信号线 (图 13 (C) 中的 1121) 输入视
频信号。该视频信号通常为电压，但电流也可。若点亮期间 T_{s1} 结
束，则下一子帧期间 SF2 开始，进行与 SF1 同样的扫描。然后，下
一子帧期间 SF3 开始，也进行同样的扫描。但是由于点亮期间的长
度 T_{s3} 小于访问期间的长度 T_{a3} ，强制地使之不发光。就是说，清除
25 输入的视频信号。或者，使发光元件上无电流流过。为了进行清除，
逐行进行选择第二扫描线 (图 13 (C) 中的第二扫描线 1123)。这
样，视频信号被清除，驱动用 TFT1127 成为断开状态，可设置不发
光状态。然后，下一子帧期间 SF4 开始。该子帧中，也进行与子帧

期间 SF3 同样的扫描，同样设置不发光状态。

接着，就对像素的电流源电路的设定动作进行叙述。在图 13 (C) 所示的电流源电路的场合，可将像素的电流源电路的设定动作和输入动作同时进行。因此，像素的电流源电路的设定动作可在任意时刻进行，即可在任意的定时进行。

并且，配置于信号线驱动电路的电流源电路的设定动作在进行像素的电流源电路的设定动作的期间以外的时间进行即可。就是说，例如将 1 帧期间大致分为第一与第二设定动作期间时，可在第一设定动作期间上进行像素的电流源电路的设定动作、在第二设定动作期间进行信号线驱动电路的电流源电路的设定动作。

由以上可知，只要注意不将对像素的电流源电路的设定动作和信号线驱动电路的电流源电路的设定动作同时进行，在何时进行均可。就是说，在某一期间，进行对像素的电流源电路的设定动作，而在另一期间，进行信号线驱动电路的电流源电路的设定动作即可。这里，对像素的电流源电路的设定动作在何时进行均可。图 55 是在子帧期间 SF1 进行对像素的电流源电路的设定动作，除此以外的期间进行配置于信号线驱动电路的电流源电路的设定动作时的驱动方法的定时图。

接着，在图 56 中示出像素类型为对信号线输入视频信号，并对像素用电流线输入与视频信号无关的一定电流的类型，且像素的电流源电路的设定动作和输入动作不能同时进行，即像素为图 53 (A)、图 53 (B) 时的驱动方法的定时图。

首先，由于图像显示动作即与像素的开关用晶体管和驱动用晶体管等关联的动作与图 55 的情况大致相同，就简单加以叙述。

首先，最初的子帧期间 SF1 开始。逐行选择扫描线 (图 53 (A)、图 53 (B) 中的第一扫描线 1122)，并从信号线 (图 53 (A)、图 53 (B) 中的 1121) 输入视频信号。该视频信号通常为电压，但电流也可。若点亮期间 Ts1 结束，则下一子帧期间 SF2 开始，进行与子帧

期间 SF1 同样的扫描。然后，其后的子帧期间 SF3 开始，也进行同样的扫描。但是由于点亮期间的长度 T_{s3} 小于访问期间的长度 T_{a3} ，强制地使之不发光。就是说，清除输入的视频信号。或者，可使发光元件无电流流过。为了使发光元件无电流流过，将第二扫描线（图 13 (C) 中的第二扫描线 1123）逐行地置于非选择状态。这样，清除用 TFT1127 成为断开状态，电流的路径被遮断，可设于不发光状态。然后，开始下一子帧 SF4。这时也进行与 SF3 同样的扫描，同样设于不发光状态。

接着，就对像素的电流源电路的设定动作进行叙述。在图 53(A)、图 53(B) 的场合，像素的电流源电路的设定动作和输入动作不能同时进行。因此，像素的电流源电路的设定动作最好在像素的电流源电路不作输入动作时，即发光元件上无电流流过时进行。

信号线驱动电路的电流源电路的设定动作在进行像素的电流源电路的设定动作以外的时间进行即可。就是说，例如将 1 帧期间大致分为第一与第二设定动作期间时，可在第一设定动作期间进行像素的电流源电路的设定动作，在第二设定动作期间进行信号线驱动电路的电流源电路的设定动作。

由以上可知，对像素的电流源电路的设定动作可在非点亮期间 (T_{d3} 、 T_{d4}) 进行，而信号线驱动电路的电流源电路的设定动作可在该期间以外的时间进行。因此，图 56 中用定时图说明在 SF3 和 SF4 的非点亮期间 (T_{d3} 、 T_{d4}) 进行对像素的电流源电路的设定动作，在这以外的时间进行信号线驱动电路的电流源电路的设定动作时的驱动方法。

再有，对像素的电流源电路的设定动作只在非点亮期间进行时，会有进行设定动作的期间不足的情况。就是说，在需要花费长时间进行对像素的电流源电路的设定动作、进行充分的正确的设定动作时，需要将进行设定动作的期间设得更长。在这样的时候，如图 9 所示，可在各访问期间之前强制设置非点亮期间，于是进行对像素

的电流源电路的设定动作。

以上，用定时图就将数字灰度等级和时间灰度等级组合后的驱动方法进行了叙述。下面，用定时图就模拟灰度等级时的驱动方法进行叙述。这里，也用定时图就不能同时进行对信号线驱动电路的
5 电流源电路的设定动作和输入动作时的驱动方法进行叙述。

首先，设像素采用图 13 (A) 或图 13 (B)。信号线驱动电路采用图 5 或图 44 的结构。对于这时的驱动方法用图 10 的定时图进行叙述。

逐行选择扫描线 (图 13 (A) 中的第一扫描线 1102 或图 13 (B)
10 中的第一扫描线 1132)，从信号线 (图 13 (A) 中的 1101 或图 13 (B) 中的 1131) 输入电流。该电流成为对应于视频信号的值。这要用 1 帧期间进行。

以上是图像显示动作即与像素的动作有关的驱动方法。接着，就配置于信号线驱动电路的电流源电路的设定动作的定时进行叙述。这里设电流源电路不能同时进行设定动作和输入动作。信号线
15 驱动电路的电流源电路的输入动作通常用 1 帧期间进行。因而，照这样就不能进行信号线驱动电路的电流源电路的设定动作。因此，如图 10 所示，在各扫描线被选择的期间 (门脉冲选择期间、水平扫描期间)，只在最初期间停止配置于信号线驱动电路的电流源电路
20 的输入动作而进行设定动作。就是说，在各水平扫描期间配置设定动作期间 T_b 。再有，可使该期间与回描期间一致。

或者，如图 11 所示，信号线驱动电路的电流源电路的输入动作 (视频信号的输入动作) 可用 1 帧期间中的几个分割期间进行，在余下的期间进行信号线驱动电路的电流源电路的设定动作。就是说，
25 1 帧期间有多个水平扫描期间和设定动作期间。

在进行信号线驱动电路的电流源电路的设定动作时，需要无电流泄漏或其它电流流入的状态下进行。若有电流泄漏或其它电流流入，则在该状态下进行电流源电路的设定动作。这样将不能以正确

的值进行设定动作。因而，图 24 中的晶体管 182、图 45 中的晶体管 A、B、C 等，在进行信号线驱动电路的电流源电路的设定动作之前需要置于断开状态。但是，如图 46 那样配置了开关 203，并无电流泄漏或其它电流流入时，将无需考虑。

5 本实施例可与实施方式 1~8、实施例 1 进行任意组合。

(实施例 3)

本实施例中就进行彩色显示时的处理方法进行叙述。

10 发光元件为有机 EL 元件时，即使对发光元件通过相同大小的电流，其亮度会因颜色而不同。并且，发光元件因老化等而恶化的场合，其恶化的程度也随颜色不同而不同。因此，在用发光元件的发光装置中进行彩色显示时，为了调整其白色平衡需要进行各种处理。

最简单的方法是将输入像素的电流大小按照颜色改变。为此，将基准信号用恒流源的电流大小按照颜色改变即可。

15 另外还有对像素、信号线驱动电路、基准用恒流源等上用如图 6 (C) ~ 图 6 (E) 的电路的方法。然后，在如图 6 (C) ~ 图 6 (E) 的电路中，将构成电流镜电路的两个晶体管的 W/L 的比率按照颜色改变。从而，可使输入像素的电流的大小按照颜色改变。

再有将点亮期间的长度按照颜色改变的方法。该方法可适用于采用时间灰度等级方式时或不采用该方式时的任意场合。通过该方法可调整各像素的亮度。

用以上的方法或将它们组合使用，能够容易地调整白色平衡。

本实施例可与实施方式 1~8、实施例 1、2 任意组合。

25 (实施例 4)

本实施例中用图 12 就本发明的发光装置（半导体装置）的外观进行说明。图 12 (A) 是将形成了晶体管的元件基板用密封材料封装而形成的发光装置的正面图；图 12 (B) 是图 12 (A) 的 A-A'

处的截面图；图 12 (C) 是图 12 (A) 的 B-B' 处的截面图。

设置封口材料 4009，包围设于基板 4001 上的像素部 4002、源极信号线驱动电路 4003、栅极信号线驱动电路 4004a、b。并且在像素部 4002、源极信号线驱动电路 4003、栅极信号线驱动电路 4004a、b 之上设置密封材料 4008。因而像素部 4002、源极信号线驱动电路 4003、栅极信号线驱动电路 4004a、b 等，用基板 4001 和封口材料 4009 以及密封材料 4008 装入填充材料 4210 密封。

并且，设于基板 4001 上的像素部 4002、源极信号线驱动电路 4003、栅极信号线驱动电路 4004a、b 等，设有多个 TFT。图 12 (B) 中代表性的示出在基层膜 4010 上形成的、源极信号线驱动电路 4003 包含的驱动 TFT (这里图示了 n 沟道型 TFT 和 p 沟道型 TFT) 4201 和像素部 4002 包含的清除用 TFT 4202。

本实施例中，在驱动 TFT 4201 上采用公知方法制作的 p 沟道型 TFT 或 n 沟道型 TFT，在清除用 TFT 4202 上采用公知方法制作的 n 沟道型 TFT。

在驱动 TFT 4201 与清除用 TFT 4202 上形成层间绝缘膜 (平坦化膜) 4301，其上形成与清除用 TFT 4202 的漏极电连接的像素电极 (阳极) 4203。使用功函数大的透明导电膜作为像素电极 4203。作为透明导电膜，可用氧化铟和氧化锡的化合物、氧化铟和氧化锌的化合物、氧化锌、氧化锡或氧化铟。并且，也可在所述透明导电膜上添加镓而使用。

然后，在像素电极 4203 上形成绝缘膜 4302，绝缘膜 4302 在像素电极 4203 上形成开口部。在该开口部中像素电极 4203 上形成发光层 4204。发光层 4204 可用公知的发光材料或无机发光材料。并且，发光材料可用低分子系 (单体) 材料和高分子系 (聚合物) 材料中的任一种。

发光层 4204 的形成方法可用已知的蒸镀技术或涂敷法技术。并且，发光层 4204 的结构可为将空穴注入层、空穴传输层、发光层、

电子传输层或电子注入层任意组合的叠层结构或单层结构。

5 发光层 4204 上形成具有遮光性的导电膜（代表性的有以铝、铜或银为主成分的导电膜或它们和其它导电膜的层叠膜）构成的阴极 4205。并且，最好极力排除在阴极 4205 和发光层 4204 的界面上存在的水分或氧气。因此，将发光层 4204 在氮气或稀有气体气氛中形成，需设法不与氧气或水分接触的状态下形成阴极 4205。本实施例中通过用多室（multi chamber）方式（群组工具（cluster tool）方式）的成膜装置可形成上述那样的膜。而且阴极 4205 被供给预定电压。

10 用如上所述的方式，形成由像素电极（阳极）4203、发光层 4204 与阴极 4205 构成的发光元件 4303。然后在绝缘膜上形成保护膜，覆盖发光元件 4303。保护膜可有效防止氧气或水分等进入发光元件 4303。

15 4005a 表示连接于电源线的引出布线，与清除用 TFT4202 的源区电连接。引出布线 4005a 通过封口材料 4009 和基板 4001 之间，经由各向异性导电性薄膜 4300 与 FPC4006 中的 FPC 用布线 4301 电连接。

20 作为密封材料 4008 可用玻璃材料、金属材料（代表性的有不锈钢材料）、陶瓷材料、塑料材料（也含塑料薄膜）。作为塑料材料可用 FRP（Fiberglass - Reinforced Plastics: 玻璃纤维增强塑料）板、PVF（聚氟乙烯）薄膜、聚酯薄膜（mylar film）、聚酯（polyester）薄膜或丙烯酸树脂薄膜。并且，也可采用铝箔夹于 PVF 薄膜或聚酯薄膜之间构成板。

但是，来自发光层的光的放射方向朝着盖材侧时盖材必须透明。这时，用玻璃板、塑料板、聚酯薄膜或丙烯酸薄膜等透明物质。

25 并且，作为填充材料 4210 除了氮气或氩气等惰性气体以外，可用紫外线硬化树脂或热硬化树脂，PVC（聚氯乙稀）、丙烯酸、聚酰亚胺、环氧树脂、硅树脂、PVB（聚乙烯醇缩丁醛）或 EVA（乙稀/乙酸乙酯）。本实施例中用氮气作为填充材料。

为了使填充材料 4210 曝露于吸湿性物质（最好是氧化钡）或可吸收氧气的物质中，在密封材料 4008 的基板 4001 侧的面上设置凹部 4007，然后配置吸湿性物质或可吸收氧气的物质 4207。然后用凹部盖材 4208 将吸湿性物质或可吸收氧气的物质 4207 保持在凹部 4007 中，以不使吸湿性物质或可吸收氧气的物质 4207 散开。再有，凹部盖材 4208 成为孔眼很小的网状，成为使空气或水分通过，使吸湿性物质或吸收氧气的物质 4207 不能通过的结构。通过设置吸湿性物质或吸收氧气的物质 4207，能够抑制发光元件 4303 的恶化。

如图 12(C)所示，在形成像素电极 4203 的同时与引出布线 4005a 上相接地形成导电性膜 4203a。

并且，各向异性导电性薄膜 4300 设有导电性填料 4300a。通过将基板 4001 和 FPC4006 热压粘接，使基板 4001 上的导电性膜 4203a 和 FPC4006 上的 FPC 用布线 4301 等通过导电性填料 4300a 电连接。

本实施例可实施方式 1~8、实施例 1~4 任意组合。

(实施例 5)

由于用发光元件的发光装置是自发光型，与液晶显示器相比，明亮场所的分辨率高且视角广。因此，可用于各种电子设备的显示部。

应用本发明的发光装置的电子设备有：摄像机、数字照相机、眼镜型显示器（头带显示器）、航空系统、音响重放装置（汽车音响，功放等）、笔记本型个人计算机、游戏机器、便携式信息终端（移动计算机、便携式电话、便携式游戏机或电子书等）、设有记录媒体的图像再现装置（具体有再现 Digital Versatile Disc (DVD) 等记录媒体，设有显示该图像的显示器的装置）等。特别是，对从斜方向观看机会多的便携式信息终端而言，广视角尤为重视，因此最好用本发明的发光装置。这些电子设备的具体例在图 22 中示出。

图 22 (A) 表示发光装置，包含壳体 2001、底座 2002、显示部

2003、扬声器部 2004、视频输入端子 2005 等。本发明的发光装置可用于显示部 2003。并且，通过本发明可完成图 22 (A) 所示的发光装置。由于发光装置是自发光型，所以不需要背光源，其显示部可比液晶显示器薄。再有，发光装置包含个人计算机用、TV 广播接收用、广告显示用等所有的信息显示用显示装置。

图 22 (B) 表示数码相机，包含主体 2101、显示部 2102、受像部 2103、操作键 2104、外部连接端口 2105、快门 2106 等。本发明的发光装置可用于显示部 2102。并且，通过本发明可完成图 22 (B) 所示的数码相机。

图 22 (C) 表示笔记本型个人计算机，包含主体 2201、壳体 2202、显示部 2203、键盘 2204、外部连接端口 2205、指向鼠标 2206 等。本发明的发光装置可用于其显示部 2203。并且，通过本发明可完成图 22 (C) 所示的发光装置。

图 22 (D) 表示移动计算机，包含主体 2301、显示部 2302、开关 2303、操作键 2304、红外线端口 2305 等。本发明的发光装置可用于其显示部 2302。并且，通过本发明可完成图 22 (D) 所示的移动计算机。

图 22 (E) 表示设有记录媒体的便携式图像再现装置(具体有 DVD 再现装置)，包含主体 2401、壳体 2402、显示部 A2403、显示部 B2404、记录媒体 (DVD 等) 读取部 2405、操作键 2406、扬声器部 2407 等。显示部 A2403 主要显示图像信息，显示部 B2404 主要显示文字信息，本发明的发光装置可用于这些显示部 A、B2403、2404。再有，设有记录媒体的图像再现装置也包含家庭用游戏机等。并且，通过本发明可完成图 22 (E) 所示的 DVD 再现装置。

图 22 (F) 表示眼镜型显示器 (头带显示器)，包含主体 2501、显示部 2502、臂部 2503。本发明的发光装置可用于显示部 2502。并且，通过本发明可完成图 22 (F) 所示的眼镜型显示器。

图 22 (G) 表示摄像机，包含主体 2601、显示部 2602、壳体 2603、

外部连接端口 2604、遥控接收部 2605、受像部 2606、电池 2607、声音输入部 2608、操作键 2609、接眼部 2610 等。本发明的发光装置可用于显示部 2602。并且，通过本发明可完成图 22 (G) 所示的摄像机。

5 这里，图 22 (H) 表示便携式电话，包含主体 2701、壳体 2702、显示部 2703、声音输入部 2704、声音输出部 2705、操作键 2706、外部连接端口 2707、天线 2708 等。本发明的发光装置可用于显示部 2703。再有，显示部 2703 可通过在黑色背景上显示白色文字来抑制便携式电话的耗电。并且，通过本发明可完成图 22 (H) 所示的便
10 携式电话。

将来，若发光材料的发光亮度被提高，可将包含输出的图像信息的光用透镜等放大投影，从而用于前向型或后向型投影机。

并且，上述电子设备通过互联网或 CATV (有线电视) 等电子通信线路显示分配的信息情况日益增多，尤其是显示动图像信息的机会增加。由于发光材料的响应速度非常高，发光装置进行动图像
15 显示很理想。

并且，由于发光装置中发光的部分上耗电，最好尽量减少发光部分来显示信息。因此，在便携式信息终端尤其是便携式电话或音响再现装置那样以文字信息为主的显示部上用发光装置时，最好以
20 不发光部分为背景，将文字信息形成在发光部分。

如上所述，本发明的适用范围极为广泛，可用于所有领域的电子设备上。并且，本实施例的电子设备可采用实施方式 1~8、实施例 1~4 所示的任一结构的发光装置。

25 设有上述结构的本发明抑制 TFT 的特性偏差的影响，能够将所要的电流向外部供给。

本发明提供设有两个移位寄存器 (第一与第二移位寄存器) 的信号线驱动电路。该第一与第二移位寄存器，其中一个是电流源电路，另一个是用以控制视频信号的电路即为显示图像而动作的电路，

例如控制门锁电路、取样开关、开关 101（信号电流控制开关）等。这样，可使第一与第二移位寄存器的动作独立地进行，必然也能够使电流源电路的设定动作和图像显示动作独立地进行。由于电流源电路的设定动作需时间进行才会正确进行，因此能够让电流源电路和门锁电路独立工作的本发明的结构很有效。

再有，移位寄存器由触发器电路或解码器电路等电路构成。当移位寄存器由触发器电路构成时，通常将多条布线从第一列到最后一列依次选择。另一方面，当移位寄存器由解码器电路等构成时，可将多条布线随机地选择。若能将多条布线随机地选择，则也能将设定信号随机地输出。因此，电流源电路的设定动作不是从第一列开始依次进行，而是能随机地进行。若能将电流源电路的设定动作随机地进行则有各种优点。例如，若电流源电路的设定动作不是从第一列开始依次进行，而是随机地进行，则可自由延长进行设定动作的时间长度。并且，进行设定动作的期间在 1 帧中分散的场合，若可随机地选择任意列，则自由度上升，可延长设定动作的期间。其它还有可使设于电流源电路内的电容元件的电荷泄漏的影响不显眼的优点。如此，在伴随设定动作有不良情况时，可使该不良情况不易被发现。

图 1

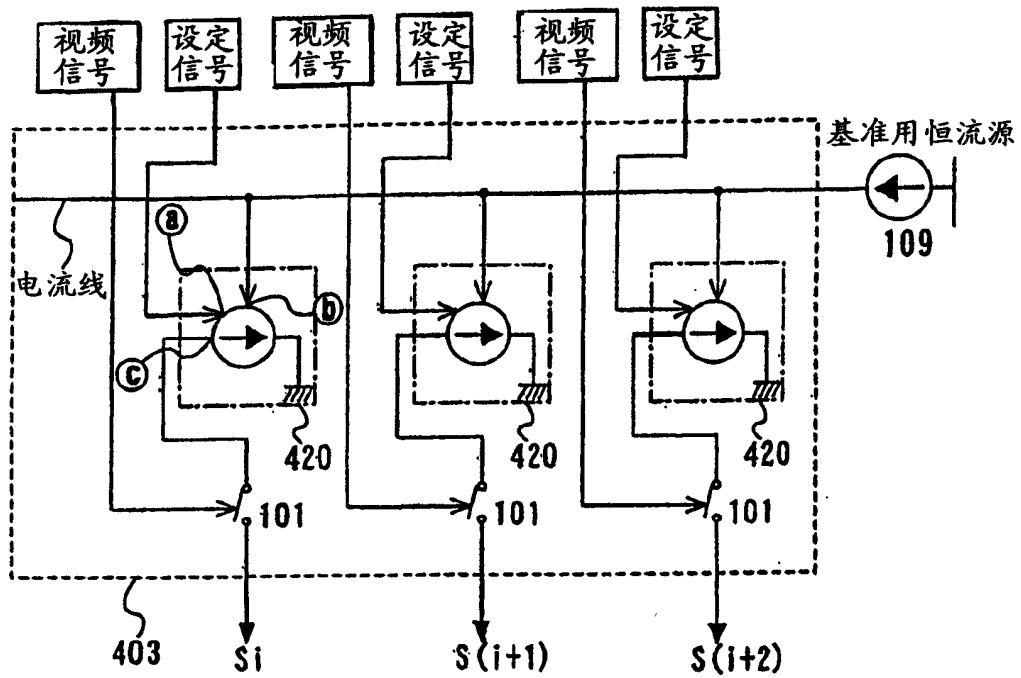


图 2

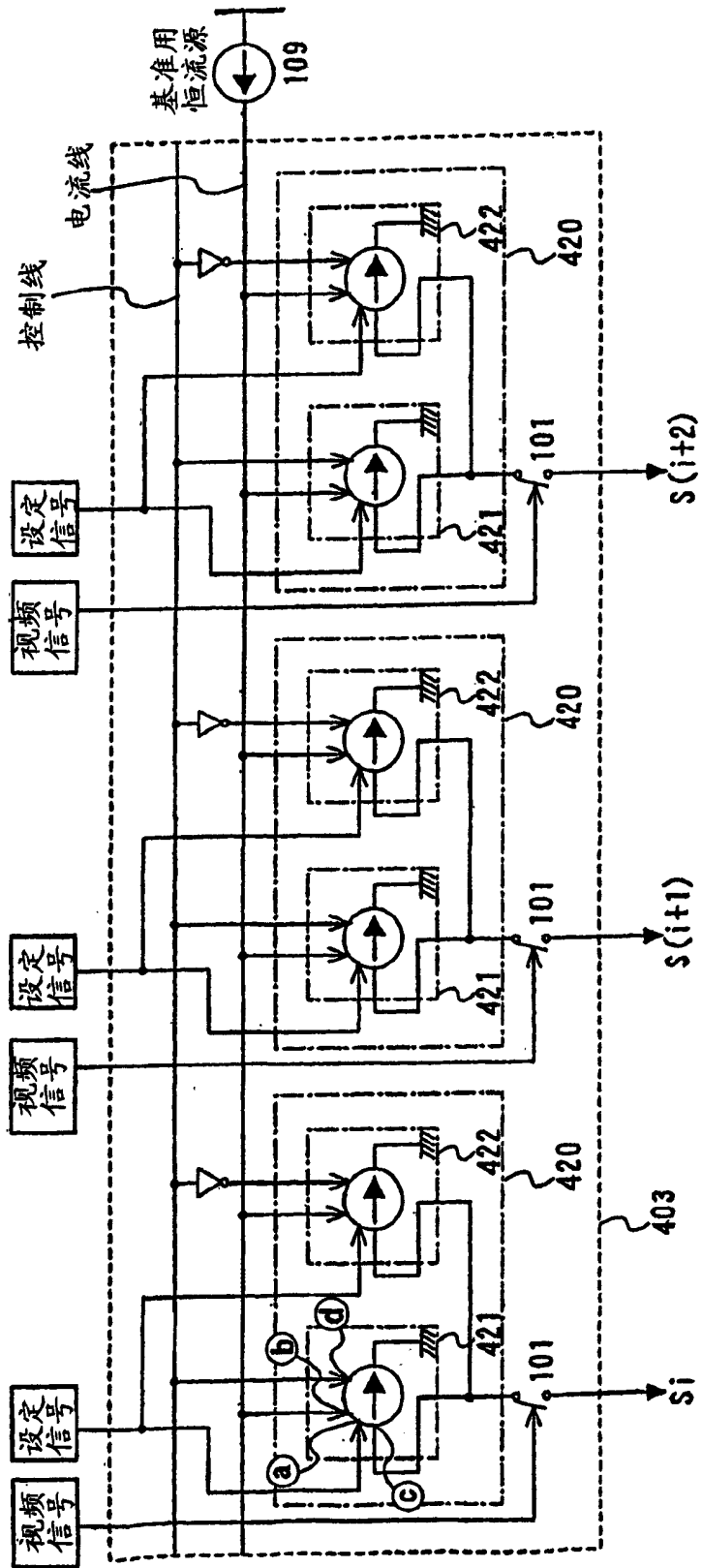


图 3A

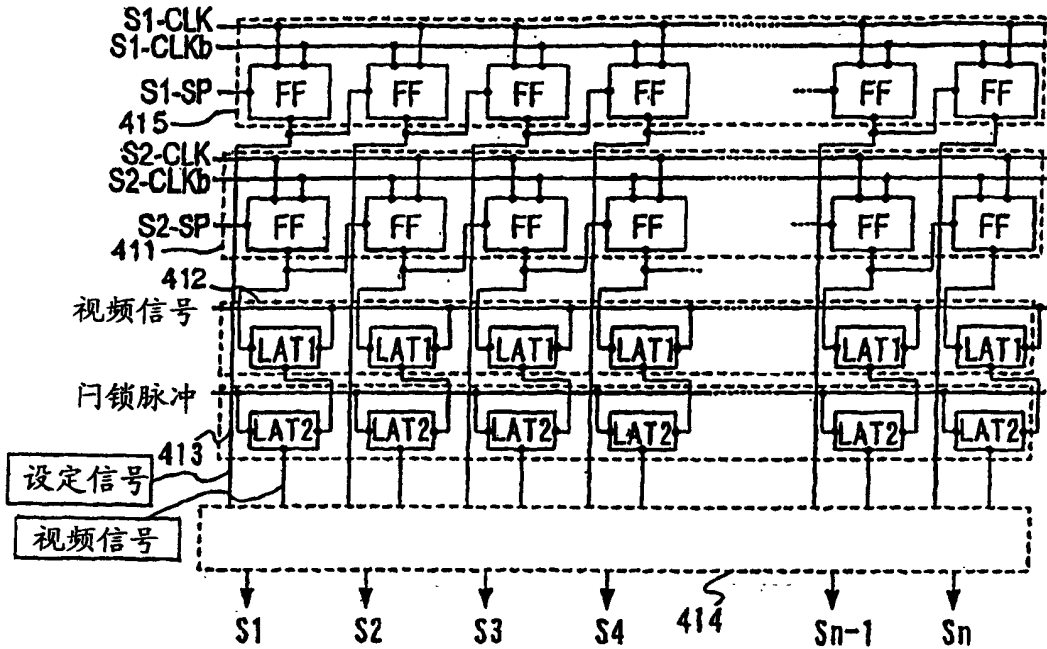
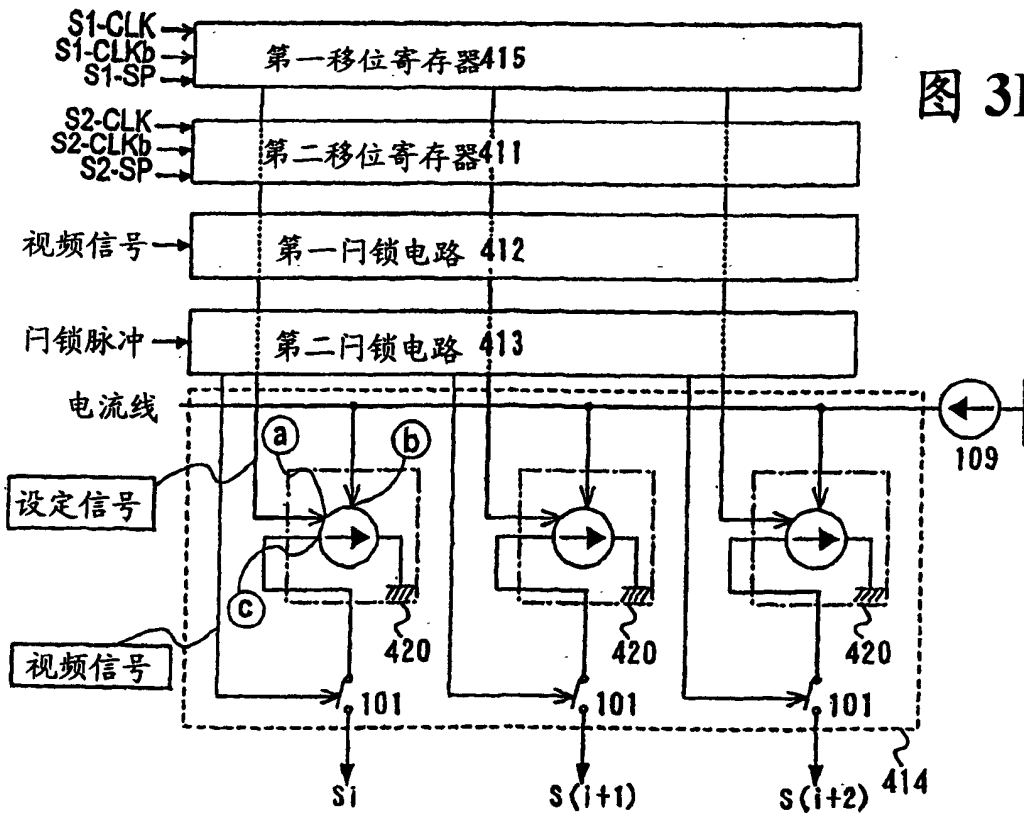


图 3B



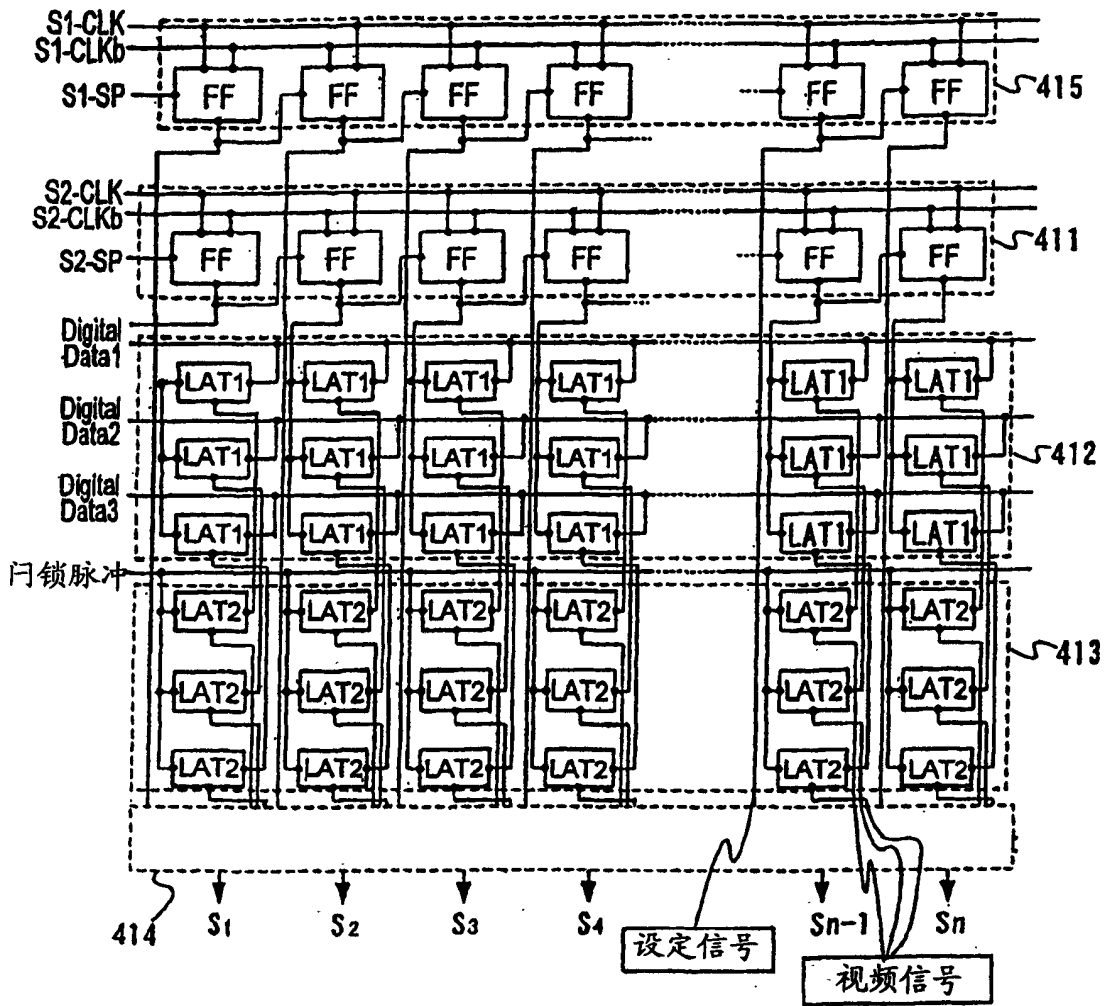


图 4

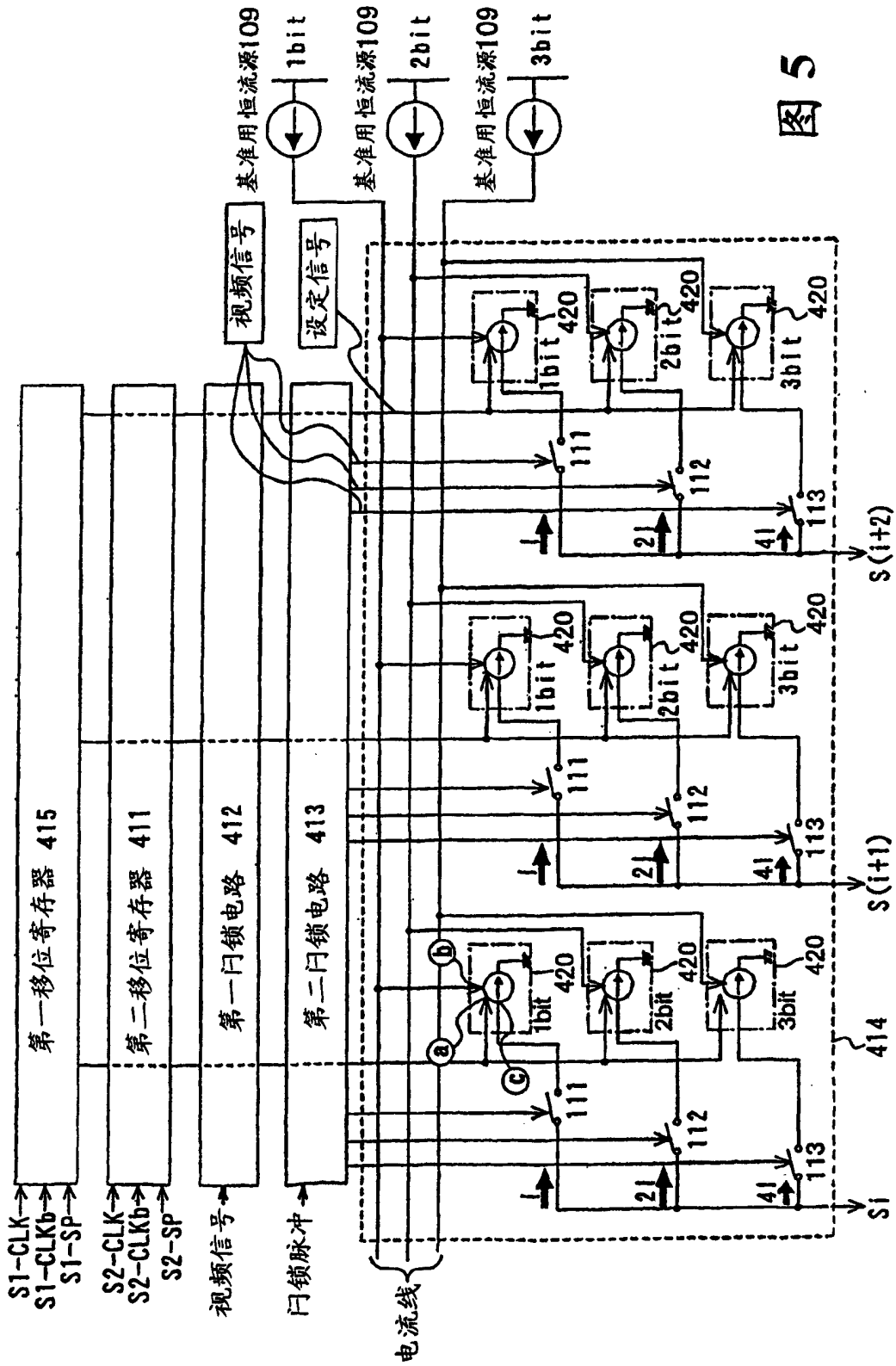
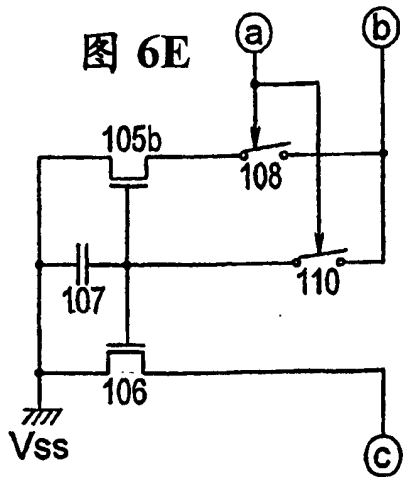
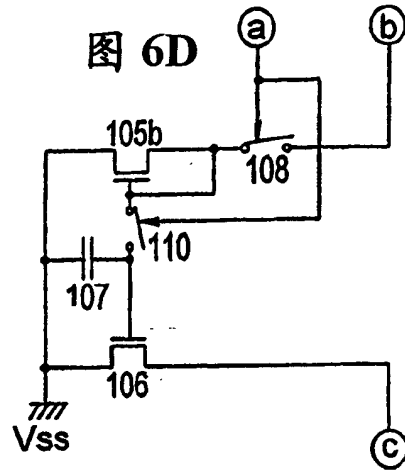
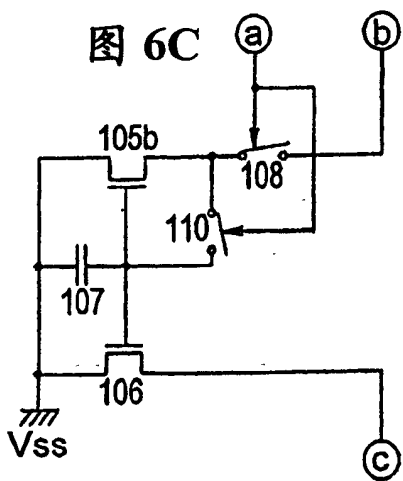
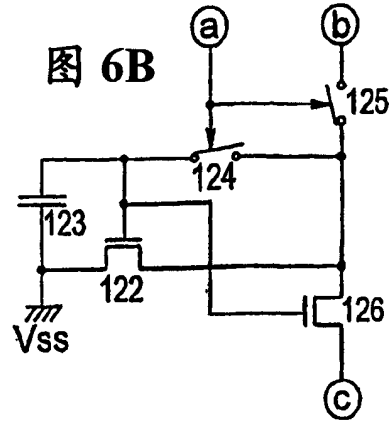
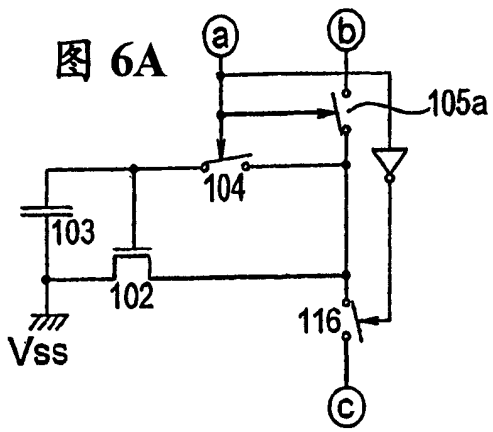
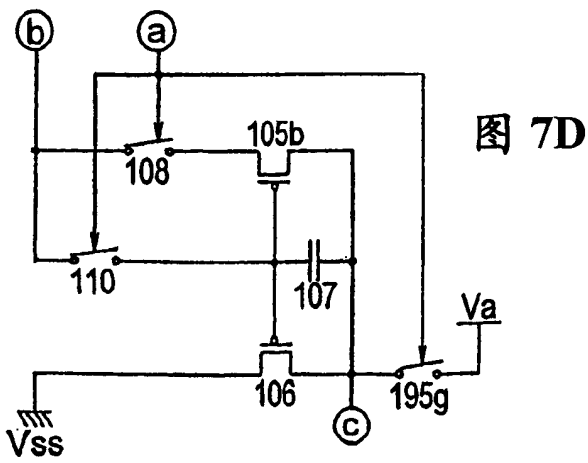
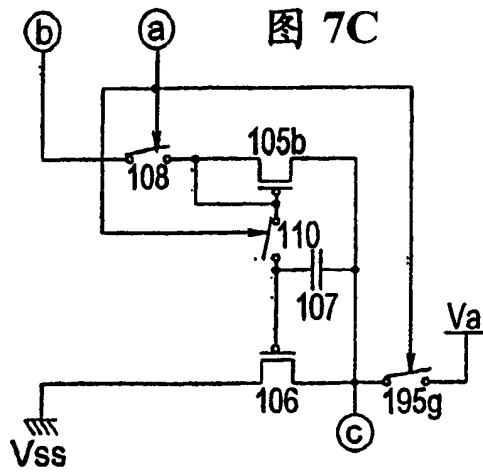
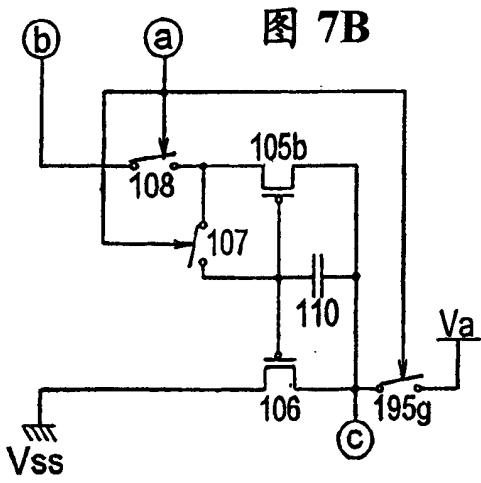
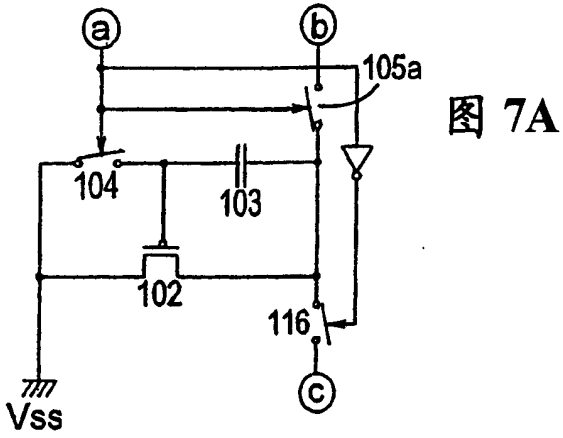


图 5





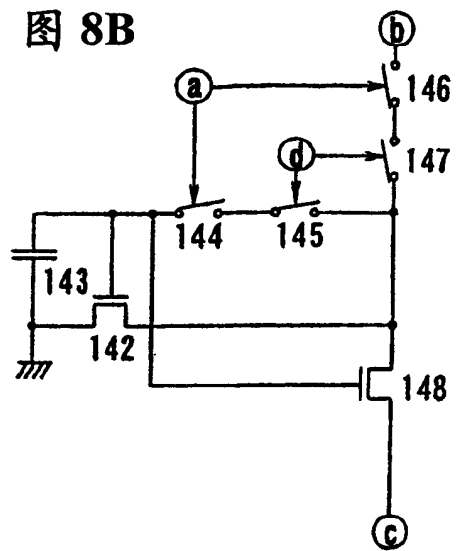
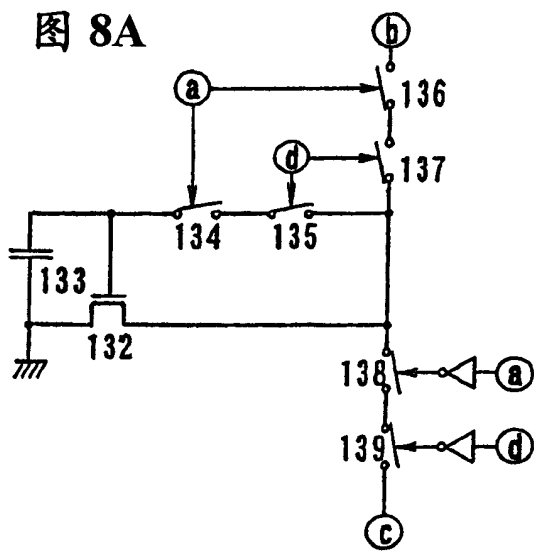


图 9

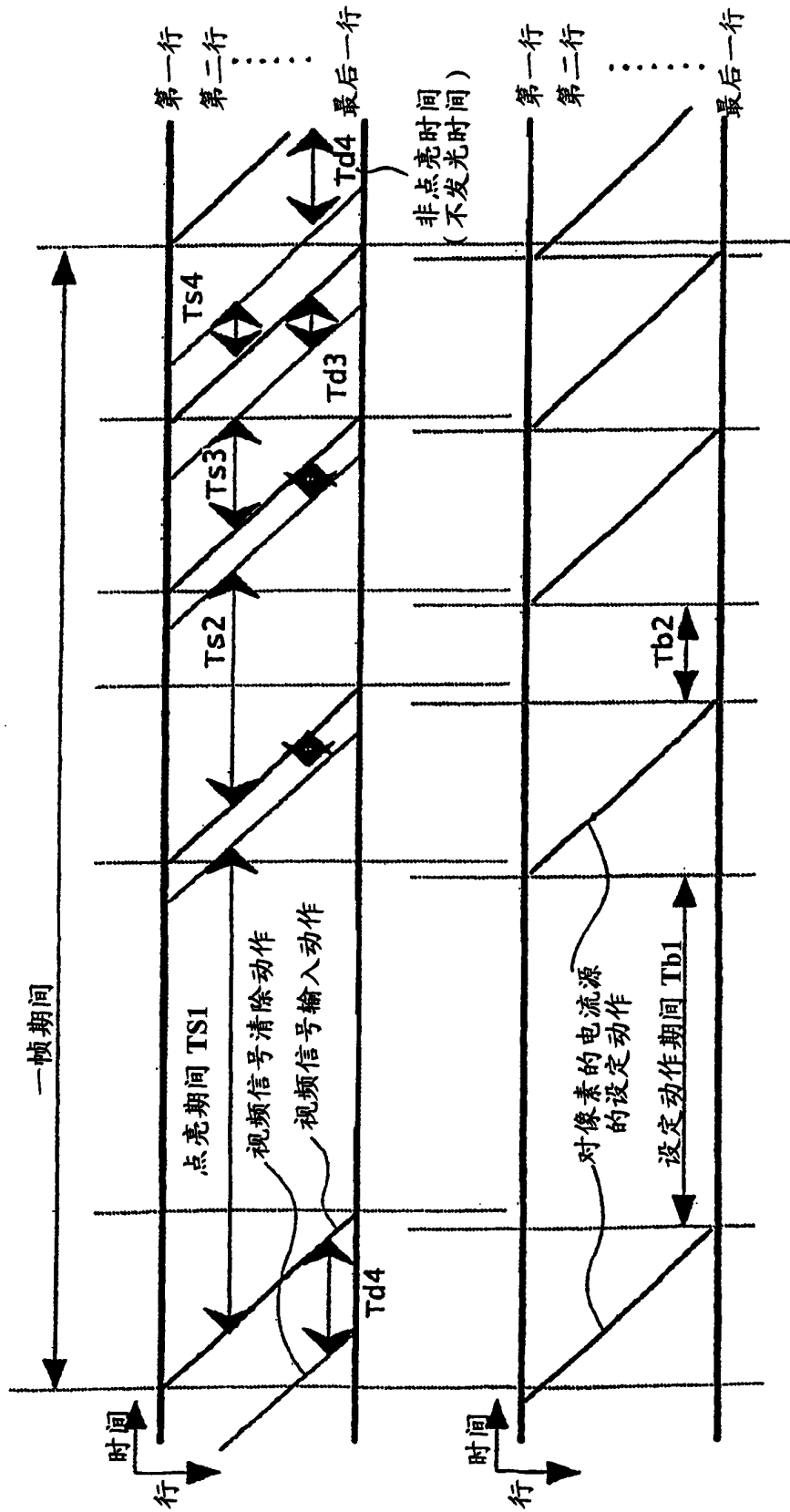


图 10

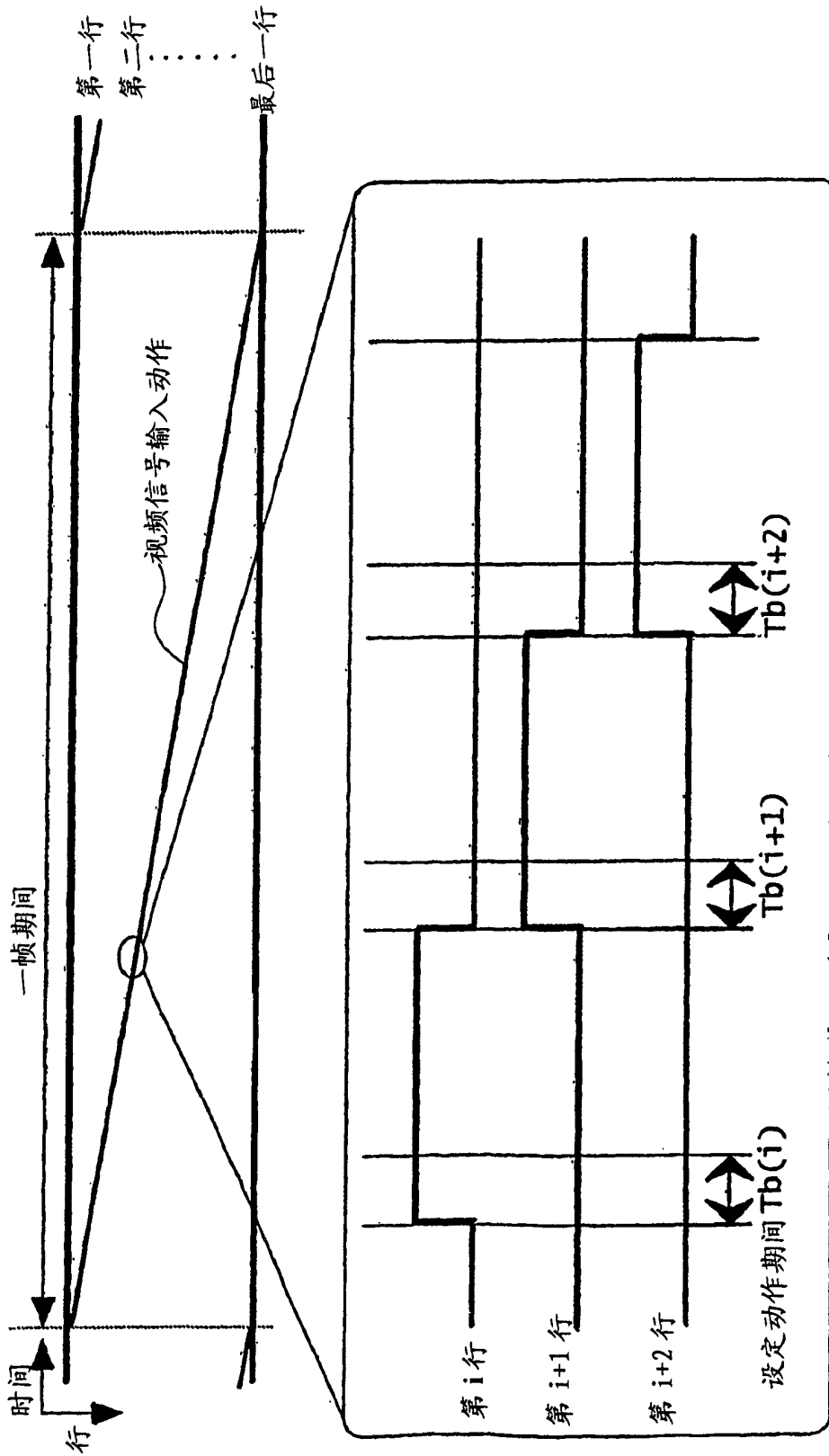
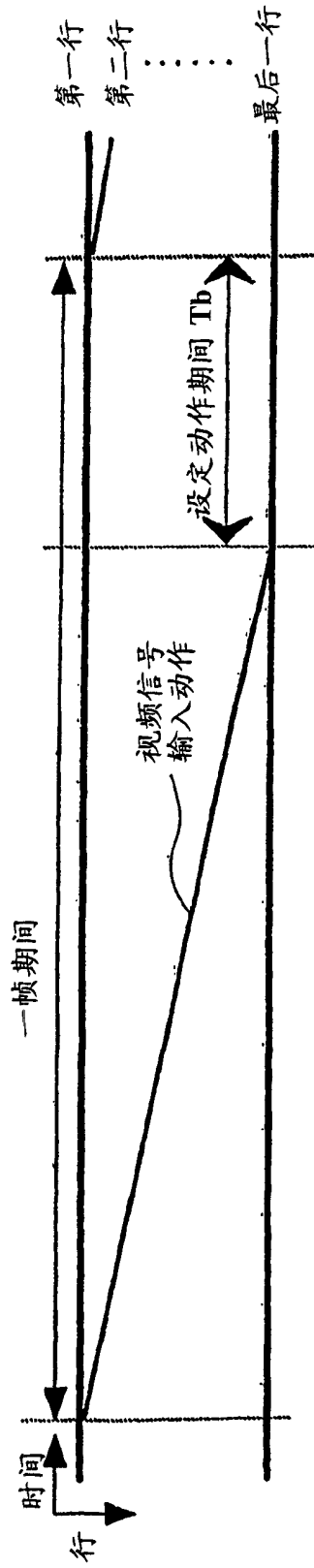


图 11



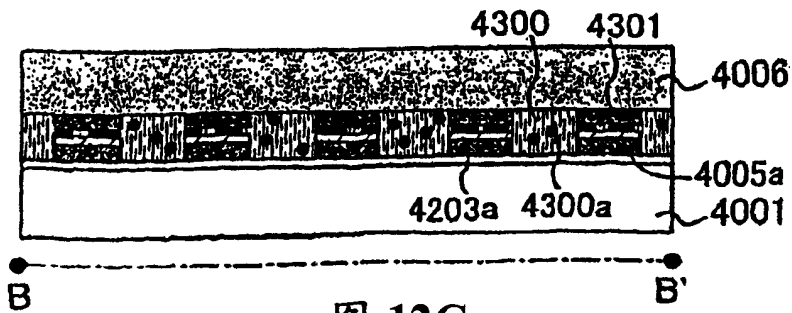
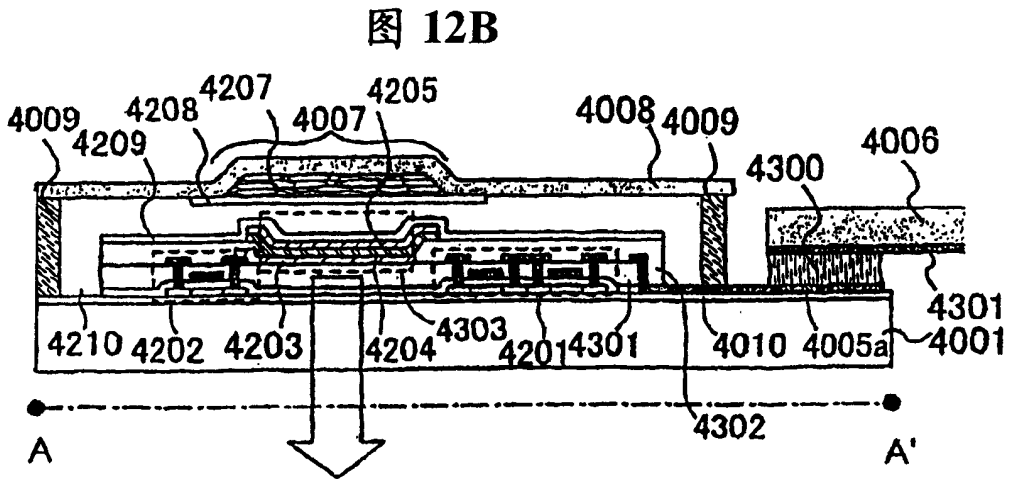
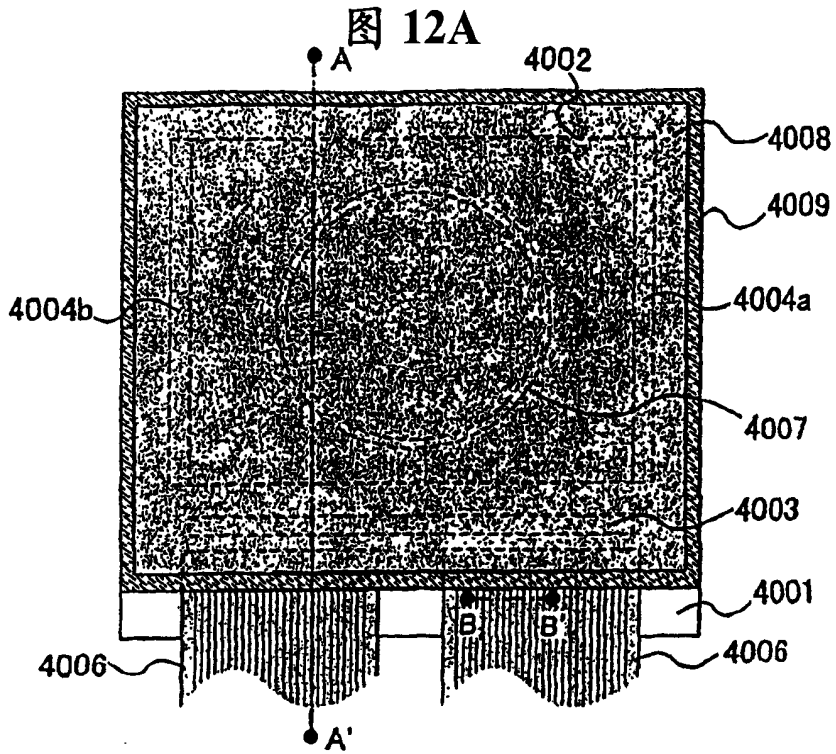


图 13A

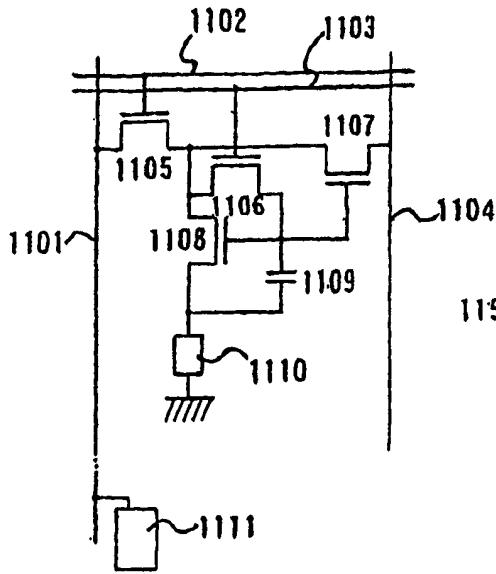


图 13B

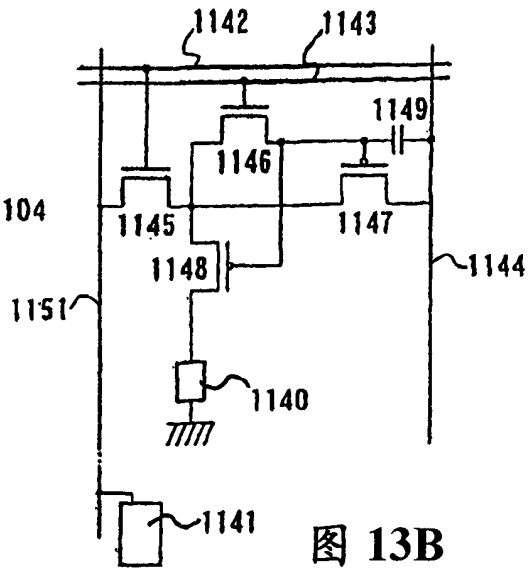
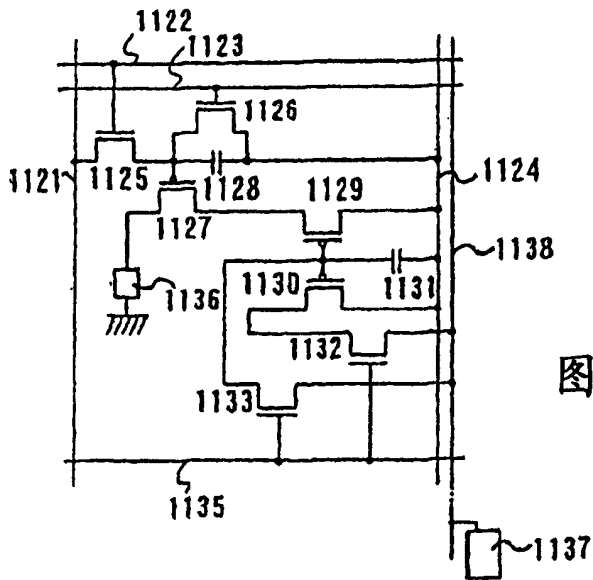


图 13C



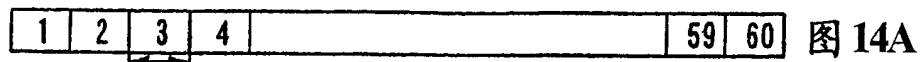


图 14A

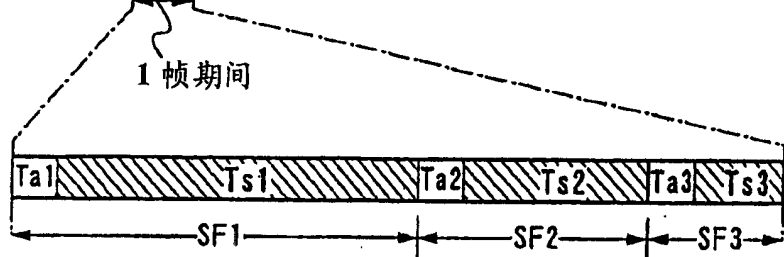


图 14B

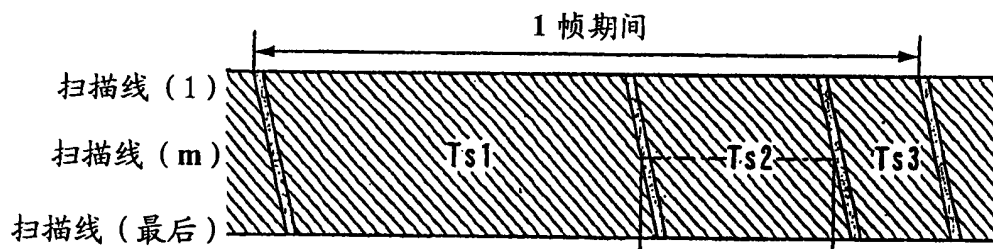


图 14C

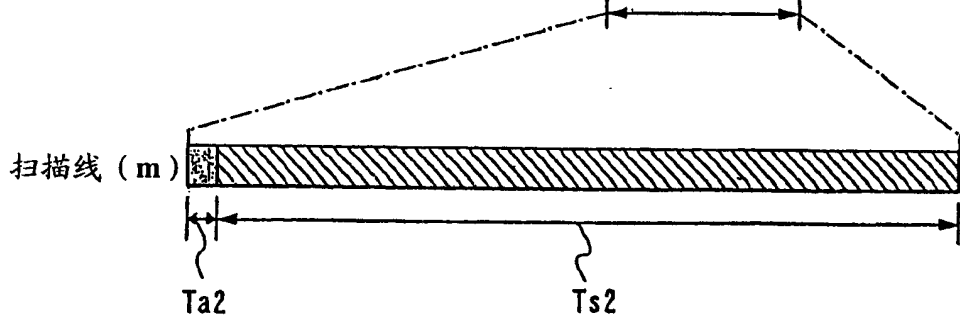


图 14D

图 15A

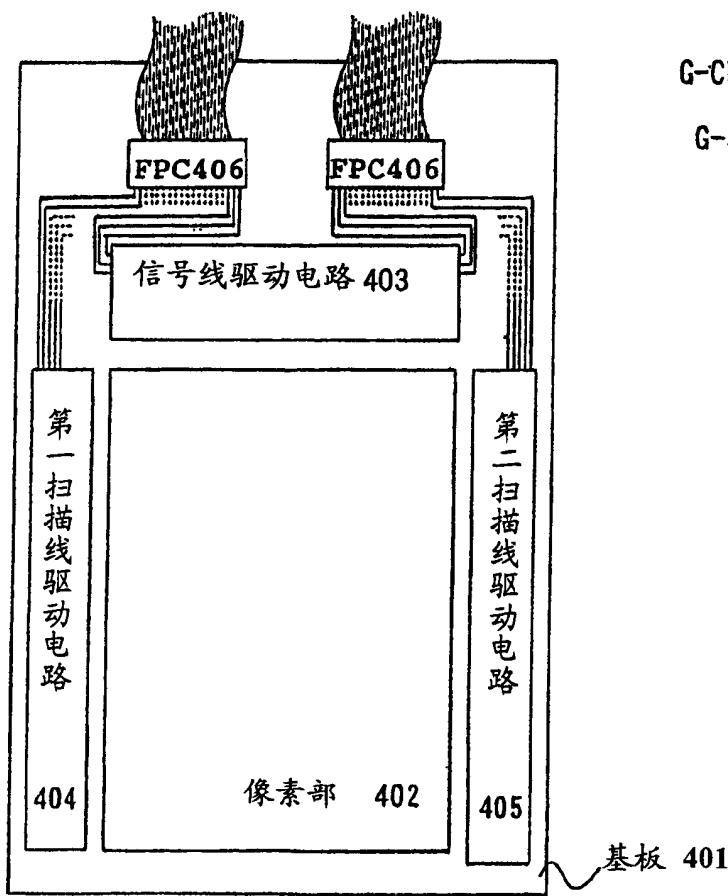


图 15B

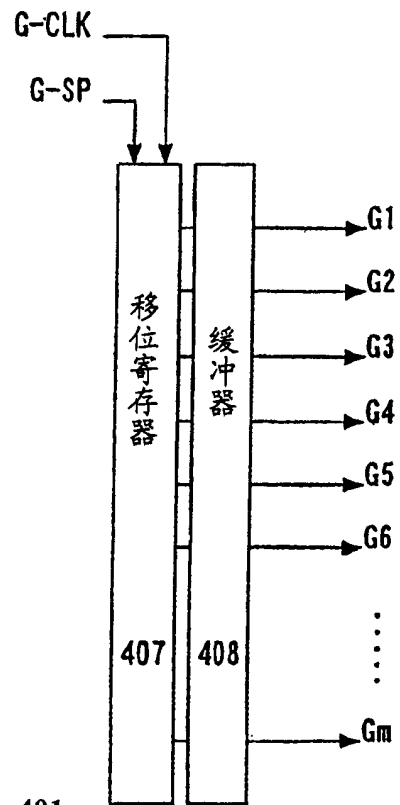


图 16A

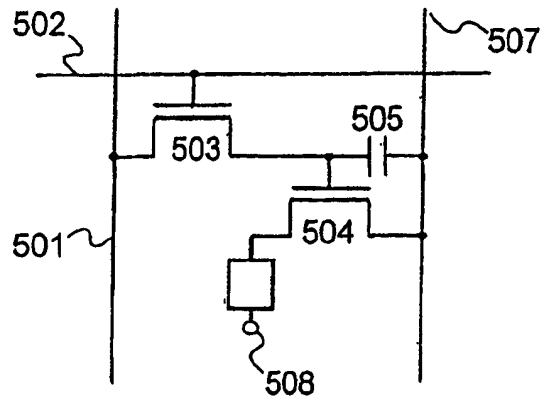
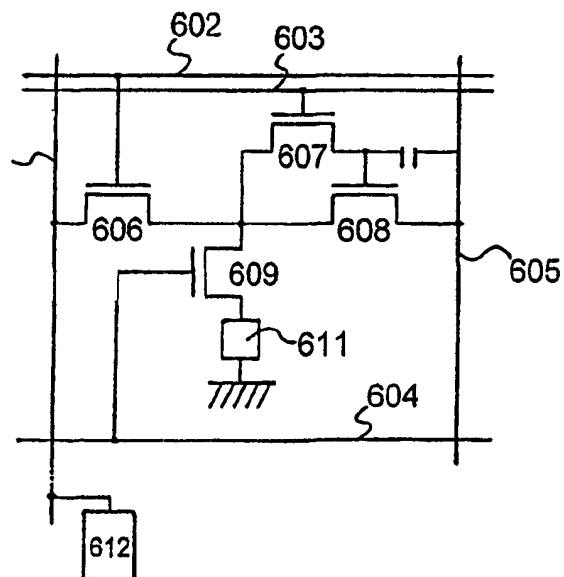
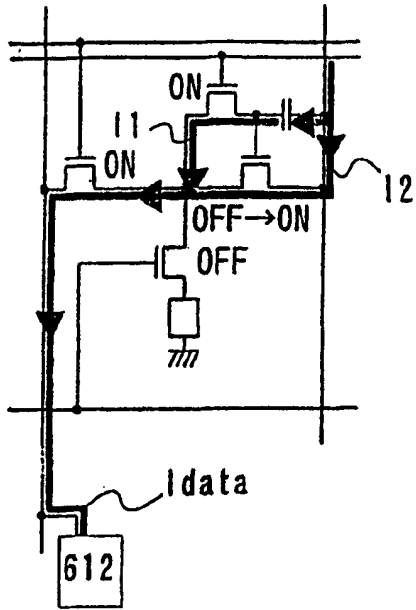


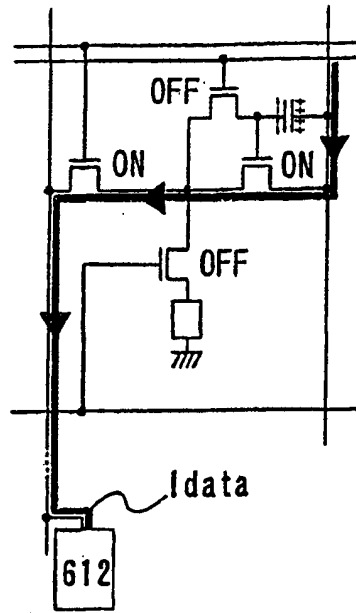
图 16B



信号输入时 图 17A



信号输入结束时 图 17B



发光时 图 17C

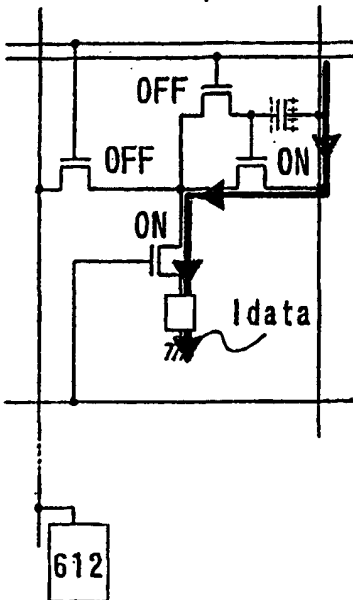


图 17D

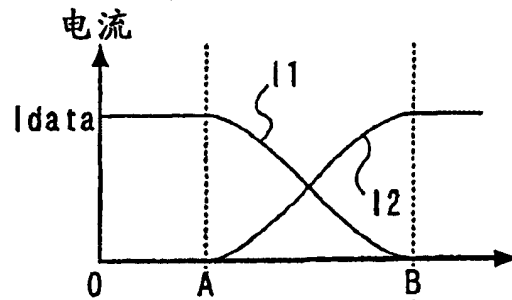
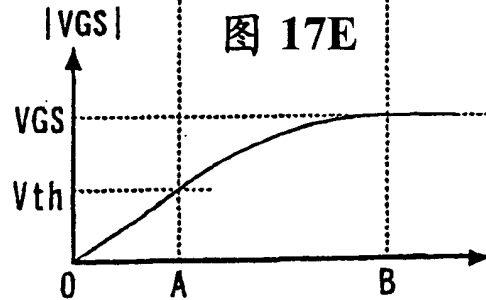


图 17E



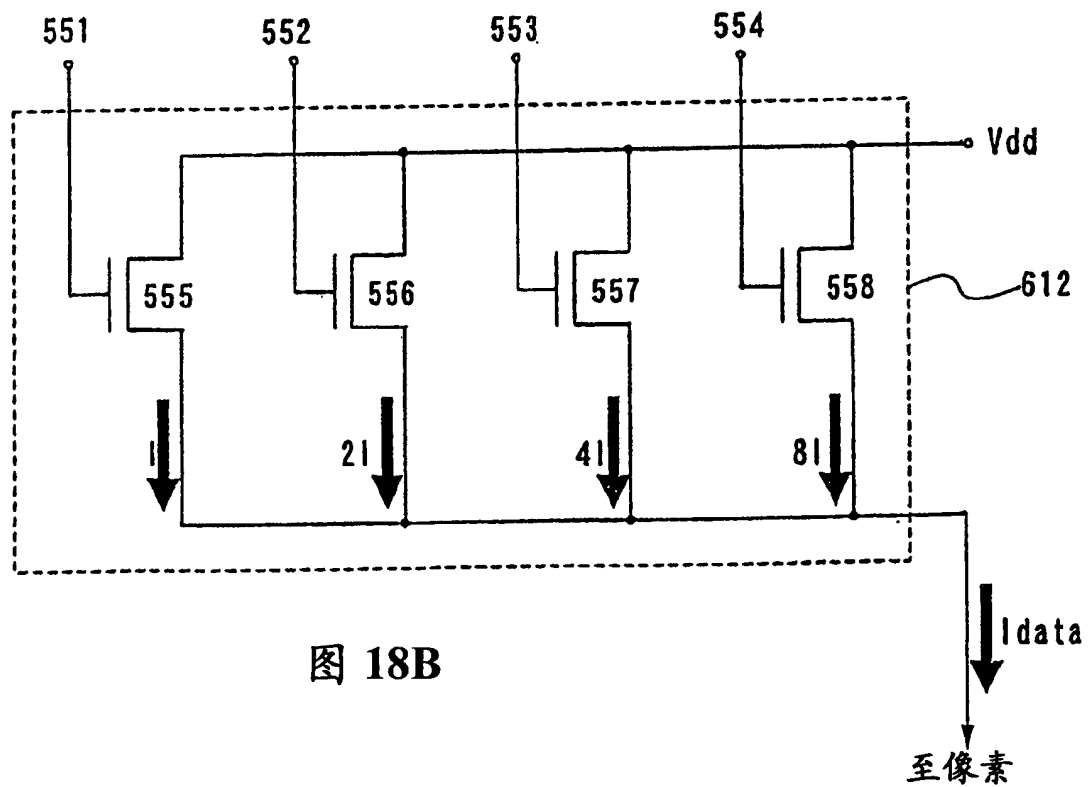
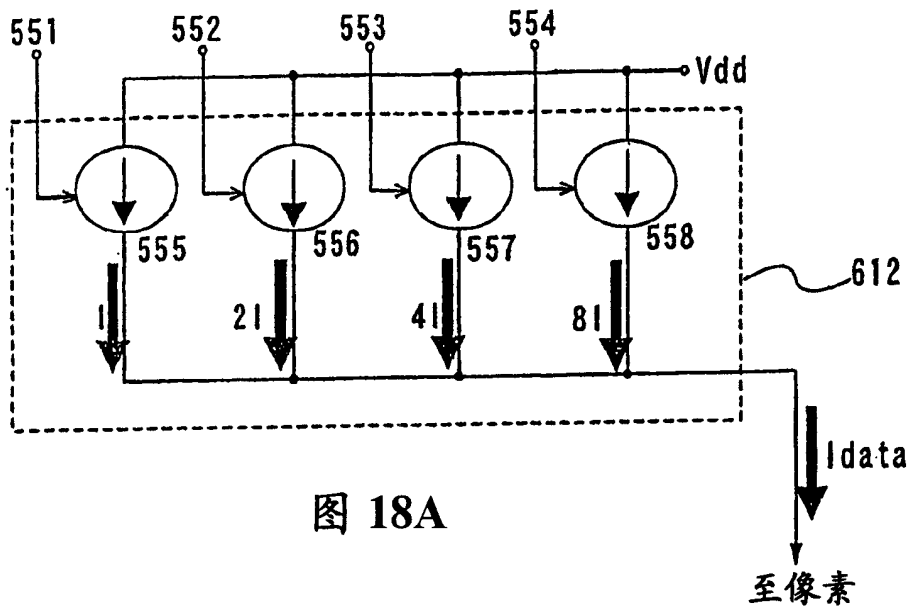


图 19A

图 19B

图 19C

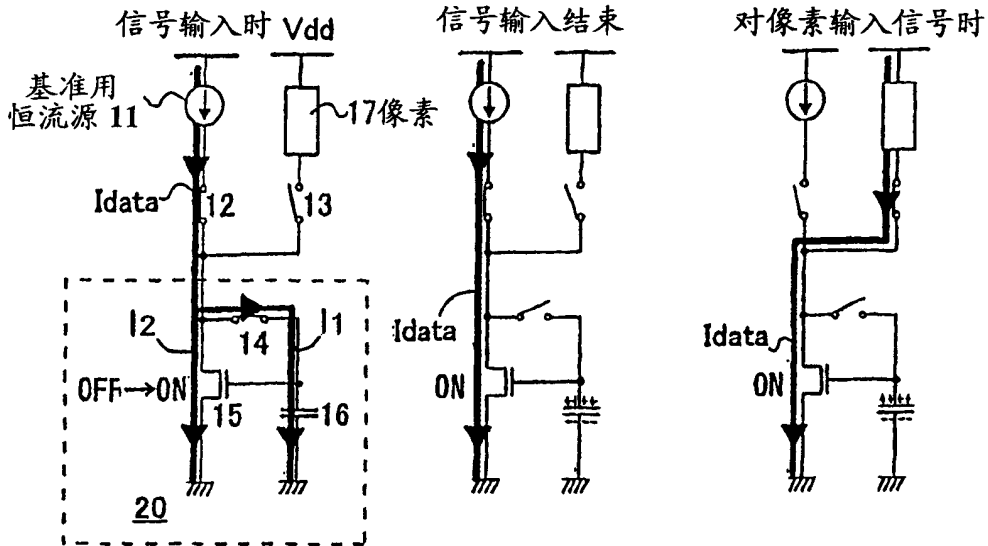


图 19D

图 19F

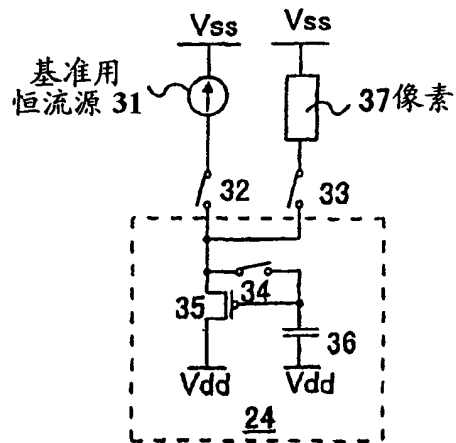
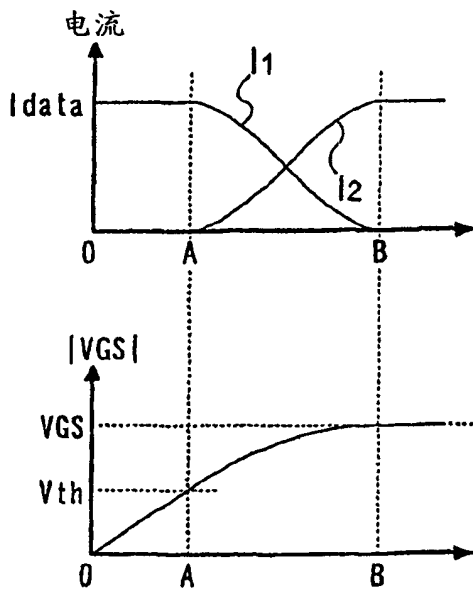


图 19E

图 20A

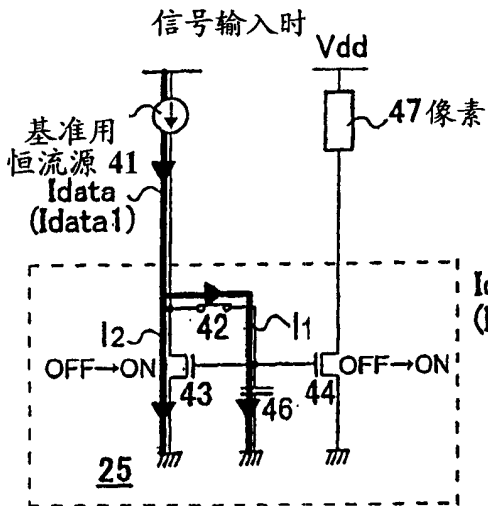


图 20B

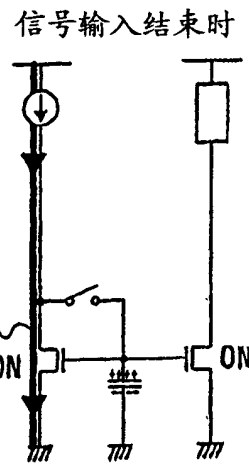


图 20C

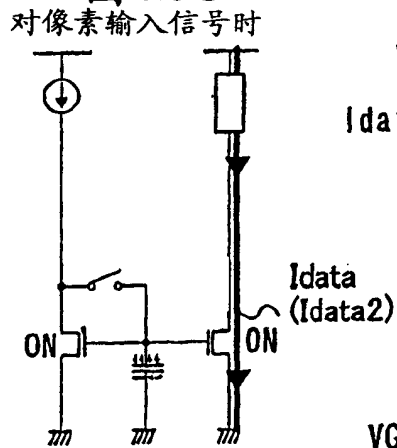


图 20D

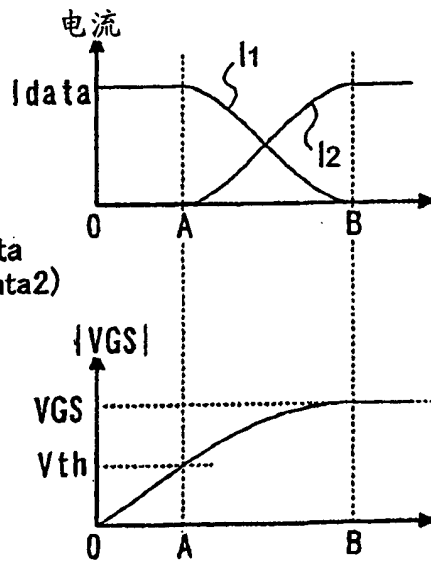


图 20E

图 21

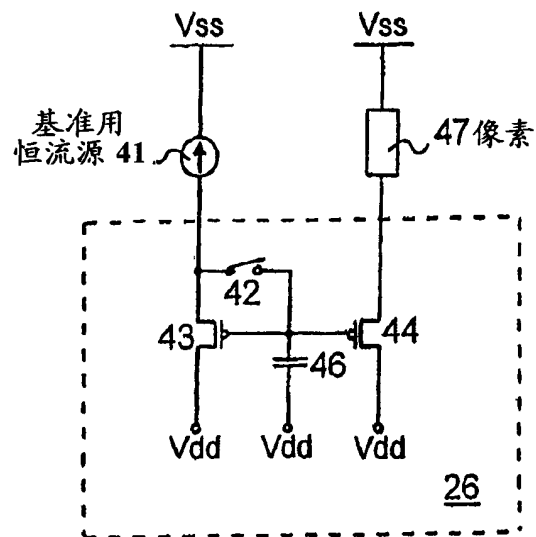


图 22A

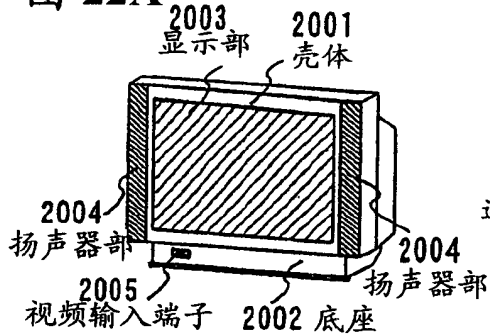


图 22B

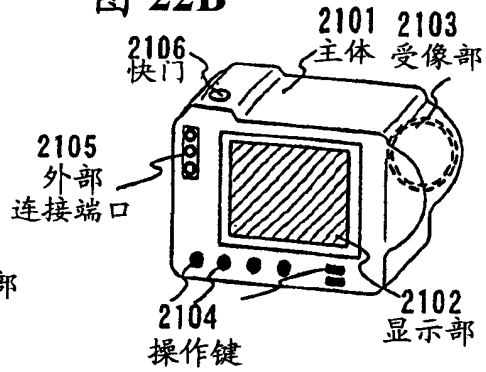


图 22C

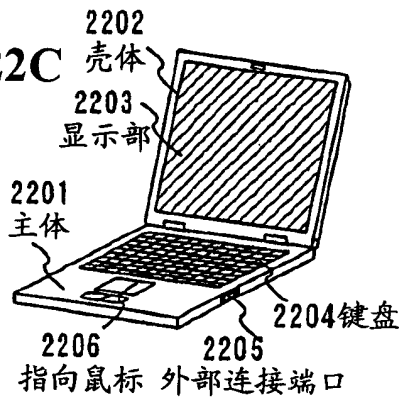


图 22D

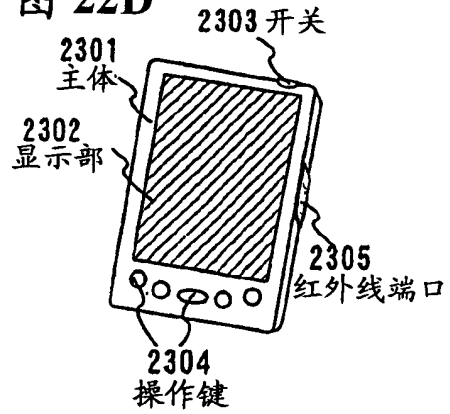


图 22E

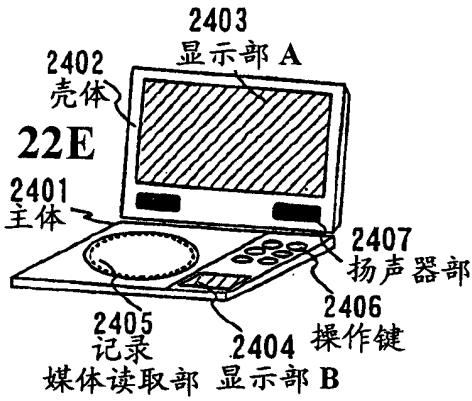


图 22F

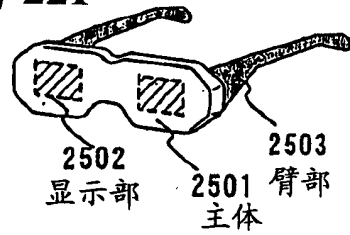


图 22G

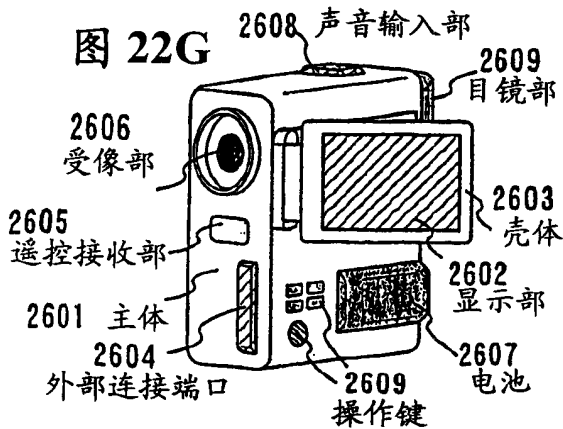
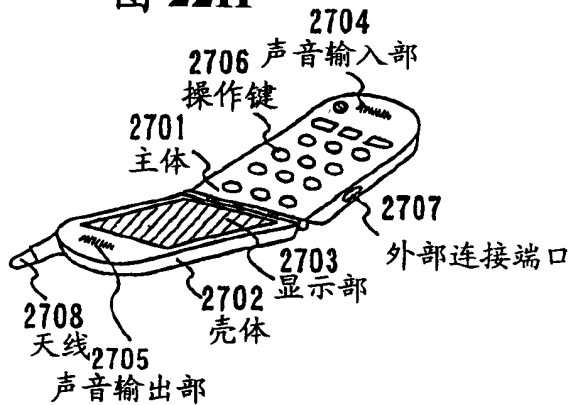


图 22H



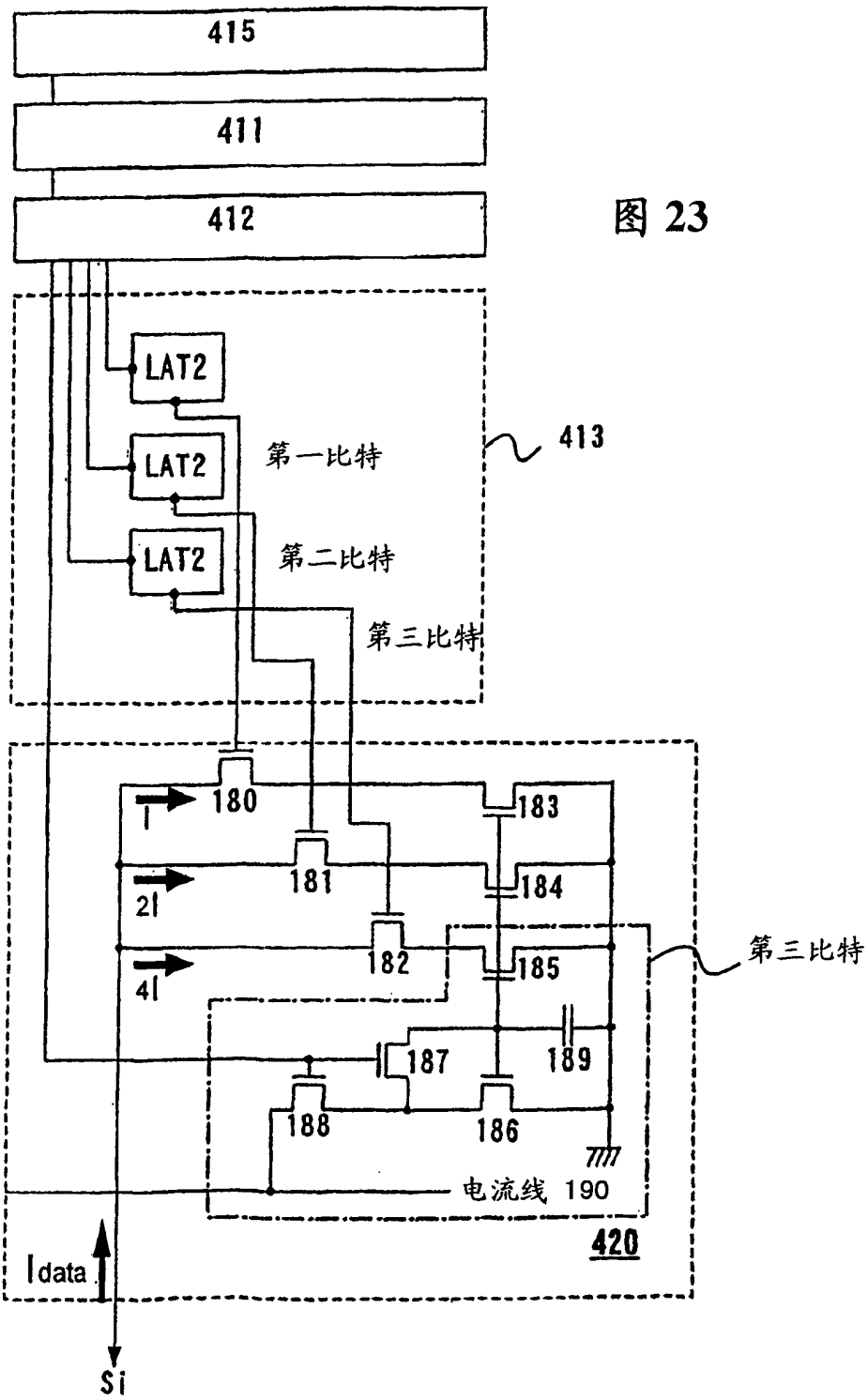


图 23

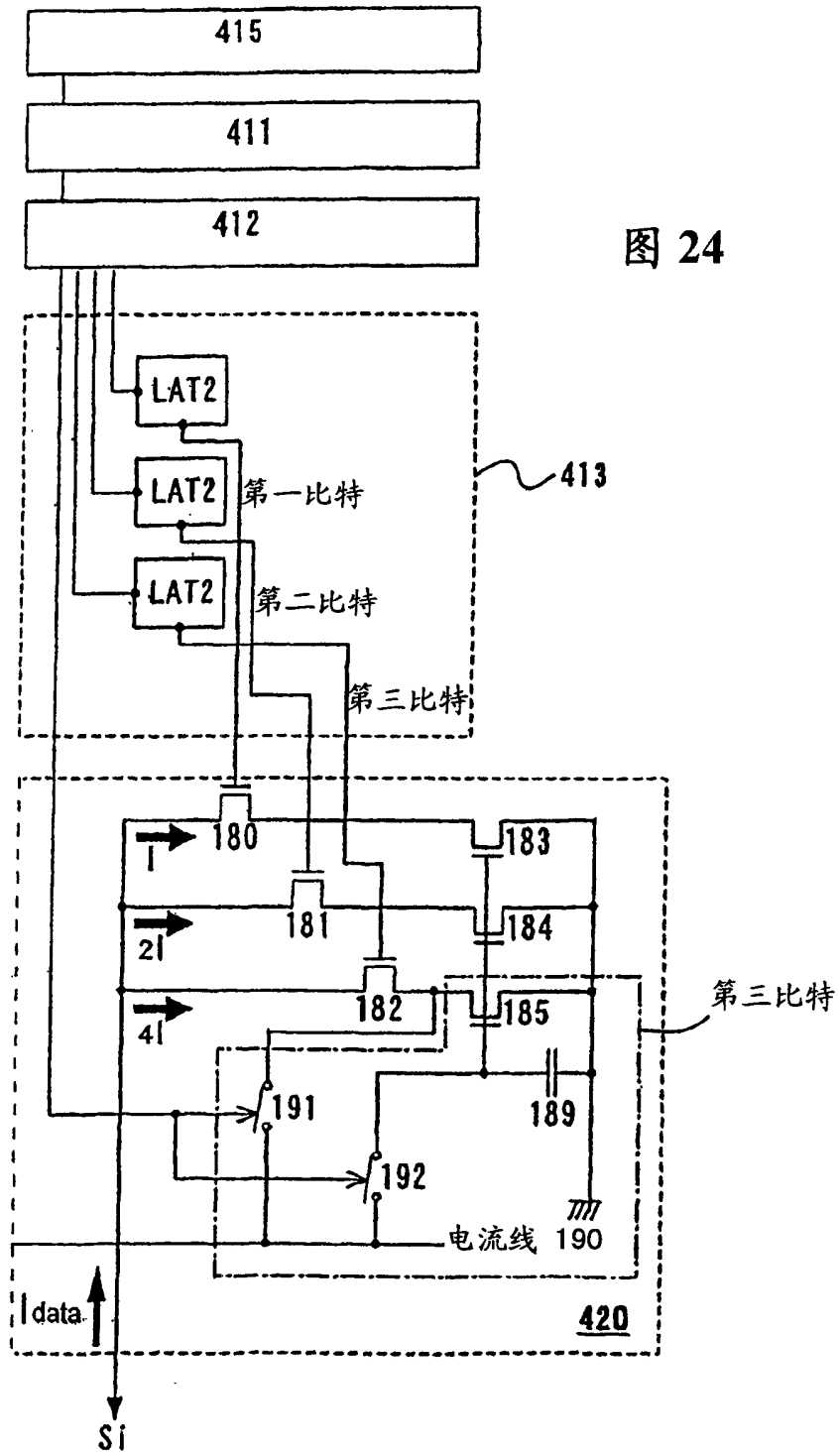
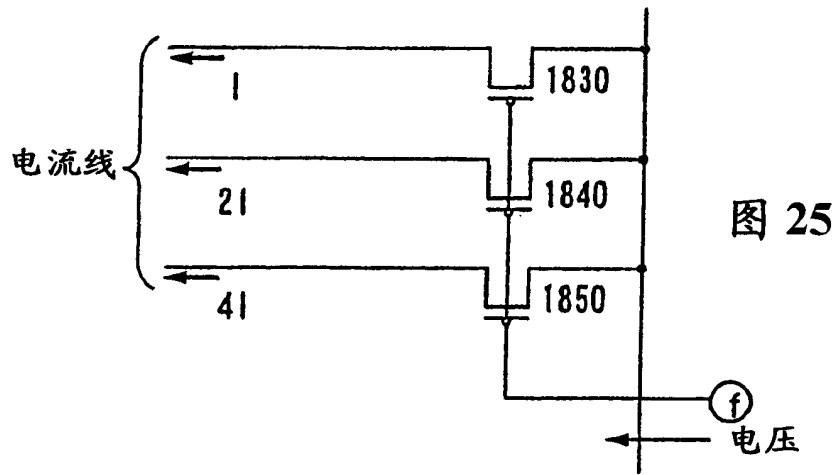


图 24



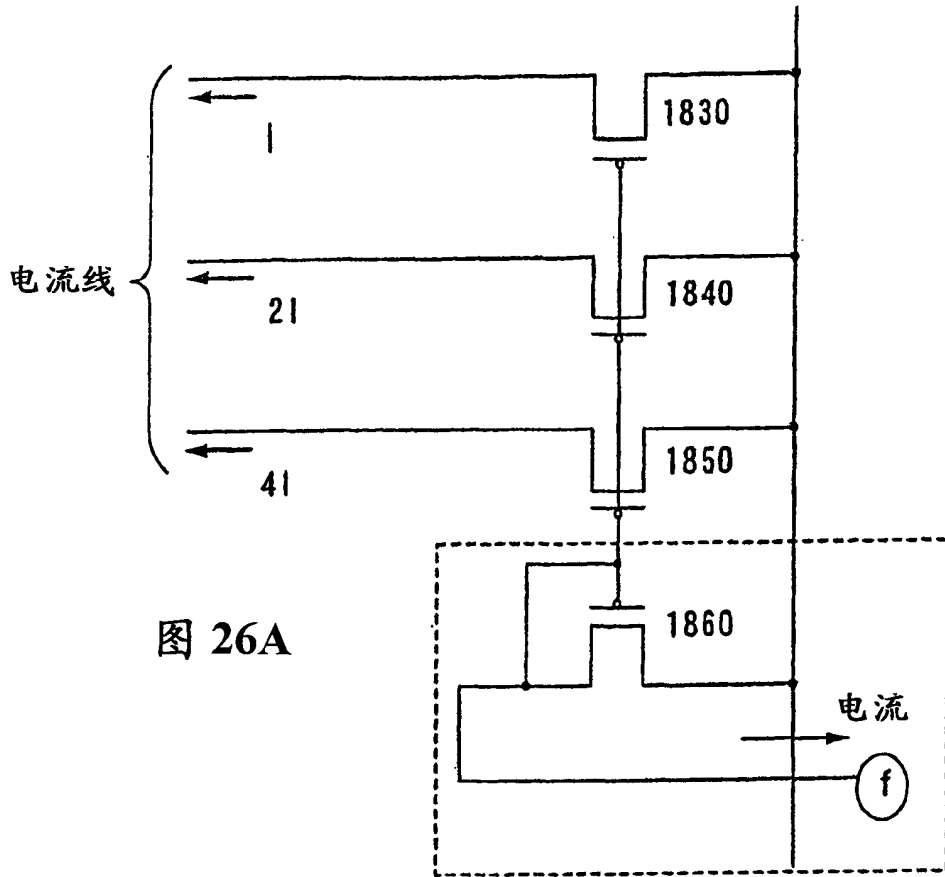


图 26A

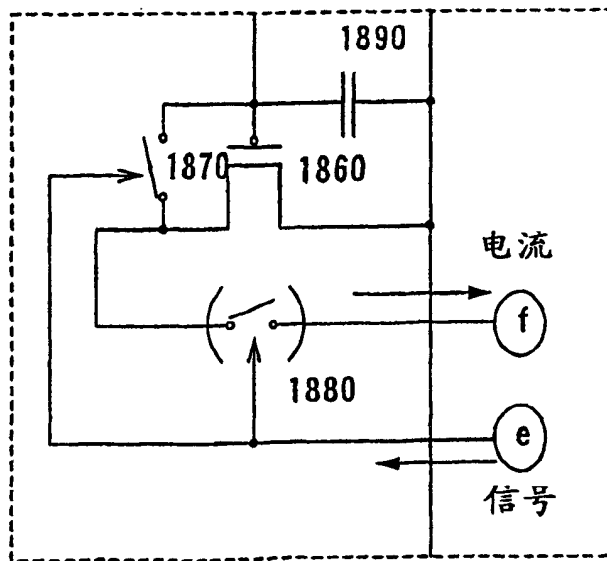


图 26B

图 27

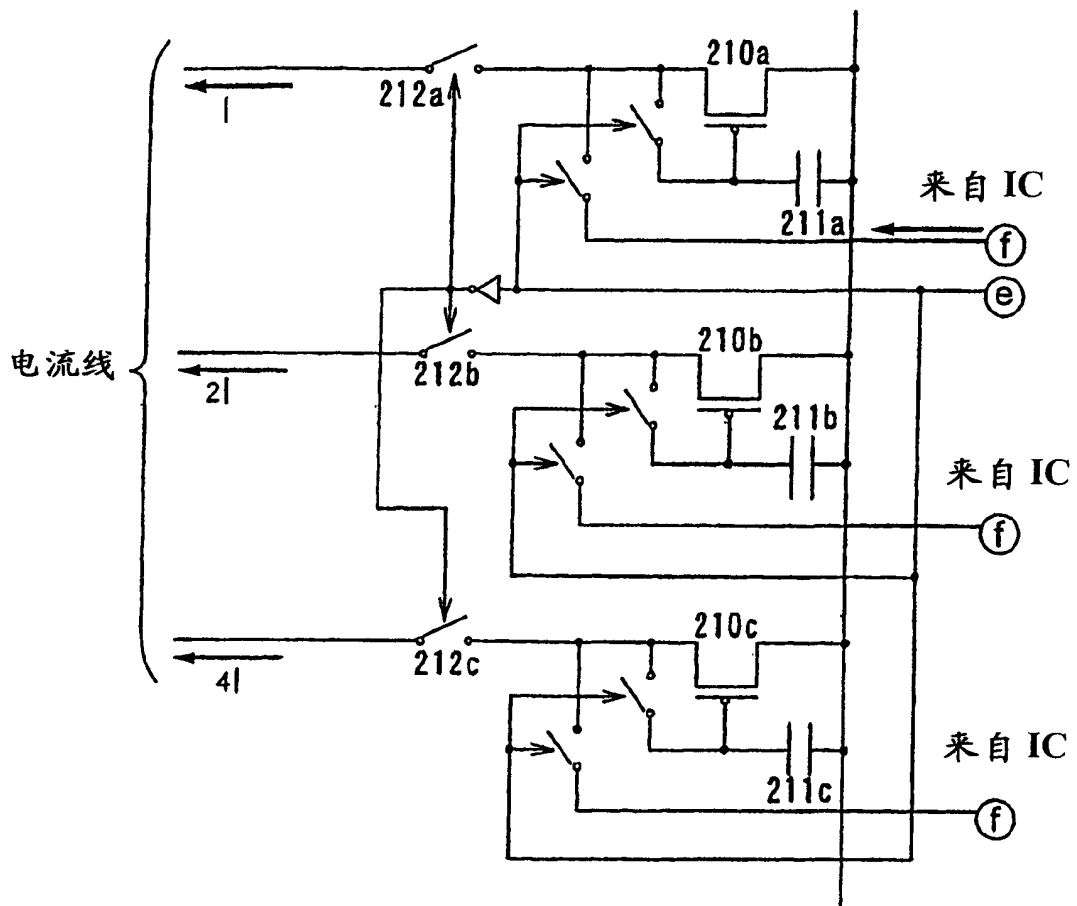


图 28

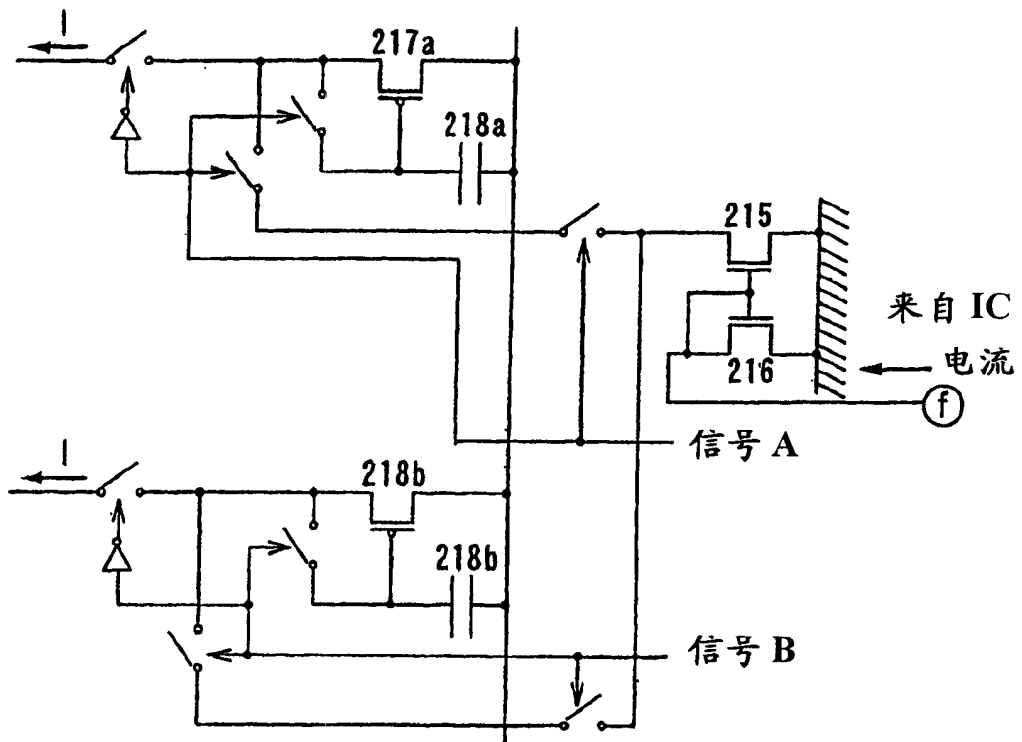
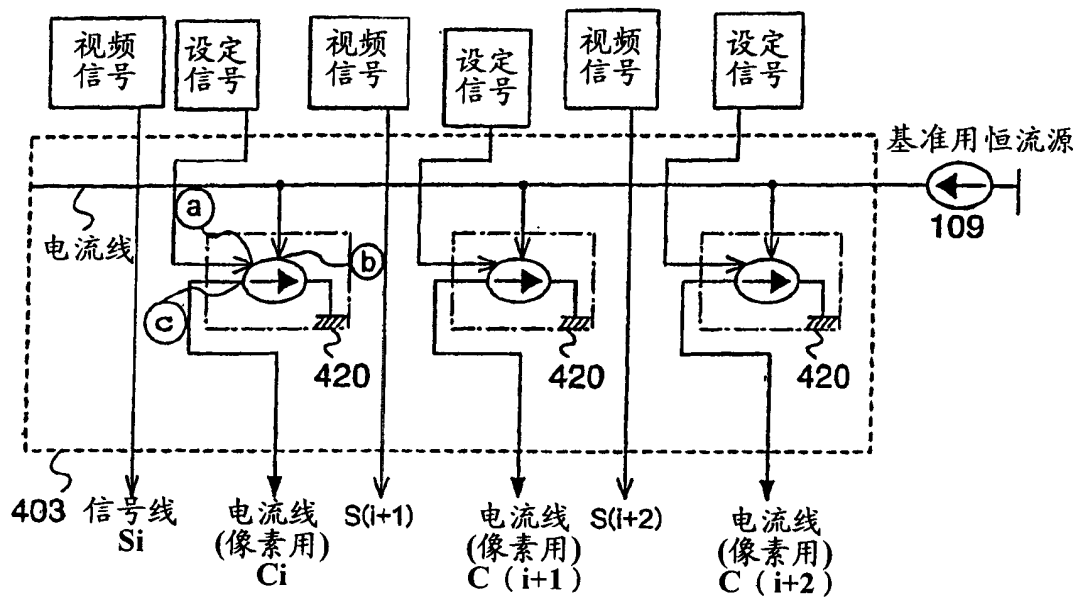
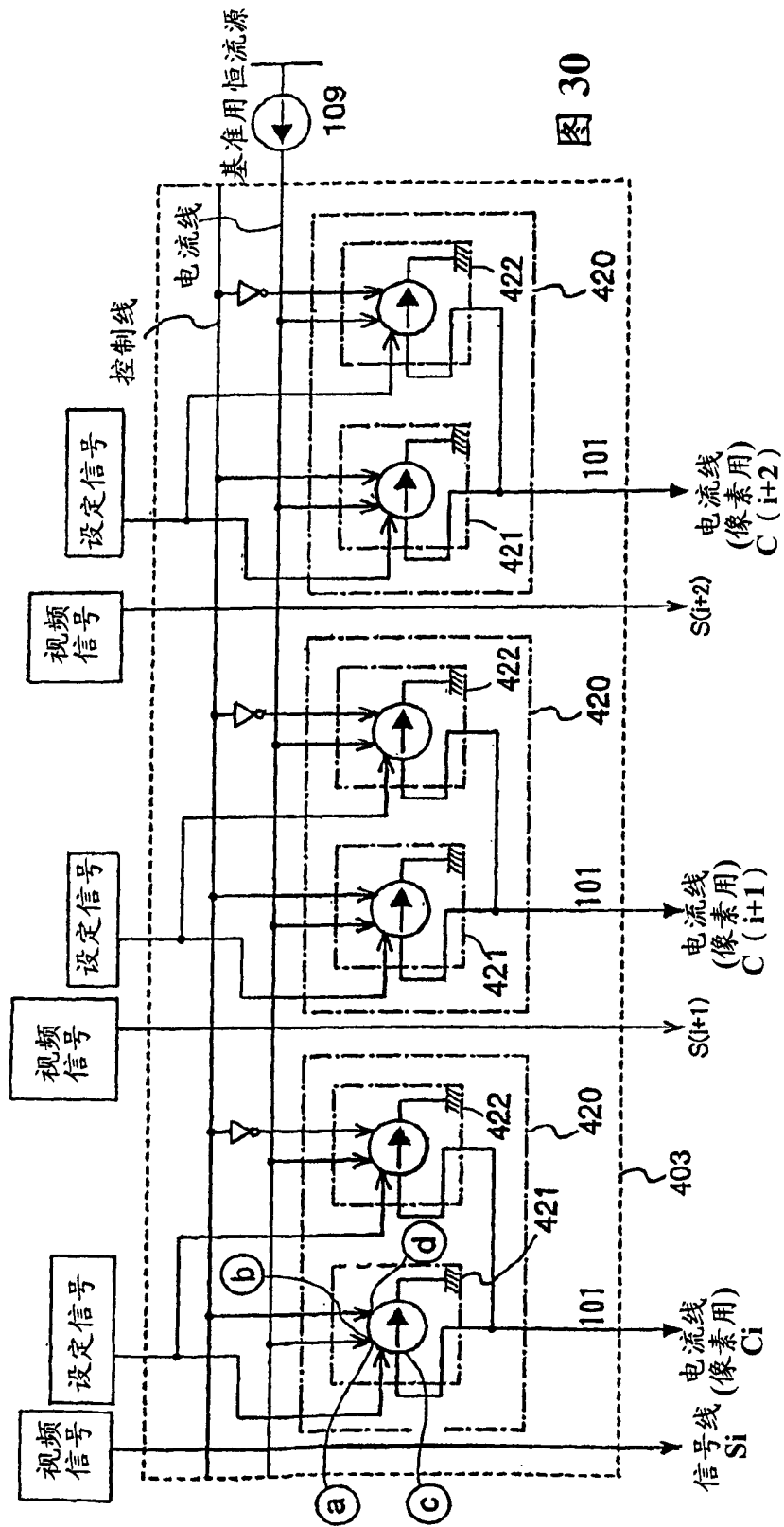
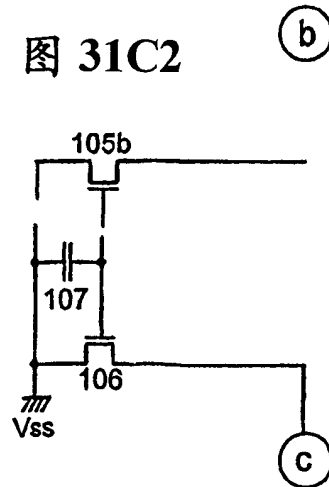
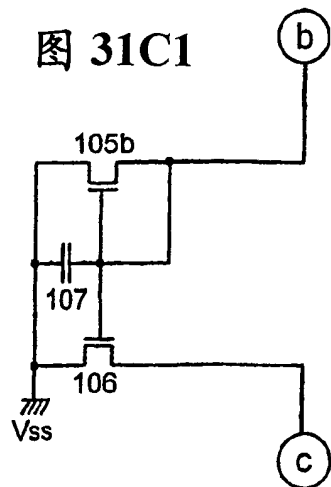
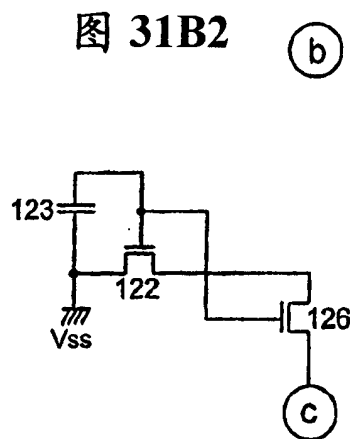
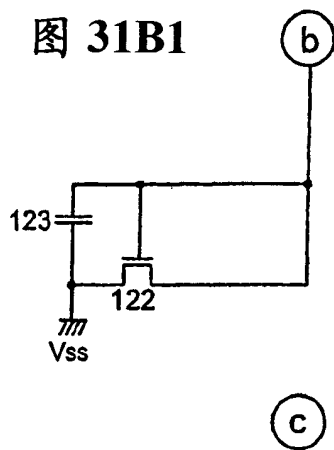
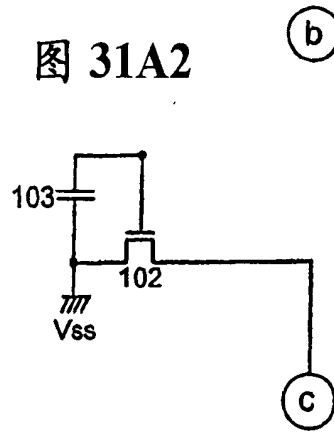
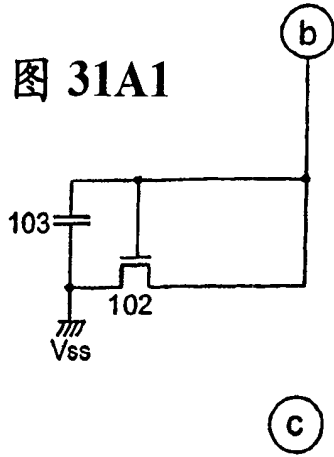


图 29







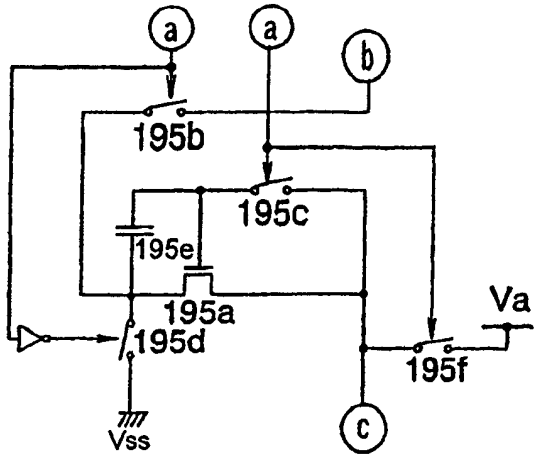


图 32A

图 32B1

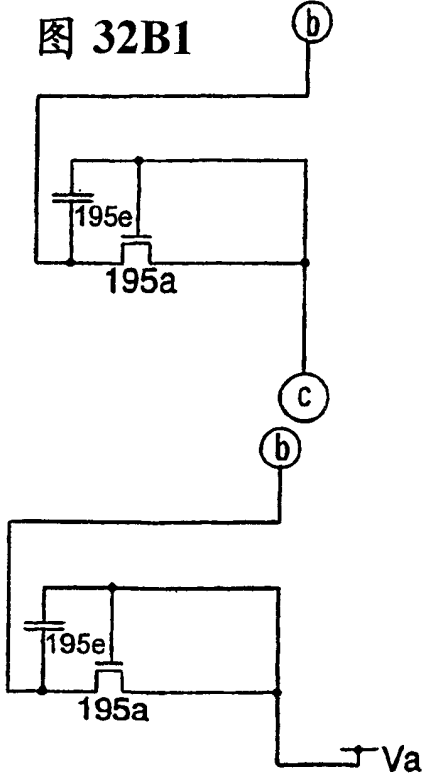


图 32C1

图 32B2

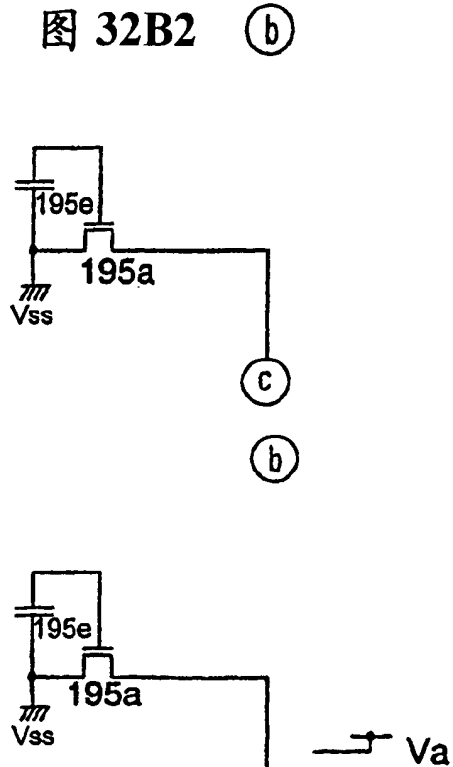


图 32C2

图 33A

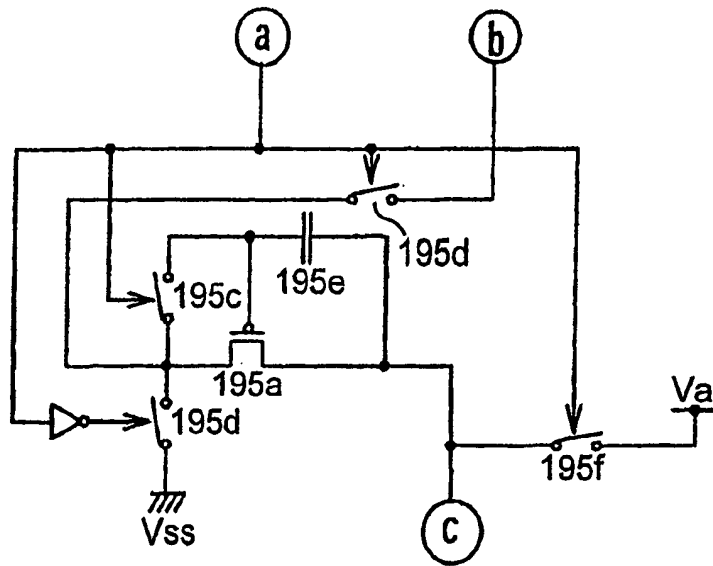
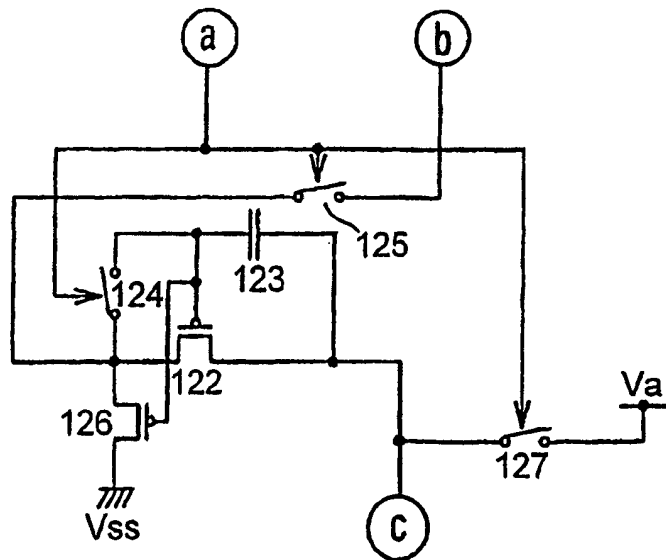


图 33B



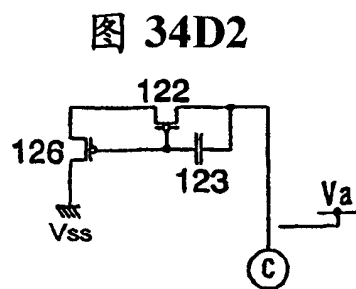
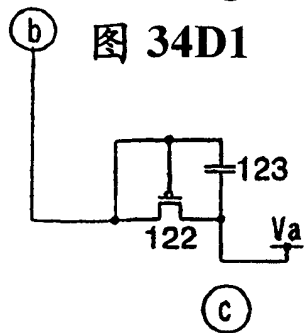
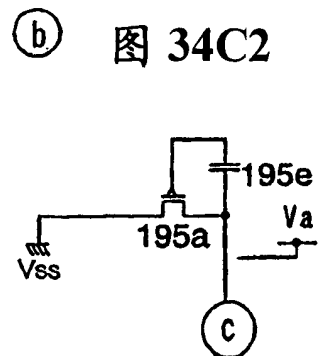
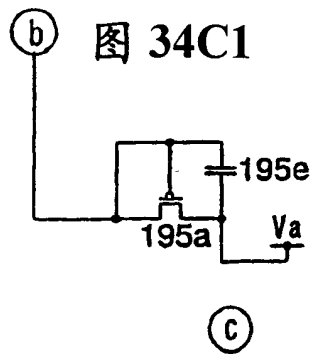
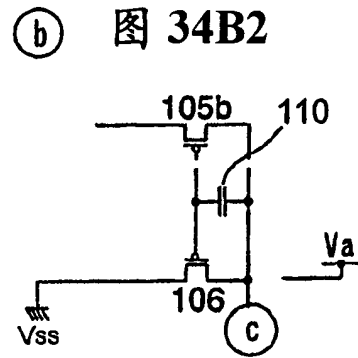
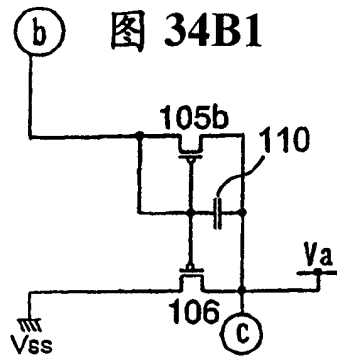
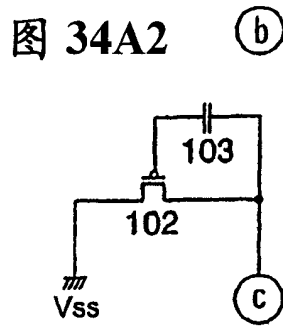
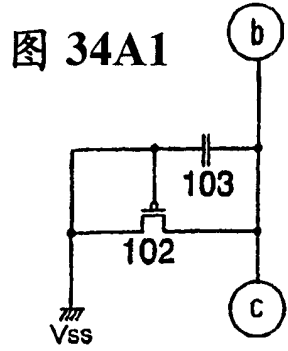


图 35A

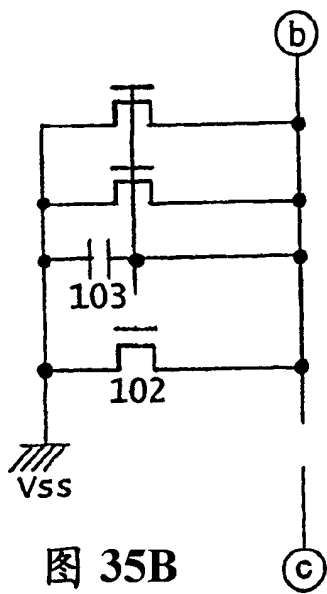
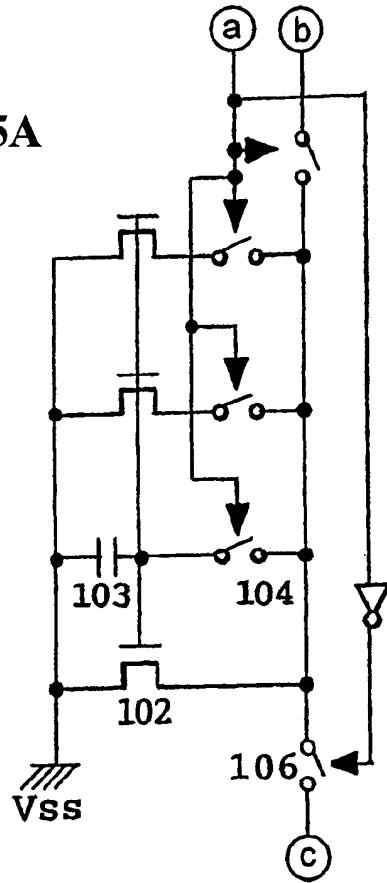


图 35B

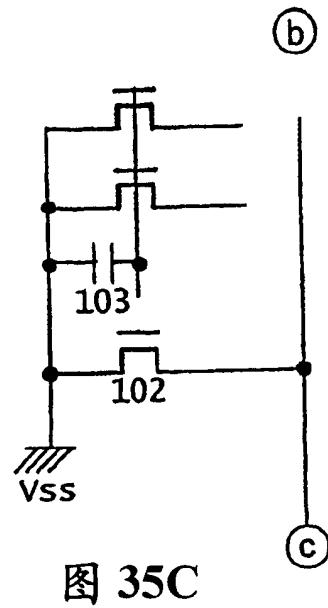


图 35C

图 36

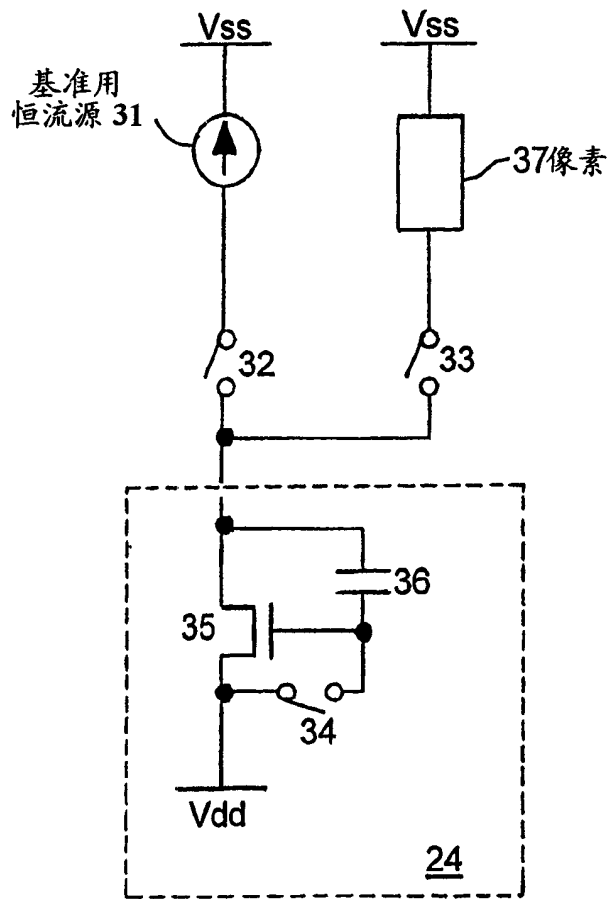
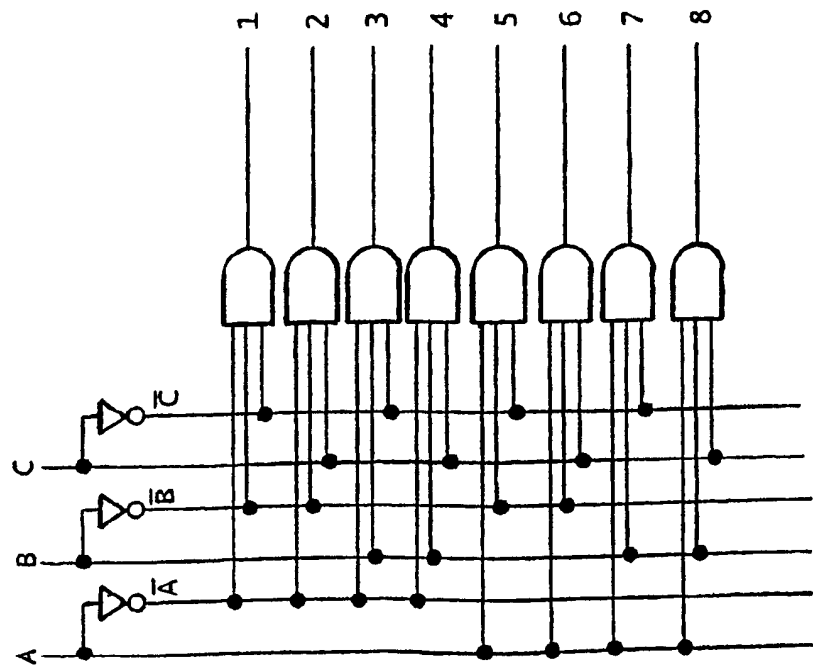


图 37



A	B	C	第一行	第二行	第三行	第四行	第五行	第六行	第七行	第八行
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

图 38A

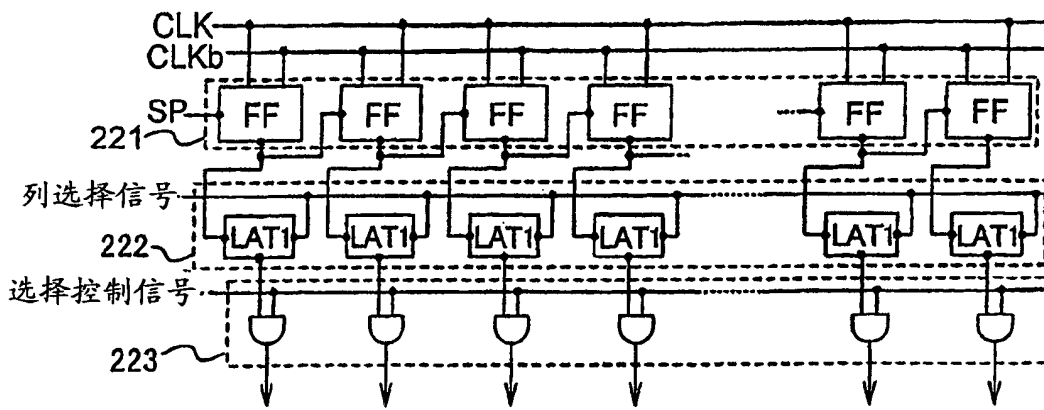


图 38B

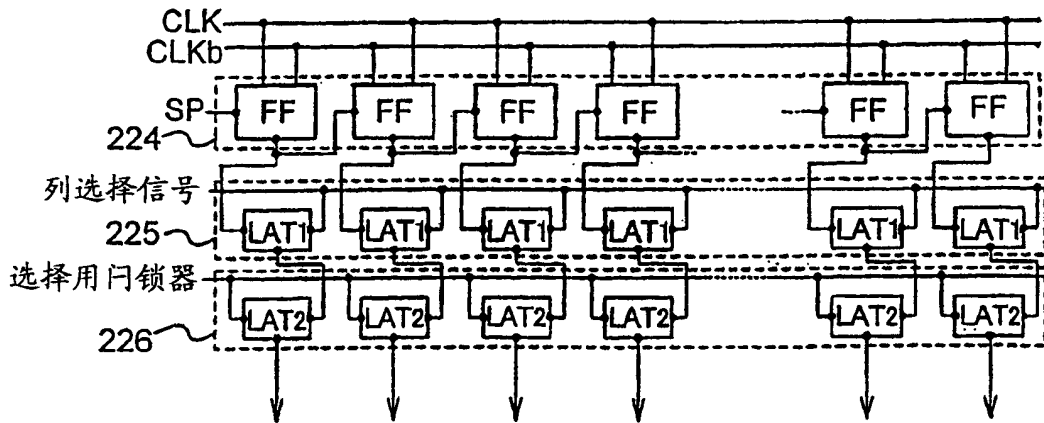


图 39

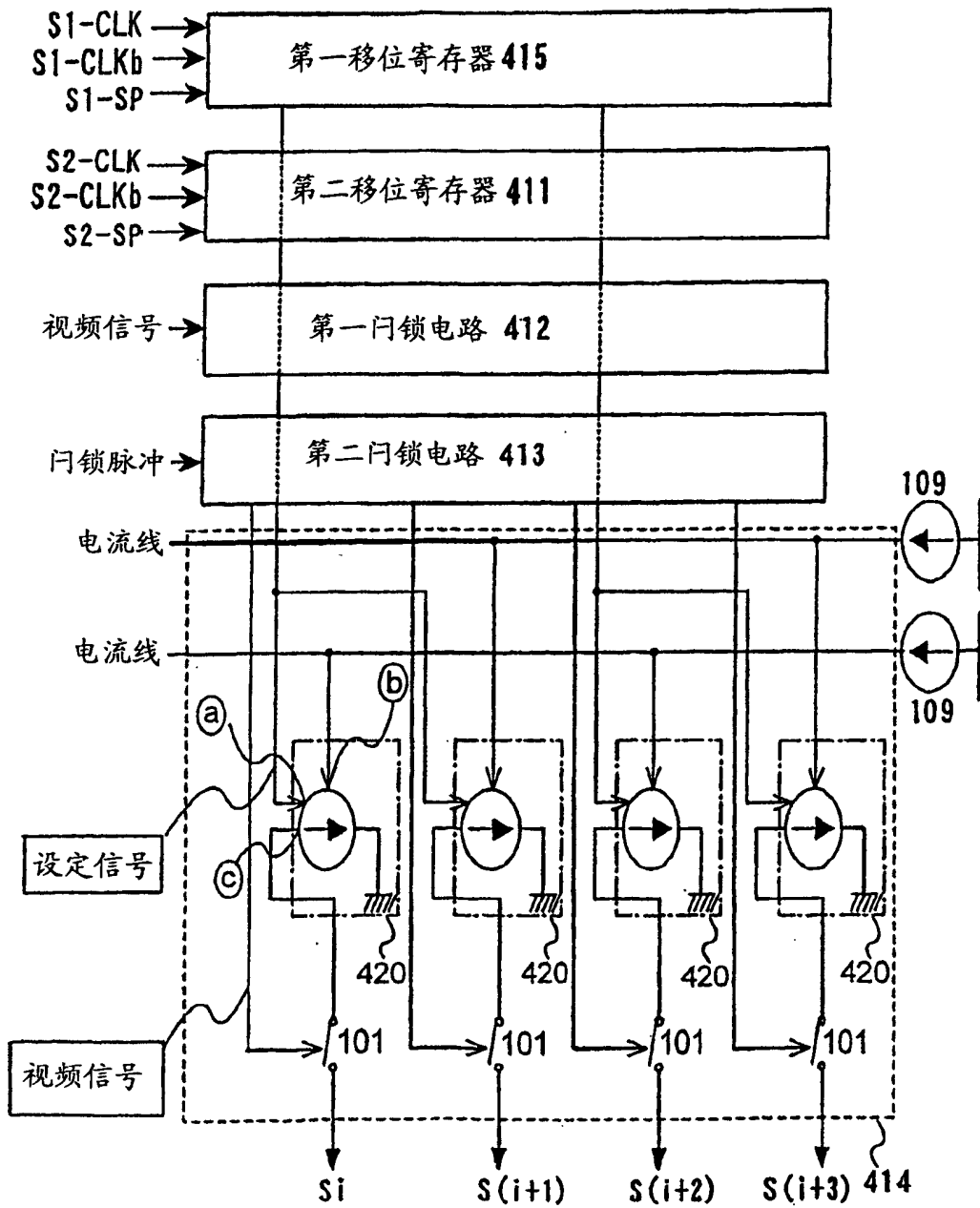


图 40

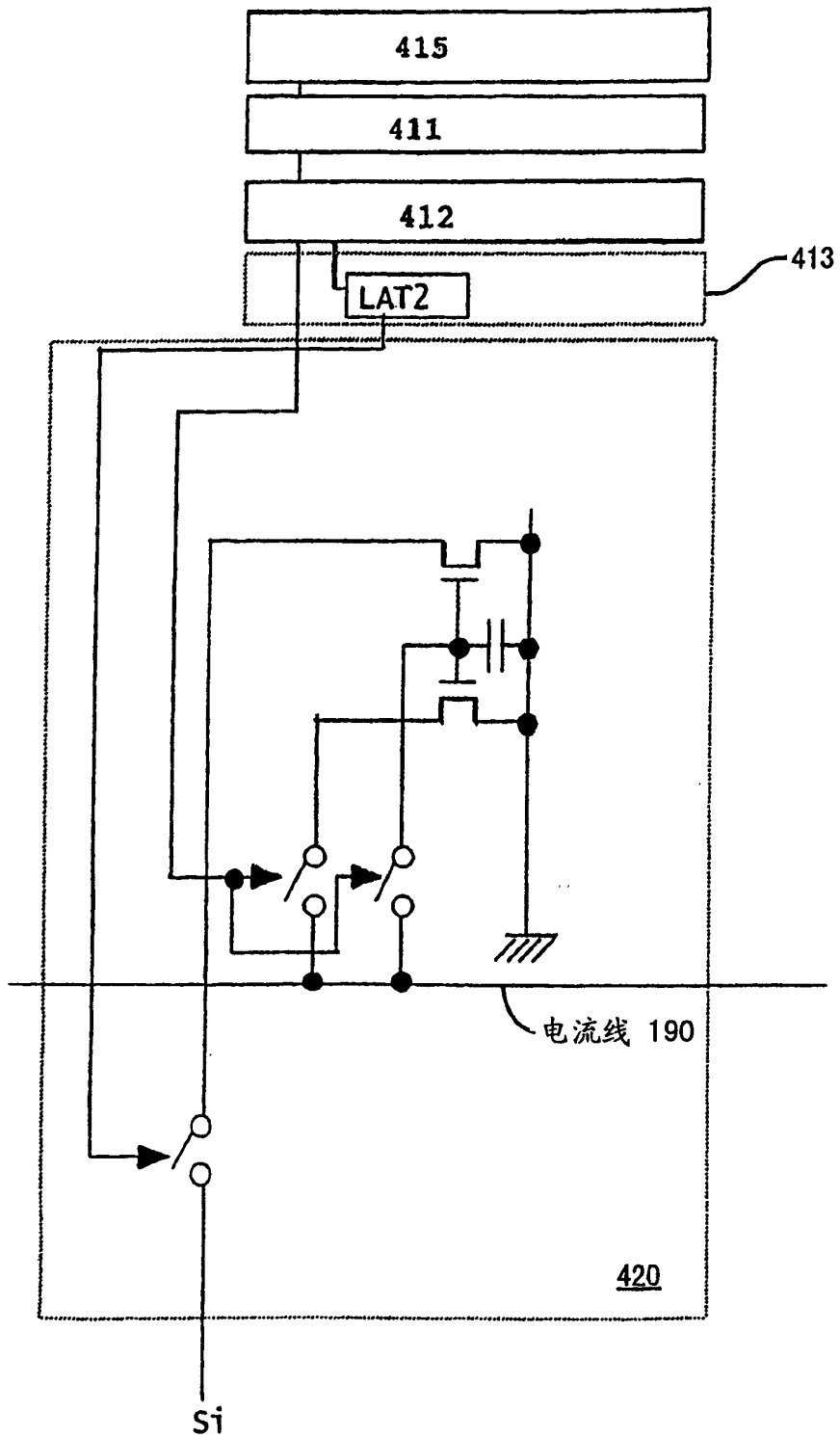


图 41

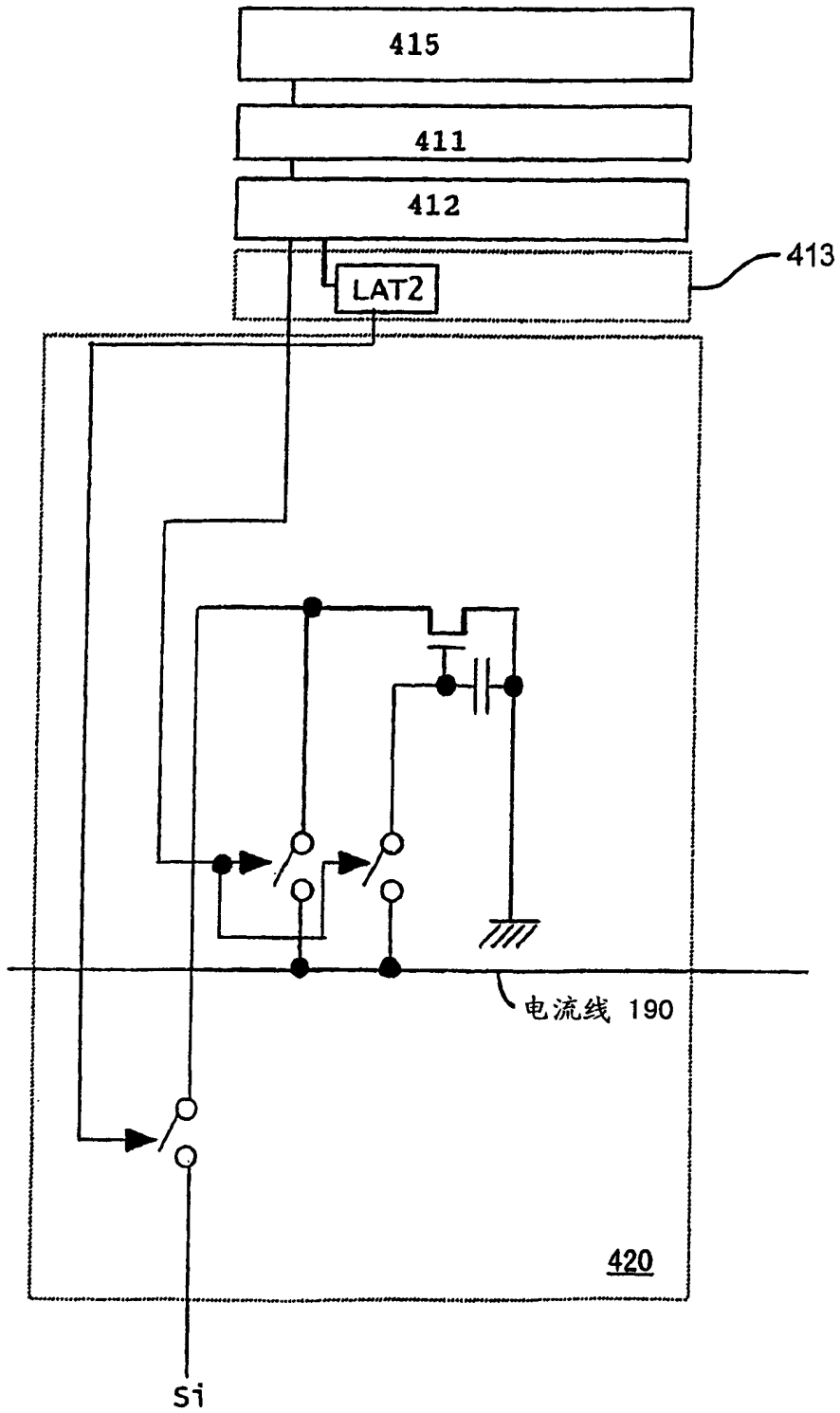


图 42A

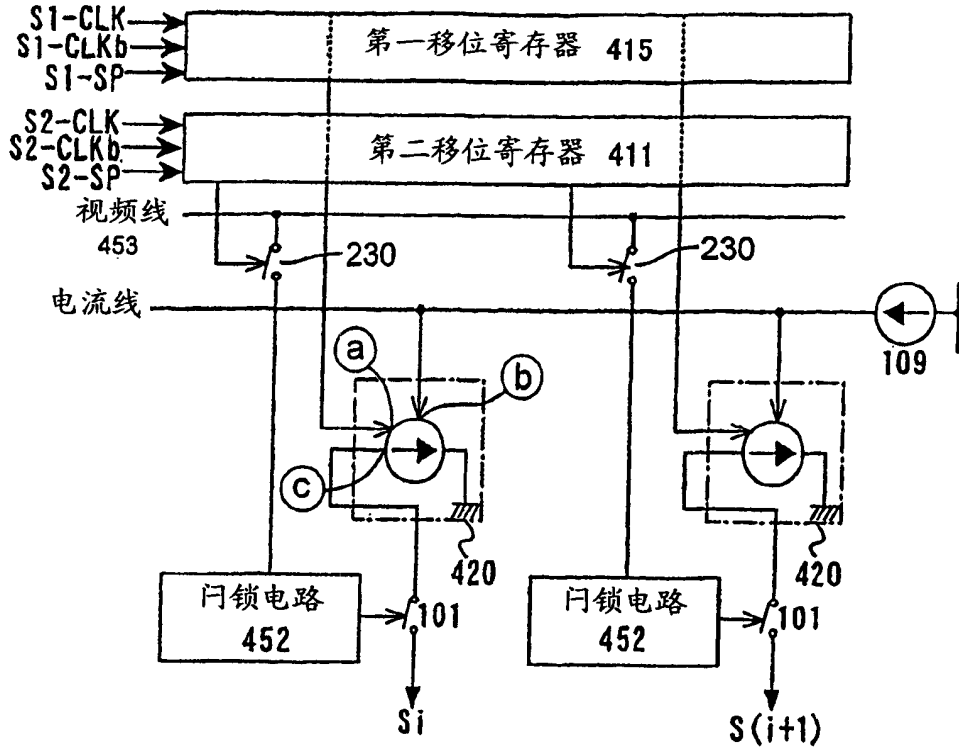


图 42B

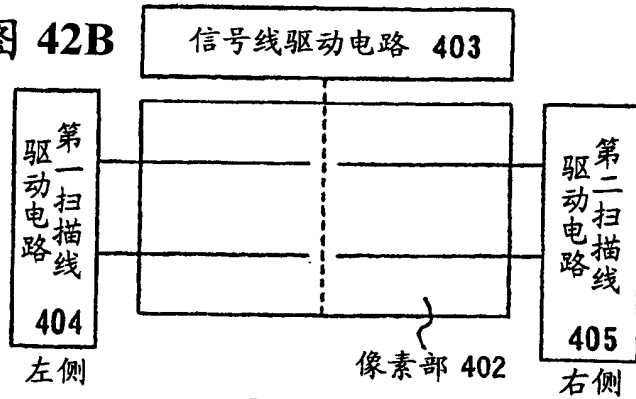


图 42C

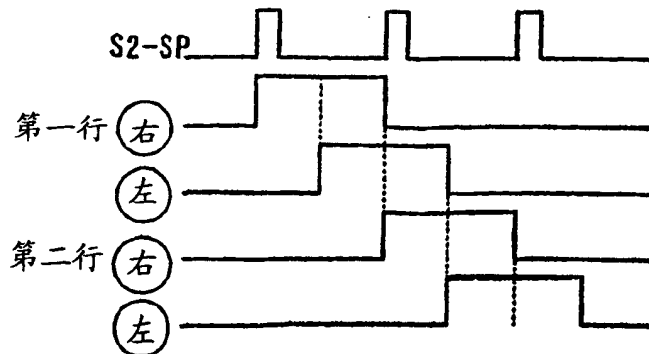
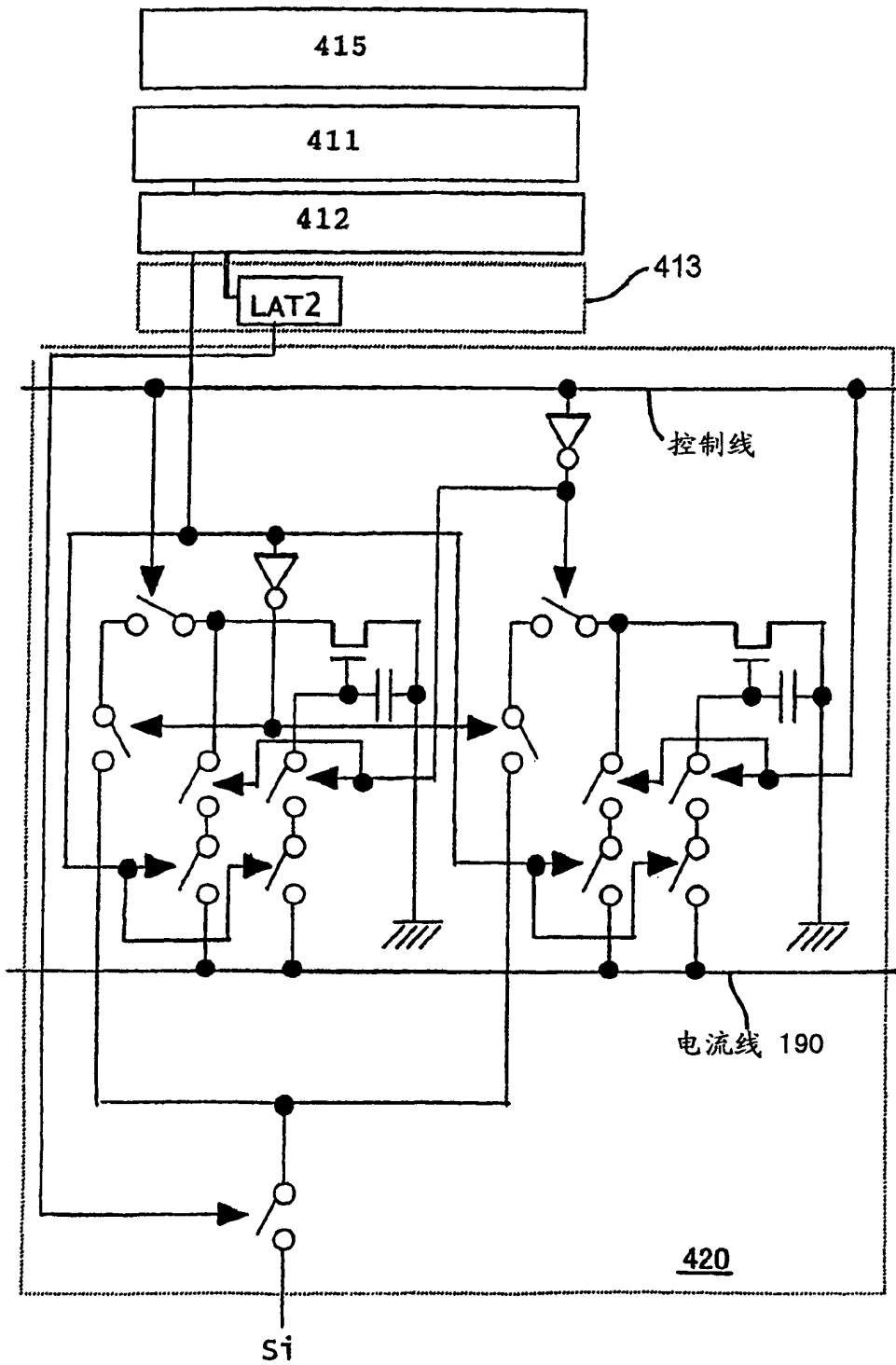


图 43



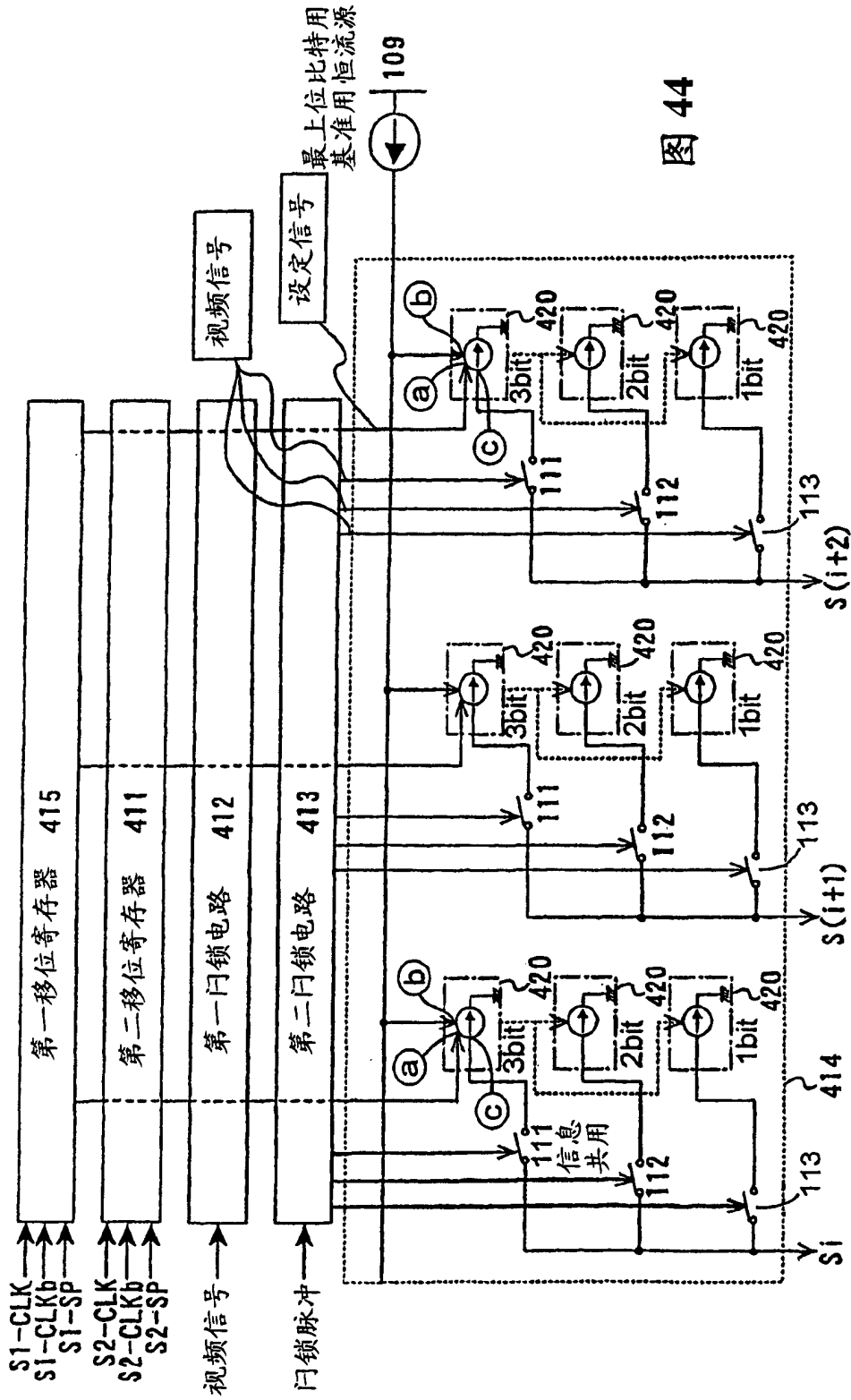
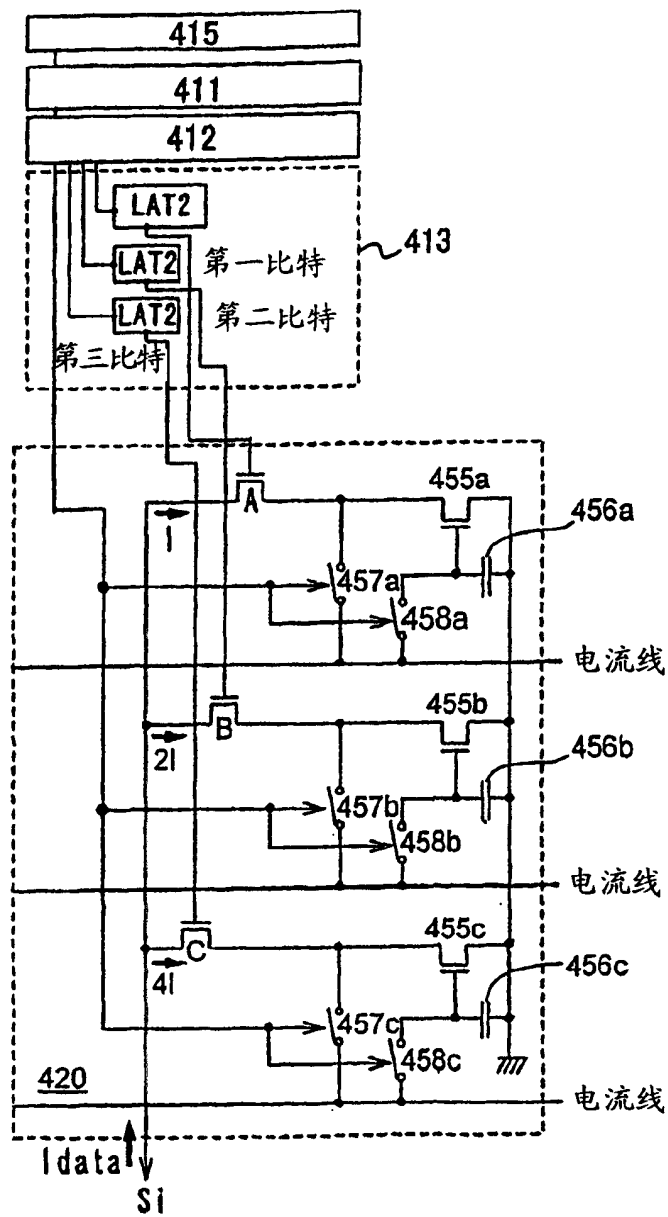


图 44

图 45



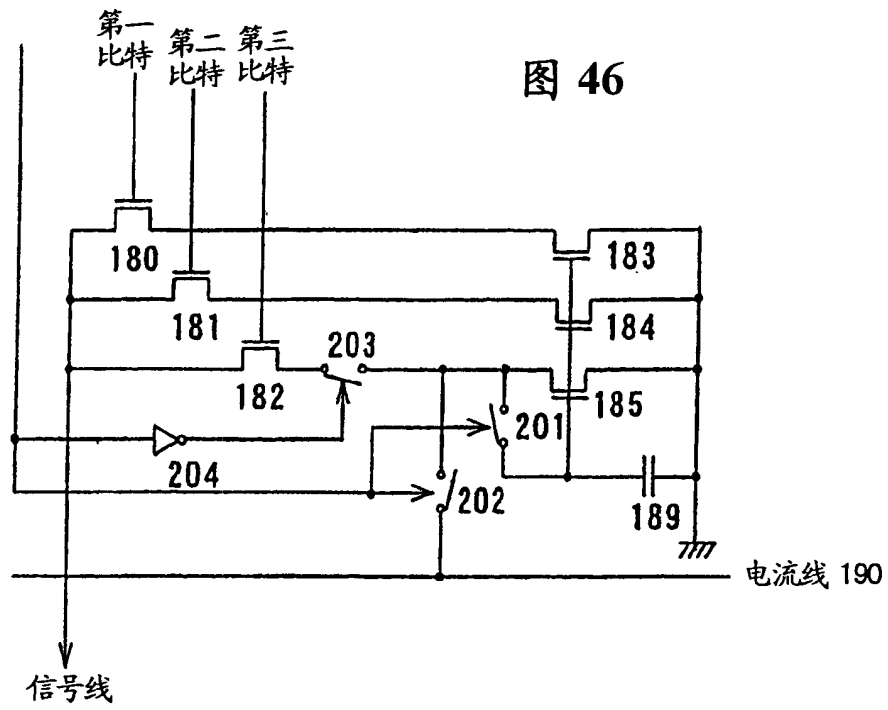


图 47

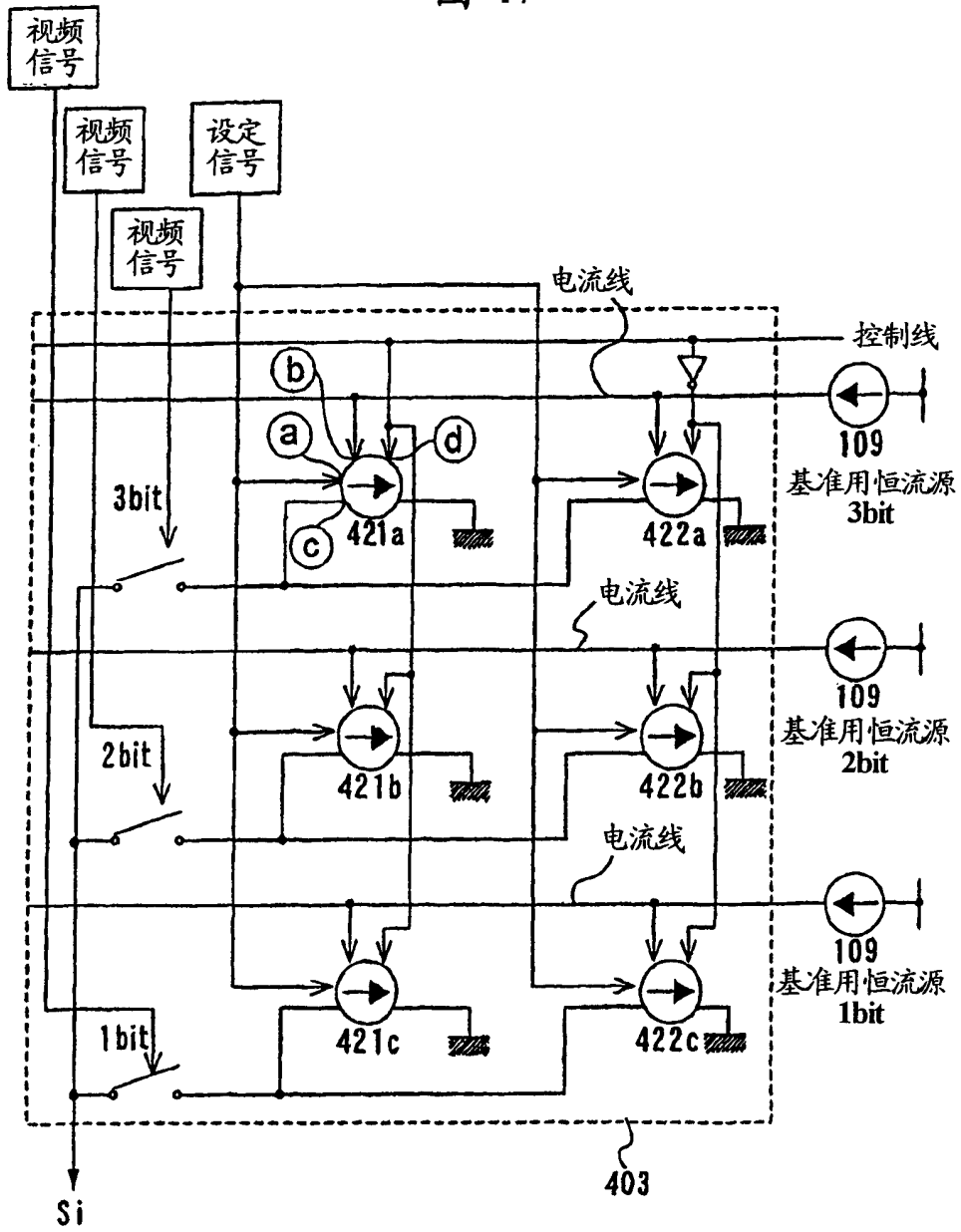


图 48

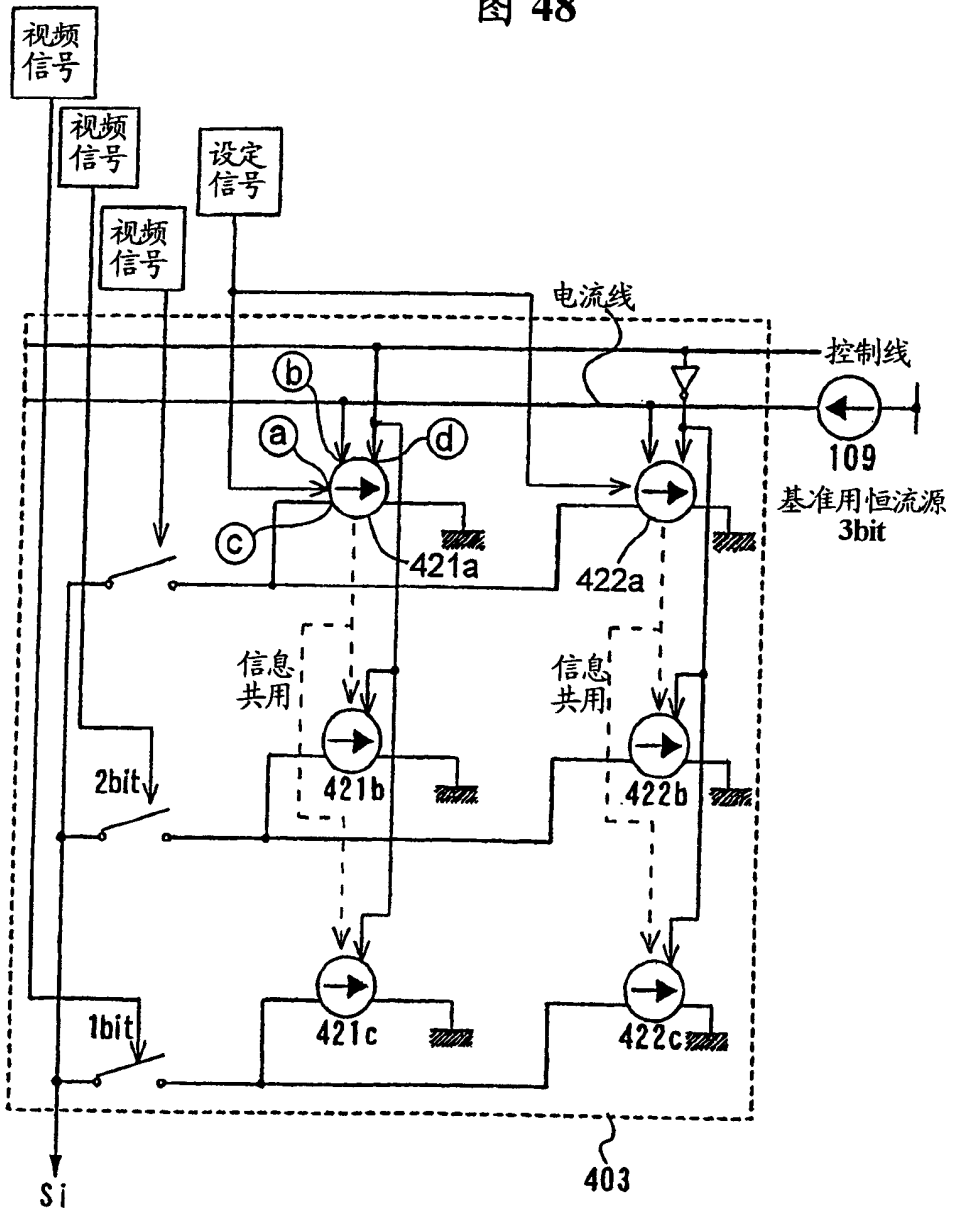


图 49A

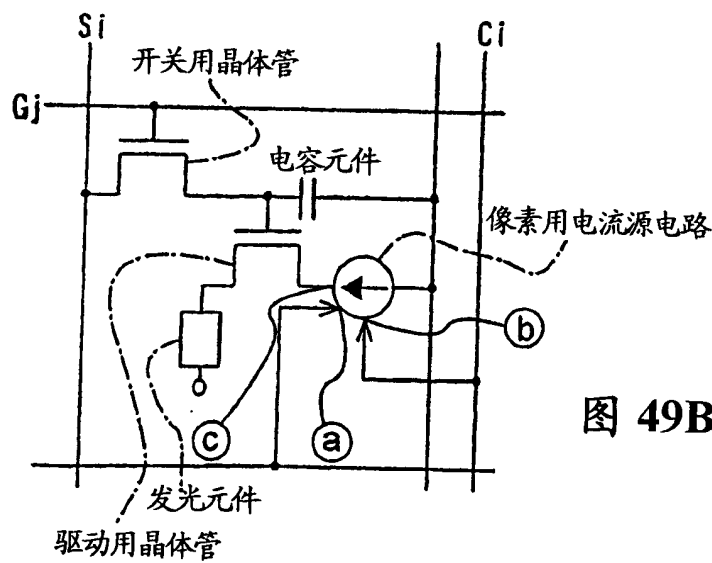
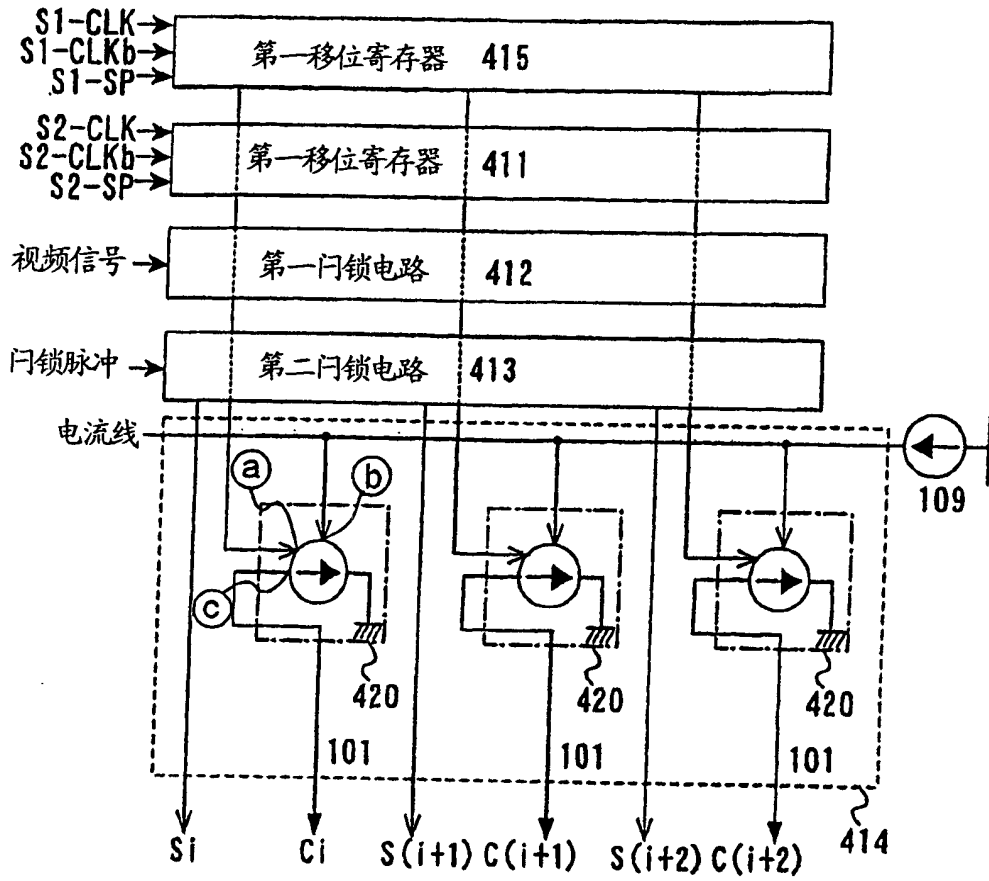


图 49B

图 50

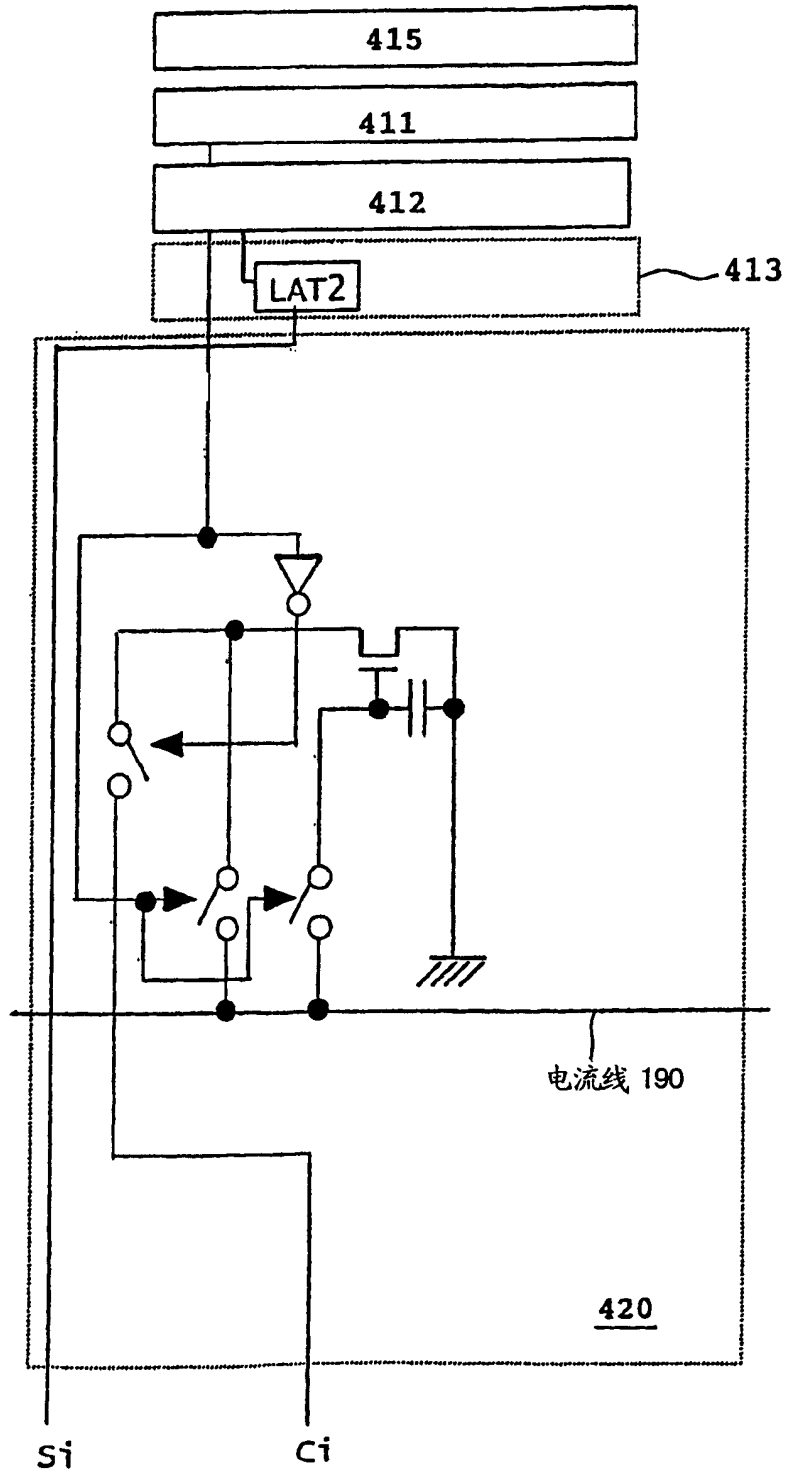


图 51

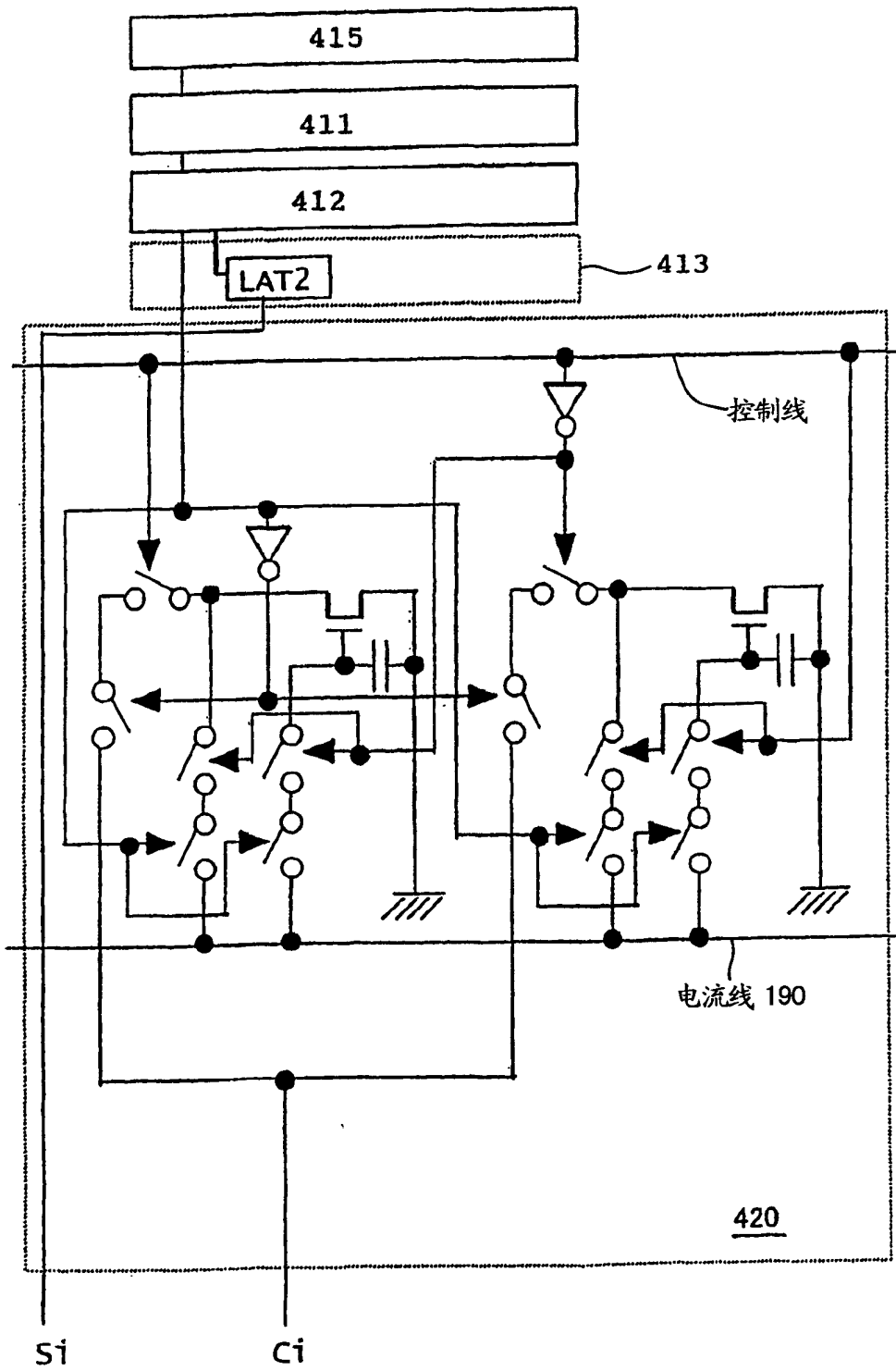


图 52A

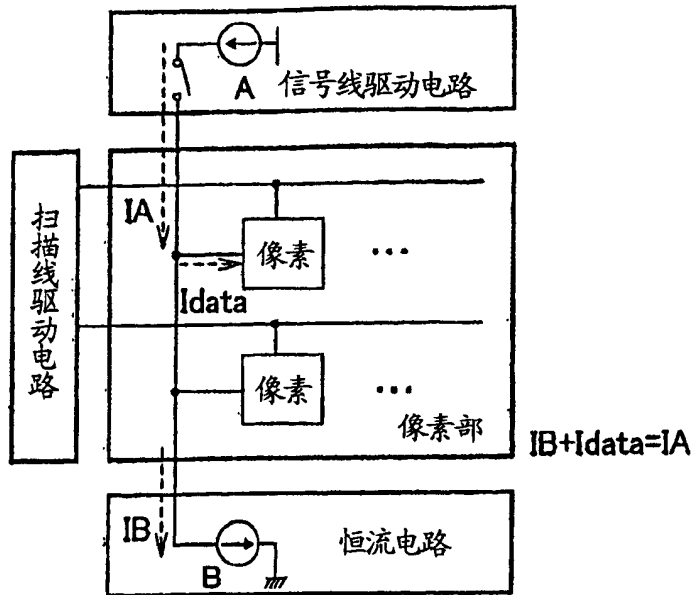


图 52B

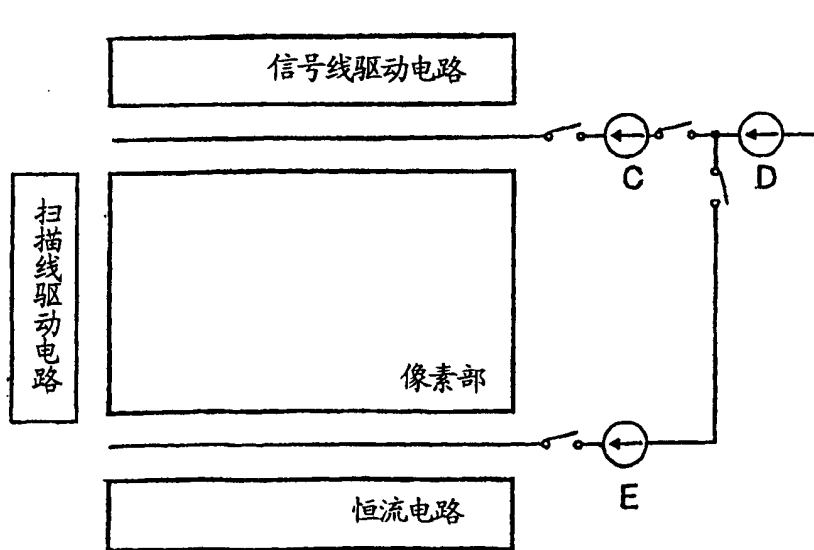


图 54

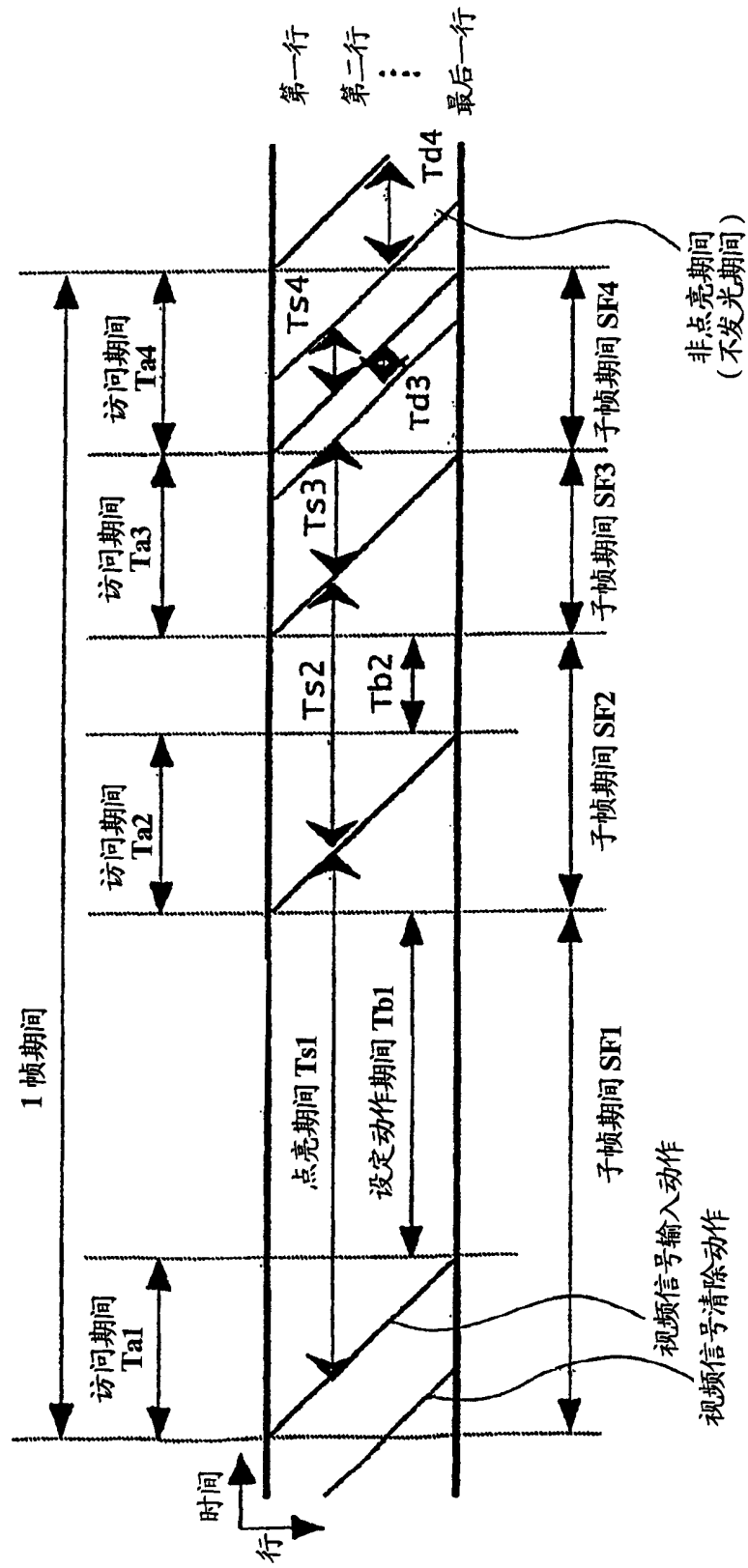
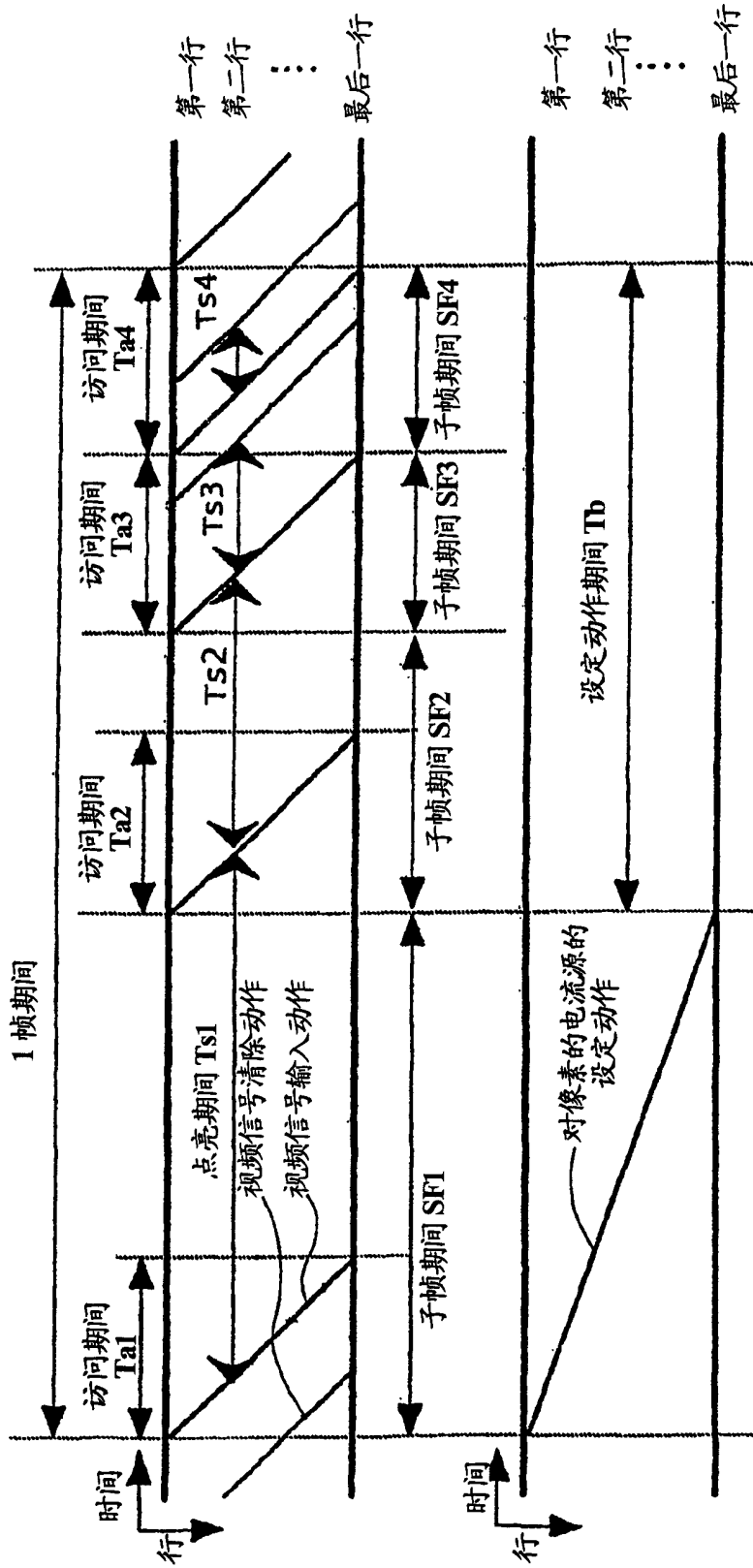


图 55



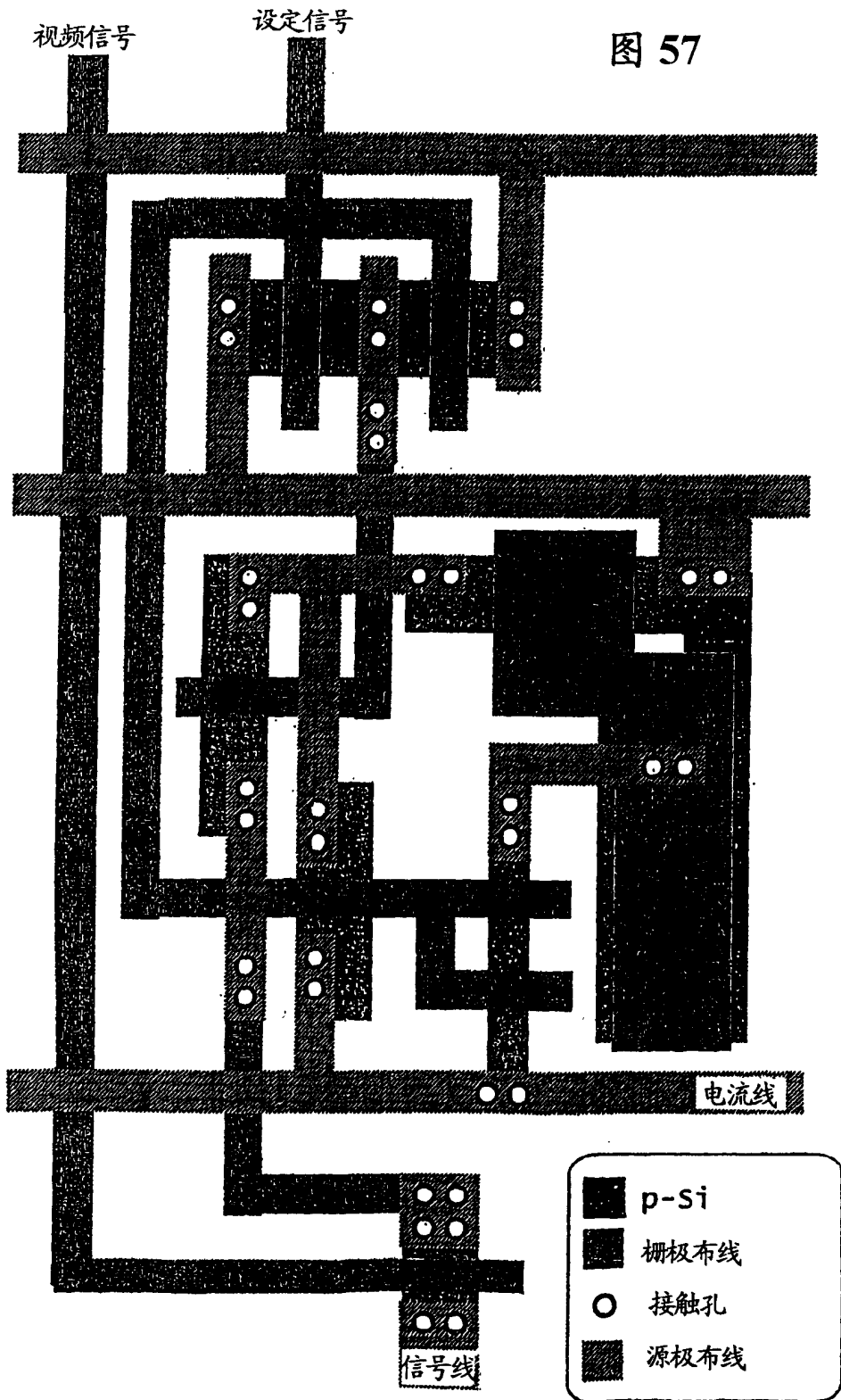


图 58

