

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 02.04.01.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 04.10.02 Bulletin 02/40.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR.

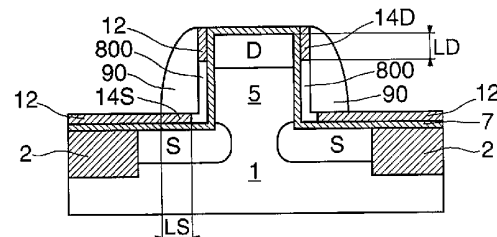
72 Inventeur(s) : SKOTNICKI THOMAS et JOSSE
EMMANUEL.

73 Titulaire(s) :

74 Mandataire(s) : CASALONGA ET JOSSE.

54 PROCÉDE DE FABRICATION D'UN TRANSISTOR VERTICAL A GRILLE ISOLEE A FAIBLE RECOUVREMENT DE LA GRILLE SUR LA SOURCE ET SUR LE DRAIN, ET CIRCUIT INTEGRE COMPORTANT UN TEL TRANSISTOR.

57 Le transistor vertical comporte sur un substrat semi-conducteur, un pilier vertical 5 incorporant à son sommet l'une des régions de source et de drain, l'autre des régions de source et de drain étant située dans la substrat à la périphérie du pilier, une couche de diélectrique de grille 7 située sur les flancs du pilier et sur la surface supérieure du substrat, et une grille semiconductrice s'appuyant sur la couche de diélectrique de grille. La grille comporte un bloc semiconducteur possédant une première région 800 s'appuyant sur la couche de diélectrique de grille 7, et une deuxième région 90 située en regard de parties au moins des régions de source et de drain, et séparée de ces parties des régions de source et de drain par des cavités diélectriques 14S, 14D.



Procédé de fabrication d'un transistor vertical à grille isolée à faible recouvrement de la grille sur la source et sur le drain, et circuit intégré comportant un tel transistor.

L'invention concerne les circuits intégrés et plus particulièrement les transistors verticaux à grilles isolées.

L'invention s'applique notamment mais non exclusivement aux circuits de logique rapide ainsi qu'aux circuits radiofréquence. Plus
5 généralement, l'invention trouve une application dans les technologies inférieures à 0,07 micron.

Le transistor vertical est un dispositif permettant de contourner les limites du transistor MOS dit "plan" ("planar"), de longueur inférieure à 0,1 micron. Son corps de conduction est constitué d'un pilier de silicium
10 isolé et enrobé par une grille. Il présente ainsi au moins deux interfaces de conduction. De ce fait, le courant I_{on} ainsi que la transconductance par unité de largeur sont au moins multipliés par deux. Pour des piliers de silicium suffisamment fins, de l'ordre de 50 nm, on assiste à un phénomène de couplage entre les grilles permettant de réduire les effets des canaux courts. Ceci permet de diminuer le dopage du pilier, ce qui est
15 particulièrement favorable du point de vue du courant I_{on} . D'autre part, la conduction sur plusieurs interfaces, alliée au couplage des grilles, permet de s'affranchir du besoin de réaliser des oxydes de grille ultrafins, ou bien des diélectriques à forte permittivité.

Par ailleurs, le transistor vertical est un support technologique
20 particulièrement bien adapté à la réalisation d'une architecture à grille enrobante avec des dimensions ultracourtes. En effet, la longueur du canal n'est pas fixée dans le cas du transistor vertical par la résolution de la photolithographie. On peut ainsi réaliser des canaux avec des dimensions
25 très petites en utilisant un équipement de photolithographie standard. Par ailleurs, enrober un pilier de silicium saillant par une grille est largement plus simple qu'enrober un film de silicium mince enterré dans un substrat.

On connaît de nombreux procédés de fabrication d'un transistor vertical à grille isolée. Parmi ces procédés, la technique de formation du
30 pilier de silicium diffère. Dans certains cas, le pilier de silicium est

épitaxié dans une fenêtre ouverte dans un empilement de diélectrique. Dans d'autres cas, le pilier de silicium est gravé de façon anisotrope à partir du substrat isolé.

5 Cette dernière approche est largement inspirée des étapes du procédé classique de réalisation d'un transistor planar. En particulier, la formation du pilier par gravure rappelle la gravure de la grille du transistor planar. Après formation du pilier, celui-ci est dopé, quoi qu'il puisse être dopé éventuellement pendant l'épitaxie ou avant la gravure. Les régions de source et de drain sont implantées de façon autoalignée par rapport au pilier. La source peut être aussi implantée avant l'épitaxie, auquel cas celle-ci est dite "continue" (les zones de source de part et d'autre du pilier se rejoignent). L'oxyde de grille est ensuite formé sur les flancs du pilier de silicium. La grille en polysilicium est ensuite déposée, dopée puis gravée.

10 Une telle approche, simple à mettre en oeuvre, permet le développement d'une filière CMOS à base de transistors verticaux à moindre coût.

Néanmoins, un tel procédé souffre d'un inconvénient important : la grille présente un fort recouvrement sur les zones de source et de drain, à travers un oxyde dont l'épaisseur est comparable à celle de l'oxyde de grille. Ce recouvrement est fortement pénalisant, puisque les condensateurs associés (pour le recouvrement de la grille sur le drain et pour le recouvrement de la grille sur la source) contribuent à la capacité de charge totale d'une cellule élémentaire. On pénalise ainsi le fonctionnement en fréquence des circuits logiques. Par ailleurs, cet état de fait rend le transistor vertical inapproprié pour des applications radiofréquence nécessitant des fréquences de transition élevées, puisque la fréquence de transition d'un transistor MOS est directement proportionnelle à l'inverse des capacités de recouvrement.

20 Ainsi, l'approche "gravure anisotrope du pilier", simple et réalisable à moindre coût, est dévaluée car elle ne permet pas de prendre en compte tous les bénéfices de l'architecture à grille enrobante pour les applications de logique rapide, et hypothèque les performances radiofréquence.

35 Une façon de diminuer les capacités de recouvrement consiste à

découpler la croissance de l'oxyde sur les flancs du pilier de celle de l'oxyde sur le substrat. Cependant, il faudrait réaliser un oxyde sur le substrat dix fois plus épais que l'oxyde de grille pour que le recouvrement sur la source devienne négligeable, le recouvrement sur le drain n'étant pas pour autant diminué. Aussi, les techniques existantes, permettant de réduire le recouvrement de la grille sur la source ou de la grille sur le drain dans le cas notamment d'un pilier formé par gravure anisotrope, restent peu performantes.

L'invention vise à apporter une solution à ce problème.

Un but de l'invention est de proposer un procédé de fabrication d'un transistor vertical à grille isolée, basé sur une gravure anisotrope du pilier de silicium, qui permette de diminuer les capacités électriques de recouvrement de la grille du transistor vertical tout en étant simple à mettre en oeuvre et compatible avec un procédé de fabrication CMOS.

L'invention propose donc un procédé de fabrication d'un transistor vertical à grille isolée, comprenant une formation par gravure anisotrope, d'un pilier vertical semiconducteur sur un substrat semiconducteur, et la formation d'une grille semiconductrice diélectriquement isolée s'appuyant sur les flancs du pilier et sur la surface supérieure du substrat.

Selon une caractéristique générale de l'invention, la formation de la grille isolée comporte

- la formation d'une couche de diélectrique de grille sur les flancs du pilier et sur la surface supérieure du substrat,

- la réalisation d'un bloc semiconducteur s'appuyant sur la couche de diélectrique de grille, et

- la formation de cavités diélectriques s'appuyant partiellement dans le bloc semiconducteur de grille, entre ce bloc semiconducteur de grille et la couche de diélectrique de grille, et respectivement situées en regard de parties au moins des régions de source et de drain.

Selon un mode de mise en oeuvre de l'invention, la formation de la grille isolée comporte :

- le dépôt sur la couche de diélectrique de grille, d'un empilement semiconducteur comportant un premier matériau semiconducteur, par exemple un alliage de silicium-germanium,

surmonté d'un deuxième matériau semiconducteur, par exemple du silicium, le premier matériau pouvant être gravé sélectivement par rapport au deuxième matériau,

5 - une gravure anisotrope de l'empilement de façon à former ledit bloc semiconducteur de grille, et

- une gravure sélective partielle du premier matériau par rapport au deuxième matériau, de façon à former lesdites cavités.

10 Bien que ces cavités puissent être en théorie remplies d'un diélectrique gazeux, par exemple de l'air, il est préférable de les remplir d'un matériau diélectrique solide.

A cet égard, le remplissage des cavités peut s'effectuer par oxydation ou dépôt d'un matériau diélectrique.

15 La formation du pilier vertical comporte une épitaxie d'une couche semiconductrice sur le substrat et une gravure anisotrope de ladite couche semiconductrice épitaxiée.

20 L'invention propose également un circuit intégré comprenant un transistor vertical à grille isolée, comportant sur un substrat semiconducteur un pilier vertical incorporant à son sommet l'une des régions de source et de drain, l'autre des régions de source et de drain étant située dans le substrat à la périphérie du pilier. Le transistor comporte également une couche de diélectrique de grille située sur les flancs du pilier et sur la surface supérieure du substrat, et une grille semiconductrice s'appuyant sur la couche de diélectrique de grille.

25 Selon une caractéristique générale de l'invention, la grille comporte un bloc semiconducteur possédant une première région s'appuyant sur la couche de diélectrique de grille, et une deuxième région située en regard de parties au moins des régions de source et de drain, et séparée de ces parties des régions de source et de drain, par des cavités diélectriques.

30 Selon un mode de réalisation de l'invention, la première région du bloc semiconducteur de grille est formée d'un premier matériau semiconducteur, par exemple un alliage de silicium-germanium. La deuxième région du bloc semiconducteur de grille est formée d'un deuxième matériau semiconducteur, par exemple du silicium;

35 A cet égard, le pourcentage de germanium peut être compris

entre 30 et 50 environ. La longueur des cavités peut être comprise entre 25 nm et 40 nm environ, et la largeur de ces cavités peut être comprise entre 30 nm et 60 nm environ.

5 D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de mise en oeuvre et de réalisation, nullement limitatifs, et des dessins annexés, sur lesquels :

10 - les figures 1 à 14 illustrent les principales étapes d'un mode de mise en oeuvre d'un procédé selon l'invention, aboutissant à un mode de réalisation d'un transistor selon l'invention.

15 Sur la figure 1, la référence 1 désigne un substrat semiconducteur, par exemple en silicium, comportant des zones d'isolation latérale 2, du type "tranchée peu profonde" ("Shallow Trench Isolation" en langue anglaise). La zone d'isolation latérale 2 délimite une zone active de substrat dans et sur laquelle sera réalisé le futur transistor vertical.

A ce stade du procédé, des caissons d'isolation sont également implantés dans le substrat 1. Ils ne sont pas représentés sur la figure 1 à des fins de simplification.

20 Puis, une couche de silicium 3 (figure 2) est épitaxiée sur la surface supérieure de la structure illustrée sur la figure 1. L'épaisseur de la couche 3 fixe la hauteur du futur pilier de silicium. Sur la figure 2, l'épitaxie n'est pas sélective, conduisant à une croissance de la couche de silicium à la fois sur le substrat 1 et sur la zone d'isolement latéral 2. Ceci étant, en variante, cette épitaxie peut être sélective par rapport à la zone
25 d'isolation latérale 2. Dans ce cas, la couche de silicium 3 ne croît que sur le silicium du substrat.

30 Sur la figure 3, on dope la couche de silicium et le substrat par implantation 4. Cette implantation, dont le type et le dosage dépendent des caractéristiques souhaitées pour le transistor, va permettre de doper le canal du futur transistor.

Puis, comme illustré sur la figure 4, le pilier 5 du futur transistor est gravé de façon anisotrope. Cette gravure peut être à détection de fin d'attaque sur l'isolement, ou bien être une gravure à temps fixe.

35 On forme ensuite (figure 5) sur la surface de la structure illustrée

sur la figure 4, un oxyde sacrificiel 6.

Puis, les régions de source S et de drain D sont réalisées par implantation 40 autoalignée par rapport au pilier 5, ce qui permet une connexion entre le corps du pilier et le substrat.

5 En variante, la source peut également être implantée avant l'épitaxie de la couche de silicium 3, en même temps que l'implantation des caissons d'isolement. Dans ce cas, la source S est continue.

A l'étape suivante (figure 7), l'oxyde sacrificiel 6 est retiré par une étape de désoxydation classique.

10 Puis, une couche d'oxyde de grille 7 est formée (figure 8) par exemple par croissance dans un four.

Puis, une couche 8 d'un alliage de silicium-germanium polycristallin est déposée (figure 9). Le dépôt est classique et connu en soi. Il est conforme. A cet égard, il est préférable de déposer
15 préalablement à la couche 8 une fine couche de polysilicium permettant de réaliser une bonne accroche sur l'oxyde de grille et de prévenir que l'alliage de silicium-germanium polycristallin ne se volatilise au contact de l'oxyde de grille.

Postérieurement au dépôt de la couche de silicium-germanium 8,
20 on dépose également par un dépôt classique conforme, une couche de polysilicium 9 (figure 10). On dope ensuite par implantation l'empilement des grilles formé de la couche de polysilicium 9 et de la couche de silicium-germanium polycristallin 8.

On effectue ensuite (figure 11) la formation du bloc
25 semiconducteur de grille. Cette formation s'effectue par une gravure anisotrope de l'empilement des couches 9 et 8, avec arrêt sur la couche d'oxyde 7. On voit alors sur la figure 11 que le bloc semiconducteur de grille possède à ce stade du procédé, une partie 80 en silicium-germanium, s'appuyant sur l'oxyde de grille et une partie 90 en silicium, s'appuyant sur
30 la partie 80.

Puis, on procède (figure 12) à une gravure sélective connue en soi du silicium-germanium 80 par rapport au polysilicium 90 et à l'oxyde de grille 7, de façon à former des cavités 10 et 11.

35 Ainsi, à ce stade du procédé, le bloc semiconducteur de grille possède une première région 800, en silicium-germanium, s'appuyant sur

la couche de diélectrique de grille 7 et une deuxième région 90 située en regard d'une partie de la région de drain D et en regard d'une partie de la région de source S. Par ailleurs, cette deuxième région 90 est séparée de ces parties des régions de source et de drain par les cavités 11 et 10.

5 Ainsi, le recouvrement de la grille sur la source et le drain est nettement réduit. Par contre, l'interface entre la grille et l'oxyde dans la zone du canal reste en silicium-germanium polycristallin.

10 L'étape suivante, illustrée sur la figure 13, consiste à réoxyder la grille ou bien à déposer un oxyde, ce qui permet de remplir de diélectrique, par exemple du dioxyde de silicium 12, les cavités ouvertes 10 et 11.

Le transistor selon l'invention, tel qu'illustré sur la figure 13, comporte donc sur un substrat semiconducteur 1, un pilier vertical 5 incorporant à son sommet la région de drain D. La région de source S est située dans le substrat à la périphérie du pilier 5.

15 Une couche de diélectrique de grille 7 est située sur le flanc du pilier sur la surface supérieure du substrat. La grille semiconductrice, qui s'appuie sur la couche de diélectrique de grille, comporte un bloc semiconducteur possédant une première région 800, en silicium-germanium, s'appuyant sur la couche de diélectrique de grille 7, et une
20 deuxième région 90 située en regard d'une partie du drain D et d'une partie de la source S, cette deuxième région étant séparée de ces parties des régions de source et de drain par des cavités diélectriques 14S et 14D.

La longueur LS de la cavité 14S et la longueur LD de la cavité 14D peuvent être comprises entre 25 et 40 nm environ. Par ailleurs, la
25 largeur de ces cavités, c'est-à-dire l'épaisseur de la couche de silicium-germanium peut être comprise entre 30 et 60 nm environ.

La figure 14 illustre une vue de dessus de la structure de la figure 13 sur laquelle ont été en outre représentés les contacts de source, drain et grille.

30 Comme indiqué ci-avant, l'interface entre la grille et l'oxyde de grille dans la zone du canal reste en silicium-germanium polycristallin en fin de procédé. Aussi, en utilisant une couche de silicium-germanium à faible fraction de germanium (typiquement entre 15 et 40%), l'activation du bore et du phosphore, dopants usuels des grilles P⁺ et N⁺, est améliorée.
35 On réduit ainsi significativement le phénomène d'appauvrissement

(déplétion) de grille, ce qui en retour, contribue à améliorer le courant I_{on} et à réduire davantage les effets des canaux courts.

5 Outre la réduction de l'appauvrissement de grille, l'invention permet de réduire les capacités de recouvrement de la grille sur le drain et sur la source. On augmente ainsi automatiquement la fréquence de transition du transistor.

10 A titre indicatif, pour une couche de silicium-germanium ayant une épaisseur de l'ordre de 60 nm, la cavité représente près de quarante fois l'épaisseur de la couche d'oxyde de grille (15 Å dans une technologie 0,1 micron). La capacité associée est donc divisée par quarante du fait de la formation des cavités.

15 Ceci montre bien que la réalisation des cavités permet de remonter très sensiblement la fréquence de transition du transistor vertical. Et, plus les cavités sont profondes, plus la fréquence de transition est élevée. Pour des cavités de dimensions proches de celles du recouvrement sur le drain et la source, cette technique permet même de dépasser les performances d'un transistor MOS classique du type "planar".

20 L'invention permet ainsi de bénéficier pleinement des avantages du transistor vertical. En particulier, elle permet la réalisation du pilier de silicium par gravure anisotrope, ce qui est particulièrement simple à mettre en oeuvre, et rend cette réalisation compatible pour des applications de logique rapide ou radiofréquence.

REVENDICATIONS

1. Procédé de fabrication d'un transistor vertical à grille isolée, comprenant une formation d'un pilier vertical semiconducteur (5) sur un substrat semiconducteur (1) par gravure anisotrope, et la formation d'une grille semiconductrice diélectriquement isolée s'appuyant sur les flancs du pilier et sur la surface supérieure du substrat, caractérisé par le fait que la formation de la grille isolée comporte la formation d'une couche de diélectrique de grille (7) sur les flancs du pilier et sur la surface supérieure du substrat, la réalisation d'un bloc semiconducteur (90, 800) s'appuyant sur la couche de diélectrique de grille, et la formation de cavités diélectriques (10, 11) s'étendant partiellement dans le bloc semiconducteur de grille, entre ce bloc semiconducteur de grille et la couche de diélectrique de grille, et respectivement situées en regard de parties au moins des régions de source et de drain.

2. Procédé selon la revendication 1, caractérisé par le fait que la formation de la grille isolée comporte

le dépôt sur la couche de diélectrique de grille, d'un empilement semiconducteur comportant un premier matériau semiconducteur (8) surmonté d'un deuxième matériau semiconducteur (9), le premier matériau pouvant être gravé sélectivement par rapport au deuxième matériau,

une gravure anisotrope de l'empilement de façon à former ledit bloc semiconducteur de grille, et

une gravure sélective partielle du premier matériau (8) par rapport au deuxième matériau (9), de façon à former lesdites cavités.

3. Procédé selon la revendication 2, caractérisé par le fait que le deuxième matériau (9) est du silicium, et par le fait que le premier matériau (8) est un alliage de silicium-germanium.

4. Procédé selon l'une des revendications précédentes, caractérisé par le fait qu'on remplit les cavités (10, 11) d'un matériau diélectrique solide.

5. Procédé selon la revendication 4, caractérisé par le fait que le remplissage des cavités s'effectue par oxydation ou dépôt d'un matériau diélectrique.

6. Procédé selon l'une des revendications précédentes, caractérisé par le fait que la formation du pilier vertical (5) comporte une épitaxie d'une couche semiconductrice (3) sur le substrat et une gravure anisotrope de ladite couche semiconductrice épitaxiée.

5 7. Circuit intégré comprenant un transistor vertical à grille isolée comportant sur un substrat semiconducteur, un pilier vertical (5) incorporant à son sommet l'une des régions de source et de drain, l'autre des régions de source et de drain étant située dans la substrat à la périphérie du pilier, une couche de diélectrique de grille (7) située sur les
10 flancs du pilier et sur la surface supérieure du substrat, et une grille semiconductrice s'appuyant sur la couche de diélectrique de grille, caractérisé par le fait que la grille comporte un bloc semiconducteur possédant une première région (800) s'appuyant sur la couche de diélectrique de grille (7), et une deuxième région (90) située en regard de
15 parties au moins des régions de source et de drain, et séparée de ces parties des régions de source et de drain par des cavités diélectriques (14S, 14D).

8. Circuit intégré selon la revendication 7, caractérisé par le fait que la première région (800) du bloc semiconducteur de grille est formée
20 d'un premier matériau semiconducteur, par le fait que la deuxième région (90) du bloc semiconducteur de grille est formée d'un deuxième matériau semiconducteur, et par le fait que le premier matériau est capable d'être gravé sélectivement par rapport au deuxième matériau.

9. Circuit intégré selon la revendication 8, caractérisé par le fait que le deuxième matériau est du silicium, et par le fait que le premier
25 matériau est un alliage de silicium-germanium.

10. Circuit intégré selon la revendication 9, caractérisé par le fait que le pourcentage de germanium est compris entre 30 et 50 environ, par le fait que la longueur des cavités est comprise entre 25nm et 40 nm environ, et par le fait que la largeur des cavités est comprise entre 30 nm et
30 60 nm environ.

11. Circuit intégré selon l'une des revendications 7 à 10, caractérisé par le fait que les cavités diélectriques (14S, 14D) sont remplies d'un matériau diélectrique solide.

1/4

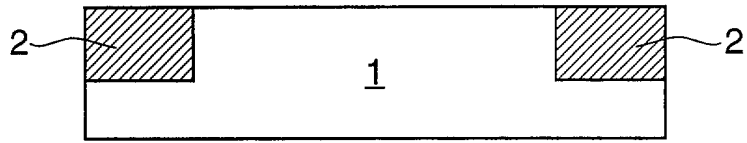
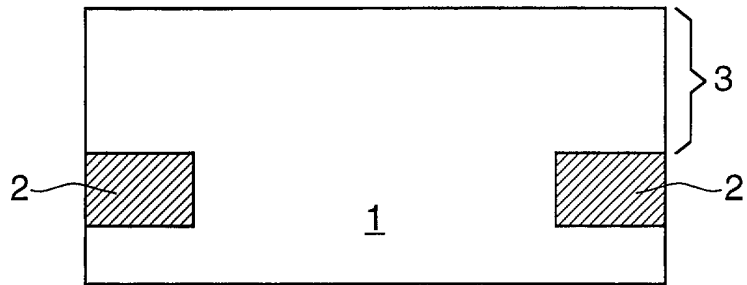
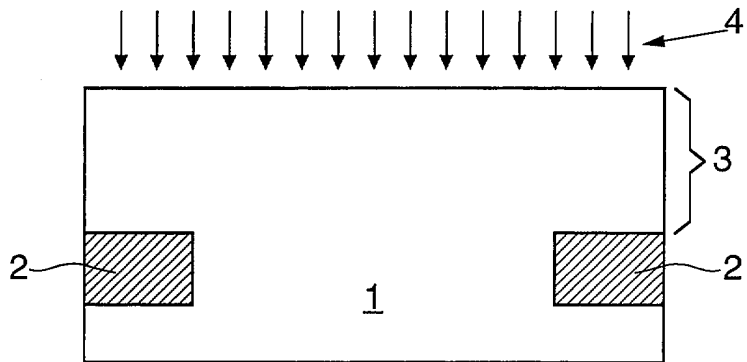
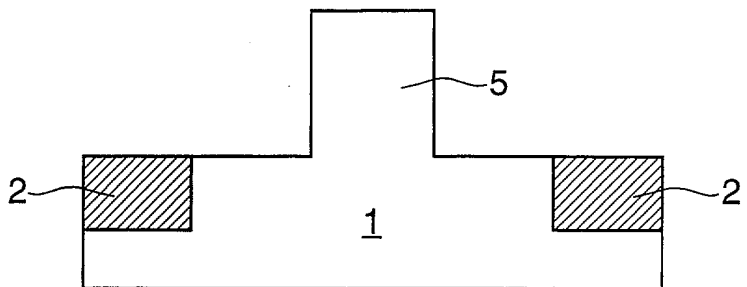
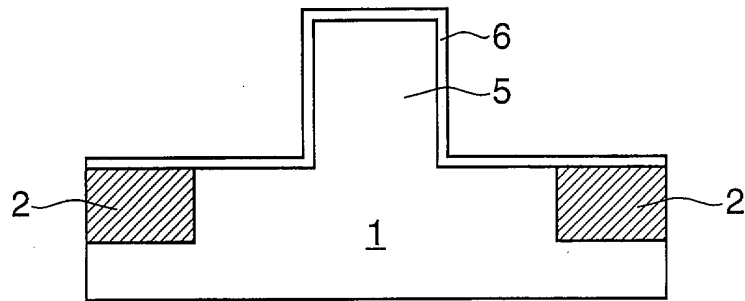
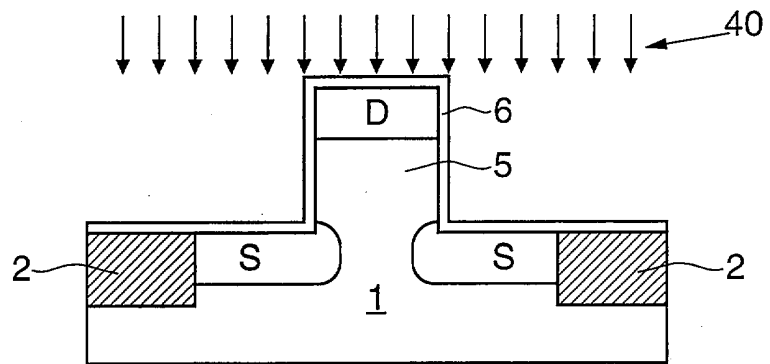
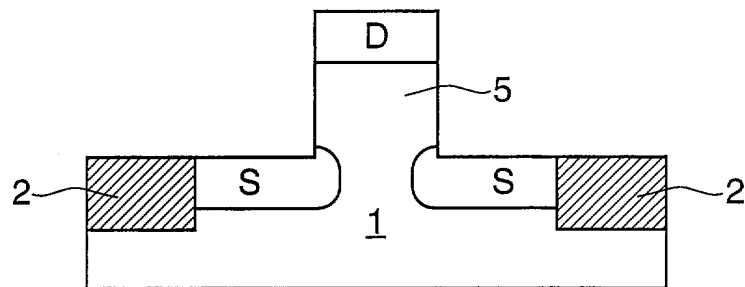
FIG.1FIG.2FIG.3FIG.4

FIG.5FIG.6FIG.7

3/4

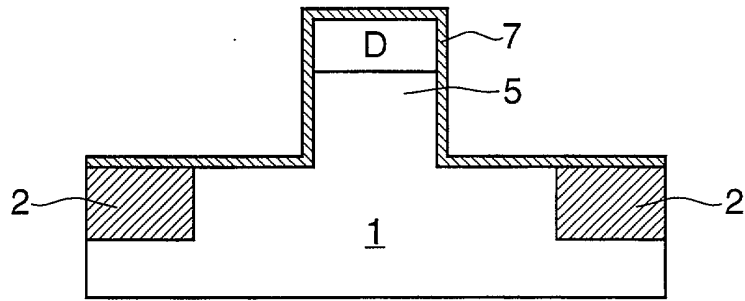
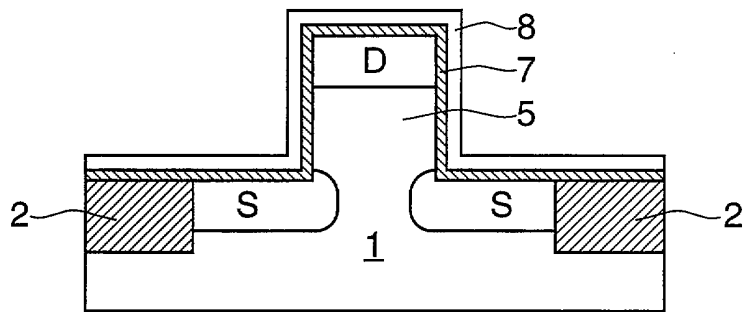
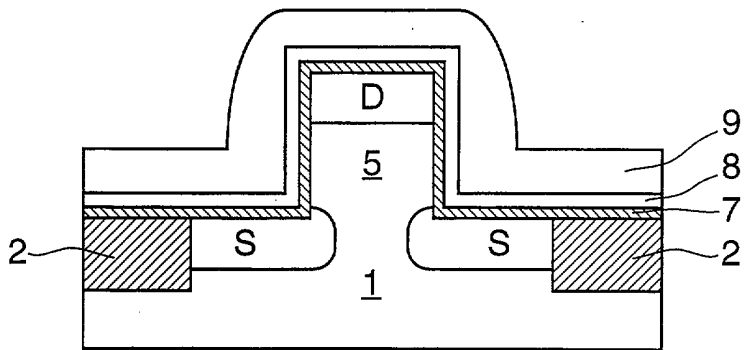
FIG.8FIG.9FIG.10

FIG.11

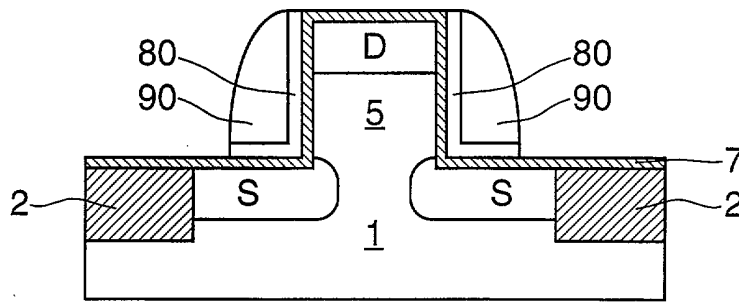


FIG.12

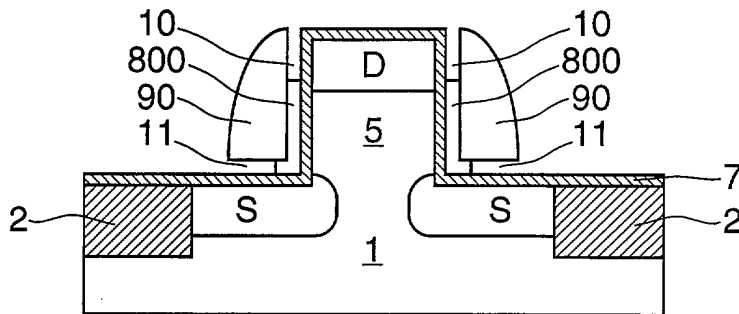


FIG.13

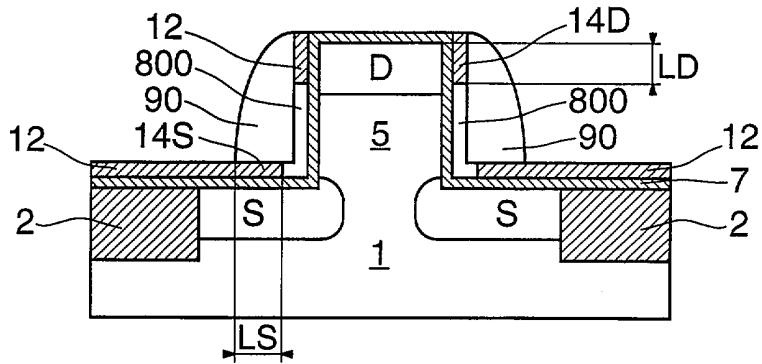
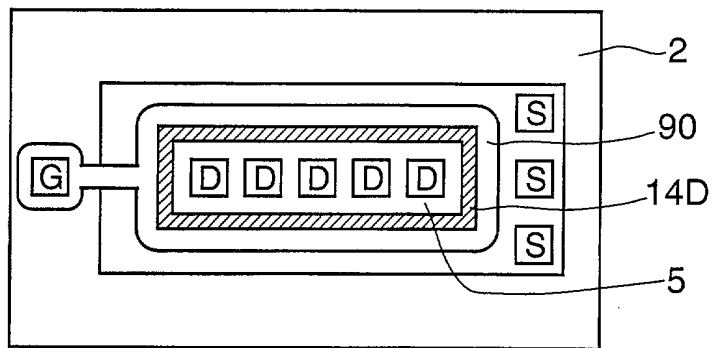


FIG.14





**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 604219
FR 0104436

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X A	US 5 576 245 A (BLANCHARD RICHARD A ET AL) 19 novembre 1996 (1996-11-19) * figure 2 *	7,11 1-6,8-10	H01L21/336
X A	DE 198 45 003 C (SIEMENS AG) 10 février 2000 (2000-02-10) * figure 6 *	7,11 1-6,8-10	
A	EP 0 145 567 A (THOMSON CSF) 19 juin 1985 (1985-06-19) * figures 2,3 *	1	
A	US 5 073 519 A (RODDER MARK S) 17 décembre 1991 (1991-12-17) * figures 3A-3H *	1	
A	FR 2 765 245 A (FRANCE TELECOM) 31 décembre 1998 (1998-12-31) * le document en entier *	3,9	
A	US 5 998 289 A (SAGNES ISABELLA) 7 décembre 1999 (1999-12-07) * revendications 1,2 *	3,9	
A	WO 98 13880 A (ADVANCED MICRO DEVICES INC) 2 avril 1998 (1998-04-02) * figures 1,2 *	3,9	
			H01L
		Date d'achèvement de la recherche	Examineur
		4 février 2002	Juhl, A
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>			

1
EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0104436 FA 604219**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 04-02-2002
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5576245	A	19-11-1996	US 5298781 A US 5164325 A	29-03-1994 17-11-1992
DE 19845003	C	10-02-2000	DE 19845003 C1 EP 0993049 A1 JP 2000114512 A	10-02-2000 12-04-2000 21-04-2000
EP 0145567	A	19-06-1985	FR 2555816 A1 DE 3466620 D1 EP 0145567 A2 JP 60133762 A	31-05-1985 05-11-1987 19-06-1985 16-07-1985
US 5073519	A	17-12-1991	AUCUN	
FR 2765245	A	31-12-1998	FR 2765245 A1	31-12-1998
US 5998289	A	07-12-1999	FR 2765394 A1 EP 0887843 A1 JP 11087708 A	31-12-1998 30-12-1998 30-03-1999
WO 9813880	A	02-04-1998	WO 9813880 A1	02-04-1998