

(12) 发明专利

(10) 授权公告号 CN 101636832 B

(45) 授权公告日 2012. 01. 11

(21) 申请号 200780052185. 9

US 6300218 B1, 2001. 10. 09,

(22) 申请日 2007. 03. 19

审查员 王文杰

(85) PCT申请进入国家阶段日
2009. 09. 15

(86) PCT申请的申请数据
PCT/IB2007/051435 2007. 03. 19

(87) PCT申请的公布数据
W02008/114099 EN 2008. 09. 25

(73) 专利权人 S. O. I. TEC 绝缘体上硅技术公司
地址 法国贝南

(72) 发明人 奥列格·科农丘克

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 丁文蕴

(51) Int. Cl.
H01L 21/762(2006. 01)

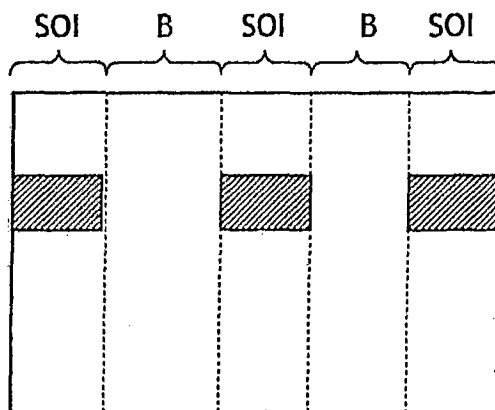
(56) 对比文件
JP 2006049725 A, 2006. 02. 16,

权利要求书 2 页 说明书 10 页 附图 5 页

(54) 发明名称
形成图案的薄 SOI

(57) 摘要

本发明涉及一种用于电子器件或光电器件的结构的方法, 该结构依次包括: 体衬底, 氧化物层, 和半导体层。该方法包括设置掩模部件在半导体层上限定希望的图案, 并进行热处理, 在氧化物层与所述希望的图案对应的区域内除去受控厚度的氧化物。



1. 处理用于电子器件或光电器件的结构 (50) 的方法, 该结构依次包括:

- 体衬底 (20),
- 氧化物层 (30), 以及
- 半导体层 (10),

其特征在于, 该方法包括: 设置掩模部件以在该半导体层 (10) 上限定希望的图案, 与
所述希望的图案相对应的半导体层 (10) 的区域 (12) 具有受控厚度, 以及

在惰性或还原性气氛中, 以受控的温度和受控的持续时间进行热处理,

其中, 选择与所述希望的图案相对应的半导体层的区域 (12) 的受控厚度、所述受控的
温度和持续时间, 用于在与所述希望的图案相对应的氧化物层 (30) 的区域 (32) 内除去受
控厚度的氧化物。

2. 根据权利要求 1 的方法, 其特征在于, 对于至少部分与所述希望的图案相对应的氧
化物层 (30) 的所述区域 (32), 所述氧化物的受控厚度是所述氧化物层的整个厚度。

3. 根据权利要求 1 的方法, 其特征在于, 对于全部与所述希望的图案相对应的氧化物
层 (30) 的所述区域 (32), 所述氧化物的受控厚度是所述氧化物层的整个厚度。

4. 根据权利要求 1 的方法, 其特征在于, 所述半导体层 (10) 的区域 (12) 的所述受控厚
度包括在 250 和 5000 埃之间。

5. 根据权利要求 4 的方法, 其特征在于, 所述半导体层 (10) 的区域 (12) 的所述受控厚
度小于 1000 埃。

6. 根据权利要求 1 到 5 中任一项的方法, 其特征在于, 该掩模部件是按照与所述希望的
图案互补的图案覆盖该半导体层 (10) 的掩模 (80)。

7. 根据权利要求 6 的方法, 其特征在于, 通过热氧化该半导体层 (10) 而形成所述掩模
(80)。

8. 根据权利要求 6 的方法, 其特征在于, 通过在该半导体层 (10) 上沉积氮化物或氧化
物而形成所述掩模 (80)。

9. 根据权利要求 1 到 5 中任一项所述的方法, 其特征在于, 由比与所述希望的图案相对
应的半导体层的区域 (12) 更厚的半导体层 (10) 的掩模区域 (11), 形成所述掩模部件。

10. 根据权利要求 9 的方法, 其特征在于, 所述掩模区域 (11) 比与所述希望的图案相对
应的半导体层的区域 (12) 厚至少 1.5 倍。

11. 根据权利要求 1 的方法, 其特征在于, 所述受控的温度在 1100 和 1300°C 之间, 所述
受控的持续时间在 5 分钟和 5 小时之间。

12. 根据权利要求 11 的方法, 其特征在于, 选择该半导体层 (10) 的所述区域 (12) 的受
控厚度和所述受控的温度, 以使氧化物层 (30) 的平均减小速率为至少 0.5 埃每分钟。

13. 根据权利要求 1、5、11 和 12 中任一项的方法, 其特征在于, 热处理之前氧化物层
(30) 的厚度包括在 100 和 1000 埃之间

14. 制造用于电子器件或光电器件的结构的方法, 该结构依次包括体衬底 (20)、氧化
物层 (30) 和半导体层 (10), 其特征在于, 该方法包括下列步骤:

(a) 置半导体层 (10);

(b) 使半导体层 (10) 与体衬底 (20) 结合, 以致在结合面上形成氧化物层 (30), 以形成
依次包括所述体衬底 (20)、氧化物层 (30) 和半导体层 (10) 的结构 (50);

(c) 设置掩模部件,以在所述半导体层(10)上限定希望的图案,与所述希望的图案相对应的半导体层(10)的区域(12)具有受控厚度;

(d) 在惰性或还原性气氛中,以受控的温度和受控的持续时间进行热处理,其中,选择与希望的图案相对应的半导体层的区域(12)的所述受控厚度、所述受控的温度和持续时间,以在与所述希望的图案相对应的氧化物层的区域(32)内除去受控厚度的氧化物。

15. 根据权利要求14的方法,其特征在于,对于至少部分与所述希望的图案相对应的氧化物层(30)的所述区域(32),所述氧化物的受控厚度是所述氧化物层的整个厚度。

16. 根据权利要求14或权利要求15的方法,其特征在于,对于全部与所述希望的图案相对应的氧化物层(30)的所述区域(32),所述氧化物的受控厚度是所述氧化物层的整个厚度。

17. 根据权利要求14的方法,其特征在于,与所述希望的图案相对应的半导体层(10)的区域(12)的所述受控厚度包括在250和5000埃之间。

18. 根据权利要求17的方法,其特征在于,与所述希望的图案相对应的半导体层(10)的区域(12)的所述受控厚度小于1000埃。

19. 根据权利要求14的方法,其特征在于,步骤(c)包括按照与所述希望的图案互补的图案在半导体层(10)上形成掩模(80)。

20. 根据权利要求14的方法,其特征在于,步骤(c)包括按照所述希望的图案蚀刻该半导体层(10),以形成比与所述希望的图案相对应的半导体层(10)的区域(12)更厚的掩模区域(11)。

21. 根据权利要求20的方法,其特征在于,掩模区域(11)比与所述希望的图案相对应的半导体层(10)的区域(12)厚至少1.5倍。

22. 根据权利要求21的方法,其特征在于,所述受控的温度在1100和1300°C之间,所述受控的持续时间在5分钟和5小时之间。

23. 根据权利要求21或22中任一项的方法,其特征在于,在所述热处理之前,氧化物层(30)的厚度包括在100和1000埃之间。

形成图案的薄 SOI

[0001] 本发明的目的

[0002] 本发明涉及一种用于制造绝缘体结构上的半导体 (SeOI) 的方法, 其具有形成图案的掩埋的氧化物层。该方法涉及一种半导体层, 其转移到接收支撑体 (receiving support) 上, 随后实行掩模步骤和特定的热处理, 实现选择分解 SeOI 结构内的绝缘区。

[0003] 技术现状

[0004] 复合结构即包含交替的体区域 (bulk regions) 和隔离区域的结构, 对该结构的兴趣日渐提高。实际上, 在同样的结构内, 体区域和隔离区域的交替使得在相同的晶片上制造不同的元件, 例如:

[0005] - 在体区域上的元件, 具有介于晶片背面和正面之间的电导率, 例如纵向元件 (vertical components)。

[0006] - 彼此完全隔离并与衬底隔离的在 SOI (绝缘体上的硅) 区域上的元件; 例如 MOS 元件, MEMS、MOEMS 系统。

[0007] 图 1 显示这样的复合结构的一个例子, B 指体区域, SOI 指 SOI 区域。

[0008] 制造该复合结构有几种技术。例如借助于在硅片表面之下植入氧气实现 SIMOX 方法。使用高温下的热处理将植入区域转变为二氧化硅。为了制造复合结构, 文献 US 6, 846, 727 公开了采用掩模将离子局部植入衬底并产生相应的隔离层。

[0009] 然而, 由于氧化硅的体积膨胀, 最终的结构表面均匀性差。

[0010] 用于制造复合结构的其它方法, 将已经在其上使硅局部氧化的第一衬底与第二衬底分子结合。文献 FR 2 847 077 公开了这样的方法。然而, 分子结合要求没有任何缺陷的完善表面。因此, 在结合之前需要采用例如化学机械抛光 (CMP)、热处理、等离子处理和 / 或机械抛光等对表面进行特定的清洁。

[0011] 因为在第一衬底的表面上存在复合范围, 即硅和氧化物的范围, 抛光是一个关键步骤。

[0012] 实际上, 无法以同样的速率用同样的速度抛光硅和二氧化硅, 难以在同一表面上获得两种材料的良好平整度。

[0013] 特别是如图 2 所示在抛光后观察到凹陷。取决于氧化物区域和体区域的尺寸, 该凹陷能够达到约 10 纳米, 并导致质量差的界面和分子结合的低产率。

[0014] 文献 US 5, 691, 231 公开了一种使复合界面达到较好的平面化的方法, 于是改善了该结合。该方法在衬底中形成具有氧化物的区域后在表面上沉淀多晶硅层。实际上, 为了获得非常平滑的表面可以非常细致地抛光该多晶硅层。然后可以将所制备的衬底与第二衬底结合, 因为界面的质量高, 获得良好的结合。然后蚀刻并抛光第二衬底的另一面, 获得 SOI 所需的厚度。

[0015] 然而, 通过该方法改善复合界面的平面化, 需要在该方法中沉积所述多晶硅层的额外步骤。

[0016] 在 WO 2004/059711 中公开的另一种技术, 在于通过分子附着结合两个衬底, 衬底中的一个具有部分隔离区域。该方法公开了形成杂质捕集器以获得高质量的界面。这样的

捕集器可以是隔离区域自身,并通过分布使两个依次的隔离区域之间的间距最大。这些隔离区域捕集和吸收在热处理期间出现的杂质,从而用来强化结合面。在该方法中,采用杂质捕集器获得高质量的界面。

[0017] 然而,所有的现有方法基于在已经产生复合界面的衬底上通过分子结合进行层转移,并且它们导致不能令人满意的结合。

[0018] 发明简述

[0019] 本发明的一个目的是产生具有良好的均匀结构表面的复合结构。本发明的另一个目的是提供一种用于制造复合结构而无需结合复合界面的方法,以便确保高质量的结合。

[0020] 为了达到这些目的并克服现有技术的缺陷,本发明提出,根据第一方面,用于电子器件或光电器件的结构的处理方法,该结构从其底部到其表面依次包括体衬底、氧化物层和半导体层(10),特征在于,它包括设置掩模部件以在半导体层上限定希望的图案,并进行热处理,以在与所述希望的图案对应的氧化物层的区域内除去受控厚度的氧化物。

[0021] 处理结构的该方法的一些其它特征是:

[0022] - 对于与希望的图案相对应的至少部分所述区域或者全部所述区域,所述受控厚度是氧化物层的整个厚度;

[0023] - 半导体层的与所述希望的图案对应的区域具有受控厚度;

[0024] - 优选地,半导体层的与希望的图案相对应的区域的所述受控厚度包括在 250 和 5000 埃之间的,优选在 250 和 1000 埃之间;

[0025] - 掩模部件是按照与希望的图案互补的图案来覆盖半导体层的掩模;

[0026] - 通过热氧化该半导体层,或者通过在该半导体层上沉积氮化物或氧化物形成所述掩模;

[0027] - 由比半导体层与希望的图案相对应的区域更厚的该半导体层的掩模区域形成掩模部件;

[0028] - 优选地所述掩模区域比半导体层与希望的图案对应的区域厚至少 1.5 倍;

[0029] - 在惰性或还原性气氛中,以受控的温度和受控的持续时间进行热处理,其中,选择所述半导体层的区域的受控厚度、所述受控的温度和持续时间,在氧化物层与希望的图案对应的区域内分解受控厚度的氧化物;

[0030] - 优选受控的温度在 1100 和 1300 °C 之间,受控的持续时间在 5 分钟和 5 小时之间;

[0031] - 选择半导体层的所述区域的所述受控厚度和所述受控的温度,以使氧化物层的平均减小速率为至少 0.5 埃每分钟;

[0032] - 热处理之前,氧化物层的厚度包括在 100 和 1000 埃之间。

[0033] 在第二方面,本发明提出一种用于电子器件或光电器件的结构的制造方法,该结构从其底部到其表面依次包括体层(bulk layer)、氧化物层和半导体层,特征在于该方法包括下列步骤:

[0034] (a) 设置半导体层;

[0035] (b) 使半导体层与体衬底结合,以在结合面上形成氧化物层,以形成依次包括所述衬底、氧化物层和半导体层的结构;

[0036] (c) 设置掩模部件,以在半导体层上限定希望的图案;

[0037] (d) 进行热处理, 以在氧化物层与所述希望的图案相对应的区域内除去受控厚度的氧化物。

[0038] 该结构的制造方法的一些其它特征是：

[0039] - 对于与希望的图案相对应的至少部分所述区域或者全部所述区域, 所述受控厚度是氧化物层的整个厚度；

[0040] - 半导体层与所述希望的图案相对应的区域具有受控厚度；

[0041] - 优选地半导体层与希望的图案对应的区域的所述受控厚度包括在 250 和 5000 埃之间, 优选在 250 和 1000 埃之间；

[0042] - 步骤 (c) 包括按照与所述希望的图案互补的图案在半导体层上形成掩模；

[0043] - 步骤 (c) 包括根据所述希望的图案蚀刻该半导体层, 用于形成比与所述希望的图案相对应的区域更厚的掩模区域；

[0044] - 优选所述掩模区域比半导体层与所述希望的图案相对应的区域厚至少 1.5 倍；

[0045] - 在惰性或还原性气氛中, 以受控的温度和受控的持续时间进行所述热处理, 其中, 选择半导体层与所述希望的图案对应的区域的所述受控厚度、所述受控的温度和持续时间, 在氧化物层与所述希望的图案相对应的区域内分解受控厚度的氧化物；

[0046] - 所述受控的温度在 1100 和 1300℃ 之间, 所述受控的持续时间在 5 分钟和 5 小时之间；

[0047] - 在热处理之前, 氧化物层包括在 100 和 1000 埃之间。

[0048] 在第三方面, 本发明提出一种用于电子器件或光电器件的结构, 依次包括体衬底、氧化物层和半导体层, 特征在于该氧化物层包括有选择地控制厚度的区域。

[0049] 该结构的一些其它特征是：

[0050] - 氧化物层包括具有第一厚度的区域和具有较小的第二厚度的区域；

[0051] - 氧化物层包括没有氧化物的区域。

[0052] - 优选地半导体层的厚度包括在 250 和 5000 埃之间, 优选在 250 和 1000 埃之间；

[0053] - 该氧化物层的厚度包括在 100 和 1000 埃之间。

附图说明

[0054] 在阅读了下面的描述后, 本发明的其它特征、目的和优点将变得更清楚, 由下列图图解该描述：

[0055] 图 1 显示包括体区域和 SOI 区域的复合结构。

[0056] 图 2 显示抛光具有复合区域的衬底时发生的凹陷现象。

[0057] 图 3 显示根据本发明进行处理的 SOI 结构的示意性截面图。

[0058] 图 4A 到 4C 显示所述 SOI 结构的制造方法的不同步骤。

[0059] 图 5 和 6 是说明扩散现象的 SOI 结构的示意性截面图。

[0060] 图 7 是显示在部分分解氧化物层后所述 SOI 结构内氧分布的曲线。

[0061] 图 8A 到 8D 显示根据第一实施方式的结构的不同步骤。

[0062] 图 9A 到 9D 显示根据第二实施方式的结构的不同步骤。

[0063] 图 10A 到 10C 显示根据第三实施方式的结构的不同步骤。

[0064] 图 11 显示通过该处理方法能够获得的结构的另一个实施方式。

[0065] 发明详述

[0066] 本发明公开了一种处理标准 SOI 结构的方法,以便制造复合结构。该方法是在半导体层的表面上设置掩模部件以限定希望的图案,并进行热处理,有选择地除去希望的氧化物层的区域。

[0067] 在本文中“限定希望的图案”意指在半导体层的表面上设置掩模部件,仅设置在该表面的限定范围上,从而保留一些范围,其表面描绘所述希望的图案。换句话说,掩模部件仅在代表与希望的图案互补的图案的表面范围内覆盖该半导体层的表面。

[0068] 在本文中词语“范围 (area)”意指半导体层的表面的一部分 (即二维表面),而词语“区域 (region)”指的是层的一部分。

[0069] 在本文中“区域 (regions)”意指穿过氧化物层 (各半导体层) 表面的区域。换句话说,参照图 3,在与该结构相关联的 (x,y,z) 坐标系中,如果将该氧化物层 (各半导体层) 看作 3D 立体结构,具有与“水平”面 (其中存在氧化物 (各半导体) 层) 相关的 x 和 y 以及与“垂直”方向 (该层的厚度方向) 相关的 z,该区域由 x 和 y 坐标限定。

[0070] 希望的区域是氧化物层与该希望的图案相对应的区域在本文中,“对应”意指将氧化物层的希望区域以及由半导体层上的图案限定的区域面对面设置在平行平面内。换句话说,将希望的区域设置在该平面 (x,y) 中相同的位置上,即它们具有与半导体层上由希望的图案限定的区域相同的 x 和 y 坐标;并且与由希望的图案限定的区域的表面具有相同的表面。因而能够将氧化物层的希望的区域描述为希望的图案沿垂直于该结构表面的方向在该氧化物层上的投影。

[0071] 当提及半导体层时,半导体层与所述希望的图案相对应的区域是该半导体层无掩模部件的区域。

[0072] 用通过 Smart Cut™ 技术实现的 SOI 初始结构,来说明该方法,还可以使用其它结构,如 SIMOX、BESOI、Eltran® 结构。

[0073] 参照图 3 显示 SOI 初始结构 50,在其上将进行根据本发明的处理。

[0074] 结构 50 包括体衬底 20、氧化物层 30 和半导体层 10。体衬底 20 使整个结构 50 变直。为此,它具有足够的厚度,典型地数百微米。由单种体材料象 Si、Ge、SiC、GeC、GaN、蓝宝石、玻璃、石英或其它材料形成体衬底 20。或者,由一种层叠在另一种上的至少两种材料形成该体衬底。

[0075] 半导体层 10 具有至少一种半导体材料。半导体层 10 可以具有 Si 或 SiGe。或者半导体层 10 可以具有这些材料中的至少两种的组合或叠加、和 / 或几个亚层的叠加。

[0076] 半导体材料是单晶、多晶或无定形的。它可以是掺杂或非掺杂的,多孔或无孔的。

[0077] 优选地使该半导体层 10 适于支撑电子或光电元件。

[0078] 优选地半导体层 10 是薄的。其厚度优选地小于约 5000 埃,并且特别是小于 2500 埃。例如,半导体层 10 可以具有在 250 埃左右和 2500 埃之间或者在 250 埃左右和 1000 埃之间的厚度。

[0079] 所述氧化物层 30 被掩埋在结构 50 中,位于体衬底 20 和半导体层 10 之间。

[0080] 如图 4A、4B 和 4C 所示,可以通过晶片结合技术制造该结构 50。

[0081] 特别是,可以首先通过提供具有半导体层 10 的晶片 70 进行制造,位于晶片 70 的表面的该半导体层 10 形成晶片 70 的背面部分 60 上的正面层。

[0082] 该晶片 70 可以是单种的体材料,该半导体层 10 在该体材料中,或者在其上生长。或者,晶片 70 可以是包括支撑衬底和多层结构(未显示)的复合晶片。特别是,晶片 70 可以包括在支撑衬底和半导体层 10 之间设置缓冲结构,以改变这两种元件之间的晶格参数和/或用于限制缺陷。例如,晶片 70 包括 Si 支撑衬底、具有从支撑衬底沿厚度方向 Ge 浓度连续增加的 SiGe 缓冲层以及在它上面是 SiGe 或 Ge 和/或应变的 Si 半导体层 10。

[0083] 优选地,已经外延生长该半导体层 10。采用 LPD、CVD 以及 MBE(分别为低功率沉积、化学气相沉积以及分子束外延)的已知技术获得外延层的晶体生长。

[0084] 下一步包括将晶片 70 结合到体衬底 20,使半导体层 10 与结合面邻接。

[0085] 优选地,首先通过众所周知的结合技术进行结合(更详细地参见例如"Semiconductor Wafer Bonding Science and Technology" Q.-Y. Tong 和 U. Gösele-Wiley 国际科技出版社(a Wiley Interscience publication),JohnsonWiley & Sons 公司)。例如可以进行亲水表面的分子结合或表面亲水化处理。临结合之前可以进行众所周知的清洗步骤。

[0086] 任选地对待结合的两个表面中一个和/或另一个进行等离子处理。

[0087] 结合之前,为了在结合后在结合面处被掩埋,在半导体层 10 上并且可能在衬底 20 上形成氧化物层 30。

[0088] 在一个实施方式中,为了形成天然氧化物层,仅通过半导体层 10 表面以及可能的衬底 20 表面的自然氧化形成该氧化物层 30。

[0089] 该自然氧化可能导致在半导体层 10 表面形成氧化物沉淀和岛状物。

[0090] 例如,如果半导体层 10 是 Si 或 SiGe,在表面上的 Si 原子和在空气中或者在水分子中的氧原子一起反应,在该表面上形成 SiO₂ 天然层 20。如果衬底 20 包括表面上的硅,它也被天然 SiO₂ 超薄层覆盖。特别由于在元件表面上需要结合水分子(衬底 20 和半导体层 10)用于进行亲水结合,无法避免这种自然氧化。

[0091] 根据结合前所用的表面处理,被掩埋的氧化物层 30 的厚度可以从约 10 到约 50 埃变化。

[0092] 在第二实施方式中,通过特定的方式在半导体层和/或衬底 20 上另外形成该氧化物层 30。

[0093] 形成该氧化物的目的是在结合后,提供具有用于制造绝缘体上半导体(SeOI)结构的预定厚度的介电层,该结构的绝缘体是氧化物层 30。

[0094] 可以通过半导体层 10 和/或衬底 20 的氧化形成该氧化物层 30。

[0095] 例如,如果半导体层 10 具有 Si 或 SiGe,可以通过氧化在表面上形成 SiO₂ 层 20。如果衬底 20 在表面上含有硅,也可以通过热氧化形成 SiO₂ 层。

[0096] 或者,可以通过沉积由氧化物材料构成的团聚体形成该氧化物层 30。例如,可以沉积 SiO₂ 团聚体。

[0097] 控制形成氧化物的参数,使氧化物层 30 具有用于作为半导体层 10 和衬底 20 之间的介电隔离体的预定厚度。

[0098] 优选地,氧化物层 30 是薄或超薄的。例如,在结合后该氧化物层 30 具有在 50 埃左右和 1000 埃左右之间的厚度,优选在 100 和 250 埃之间。

[0099] 参照图 4B,如前所述,将衬底 20 和晶片 70 结合在一起,以将氧化物层 30 设置在界

面处。

[0100] 任选地,为了强化在界面处的结合,另外实施至少一个加热步骤。

[0101] 参照图 4C,然后减小晶片 70 的厚度以除去整个背面部分 60。仅保留半导体层 10。

[0102] 可以采用任何减小晶片的技术,例如单独或组合的化学蚀刻技术、研磨然后抛光、所属领域技术人员熟知的 Smart Cut®技术(例如参见《KluwerAcademic Publishers》中的《Silicon-On-Insulator Technology :Materials to VLSI,2nd Edition》,Jean-Pierre Colinge in, p. 50 ~ 51)。

[0103] 特别地,如果采用 Smart Cut®技术,在结合前,以选择的能量和剂量用原子物质(例如氢、氘或其组合,和/或其它原子物质)植入晶片 70,以在其中在接近半导体层 10 厚度的深度产生弱化的地带。可以在形成薄氧化物层 30 之前或之后进行该植入。最后,一旦已经进行结合,Smart Cut®技术包括施加适合的能量(象热能和/或机械能)使弱化地带的结合破裂,从而使背面部分 60 与半导体层 10 分离。

[0104] 为了具有平整和均匀的半导体层 10,在除去步骤后可以进行任选的修整步骤(通过抛光、CMP、清洗、热处理……)。可以在下述热处理之前或之后进行该修整步骤。

[0105] 还可以提供其它步骤,根据本发明没有限制。

[0106] 因而获得的 SOI 结构 50,从其底部到其表面依次包括体衬底 20、氧化物层 30 和半导体层 10。

[0107] 根据本发明的方法暗示施加热处理(将在下面详细描述)以有选择地除去该结构内的氧化物层 30 的希望的区域,其中所述希望的区域对应于希望的图案。

[0108] 在优选的实施方式中,所述热处理为在所述希望的区域中分解氧化物层 30。

[0109] 为此,热处理使氧化物层 30 的氧经半导体层 10 扩散和蒸发,以致氧化物层 30 的厚度减小直至完全除去该氧化物。

[0110] 如下所述,半导体层 10 的厚度对氧的扩散和蒸发有影响。该层越薄,分解速率越快。因此,优选地包括在 250 和 5000 埃之间的半导体层 10 的厚度,优选 1000 埃。

[0111] 反之,如果半导体层厚,特别是超过 2500 埃,或者如果它被另一种材料的层覆盖,氧的扩散和蒸发会慢得多。

[0112] 为了确保选择性分解氧化物层 30,因而设置掩模部件以便防止氧从半导体层对应于与希望的图案互补的图案的区域扩散和蒸发。

[0113] 参照图 8A,在第一实施方式中,半导体层 10 具有包括在 250 和 5000 埃之间的受控厚度,并且掩模部件是根据与所述希望的图案互补的图案覆盖半导体层 10 的掩模 80,留下与希望的图案对应的区域 12。掩模 80 优选地防止氧从被厚度至少高于 100 到 500 埃的掩模覆盖的半导体层 10 的区域 11 中扩散和蒸发。

[0114] 或者,参照图 10A,掩模部件是半导体层自身,其中已经蚀刻厚的半导体层,从而形成与所述希望的图案对应的薄区域 12。

[0115] 较厚的掩模区域 11 足够厚,防止或限制氧经这些区域扩散和蒸发,因而氧的扩散和蒸发主要在薄区域 12 中发生。

[0116] 典型地,厚和薄区域之间的厚度比高于 1.5,优选高于 2。

[0117] 因此,氧的扩散主要发生在该结构的没有形成图案的部分(即无掩模的部分,或者具有适当厚度的半导体层的部分)上,因而根据同样的希望的图案发生氧化物层的分

解。

[0118] 现在将描述为了在希望的区域中分解氧化物层 30 所进行的热处理。

[0119] 在惰性或还原性气氛如氩气或氢气气氛或其混合物中进行该热处理。

[0120] 进行该热处理以致在希望的区域中通过氧经半导体层 10 的扩散,减小氧化物层 30 的厚度。

[0121] 为了说明由于氧扩散而减小氧化物层 30,图 5 和 6 分别显示在扩散期间以及在扩散后结构 50 的截面图。

[0122] 结构 50 包含两个扩散域:

[0123] - 左侧(顶部的半导体层 10)以及

[0124] - 右侧(体衬底 20)

[0125] 它们被厚度为 d_{ox} 的氧化物层 30 分隔。

[0126] 假设氧扩散是一维的 - 那么扩散式为:

$$[0127] \quad \frac{\partial C(z,t)}{\partial t} = D(T) \frac{\partial^2 C(z,t)}{\partial z^2}$$

[0128] 此处: z 轴横向延伸至层平面,在氧化物层 30 的中心为其原点,并指向半导体层 10 为正值,指向体衬底 20 为负值。

[0129] $C(z, t)$ 是在时间 t 和在 z 处的氧浓度。

[0130] $D(T)$ 是氧在半导体中的扩散系数(单位: cm^2/s)。

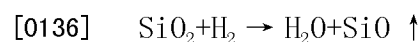
[0131] 图 6 示意性地显示热处理后氧在该结构中的分布。

[0132] 氧分解速率是通过半导体层 10 的左氧通量(图 5 上的大箭头)与体衬底 20 中的右氧通量(图 5 上的小箭头)在氧化物界面处之差。

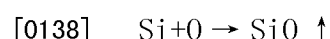
[0133] 如果顶部半导体层 10 足够薄,氧化物层 30 的一些氧通过它扩散并在它的表面上向空气中蒸发。

[0134] 如可由边界条件推断的那样,选择气氛是惰性的事实促进该扩散。

[0135] 特别是如果惰性气氛含氢并且半导体层 10 含硅,在该层的表面上发生下列反应:



[0137] 如果惰性气氛含氩,反应为:



[0139] 为了提高该扩散的效率,可以进行半导体层 10 表面的预脱氧。

[0140] 因为体衬底很厚,氧化物层 30 的氧不能到达体衬底 20 的自由面。

[0141] 然而,可能存在于体衬底 20 中的一些孤立的氧从体衬底 20 扩散到氧化物层 30。

[0142] 因此,在左扩散和右扩散之间存在竞争,当:

[0143] - 左通量大于右通量(图 5 中的大箭头)时,导致氧化物层 30 分解;

[0144] - 右通量大于左通量(图 5 中的小箭头)时,导致氧化物层 30 生长。

[0145] 本申请人注意到如果半导体层 10 足够薄并且气氛是惰性的:

[0146] - 在热处理的最初瞬间,氧化物层 30 的厚度增加(来自体衬底 20 的右扩散大于通过半导体层 10 的左扩散),

[0147] - 然后,典型地若干秒后,氧分解开始(来自体衬底 20 的右扩散小于通过半导体层 10 的左扩散)。

[0148] 例如,本申请人注意到对于厚度约 1000 埃的 Si 层 10 以及对于约 1100°C 的温度,氧分解在约 10 秒开始。

[0149] 然后在预定时间后,如果半导体层 10 的厚度小于氧扩散长度 $(D*t)^{1/2}$,本申请人计算左扩散基本上决定由氧化物产生的全部通量。右扩散对该预定时间无关紧要。在最后这种情况下,在约 1200°C 下该预定时间为约 100s。

[0150] 在这样的条件下,稳定通量被定义为

$$[0151] \quad F = D(T)*C_0(T)/d_{se}$$

[0152] 此处 d_{se} 是半导体层 10 的厚度

[0153] 此处 $C_0(T)$ 是在热处理 (anneal) 温度下氧在半导体中的平衡溶解度。

[0154] 由受控的值 Δd_{ox} 计算减小氧化物层 30 厚度 d_{ox} 的氧化物分解时间:

[0155]

$$\text{时间} = \frac{d_{se} * \Delta d_{ox}}{D(T) * C(T)} * N$$

[0156] 此处 N 是氧化物中氧原子的浓度。

[0157] 例如,如果半导体层 10 具有单晶 Si,那么 $N = 4.22e22$,以及如果氧化物层 30 具有 SiO_2 ,并且如果 $d_{se} = 1000$ 埃以及 $\Delta d_{ox} = 20$ 埃:

$$[0158] \quad \text{时间} = 1.86e-12 * \exp(4.04eV/kT)$$

[0159] 本申请人证明影响该时间的主要参数是热处理 (anneal) 温度和顶部半导体层 10 的厚度。

[0160] 此外,该结果与体衬底 20 中的氧浓度无关。

[0161] 例如,并基于数值模拟,在 Ar 或 H_2 气氛中,对于 1000 埃的顶部 Si 层,分解 20 埃界面 SiO_2 的最小热处理 (anneal) 条件是:

[0162] -1100°C 下 2hr,或者

[0163] -1200°C 下 10min,或者

[0164] -1250°C 下 4min。

[0165] 然后选择热处理的温度和时间激发氧化物层 30 的氧经半导体层 10 扩散而非在体衬底 20 中扩散。

[0166] 然后,氧化物层 30 的厚度减小并在希望的区域中完全除去该氧化物。

[0167] 另外,还可以在形成半导体层 10 时选择其厚度来激发所述扩散。具体地,半导体层 10 的厚度和热处理的温度决定氧化物层 30 的平均减小速率。厚度越大,速率越小。温度越高,速率越大。

[0168] 例如,可以控制所述厚度和温度,以致达到至少每分钟约 0.5 埃氧化物层 30 的平均减小速率。为此,对于约 1200°C 的温度,选择 Si 单晶层 10 的厚度小于 2500 埃。

[0169] 然后对于准确控制从氧化物层 10 除去受控厚度的氧化物,仅热处理的持续时间是必要条件。

[0170] 换句话说,已选择半导体层 10 的厚度,通过实施受控持续时间和受控温度的热处理除去受控厚度的氧化物。

[0171] 可以选择约 1100°C -1300°C 的受控温度,特别是 1100°C 左右或 1200°C。

[0172] 半导体层 10 的厚度可以在 250 埃左右和 1000 埃左右,受控温度为约 1200°C,以及

受控持续时间在约 5 分钟左右和 5 小时之间。

[0173] 现在将描述本发明的三个具体实施方式。

[0174] 在第一实施方式中,参照图 8A 到 8D,制备标准 SOI 结构 50,使其具有薄或超薄的氧化物层 30,即包括在 100 和 1000 埃之间优选从 250 到 500 埃的厚度,以及薄半导体层 10,即包括在 250 和 5000 埃之间优选在 250 和 1000 埃之间的厚度。

[0175] 然后,参照图 8A。通过加热氧化,在结构 50 的半导体层 10 表面形成掩模 80,掩模 80 仅覆盖半导体层 10 的限定区域 11,从而留下与希望的图案对应的自由区域 12。

[0176] 如图 8B 和 8C 所示,下一步是在 1200°C 下热处理 2 小时,导致在与未被掩模 80 覆盖的半导体层的区域 12 对应的区域中,分解该被掩埋的氧化物层 30。图 8B 显示热处理期间的中间结构。氧化物层的厚度从该氧化物层的顶部开始减小,从而形成厚度比氧化物层被掩模 80 保护的其它区域 31 低的区域 32。图 8C 显示在与希望的图案对应的区域 32 中氧化物层完全分解后的结构。

[0177] 然后,参照图 8D,执行包括例如薄化或 CMP 的修整步骤,以便除去掩模 80 并获得良好的均匀性和希望的粗糙度,以确保将进一步在其上设置的元件的质量。

[0178] 在该实施方式中,通过热氧化形成掩模 80 的地方,消耗超过几埃优选从 30 到 200 埃的半导体层 10。通过为氧化物分解而进行热处理期间,发生的硅和 / 或氧蒸发来补偿与未掩模区域相比的厚度差。

[0179] 在第二实施方式中,参照图 9A 到 9D,制备标准 SOI 结构 50,使其具有薄或超薄氧化物层 30,即包括在 100 和 1000 埃之间优选从 250 到 500 埃的厚度的。

[0180] 然后参照图 9A,通过在薄半导体层 10 的表面上沉积氮化物或氧化物形成掩模 80。

[0181] 如图 9B 和 9C 所示,下一步是在 1200°C 下热处理 3 小时局部分解被掩埋的氧化物层 30。

[0182] 在该实施方式中,掩模 80 的沉积未消耗半导体层 10 的厚度。因此在被掩埋的氧化物层选择分解期间,在不具有任何掩模的表面上产生半导体层的小凹陷。在例如用 CMP 的修整步骤期间,减少或消除了与掩模保护的区域相比的高度差。

[0183] 在第三实施方式中,参照图 10A 到 10C,形成具有包括在 200 和 500 埃之间厚度的氧化物层 30 的 SOI 结构。

[0184] 有选择地蚀刻半导体层 10,以在与希望的图案对应的区域 12 中具有包括在 250 和 1000 埃之间的厚度,以及在别处更厚的掩模区域 11。该半导体层的掩模区域 11 至少 2500 埃厚,足以防止氧经它们扩散,从而起到如同前面的实施方式中掩模 80 的同样的作用。

[0185] 然后在 1200°C 下进行热处理 1 到 3 小时,分解氧化物层 30 与希望的图案对应的区域 32 中的氧化物。包括薄化或 CMP 的修整步骤(未显示)导致高质量的表面。

[0186] 根据本发明的复合结构因而是 SOI 结构,从其底部到其表面包括体结构、形成图案的氧化物层、半导体层。形成图案的氧化物层意指氧化物层根据希望的图案在平行于该结构的平面内展开。由体结构的材料形成互补的图案。氧化物层的厚度包括在 100 和 1000 埃之间,优选在 250 和 500 埃之间,而半导体层的厚度包括在 250 和 5000 埃之间,优选在 250 和 1000 埃之间。

[0187] 根据本发明的复合结构还可以被描述为包括交替的体区域和 SOI 区域的结构,在平行于该结构的平面内,所述体区域和 SOI 区域分别限定希望的图案以及互补图案。

[0188] 体区域的厚度是整个结构的厚度；由半导体材料形成体区域。

[0189] SOI 区域从它们的底部到它们的表面包括：

[0190] - 体衬底，

[0191] - 氧化物层，其厚度包括在 100 和 1000 埃之间，优选在 250 和 500 埃之间，

[0192] - 半导体层，其厚度包括在 250 和 5000 埃之间，优选在 250 和 1000 埃之间。

[0193] 在上述实施方式中，为了形成具有体区域和 SOI 结构的复合结构，进行热处理直至希望在区域中氧化物完全分解。

[0194] 然而，为了保持不同氧化物厚度的区域，也可能在氧化物完全分解（图 8B, 9B, 10B 所示的中间步骤）之前停止热处理。这可以制备图 11 所示的结构，其中氧化物层包括具有第一厚度的区域 31 和具有较薄的第二厚度的区域 32。实际上，可以采用热处理除去在希望的区域中的受控厚度的氧化物。

[0195] 例如，如果固定氧化物的分解速率，为了除去受控厚度的氧化物仅改变热处理的持续时间。

[0196] 为了控制有选择地控制氧化物层不同区域的厚度，另一种可能是采用不同的掩模部件。例如，可能制造包括具有初始厚度的区域、较薄的区域以及无氧化物的区域的氧化物层的结构。为此，采用两步或更多步的方法。在第一步中，在半导体层上形成第一掩模，限定第一图案。然后进行第一热处理，在与第一图案对应的区域中除去受控厚度的氧化物。在第二步中，在第一图案的部分上形成第二掩模，从而限定包括在第一图案中的第二图案。然后进行第二热处理，以便在与第二图案对应的区域中完全除去氧化物。但第二掩模防止在第一热处理期间已经变薄并且现在被该掩模覆盖的区域中氧化物的分解。从而获得的结构包括具有初始厚度的区域（在被第一掩模覆盖的区域中）、具有较小厚度的区域（在被第二掩模覆盖的区域中）以及无氧化物的区域（在与第二图案对应的区域中）。

[0197] 从而该实施方式允许制造具有不同厚度被掩埋的氧化物层的 SOI 结构；这样的 SOI 结构在诸如存储器的应用中是非常令人感兴趣的。

[0198] 根据本发明的方法的一个优点在于应用在标准 SOI 结构上，该结构因为采用了提供良好结果的结合技术来制造，所以是高质量的。根据本发明的方法没有暗示抛光复合区域，因此避免了与抛光相关的问题，特别是凹陷问题。

[0199] 此外，可以通过加热氧化或通过氧化物沉积形成被掩埋的氧化物层。

[0200] 此外，硅顶部层可以具有与硅区不同的结晶取向或不同的掺杂。结合面接近该表面。可能在 n- 硅上结合 n+ 掺杂层。在这样的布置中，可以在制造过程中不改变掺杂的情况形成一些元件；应用的例子是制造二极管。

[0201] 该硅区域优选地具有高的结晶质量并且可以直接在硅的这些部分上构建元件。此外，转移的硅层可以具有高结晶质量的硅，其上可以直接形成元件。

[0202] 此外，根据 HOT 技术（复合取向技术），该硅转移层可以具有不同的结晶取向。

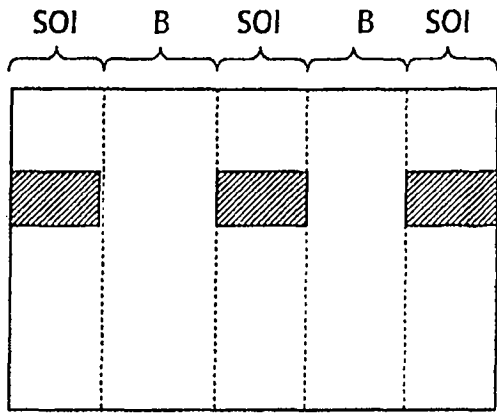


图 1

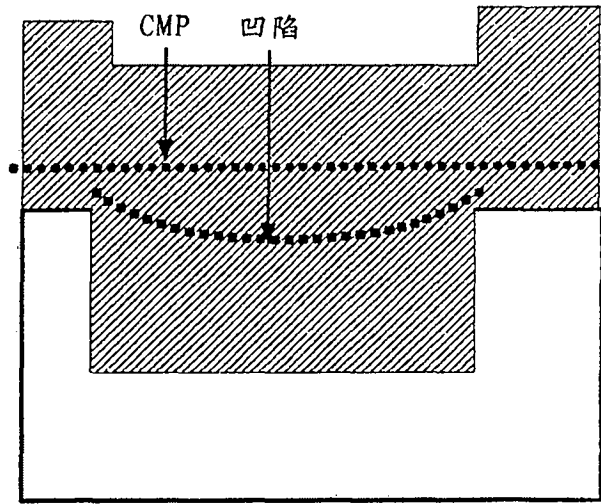


图 2

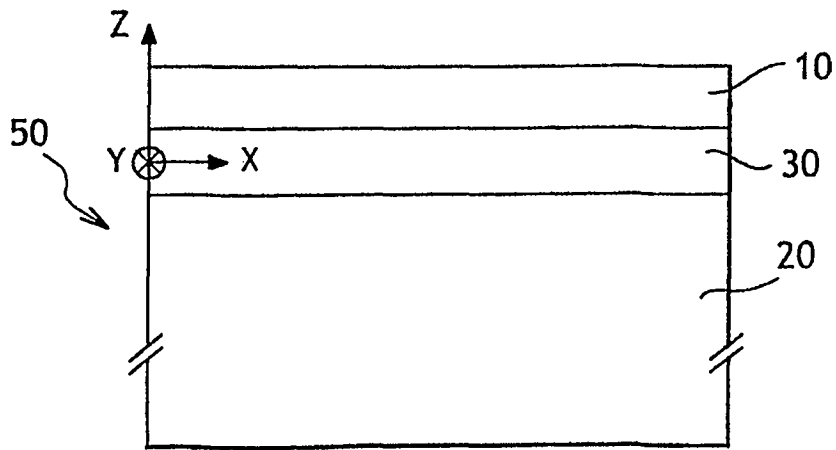


图 3

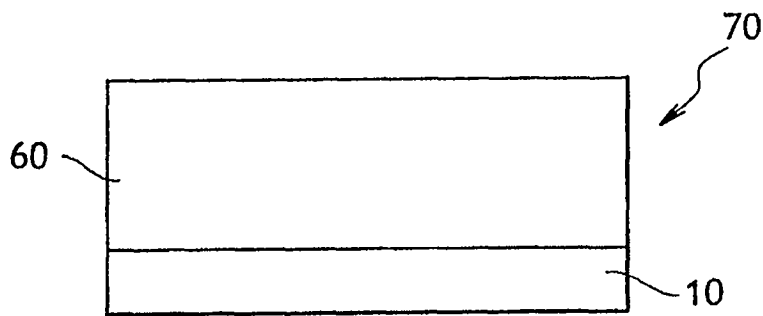


图 4A

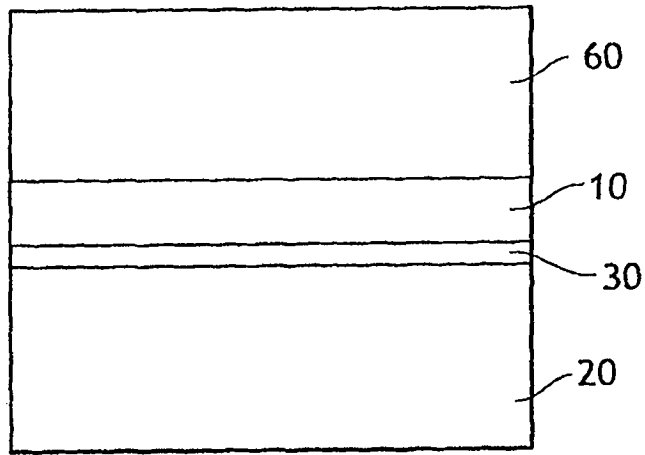


图 4B

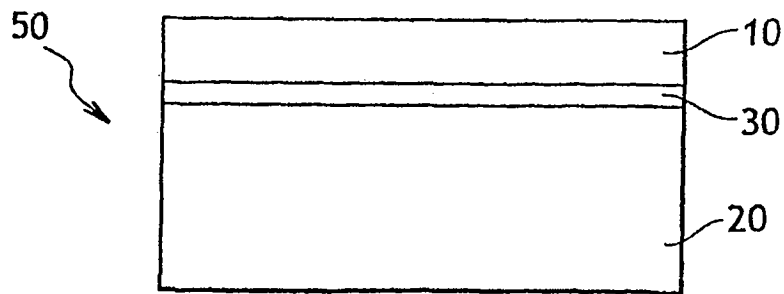


图 4C

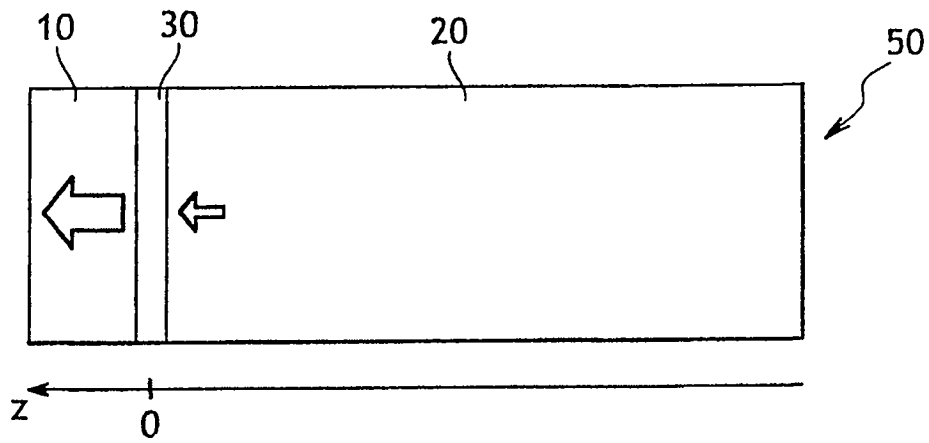


图 5

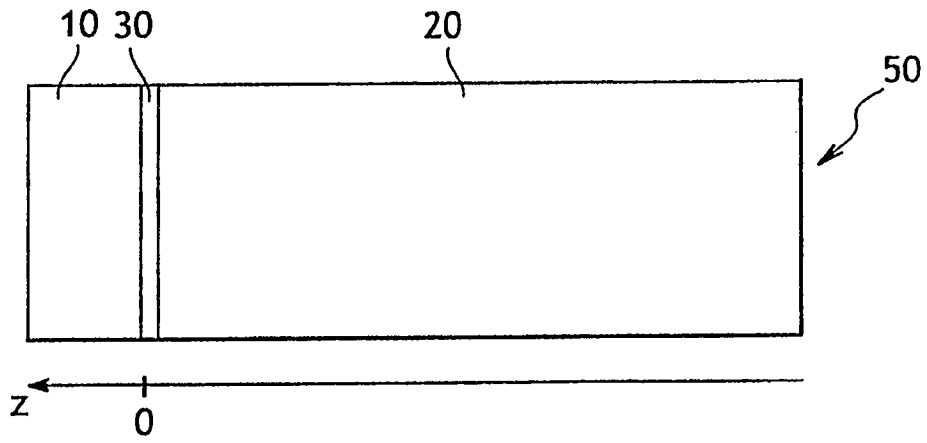


图 6

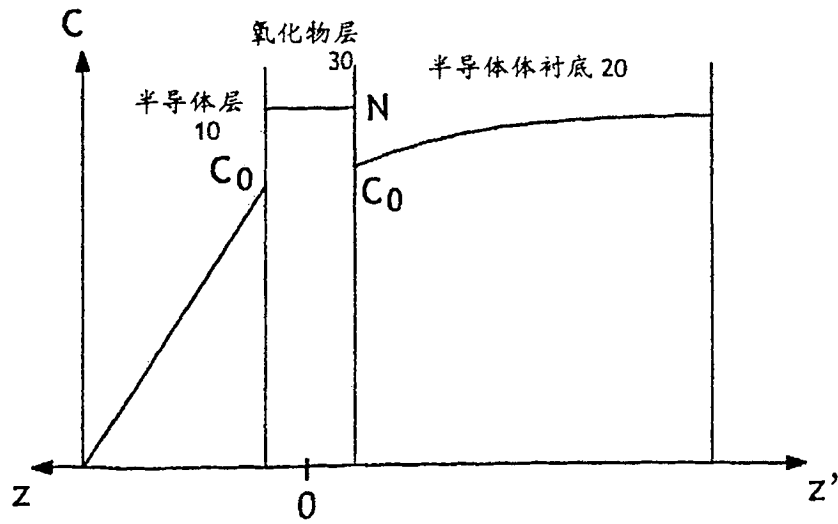


图 7

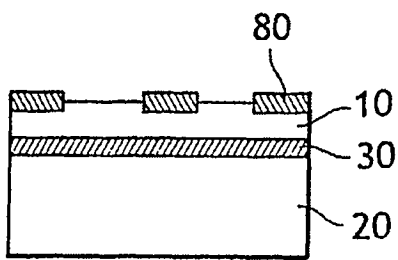


图 8A

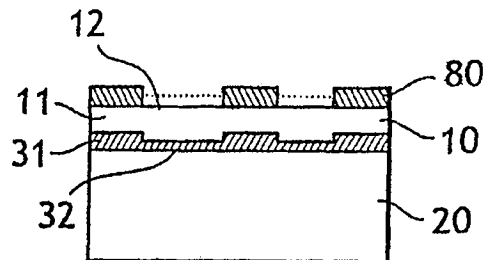


图 8B

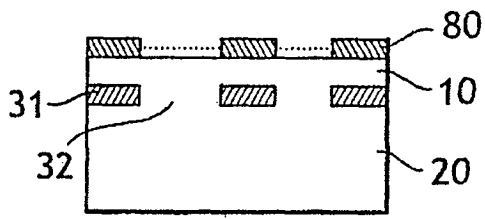


图 8C

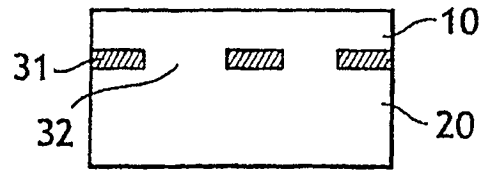


图 8D

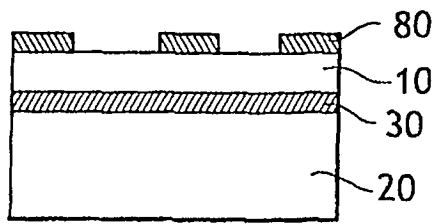


图 9A

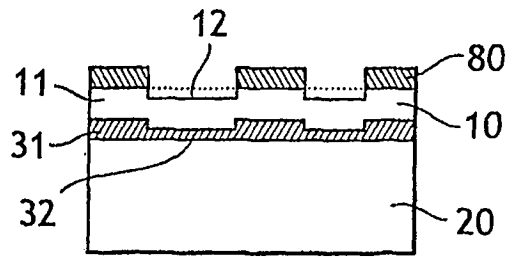


图 9B

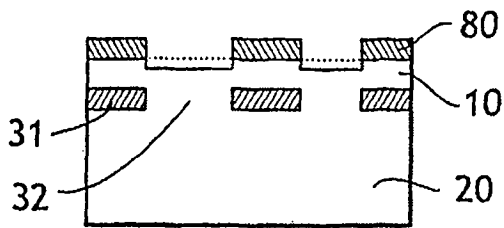


图 9C

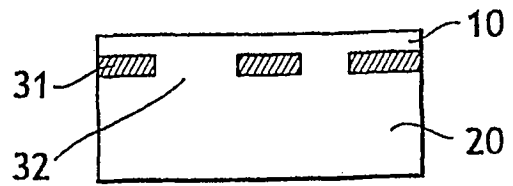


图 9D

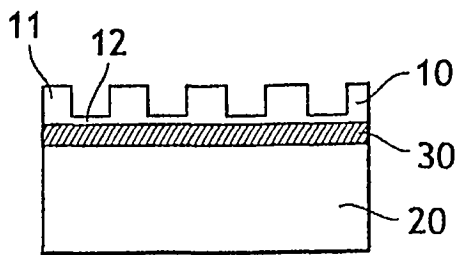


图 10A

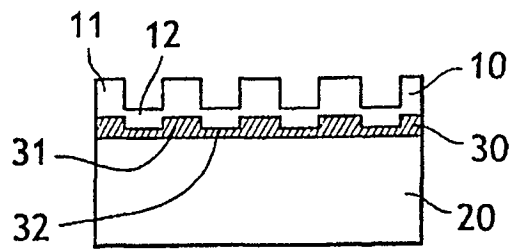


图 10B

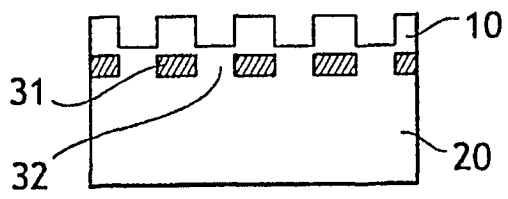


图 10C

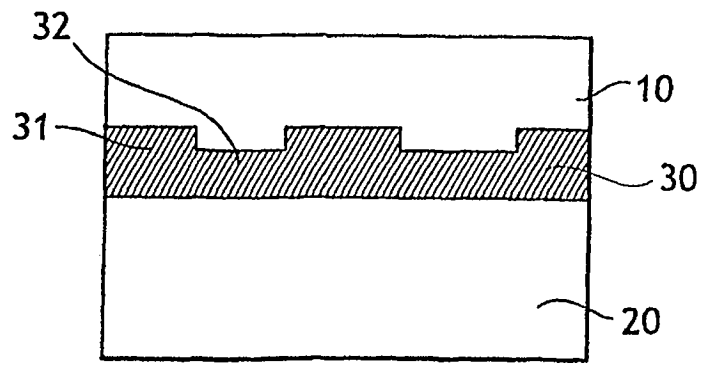


图 11