

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3970814号
(P3970814)

(45) 発行日 平成19年9月5日(2007.9.5)

(24) 登録日 平成19年6月15日(2007.6.15)

(51) Int. Cl.	F I
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 Z
HO 1 L 21/02 (2006.01)	HO 1 L 27/12 B
HO 1 L 29/786 (2006.01)	HO 1 L 27/12 R
HO 1 L 21/336 (2006.01)	HO 1 L 21/02 B
	HO 1 L 29/78 6 2 7 G
請求項の数 3 (全 14 頁) 最終頁に続く	

(21) 出願番号	特願2003-206111 (P2003-206111)	(73) 特許権者	000005049
(22) 出願日	平成15年8月5日(2003.8.5)		シャープ株式会社
(65) 公開番号	特開2005-56917 (P2005-56917A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成17年3月3日(2005.3.3)	(74) 代理人	110000338
審査請求日	平成16年8月24日(2004.8.24)		特許業務法人原謙三国際特許事務所
		(74) 代理人	100080034
			弁理士 原 謙三
		(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100116241
			弁理士 金子 一郎
		(72) 発明者	糸賀 隆志
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
最終頁に続く			

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

絶縁基板上に、該絶縁基板に転写されてなる転写トランジスタと、該絶縁基板上で形成される成膜トランジスタとが絶縁基板上の互いに異なる領域に混在する半導体装置の製造方法において、

上記成膜トランジスタは、絶縁基板上に上記転写トランジスタを転写した後に形成されるものであり、

上記成膜トランジスタの形成工程では、上記絶縁基板上に非晶質Si薄膜を形成する工程と、上記非晶質Si薄膜にエネルギービームを照射することにより多結晶Si薄膜に改質する工程とを含み、

上記エネルギービームの照射を、上記転写トランジスタの領域を避けて照射するために、該エネルギービームの光路中にマスクを挿入して行うことを特徴とする半導体装置の製造方法。

【請求項2】

上記転写トランジスタの絶縁基板上への転写は、上記転写トランジスタが予め作り込まれた転写用基板を上記絶縁基板に接合した後、上記転写用基板の不要部分を剥離する工程によってなされ、

上記エネルギービームの照射は、上記転写用基板の不要部分を剥離させた後に行われることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

上記転写トランジスタは、単結晶シリコントランジスタであることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、TFTで駆動するアクティブマトリクス駆動液晶表示装置等において、同一基板上に周辺駆動回路やコントロール回路を一体集積化した液晶表示装置の回路性能改善を図った半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

従来より、ガラス基板上に非晶質Si（以下a-Siと略記する）や多結晶Si（以下P-Siと略記する）の薄膜トランジスタ（Thin Film Transistor、以下、TFTと記す）を形成し、液晶表示パネルや有機ELパネル等の駆動を行う、いわゆるアクティブマトリクス駆動を行う表示装置が使用されている。

【0003】

特に、移動度が高く高速で動作するp-Siを用いて、周辺ドライバを集積化したものが用いられるようになってきている。しかし、さらに高い性能が要求されるイメージプロセッサやタイミングコントローラ等のシステム集積化のためには、より高性能なSiデバイスが求められている。

【0004】

これは、多結晶Siでは結晶性の不完全性に起因するギャップ内の局在準位や結晶粒界付近の欠陥やギャップ内局在準位に起因する、移動度の低下やS係数（サブスレシールド係数）の増大のため、高性能なSiのデバイスを形成するには、トランジスタの性能が充分ではないという問題があるためである。

【0005】

そこで、さらに高性能なSiのデバイスを形成するため、単結晶Si薄膜からなる薄膜トランジスタ等のデバイスを予め形成し、これを絶縁基板上に貼り付けて半導体装置を形成する技術が研究されている（例えば、特許文献1、非特許文献1、2参照）。

【0006】

また、高性能な半導体装置を形成するための別の手法として、同一の基板上に特性の異なる2種類の半導体デバイスを形成した液晶パネル用基板が、特許文献2に記載されている。特許文献2に記載の液晶パネル用基板では、アモルファスシリコンTFTを用いた画素領域を有する基板上に、他の基板上に形成されている多結晶シリコンTFTを転写する技術が開示されている。

【0007】

【特許文献1】

特表平7-503557号（公表日1995年4月13日）

【0008】

【特許文献2】

特開平11-24106号（公開日1999年1月29日）

【0009】

【非特許文献1】

J.P.Salerno "Single Crystal Silicon AMLCDs", Conference Record of the 1994 International Display Research Conference (IDRC) P.39-44(1994)

【0010】

【非特許文献2】

Q.-Y.Tong & U.Gesele, SEMICONDUCTOR WAFER BONDING : SCIENCE AND TECHNOLOGY , John Wiley & Sons, New York(1999)

【0011】

【発明が解決しようとする課題】

10

20

30

40

50

ところで、上記特許文献1および特許文献2からは、絶縁基板上に、他の基板から転写される単結晶Siデバイスと、絶縁基板上で成膜される多結晶Siデバイスとを形成する構成が考えられる。この場合、多結晶Si薄膜を形成する過程で、非晶質Si薄膜にレーザを照射して該非晶質Si薄膜を多結晶化させることが行われる。

【0012】

ここで、絶縁基板上に単結晶Siデバイスと多結晶Siデバイスとの2種類の半導体デバイスを形成する場合において、絶縁基板上に単結晶Siデバイスを転写した後に多結晶Siデバイスを形成する手順と、絶縁基板上に多結晶Siデバイスを形成した後に単結晶Siデバイスを転写する手順との2通りの手順が考えられる。

【0013】

そして、上記2つの手順を比較すると、単結晶Siデバイスを転写した後に多結晶Siデバイスを形成する手順では、単結晶Siデバイスの転写を絶縁基板の平坦性が保たれた状態で行うことができ接合不良等の問題の発生を防止できるといった利点がある。しかしながら一方で、非晶質Si薄膜にレーザを照射して該非晶質Si薄膜を多結晶化させる工程において、基板全体に対してレーザ照射を行うと、このレーザが単結晶Siデバイスにも照射されることにより、単結晶Siデバイスが損傷を受けてしまうといった問題がある。

【0014】

本発明は、上記の問題点を解決するためになされたもので、その目的は、ガラス等の絶縁基板上に、転写により形成された単結晶Siデバイスと、絶縁基板上での成膜工程等により形成された多結晶Siデバイスとを有する半導体装置において、多結晶Si薄膜形成時のエネルギービームによって転写により形成される単結晶Siデバイスが損傷を受けることを防止することにある。

【0015】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、上記の課題を解決するために、絶縁基板上に、該絶縁基板に転写されてなる転写トランジスタと、該絶縁基板上で形成される成膜トランジスタとが混在する半導体装置の製造方法において、上記成膜トランジスタは、絶縁基板上に上記転写トランジスタを転写した後に形成されるものであり、上記成膜トランジスタの形成工程では、上記絶縁基板上に非晶質Si薄膜を形成する工程と、上記非晶質Si薄膜にエネルギービームを照射することにより多結晶Si薄膜に改質する工程とを含み、上記エネルギービームの照射は、上記転写トランジスタの領域を避けて照射されることを特徴としている。

【0016】

上記の構成によれば、絶縁基板上に、転写により形成された転写トランジスタと、絶縁基板上で形成された成膜トランジスタとを有する半導体装置において、多結晶Si薄膜形成時のエネルギービームの照射によって上記転写トランジスタが損傷を受けることを防止することができる。

【0017】

また、上記エネルギービームの照射により表面に損傷を受ける前の、平坦性が保たれた状態の絶縁基板に、上記転写トランジスタが形成された基板を接合することができるため、接合不良等の問題の発生を防止できる。

【0018】

また、上記エネルギービームの照射は、上記転写トランジスタの領域を避けて照射するために、該エネルギービームの光路中にマスクを挿入することを特徴としている。

【0019】

上記の構成によれば、半導体装置へのビーム照射をマスクの挿入・非挿入によって選択的に行えるため、エネルギービームの出力を安定させたままで、上記転写トランジスタの領域を避けてエネルギービームを照射することができる。

【0020】

また、上記転写トランジスタの絶縁基板上への転写は、上記転写トランジスタが予め作り

10

20

30

40

50

込まれた転写用基板を上記絶縁基板に接合した後、上記転写用基板の不要部分を剥離する工程によってなされ、上記エネルギービームの照射は、上記転写用基板の不要部分を剥離させる後に行われることを特徴としている。

【0021】

上記の構成によれば、転写トランジスタを、絶縁基板上で形成する場合よりも、高度な微細加工を施した後該絶縁基板に転写することが容易となる。また、絶縁基板に貼り付けられた基板の不要部分をエネルギービーム照射の影響を受けずに剥離することができる。

【0022】

また、上記転写トランジスタは、単結晶シリコントランジスタとすることができる。

【0023】

上記の構成によれば、特性が異なる複数の回路を集積化した高性能・高機能な半導体装置を得ることができる。また、1枚の絶縁基板上に、全て単結晶Si薄膜からなるトランジスタを形成するよりも、安価に高性能・高機能な半導体装置を得ることができる。

【0024】

【発明の実施の形態】

本発明の実施の一形態について図1ないし図4に基づいて説明すれば、以下の通りである。

【0025】

なお、本実施の形態で説明する半導体装置は、MOS型の多結晶Si薄膜トランジスタとMOS型の単結晶Si薄膜トランジスタとを絶縁基板上の異なる領域に形成した高性能・高機能化に適した半導体装置であって、TFTによるアクティブマトリクス基板に形成される。

【0026】

このMOS型の薄膜トランジスタは、活性半導体層、ゲート電極、ゲート絶縁膜、ゲート両側に形成された高濃度不純物ドープ部（ソース・ドレイン電極）からなり、ゲート電極により、ゲート下の半導体層のキャリア濃度が変調され、ソース・ドレイン間を流れる電流が制御される一般的なトランジスタである。

【0027】

MOS型トランジスタの特性としては、CMOS（Complementary MOS）構造にすると、消費電力が少なく、電源電圧に応じて出力をフルに振ることができることから、低消費電力型のロジックに適している。

【0028】

本実施の形態の半導体装置20は、図3(i)に示すように、絶縁基板2上に、SiO₂（酸化Si）膜（酸化膜）3、多結晶Si薄膜5'を含むMOS型の多結晶Si薄膜トランジスタ（成膜トランジスタ）1a、単結晶Si薄膜14aを備えたMOS型の単結晶Si薄膜トランジスタ（転写トランジスタ）16a、金属配線22を備えている。

【0029】

絶縁基板2は、高歪点ガラスであるコーニング社のcode 1737（アルカリ土類-アルミノ硼珪酸ガラス、厚さ0.7mm程度）が用いられている。

【0030】

SiO₂膜3は、絶縁基板2の表面全体に、膜厚約100nmで形成されている。

【0031】

多結晶Si薄膜5'を含むMOS型の多結晶Si薄膜トランジスタ1aは、層間絶縁膜としてのSiO₂膜4上に、多結晶Si薄膜5'、ゲート絶縁膜としてのSiO₂膜7、ゲート電極6を備えている。

【0032】

ゲート電極6は、ポリシリコン膜から形成されているが、多結晶Si、他のシリサイドあるいはポリサイド等から形成されていてもよい。

【0033】

一方、単結晶Si薄膜14aを含むMOS型の単結晶Si薄膜トランジスタ16aは、ゲ

10

20

30

40

50

ート電極12を有する平坦化層、ゲート絶縁膜としてのSiO₂膜13、単結晶Si薄膜14aとを備えている。

【0034】

また、この単結晶Si薄膜トランジスタ16aの一部は、絶縁基板2に接合される前に単結晶Si基板上で形成され、ゲート電極12、ゲート絶縁膜13、単結晶Si薄膜14a、ソース・ドレインとなる領域を含んだ状態で、絶縁基板2上に接合される。このように、単結晶Si基板上でゲート電極形成やソース・ドレインの不純物イオン注入を行う方が、絶縁基板2上に単結晶Si薄膜を形成した後に薄膜トランジスタを形成するよりも、単結晶Si薄膜への微細加工を容易に行うことができる。

【0035】

本実施の形態の半導体装置20では、以上のように、1枚の絶縁基板2上に、MOS型の多結晶Si薄膜トランジスタ1aと、MOS型の単結晶Si薄膜トランジスタ16aとを共存させることで、特性が異なる複数の回路を集積化した高性能・高機能な半導体装置を得ることができる。また、1枚の絶縁基板2上に、全て単結晶Si薄膜からなるトランジスタを形成するよりも、安価に高性能・高機能な半導体装置を得ることができる。

【0036】

なお、多結晶Si薄膜5'の領域と単結晶Si薄膜14aの領域とは、少なくとも0.3μm以上、好ましくは0.5μm以上離れている。これにより、単結晶Si薄膜14aに、Ni、Pt、Sn、Pd等の金属原子が拡散するのを防止することができ、単結晶Si薄膜トランジスタ16aの特性を安定化させることができる。

【0037】

さらに、本実施の形態の半導体装置20には、多結晶Si薄膜トランジスタ1aと単結晶Si薄膜トランジスタ16aとの間の層間絶縁膜として、SiO₂膜4が形成されている。これにより、単結晶Si薄膜14aが汚染されることを防止できる。

【0038】

例えば、本発明の半導体装置20を含む液晶表示装置のアクティブマトリクス基板の場合には、さらに、液晶表示用に、SiN_x(窒化Si)、樹脂平坦化膜、ピアホール、透明電極が形成される。そして、多結晶Si薄膜5'の領域には、ドライバおよび表示部用のTFTが形成され、より高性能が要求されるデバイスに適用可能な単結晶Si薄膜14aの領域には、タイミングコントローラが形成される。なお、ドライバ部は、単結晶Siで

【0039】

このように、単結晶Si薄膜14a、多結晶Si薄膜5'からなる薄膜トランジスタのそれぞれの特性に応じて、各薄膜トランジスタの機能・用途を決定することで、高性能・高機能な薄膜トランジスタを得ることができる。

【0040】

なお、従来の多結晶Si薄膜5'の領域に形成したNチャネルTFTは、約100cm²/V・secの移動度であったのに対し、本実施の形態の半導体装置を形成した液晶表示用アクティブマトリクス基板においては、単結晶Si薄膜14aの領域に形成したNチャネルTFTが約550cm²/V・secの移動度であった。このように、本実施の形態の半導体装置20の構成によれば、従来に比べて高速動作が可能なTFTを得ることができる。

【0041】

また、この液晶表示用のアクティブマトリクス基板において、ドライバはもとより多結晶Si薄膜5'の領域に形成されているデバイスが7~8Vの信号と電源電圧を要するのに対し、単結晶Si薄膜14aの領域に形成されているデバイスであるタイミングコントローラは2.7Vにて安定に動作した。

【0042】

また、半導体装置20においては、集積回路が多結晶Si薄膜5'の領域と単結晶Si薄膜14aの領域とに形成されることにより、必要とする構成および特性に合わせて画素ア

10

20

30

40

50

レイを含む集積回路に適した領域に形成することができる。そして、それぞれの領域に形成された集積回路において、動作速度や動作電源電圧等が異なる性能の集積回路を作ることができる。例えば、ゲート長、ゲート絶縁膜の膜厚、電源電圧、ロジックレベルのうち少なくとも1つが領域毎に異なる設計とすることができる。

【0043】

これにより、領域ごとに異なる特性を有するデバイス形成でき、より多様な機能を備えた半導体装置を得ることができる。

【0044】

さらに、半導体装置20においては、集積回路が多結晶Si薄膜5'の領域と単結晶Si薄膜14aの領域とに形成されるため、それぞれの領域に形成された集積回路は、領域毎に異なる加工ルールを適用することができる。例えば、短チャネル長の場合、単結晶Si薄膜領域には結晶粒界がないため、TFT特性のパラツキが殆ど増加しないのに対し、多結晶Si薄膜領域では、結晶粒界の影響でパラツキが急速に増加するため、加工ルールを各々の部分で変える必要があるからである。よって、加工ルールに合わせて集積回路に適した領域に形成することができる。

【0045】

また、本実施の形態の半導体装置20では、MOS型の単結晶Si薄膜トランジスタ16aにおいて、その金属配線パターンは、ゲートパターンよりも緩いデザインルールによって形成することが可能である。

【0046】

これにより、MOS型の単結晶Si薄膜トランジスタ16aを形成した半導体装置のメタル配線もしくはメタル配線の一部を大型基板上のメタル配線と同時に処理することができ、コストを抑え、かつ処理能力を向上させることができる。さらに、外部配線や他の回路ブロックやTFTアレイに対する接続が容易になり、外部装置等に対する接続不良による製品歩留りを低減できる。

【0047】

なお、半導体装置20上に形成される単結晶Si薄膜14aのサイズは、LSI製造装置のウエハサイズによって決まることになる。しかし、単結晶Si薄膜14aを必要とする高速性、消費電力、高速のロジック、タイミングジェネレータ、パラツキが問われる高速のDAC(電流バッファ)、あるいはプロセッサ等を形成するためには、一般的なLSI製造装置のウエハサイズで十分である。

【0048】

ここで、半導体装置20の製造方法について説明すれば以下のとおりである。

【0049】

本実施の形態の半導体装置20の製造方法では、単結晶Si薄膜トランジスタ16aを別途作り込んだ単結晶Si基板10aを形成し、この単結晶Si薄膜トランジスタ16aの一部を単結晶Si基板10aから絶縁基板2上に転写している。

【0050】

まずは、単結晶Si薄膜トランジスタ16aを作り込んだ単結晶Si基板10aの製造方法について、図2(a)~図2(e)を参照して説明する。単結晶Si基板10aは、6インチ若しくは、8インチの単結晶シリコンウエハ10(比抵抗値:10 Ω cm程度、厚さ0.7mm程度)を用いて、1,000程度のプロセスである通常集積回路製造工程において、次の様に作製される。

【0051】

最初に、図2(a)に示すように、通常の洗浄法(RCA洗浄など)により洗浄された単結晶シリコンウエハ10に対し、熱酸化炉(拡散炉)においてウエハ表面を熱酸化し、ゲート絶縁膜13を形成する。すなわち、1,050の温度でHCL酸化または、パイロジェニック酸化を行い、5~30nmのゲート絶縁膜13を形成する。

【0052】

次に、図2(b)に示すように、ゲート電極となるポリシリコン膜を、ゲート絶縁膜13

10

20

30

40

50

上に、熱CVD法などで形成する。なお、熱CVD法は、600 程度の温度の減圧下(50~200 Pa)において、ウエハ上にモノシランガスを流してシリコン膜を成膜するものである。この方法により、150~300 nmのポリシリコン膜を形成する。そして、形成したポリシリコン膜を、n+拡散などにより、低抵抗化する。

【0053】

次に、フォトリソグラフィ工程により、形成したポリシリコン膜をゲート電極12の形状にパターニングする。すなわち、フォトレジスト塗布、露光・現像、シリコンエッチング、フォトレジスト剥離の工程により、パターニングすることによりゲート電極12を形成する。なお、ゲート電極12の線幅は、IC・LSIプロセスラインにおいて行うため、線幅0.5 μm程度は容易に達成できる。

10

【0054】

その後、半導体のソース・ドレイン領域を形成するために、不純物イオンを注入する。すなわち、ゲート電極12をパターニングした後、図2(c)に示すように、ソース・ドレイン部となる箇所に自己整合的に、N型MOSの場合にはリンまたは砒素を、P型MOSの場合にはホウ素を注入する。

【0055】

さらに、不純物が注入されたシリコンは、結晶がダメージを蒙っており、十分に低抵抗化されていないため、900~1000 程度の熱処理により活性化して低抵抗化させる。場合によっては、LDD(Lightly Doped Drain)などを形成する。

【0056】

次に、図2(d)に示すように、熱CVD法などで、層間絶縁膜16を形成する。ここでは、ゲート絶縁膜13よりも密度が低い膜でも構わないため、400 程度の温度の減圧下(100~200 Pa程度)において、モノシランガスと、酸素ガスを流して二酸化珪素膜を、厚さ300 nm~400 nm程度形成する。そして、化学機械研磨法(CMP法)などで、ウエハ表面の層間絶縁膜16を平坦化する。平坦さの度合いは、Raで表すと、0.1 nm以下の値になる様にする。

20

【0057】

次に、図2(e)に示すように、水素イオン注入を行い、水素イオン注入部15を形成する。水素イオン注入は、加速電圧56 keV程度、ドーズ量 $1 \times 10^{16} \sim 5 \times 10^{16} / \text{cm}^2$ 程度で行う。なお、加速電圧は、後の工程で所望の厚さの単結晶Si薄膜14aを得られるように適宜設定すればよい。

30

【0058】

そして、このように転写デバイスを搭載した単結晶シリコンウエハ(半完成シリコンウエハ)10は、単結晶Si薄膜トランジスタ16aを絶縁基板2に転写するため、所望のサイズに切り出されて単結晶Si基板10aとされる(切り出し工程については図示省略)。

【0059】

次に、半導体装置20の製造方法について、図3(a)~図3(i)を参照して説明する。

【0060】

まず、絶縁基板2の表面を荒らさないように洗浄した後、図3(a)に示すように、プラズマCVDによって膜厚約100 nmのSiO₂膜3を形成する。すなわち、絶縁基板2の表面全体に、300 程度の温度、100~200 Pa程度の減圧下で、TEOSとO₂との混合ガスを流し、プラズマ放電の下で厚さ膜厚約100 nmのSiO₂膜3を形成する。SiO₂膜3の形成により、ガラス基板などからなる絶縁基板2は、表面の濡れ性が確保される。

40

【0061】

次に、図3(b)に示すように、絶縁基板2および切断した単結晶Si基板10aの両基板をSC-1洗浄し活性化した後、単結晶Si基板10aの水素イオン注入部15側を所定の位置にアライメントし、室温で密着させて接合する。

50

【0062】

ここで、光透過性非晶質基板(酸化珪素膜のコーティング膜付)である絶縁基板2と、転写デバイス基板(表面を酸化処理済み)である単結晶Si基板10aとを接着剤なしで接合させるには、これら基板の表面状態の清浄度や、活性度が極めて重要である。したがって、これらの基板は、接合前にSC1液と呼ばれる液体で接合前に洗浄・乾燥されるものである。

【0063】

SC1液とは、市販のアンモニア水(NH_4OH :30%)と、過酸化水素水(H_2O_2 :30%)と純水(H_2O)とを混合して作製する。一例としては、上記薬液を、5:12:60の割合で混合したものが用いられる。SC1液の液温は、室温でよい。洗浄は、上記SC1液に基板を5分間浸すことで行われる。アンモニア水は、酸化珪素表面をスライトエッチするため、上記基板をSC1液に長時間浸すことは好ましくない(ウルトラクリーンULSI技術 大見忠弘著、培風館 p.172)。その後、上記基板を純水(比抵抗値10M Ω cm以上)で流水のもとに10分間洗浄し、スピンドライヤーなどで迅速に乾燥させる。これらの洗浄・乾燥後の絶縁基板2と単結晶Si基板10aとは、互いに接触させ僅かな力で押してやることにより、接着剤などを使うことなく、自発的に接着する。

10

【0064】

単結晶Si基板10aと絶縁基板2との接着剤なしでの接合は、van der Waals力による寄与、電気双極子による寄与、水素結合による寄与によって実現する。この接着は、貼り合わせる基板表面の上記3つの寄与のバランスが似通っているもの同士が接着しやすくなる。

20

【0065】

また、単結晶Si基板10aと絶縁基板2との貼り合わせ時におけるアライメントは、図4に示すように、絶縁基板2、ここでは、コーニング社1737ガラスを通して、絶縁基板2側から可視光で単結晶Si基板10a上の位置合わせマーク94と絶縁基板2側の位置合わせマーク93とを検出して行う。図4に示す例では、落射照明で顕微鏡にセットした位置合わせ用CCDカメラ90を用いて、位置合わせステージ91上の単結晶Si基板10a上の位置合わせマーク94を検知し、最終的にこれを電気信号に変換して処理している。

【0066】

従来の赤外線を照射してSi基板を通して位置合わせを行っていた方式では、IC等が可視光やUV光に対して不透明で、吸着防止のため鏡面でない光を散乱する表面を持つSiウエハ越しにアライメントマークを検知し、アライメントを行っていたため、精度が悪くなるという問題を有していた。

30

【0067】

そこで、本実施の形態の半導体装置では、例えば、より短波長の可視光やUV光に対して透明で、かつ表面が光を散乱しないガラス越しに位置合わせマーク93・94を検出するため、従来の方式と比較して、高精度な位置合わせを行うことが可能になる。

【0068】

その後、図3(c)に示すように、絶縁基板2の全面に膜厚約200nmの第2のSiO₂膜4を堆積する。ここでは、300程度の温度、100~200Pa程度の減圧下で、TEOSガスと酸素ガスを流し、プラズマ放電のもとで成膜する。

40

【0069】

さらに、その全面に膜厚約50nmの非晶質Si薄膜(非晶質Si膜)5を堆積する。ここでは、250程度の温度で、モノシランガスと水素ガスを流し、プラズマ放電のもとで成膜する。

【0070】

次に、水素イオン注入部15の温度を単結晶Si基板10aから水素が離脱する温度以上(400~600、ここでは、約550)まで昇温する。これにより、図3(d)に示すように、単結晶Si基板10aの不要部分11を、水素イオン注入部15を境に劈

50

開剥離することができる。

【0071】

また、このとき熱処理により、Van der Waals力で接合されていた単結晶Si基板10aと絶縁基板2との界面で $\text{Si-OH} + \text{-Si-OH} \rightarrow \text{Si-O-Si} + \text{H}_2\text{O}$ の反応が生じ、これらの基板の接合を原子同士の強固な結合に変化させることができる。

【0072】

ここで、単結晶Si薄膜トランジスタ16aは、絶縁基板2に対して、無機系の絶縁膜3を介して接合される。よって、従来の接着剤を用いて接合する場合と比較して、単結晶Si薄膜14aが汚染されることを確実に防止できる。

【0073】

続いて、剥離されて絶縁基板2上に残った単結晶Si薄膜14aの不要部分をエッチング除去し、単結晶Siを島状に加工した後、表面の損傷層を、等方性プラズマエッチングまたはウエットエッチング、ここでは、バッファフッ酸によるウエットエッチングにて約10nmライトエッチすることにより除去する。これにより、絶縁基板2上に膜厚約50nmの単結晶Si薄膜14aによるMOS TFTの一部が形成される。

【0074】

次に、図3(e)に示すように、非晶質Si薄膜5にエキシマレーザを照射して、加熱、結晶化し、多結晶Si層を成長させて多結晶Si薄膜5'を形成する。すなわち、成膜による半導体膜(非晶質Si薄膜5)を、レーザ光(エネルギービーム)による多結晶化法により非晶質から多結晶質に改質し、多結晶Si薄膜5'を形成する。

【0075】

この際、絶縁基板2上には、単結晶Si薄膜14aの領域と、非晶質Si薄膜5の領域が混在しているため、単結晶Si薄膜14aの領域に損傷を与えないためには、単結晶Si薄膜14aの領域を避けて上記エキシマレーザの照射を行う必要がある。

【0076】

そこで、逐次横方向成長法(SLS法)を用いることにより、図1に示すように、単結晶Si薄膜14aの領域を避けて上記エキシマレーザの照射を行う。

【0077】

ここで、SLS法とは、レーザ光としてエキシマレーザなどのパルスレーザを用い、その光路に光学マスクを挿入し、任意のショットにおいて、そのマスクを挿入・非挿入することができる多結晶化方法である。これにより、その照射プログラムにおいて、転写デバイスがある領域はレーザ光をマスクで覆い隠し、非晶質Si薄膜5上のみ、照射することができる。

【0078】

なお、上記レーザ光の照射は、SLS法に限られるものではない。レーザ光路内にマスクを挿入して、レーザ光の一部分をオン・オフできる方法であればよい。例えば、矩形波ビームの出射光の一部を任意に遮蔽・非遮蔽できる光学マスクなどの手段を具備したレーザ照射装置を用いてもよいし、レーザを照射する基板上、あるいはレーザ照射装置と基板との間にマスクを挿入しても良い。

【0079】

また、レーザを遮蔽する範囲は、単結晶Si薄膜14aの領域だけに限るものではない。多結晶Si薄膜に改質する必要のない範囲であれば、レーザ光を遮蔽しても良い。

【0080】

次に、図3(f)に示すように、デバイスの活性領域となる部分を残すために、不要な多結晶Si膜5'をエッチングにより除去し、多結晶Si膜5'の島状のパターンを得る。このパターン化された多結晶Si膜5'が多結晶Si薄膜トランジスタ1aの半導体層となる。

【0081】

さらに、TEOSと酸素との混合ガスを用いて、プラズマCVDにより膜厚約350nmのSiO₂膜を堆積し、これを異方性エッチングであるRIEにて約400nmエッチバ

10

20

30

40

50

ックする。その後、多結晶Si薄膜トランジスタ1aのゲート絶縁膜としてSiH₄とN₂Oとの混合ガスを用いたプラズマCVDにより、膜厚約60nmのSiO₂膜7を形成する。このとき、上記単結晶Si薄膜14aのパターンおよび多結晶Si薄膜5'のパターンの端部にサイドウォールが形成される。SiO₂膜7は、多結晶Si薄膜トランジスタ1aの層間絶縁膜となる。

【0082】

また、SiO₂膜7上に多結晶Si薄膜トランジスタ1aのゲート電極6となるポリシリコン膜を、熱CVD法などで形成する。なお、熱CVD法は、600程度の温度の減圧下(50~200Pa)において、ウエハ上にモノシランガスを流してシリコン膜を成膜するものである。この方法により、150~300nmのポリシリコン膜を形成する。なお、シリコン膜の成膜時には、予め、シランガスにジボランガスを微量だけ混合させ、ドープトポリシリコンを形成し、パルスレーザを(SLS法の様に)短時間照射し、低抵抗化しておくことが好ましい。また、ゲート電極6は、上記のようなポリシリコン膜に限るものではなく、タングステン(W)の様な高融点金属を成膜・パターンニングすることによって形成してもよい。

10

【0083】

次に、フォトリソグラフィ工程により、形成したポリシリコン膜をゲート電極6の形状にパターンニングする。すなわち、フォトレジスト塗布、露光・現像、シリコンエッチング、フォトレジスト剥離の工程により、パターンニングすることによりゲート電極6を形成する。

20

【0084】

次に、図3(g)に示すように、TEOSとO₂(酸素)の混合ガスを用いP-CVDにより、層間平坦化絶縁膜として、膜厚約350nmのSiO₂膜8を堆積する。

【0085】

そして、図3(h)に示すように、コンタクトホール21を開口し、図3(i)に示すように、コンタクトホール21に金属(AlSi)配線22を形成する。

【0086】

本実施の形態に係る半導体装置の製造方法では、以上のように、非晶質Si薄膜5を多結晶Si膜5'に改質するためにレーザ光を照射する際、レーザ光の光路の一部にマスクを挿入することにより、レーザ光の一部を遮蔽する。

30

【0087】

これにより、非晶質Si薄膜5の領域のみにレーザ光を照射することが可能となり、絶縁基板2上に転写された単結晶Si薄膜トランジスタ16aの領域には上記のレーザ光が照射されない。したがって、レーザ光により単結晶Si薄膜トランジスタ16aが損傷されることを防止できる。

【0088】

なお、本実施の形態では、単結晶Si薄膜トランジスタ16aの領域に、レーザ光を照射させないために、レーザ光の光路の一部にマスクを挿入したが、この方法に限るものではない。例えば、レーザ光が単結晶Si薄膜トランジスタ16aの領域を走査する際にはレーザ光の出力をOFFとし、レーザ光を照射したい領域を走査する時のみ出力をONとしてもよい。

40

【0089】

しかしながら、レーザ光の出力自体を頻繁にオン・オフさせる構成では、レーザ光の出力が不安定になることも考えられる。これに対し、レーザ光路内にマスクを挿入してレーザ光の照射を選択的に行う構成では、レーザ光の出力自体は連続的に行えるので、出力が安定することとなり好ましい。

【0090】

また、本実施の形態では、単結晶Si薄膜トランジスタ16aを、絶縁基板2に多結晶Si薄膜5'が形成される前に貼り付けている。これにより、レーザ光により絶縁基板2の表面が損傷を受ける前の、絶縁基板2の平坦性が保たれた状態で単結晶Si基板10aを

50

接合することができるため、接合不良等の問題の発生を防止できる。

【0091】

なお、本実施の形態では、レーザ光の照射は、絶縁基板2に単結晶Si基板10aを貼り付け、単結晶Si基板10aの一部(不要部分)を剥離させた後に行っている。しかしながら、レーザ光を照射するタイミングは、これに限るものではない。例えば、絶縁基板2に単結晶Si基板10aを貼り付けた後、単結晶Si基板10aの一部(不要部分)を水素イオン注入部から剥離させる前にレーザ光を照射してもよい。

【0092】

また、絶縁基板2に水素イオンを注入した単結晶Si基板10aを貼り付け、熱処理により単結晶Si基板10aの不要部分を水素イオン注入部から剥離させているが、これに限るものではなく、単結晶Si基板10aの不要部分を剥離させることができる方法であればよい。

10

【0093】

また、本実施の形態では、単結晶Si薄膜トランジスタ16aの領域に照射されるレーザ光のみを遮蔽しているが、これに限るものではない。例えば、非晶質Si薄膜5が形成されている領域のうち、多結晶Si薄膜トランジスタ1aを構成する多結晶Si薄膜5'として残る部分にのみレーザ光を照射する構成としてもよい。

【0094】

なお、本実施の形態では、絶縁基板2上に転写されてなる転写トランジスタを、単結晶Si薄膜トランジスタとしたが、これに限定されるものではなく、上述のような転写工程によって、絶縁基板2上に形成可能なものであれば他の種類のトランジスタであってもよい。

20

【0095】

【発明の効果】

以上のように、本発明の半導体装置の製造方法は、絶縁基板上に、該絶縁基板に転写されてなる転写トランジスタと、該絶縁基板上で形成される成膜トランジスタとが混在する半導体装置の製造方法において、上記成膜トランジスタは、絶縁基板上に上記転写トランジスタを転写した後に形成されるものであり、上記成膜トランジスタの形成工程では、上記絶縁基板上に非晶質Si薄膜を形成する工程と、上記非晶質Si薄膜にレーザ光(エネルギービーム)を照射することにより多結晶Si薄膜に改質する工程とを含み、上記レーザ光の照射は、上記転写トランジスタの領域を避けて照射される構成である。

30

【0096】

それゆえ、絶縁基板上に、転写により形成された転写トランジスタと、絶縁基板上で形成された成膜トランジスタとを有する半導体装置において、多結晶Si薄膜形成時のレーザ光の照射によって上記転写トランジスタが損傷を受けることを防止することができるという効果を奏する。

【0097】

また、上記レーザ光の照射により表面に損傷を受ける前の、平坦性が保たれた状態の絶縁基板に、上記転写トランジスタが形成された基板を接合することができるため、接合不良等の問題の発生を防止できるという効果を奏する。

40

【0098】

また、上記レーザ光の照射は、上記転写トランジスタの領域を避けて照射するために、該レーザ光の光路中にマスクを挿入する構成とすることができる。

【0099】

それゆえ、半導体装置へのビーム照射をマスクの挿入・非挿入によって選択的に行えるため、レーザ光の出力を安定させたままで、上記転写トランジスタの領域を避けてレーザ光を照射することができるという効果を奏する。

【0100】

また、上記転写トランジスタの絶縁基板上への転写は、上記転写トランジスタが予め作り込まれた転写用基板を上記絶縁基板に接合した後、上記転写用基板の不要部分を剥離する

50

工程によってなされ、上記レーザ光の照射は、上記転写用基板の不要部分を剥離させる後に行われる構成とすることができる。

【0101】

それゆえ、転写トランジスタを、絶縁基板上で形成する場合よりも、高度な微細加工を施した後に該絶縁基板に転写することが容易になるという効果を奏する。また、絶縁基板に貼り付けられた基板の不要部分をレーザ光照射の影響を受けずに剥離することができるという効果を奏する。

【0102】

また、上記転写トランジスタは、単結晶シリコントランジスタとすることができる。

【0103】

それゆえ、特性が異なる複数の回路を集積化した高性能・高機能な半導体装置を得ることができるという効果を奏する。また、1枚の絶縁基板上に、全て単結晶Si薄膜からなるトランジスタを形成するよりも、安価に高性能・高機能な半導体装置を得ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の製造工程における、エネルギーレーザ照射領域を示す平面図である。

【図2】(a)~(e)は、本発明の一実施形態に係る半導体装置に転写される単結晶Si基板の製造工程を示す断面図である。

【図3】(a)~(i)は、本発明の一実施形態に係る半導体装置の製造工程を示す断面図である。

【図4】本発明の一実施形態に係る半導体装置の製造方法における、単結晶Si基板と絶縁基板とのアライメント工程を示す断面図である。

【符号の説明】

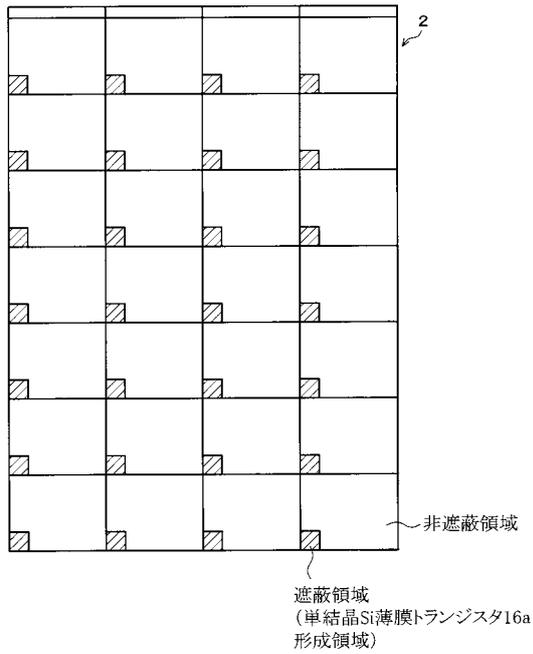
- 1 a 多結晶Si薄膜トランジスタ(成膜トランジスタ)
- 2 絶縁基板
- 3 絶縁膜(SiO₂膜)
- 4 層間絶縁膜(SiO₂膜)
- 5 非晶質Si薄膜
- 5' 多結晶Si薄膜(多結晶質Si薄膜)
- 6 ゲート電極
- 7 ゲート絶縁膜(SiO₂膜)
- 8 層間絶縁膜(SiO₂膜)
- 10 単結晶シリコンウエハ
- 10a 単結晶Si基板
- 14a 単結晶Si薄膜
- 16a 単結晶Si薄膜トランジスタ(転写トランジスタ)

10

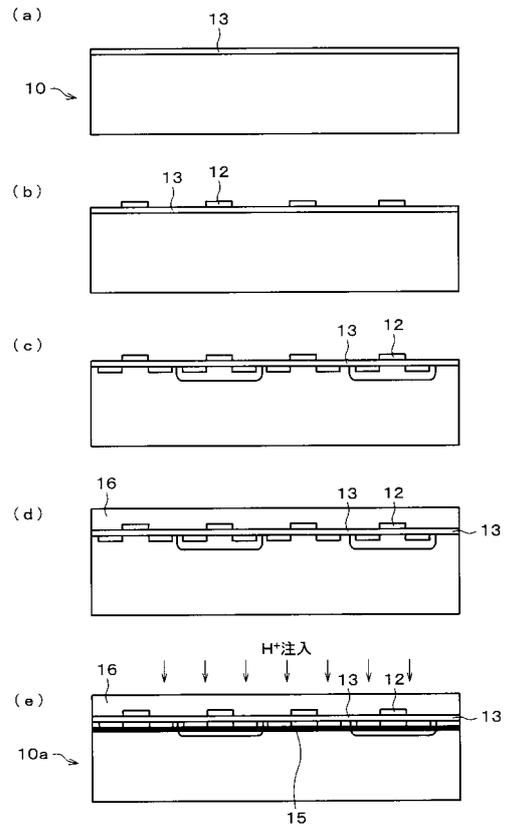
20

30

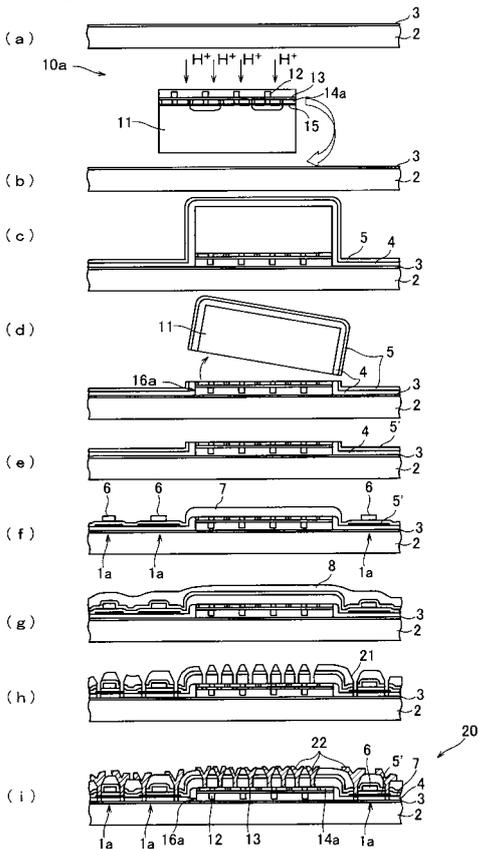
【 図 1 】



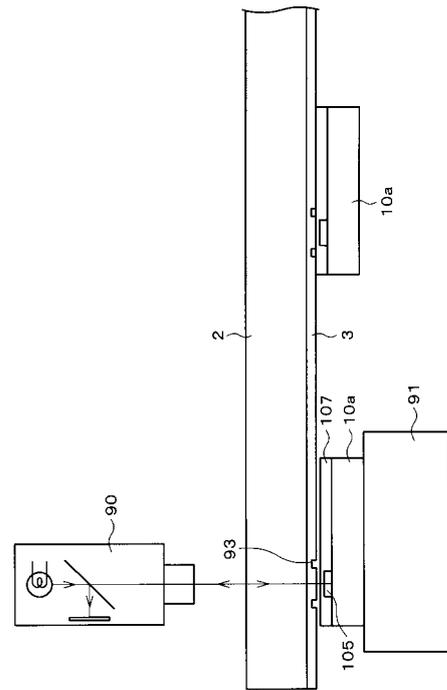
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 29/78 6 2 7 D
H 0 1 L 29/78 6 1 2 B

(72) 発明者 山本 義宏
大阪府大阪市阿倍野区长池町 2 2 番 2 2 号 シャープ株式会社内

審査官 萩原 周治

(56) 参考文献 特開平 0 4 - 3 6 2 9 2 4 (J P , A)
特開平 1 0 - 2 9 3 3 2 2 (J P , A)
特開平 1 1 - 0 2 4 1 0 6 (J P , A)
特開平 0 8 - 2 2 7 8 5 5 (J P , A)
特開平 0 4 - 3 7 0 9 2 5 (J P , A)
特開 2 0 0 1 - 2 5 5 5 5 9 (J P , A)
特表平 0 7 - 5 0 3 5 5 7 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

H01L 27/12
H01L 21/02
H01L 21/26-21/268
H01L 21/322-21/326
H01L 21/336
H01L 29/786